

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2020 年 4 月 2 日 (02.04.2020)



(10) 国际公布号
WO 2020/062497 A1

- (51) 国际专利分类号:
H01L 21/02 (2006.01) **H01L 29/786** (2006.01)
H01L 21/336 (2006.01) **H01L 29/10** (2006.01)
- (21) 国际申请号: PCT/CN2018/116173
- (22) 国际申请日: 2018 年 11 月 19 日 (19.11.2018)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:
201811134009.6 2018年9月27日 (27.09.2018) CN
- (71) 申请人: 武汉华星光电技术有限公司 (WUHAN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.) [CN/CN]; 中国湖北省

武汉市东湖开发区高新大道 666 号生物城 C5 栋, Hubei 430079 (CN)。

- (72) 发明人: 李立胜 (LI, Lisheng); 中国湖北省武汉市东湖开发区高新大道 666 号生物城 C5 栋, Hubei 430079 (CN)。 何鹏 (HE, Peng); 中国湖北省武汉市东湖开发区高新大道 666 号生物城 C5 栋, Hubei 430079 (CN)。 颜源 (YAN, Yuan); 中国湖北省武汉市东湖开发区高新大道 666 号生物城 C5 栋, Hubei 430079 (CN)。

- (74) 代理人: 深圳翼盛智成知识产权事务所 (普通合伙) (ESSEN PATENT & TRADEMARK AGENCY); 中国广东省深圳市福田区深南大道 6021 号喜年中心 A 座 1709-1711, Guangdong 518040 (CN)。

- (81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG,

(54) Title: LOW-TEMPERATURE POLYSILICON LAYER, THIN FILM TRANSISTOR AND MANUFACTURING METHOD THEREFOR

(54) 发明名称: 低温多晶硅层、薄膜晶体管及其制作方法

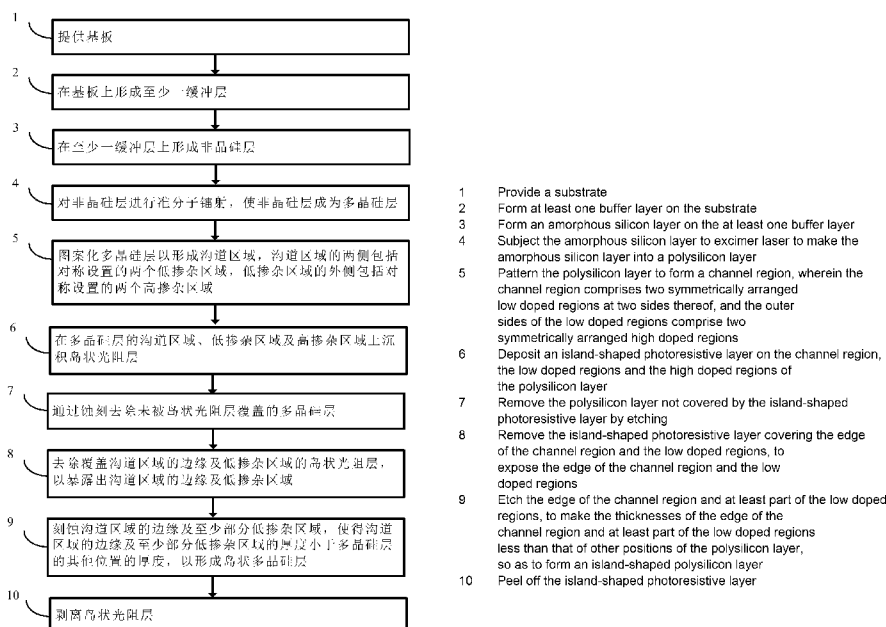


图 1

(57) Abstract: Disclosed are a low-temperature polysilicon layer, a thin film transistor and manufacturing methods therefor. The low-temperature polysilicon layer comprises a substrate (110), at least one buffer layer (120) and a polysilicon layer (140), wherein the polysilicon layer (140) is arranged on the at least one buffer layer (120), and the polysilicon layer (140) comprises a channel region (142), two low doped regions (144) arranged at two sides of the channel region (142) and two high doped regions (146) arranged at the outer sides of the low doped regions (144), wherein the edge of the channel region (142) and at least part of the low doped regions



BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。

- (84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

- 包括国际检索报告 (条约第21条(3))。

(144) have a thickness less than that of other positions of the polysilicon layer (140).

(57) 摘要: 一种低温多晶硅层、薄膜晶体管及其制作方法。低温多晶硅层包括基板 (110)、至少一缓冲层 (120) 以及多晶硅层 (140), 多晶硅层 (140) 设置在至少一缓冲层 (120) 上, 多晶硅层 (140) 包括沟道区域 (142)、设置在沟道区域 (142) 的两侧的两个低掺杂区域 (144)、设置在低掺杂区域 (144) 的外侧的两个高掺杂区域 (146), 沟道区域 (142) 的边缘及至少部分低掺杂区域 (144) 的厚度小于多晶硅层 (140) 的其他位置的厚度。

低温多晶硅层、薄膜晶体管及其制作方法

技术领域

[0001] 本揭示涉及显示技术领域，特别涉及一种低温多晶硅层、薄膜晶体管及其制作方法。

背景技术

[0002] 低温多晶硅(low temperature poly silicon, LTPS)技术具有高载流子迁移率，被广泛用于具有高分辨率的中小尺寸的薄膜晶体管液晶显示器(thin film transistor-liquid crystal display, TFT LCD)和有源矩阵有机发光二极管(active-matrix organic light emitting diode, AMOLED)面板的制作，因而具有广阔的应用前景。

[0003] 在传统的低温多晶硅技术中，薄膜晶体管通常包括顶栅(top gate)结构及遮光层(light shield layer, LS)，其中遮光层的制备需要增加一道遮光层光罩的制程，因此薄膜晶体管阵列基板制作所需的光罩数量更多及产品制作周期更长。

[0004] 在另一传统的低温多晶硅技术中，薄膜晶体管的沟道容易引起光生漏电流，过大的漏电流将显着影响显示器的光学显示效果，如串扰(crosstalk)、闪烁(flicker)、对比度降低等。

[0005] 故，有需要提供一种低温多晶硅层、薄膜晶体管及其制作方法，以解决现有技术存在的问题。

发明概述

技术问题

[0006] 在传统的低温多晶硅技术中，薄膜晶体管通常包括顶栅(top gate)结构及遮光层(light shield layer, LS)，其中遮光层的制备需要增加一道遮光层光罩的制程，因此薄膜晶体管阵列基板制作所需的光罩数量更多及产品制作周期更长。

[0007] 在另一传统的低温多晶硅技术中，薄膜晶体管的沟道容易引起光生漏电流，过大的漏电流将显着影响显示器的光学显示效果，如串扰(crosstalk)、闪烁(flicker)

、对比度降低等。

问题的解决方案

技术解决方案

- [0008] 为解决上述技术问题，本揭示提供一低温多晶硅层的制作方法，包括：提供基板；在所述基板上形成至少一缓冲层；在所述至少一缓冲层上形成多晶硅层；图案化所述多晶硅层以形成沟道区域，所述沟道区域的两侧包括对称设置的两个低掺杂区域，所述低掺杂区域的外侧包括对称设置的两个高掺杂区域；在所述多晶硅层的所述沟道区域、所述低掺杂区域及所述高掺杂区域上沉积岛状光阻层；去除覆盖所述沟道区域的边缘及所述低掺杂区域的所述岛状光阻层，以暴露出所述沟道区域的所述边缘及所述低掺杂区域；刻蚀所述沟道区域的所述边缘及至少部分所述低掺杂区域，使得所述沟道区域的所述边缘及至少部分所述低掺杂区域的厚度小于所述多晶硅层的其他位置的厚度，以形成岛状多晶硅层；以及剥离所述岛状光阻层。所述低掺杂区域是N低掺杂区域，所述高掺杂区域是N高掺杂区域。所述岛状光阻层具有第一厚度及第二厚度，所述第一厚度小于所述第二厚度，具有所述第一厚度的所述岛状光阻层覆盖所述沟道区域的所述边缘及所述低掺杂区域。通过半色调掩膜对所述岛状光阻层进行曝光及显影以形成所述岛状光阻层，所述半色调掩膜具有不透光区域及透光区域，所述半色调掩膜的所述透光区域对应于所述沟道区域的所述边缘及所述低掺杂区域，以及所述半色调掩膜的所述不透光区域对应于所述多晶硅层的所述其他位置。
- [0009] 于本揭示其中的一实施例中，所述多晶硅层的所述沟道区域具有不同的厚度，所述多晶硅层的所述沟道区域的所述边缘及至少部分所述低掺杂区域的所述厚度小于所述多晶硅层的所述沟道区域的其他位置的厚度。
- [0010] 于本揭示其中的一实施例中，所述多晶硅层的所述高掺杂区域具有不同的厚度，所述多晶硅层的所述高掺杂区域的边缘接触所述低掺杂区域且所述高掺杂区域的所述边缘的厚度等于所述多晶硅层的所述沟道区域的所述边缘及至少部分所述低掺杂区域的所述厚度，以及所述高掺杂区域的其他位置的厚度等于所述多晶硅层的所述沟道区域的其他位置的厚度。
- [0011] 本揭示还提供一低温多晶硅层的制作方法，包括：提供基板；在所述基板上形

成至少一缓冲层；在所述至少一缓冲层上形成多晶硅层；图案化所述多晶硅层以形成沟道区域，所述沟道区域的两侧包括对称设置的两个低掺杂区域，所述低掺杂区域的外侧包括对称设置的两个高掺杂区域；在所述多晶硅层的所述沟道区域、所述低掺杂区域及所述高掺杂区域上沉积岛状光阻层；去除覆盖所述沟道区域的边缘及所述低掺杂区域的所述岛状光阻层，以暴露出所述沟道区域的所述边缘及所述低掺杂区域；刻蚀所述沟道区域的所述边缘及至少部分所述低掺杂区域，使得所述沟道区域的所述边缘及至少部分所述低掺杂区域的厚度小于所述多晶硅层的其他位置的厚度，以形成岛状多晶硅层；以及剥离所述岛状光阻层。

[0012] 于本揭示其中的一实施例中，所述方法还包括在所述至少一缓冲层上形成非晶硅层，对所述非晶硅层进行准分子镭射，使所述非晶硅层成为所述多晶硅层，通过蚀刻去除未被所述岛状光阻层覆盖的所述多晶硅层。

[0013] 于本揭示其中的一实施例中，所述低掺杂区域是N低掺杂区域，所述高掺杂区域是N高掺杂区域。

[0014] 于本揭示其中的一实施例中，所述岛状光阻层具有第一厚度及第二厚度，所述第一厚度小于所述第二厚度，具有所述第一厚度的所述岛状光阻层覆盖所述沟道区域的所述边缘及至少部分所述低掺杂区域。

[0015] 于本揭示其中的一实施例中，通过半色调掩膜对所述岛状光阻层进行曝光及显影以形成所述岛状光阻层，所述半色调掩膜具有不透光区域及透光区域，所述半色调掩膜的所述透光区域对应于所述沟道区域的所述边缘及所述低掺杂区域，以及所述半色调掩膜的所述不透光区域对应于所述多晶硅层的所述其他位置。

[0016] 于本揭示其中的一实施例中，通入氧气对覆盖所述沟道区域的所述边缘及所述低掺杂区域的所述岛状光阻层进行光阻灰化处理以去除覆盖所述沟道区域的所述边缘及所述低掺杂区域的所述岛状光阻层。

[0017] 于本揭示其中的一实施例中，所述多晶硅层的所述沟道区域具有不同的厚度，所述多晶硅层的所述沟道区域的所述边缘及至少部分所述低掺杂区域的所述厚度小于所述多晶硅层的所述沟道区域的其他位置的厚度。

- [0018] 于本揭示其中的一实施例中，所述多晶硅层的所述高掺杂区域具有不同的厚度，所述多晶硅层的所述高掺杂区域的边缘接触所述低掺杂区域且所述高掺杂区域的所述边缘的厚度等于所述多晶硅层的所述沟道区域的所述边缘及至少部分所述低掺杂区域的所述厚度，以及所述高掺杂区域的其他位置的厚度等于所述多晶硅层的所述沟道区域的其他位置的厚度。
- [0019] 本揭示还提供薄膜晶体管的制作方法，包括：提供低温多晶硅层及在所述低温多晶硅层上形成栅绝缘层、栅电极、层间介电绝缘层、两个过孔、源电极和漏电极，所述过孔贯穿所述栅绝缘层和所述层间介电绝缘层，所述源电极和所述漏电极通过对应的过孔与所述低温多晶硅层的两端接触，所述低温多晶硅层是前述的低温多晶硅层的制作方法制得。
- [0020] 于本揭示其中的一实施例中，所述栅电极与所述多晶硅层的所述沟道区域的所述边缘的距离小于所述栅电极与所述多晶硅层的所述沟道区域的其他位置的距离。
- [0021] 于本揭示其中的一实施例中，所述栅电极与所述多晶硅层的至少部分所述低掺杂区域的距离小于所述栅电极与所述多晶硅层的所述沟道区域的所述其他位置的距离。
- [0022] 本揭示还提供低温多晶硅层，包括基板、至少一缓冲层以及多晶硅层。所述至少一缓冲层设置在所述基板上。所述多晶硅层设置在所述至少一缓冲层上。所述多晶硅层包括沟道区域、设置在所述沟道区域的两侧的两个低掺杂区域以及设置在所述低掺杂区域的外侧的两个高掺杂区域。所述沟道区域的边缘及至少部分所述低掺杂区域的厚度小于所述多晶硅层的其他位置的厚度。
- [0023] 于本揭示其中的一实施例中，所述低掺杂区域是N低掺杂区域，所述高掺杂区域是N高掺杂区域。
- [0024] 于本揭示其中的一实施例中，所述多晶硅层的所述沟道区域具有不同的厚度，所述多晶硅层的所述沟道区域的所述边缘及至少部分所述低掺杂区域的所述厚度小于所述多晶硅层的所述沟道区域的其他位置的厚度。
- [0025] 于本揭示其中的一实施例中，所述多晶硅层的所述高掺杂区域具有不同的厚度，所述多晶硅层的所述高掺杂区域的边缘接触所述低掺杂区域且所述高掺杂区

域的所述边缘的厚度等于所述多晶硅层的所述沟道区域的所述边缘及至少部分所述低掺杂区域的所述厚度，以及所述高掺杂区域的其他位置的厚度等于所述多晶硅层的所述沟道区域的其他位置的厚度。

[0026] 本揭示还提供薄膜晶体管，包括前述的低温多晶硅层及设置在所述低温多晶硅层上的栅绝缘层、栅电极、层间介电绝缘层、两个过孔、源电极和漏电极。所述过孔贯穿所述栅绝缘层和所述层间介电绝缘层，所述源电极和所述漏电极通过对应的过孔与所述低温多晶硅层的两端接触。

[0027] 于本揭示其中的一实施例中，所述栅电极与所述多晶硅层的所述沟道区域的所述边缘的距离小于所述栅电极与所述多晶硅层的所述沟道区域的其他位置的距离。

[0028] 于本揭示其中的一实施例中，所述栅电极与所述多晶硅层的至少部分所述低掺杂区域的距离小于所述栅电极与所述多晶硅层的所述沟道区域的所述其他位置的距离。

发明的有益效果

有益效果

[0029] 相较于现有技术，为解决上述技术问题，本揭示提供低温多晶硅层、薄膜晶体管及其制作方法，本揭示的实施例中的多晶硅层的沟道区域的边缘及至少部分低掺杂区域的厚度小于多晶硅层的其他位置的厚度，能减少低温多晶硅层对光子的吸收及降低低温多晶硅层的光生漏电流。

对附图的简要说明

附图说明

[0030] 图1显示根据本揭示的一实施例的低温多晶硅层的制作方法的流程图；

[0031] 图2显示根据本揭示的一实施例的低温多晶硅层的制作方法的示意图；

[0032] 图3显示根据本揭示的一实施例的低温多晶硅层的制作方法的示意图；

[0033] 图4显示根据本揭示的一实施例的低温多晶硅层的制作方法的示意图；

[0034] 图5显示根据本揭示的一实施例的低温多晶硅层的制作方法的示意图；

[0035] 图6显示根据本揭示的一实施例的低温多晶硅层的制作方法的示意图；

[0036] 图7显示根据本揭示的一实施例的低温多晶硅层的制作方法的示意图；

- [0037] 图8显示根据本揭示的一实施例的低温多晶硅层的制作方法的示意图；
- [0038] 图9显示根据本揭示的一实施例的低温多晶硅层的制作方法的示意图；
- [0039] 图10显示根据本揭示的一实施例的低温多晶硅层的制作方法的示意图；
- [0040] 图11显示根据本揭示的一实施例的低温多晶硅层的制作方法的示意图；
- [0041] 图12显示根据本揭示的一实施例的薄膜晶体管的制作方法的流程图；
- [0042] 图13显示根据本揭示的一实施例的薄膜晶体管的制作方法的示意图；
- [0043] 图14显示根据本揭示的一实施例的低温多晶硅层的结构示意图；以及
- [0044] 图15显示根据本揭示的一实施例的薄膜晶体管的结构示意图。

实施该发明的最佳实施例

本发明的最佳实施方式

- [0045] 以下各实施例的说明是参考附加的图式，用以例示本揭示可用以实施的特定实施例。
- [0046] 为了让本揭示的上述及其他目的、特征、优点能更明显易懂，下文将特举本揭示优选实施例，并配合所附图式，作详细说明如下。再者，本揭示所提到的方向用语，例如上、下、顶、底、前、后、左、右、内、外、侧层、周围、中央、水平、横向、垂直、纵向、轴向、径向、最上层或最下层等，仅是参考附加图式的方向。因此，使用的方向用语是用以说明及理解本揭示，而非用以限制本揭示。
- [0047] 在图中，结构相似的单元是以相同标号表示。
- [0048] 参照图1，本揭示的一实施例提供低温多晶硅层的制作方法，包括如下步骤。
- [0049] 参照图1及图2，步骤1、提供基板110。
- [0050] 具体地，基板110例如是玻璃基板。
- [0051] 参照图1及图3，步骤2、在基板110上形成至少一缓冲层120。
- [0052] 具体地，至少一缓冲层120的材料为氮化硅(SiN_x)、氧化硅(SiO_x)、或二者的组合。至少一缓冲层120可为两层缓冲层的结构。此两层缓冲层的材料可不同。由于至少一缓冲层120设置在基板110上，具有阻绝离子扩散及保温作用，避免基板110受到破坏。
- [0053] 参照图1及图4，步骤3、在至少一缓冲层120上形成非晶硅层130。

- [0054] 参照图1及图5，步骤4、对非晶硅层130进行准分子镭射，使非晶硅层130成为多晶硅层140。
- [0055] 参照图1及图6，步骤5、图案化多晶硅层140以形成沟道区域142。沟道区域142的两侧包括对称设置的两个低掺杂区域144，低掺杂区域144的外侧包括对称设置的两个高掺杂区域146。
- [0056] 具体地，低掺杂区域144是N低掺杂区域，高掺杂区域146是N高掺杂区域。
- [0057] 参照图1及图7，步骤6、在多晶硅层140的沟道区域142、低掺杂区域144及高掺杂区域146上沉积岛状光阻层150。
- [0058] 具体地，岛状光阻层150具有第一厚度及第二厚度，第一厚度小于第二厚度，具有第一厚度的岛状光阻层150覆盖沟道区域142的边缘及低掺杂区域。
- [0059] 具体地，通过半色调掩膜160对岛状光阻层150进行曝光及显影以形成岛状光阻层150。半色调掩膜160具有不透光区域162及透光区域164，半色调掩膜160的透光区域164对应于沟道区域142的边缘及低掺杂区域144，以及半色调掩膜160的不透光区域162对应于多晶硅层140的其他位置。
- [0060] 参照图1及图8，步骤7、通过蚀刻去除未被岛状光阻层150覆盖的多晶硅层140。
- [0061] 参照图1及图9，步骤8、去除覆盖沟道区域142的边缘及低掺杂区域144的岛状光阻层150，以暴露出沟道区域142的边缘及低掺杂区域146。
- [0062] 具体地，还去除覆盖高掺杂区域146的边缘的岛状光阻层150，以暴露出高掺杂区域146的边缘，且高掺杂区域146的边缘接触低掺杂区域144。
- [0063] 具体地，通入氧气(O₂)对覆盖沟道区域142的边缘、低掺杂区域144及高掺杂区域146的边缘的岛状光阻层150进行光阻灰化(photoresist ash)处理以去除覆盖沟道区域142的边缘、低掺杂区域144及高掺杂区域146的边缘的岛状光阻层150。
- [0064] 参照图1及图10，步骤9、刻蚀沟道区域142的边缘及至少部分低掺杂区域144，使得沟道区域142的边缘及低掺杂区域144的厚度小于多晶硅层140的其他位置的厚度，以形成岛状多晶硅层。例如通过蚀刻的时间控制沟道区域142的边缘及低掺杂区域144的厚度以形成岛状多晶硅层。
- [0065] 具体地，多晶硅层140例如为凸字形的岛状多晶硅层。

[0066] 具体地，多晶硅层140的沟道区域142具有不同的厚度，多晶硅层140的沟道区域142的边缘及至少部分低掺杂区域144的厚度小于多晶硅层140的沟道区域142的其他位置的厚度。

[0067] 具体地，并不是整个低掺杂区域144都被刻蚀，例如，以沟道区域142的边界处为界，左右0.5-1 μm 处需被刻蚀，而低掺杂区域144的宽度在0.7-1.5 μm 之间，故低掺杂区域144可不全部刻蚀，但全部刻蚀甚至延伸至部分高掺杂区域146也可以。

[0068] 具体地，多晶硅层140的高掺杂区域146具有不同的厚度，多晶硅层140的高掺杂区域146的边缘接触低掺杂区域144且高掺杂区域146的边缘的厚度等于多晶硅层140的沟道区域142的边缘及至少部分低掺杂区域144的厚度，以及高掺杂区域146的其他位置的厚度等于多晶硅层140的沟道区域142的其他位置的厚度。

[0069] 因此，本揭示的实施例的多晶硅层140的沟道区域142的其他位置的厚度较大能提供良好的载流子传输性能，沟道区域142的边缘及至少部分低掺杂区域144的厚度较小，能减少对光子的吸收。

[0070] 参照图1及图11，步骤10、剥离岛状光阻层150。

[0071] 至此，完成了低温多晶硅层10的制作。

[0072] 本揭示的实施例的低温多晶硅层10不需设置遮光层(light shield layer, LS)，至少节省了一道遮光层光罩的制程，因此低温多晶硅层10制作所需的光罩数量更少及产品制作周期更短。多晶硅层140的低掺杂区域144及沟道区域142在背光源170(如图13所示)的照射下都能够产生光生电子-空穴对，但只有位于沟道区域142的边缘及低掺杂区域144附近的载流子在外加电场或PN结(PN junction)的作用下能够被有效分离，而位于沟道区域142的中间的光生电子-空穴会很快复合对光漏电可能没有明显的贡献。因此本揭示的实施例降低光生漏电流主要途径是减少沟道区域142的及低掺杂区域144的光生电子-空穴对的生成和降低光生电子空穴对的分离效率。

[0073] 需要说明的是，将P型半导体与N型半导体制作在同一块半导体基片上，在P型半导体与N型半导体的交界面形成空间电荷区称为PN结。

[0074] 本揭示的实施例的低温多晶硅层10节省了遮光层，至少节省了一道遮光层光罩

的制程，因此低温多晶硅层10制作所需的光罩数量更少及产品制作周期更短。沟道区域142能提供良好的载流子传输性能，减少沟道区域142的及低掺杂区域144的光生电子-空穴对的生成和降低光生电子空穴对的分离效率，从而降低光生漏电流。

[0075] 参照图12，本揭示的一实施例提供薄膜晶体管的制作方法，包括如下步骤。

[0076] 参照图12及图13，步骤21、提供低温多晶硅层10。

[0077] 具体地，低温多晶硅层10是通过如前述的低温多晶硅层10的制作方法制得，即如前述的步骤1至步骤12。

[0078] 参照图12及图13，步骤22、在低温多晶硅层10上形成栅绝缘层210、栅电极220、层间介电绝缘层230、两个过孔240、源电极250和漏电极260。过孔240贯穿栅绝缘层210和层间介电绝缘层230，源电极250和漏电极260通过对应的过孔240与低温多晶硅层10的两端接触。

[0079] 具体地，栅绝缘层210的材料包括氧化硅(SiO_x)。栅电极220的材料包括钼(Mo)。层间介电绝缘层230的材料为氮化硅(SiN_x)、氧化硅(SiO_x)、或二者的组合。源电极250和漏电极260的材料包括铝(Al)。

[0080] 具体地，源电极250和漏电极260通过对应的过孔240与多晶硅层140的高掺杂区域146接触。

[0081] 具体地，栅电极220与多晶硅层140的沟道区域142的边缘的距离小于栅电极220与多晶硅层140的沟道区域142的其他位置的距离，因此能降低沟道区域142的边缘的电场强度，减少暗电流和抑制光生电子空穴对的分离。

[0082] 具体地，栅电极220与多晶硅层140的至少部分低掺杂区域144的距离小于栅电极220与多晶硅层140的沟道区域142的所述其他位置的距离，因此能降低低掺杂区域144的电场强度，减少暗电流和抑制光生电子空穴对的分离。

[0083] 至此，完成了薄膜晶体管20的制作。

[0084] 薄膜晶体管20例如为N型薄膜晶体管。

[0085] 本揭示的实施例的薄膜晶体管20节省了遮光层，至少节省了一道遮光层光罩的制程，因此低温多晶硅层10制作所需的光罩数量更少及产品制作周期更短。沟道区域142能提供良好的载流子传输性能，减少沟道区域142的及低掺杂区域144

的光生电子-空穴对的生成和降低光生电子空穴对的分离效率，因此能降低沟道区域142的边缘的电场强度，减少暗电流，从而降低光生漏电流及提升产品的光学显示效果，如串扰(crosstalk)、闪烁(flicker)、对比度降低等。

[0086] 参照图14，本揭示的一实施例提供低温多晶硅层10的结构示意图。

[0087] 本揭示的实施例的低温多晶硅层10包括基板110、至少一缓冲层120以及多晶硅层140。至少一缓冲层120设置在基板110上。多晶硅层140设置在至少一缓冲层120上。多晶硅层140包括沟道区域142、设置在沟道区域142的两侧的两个低掺杂区域144以及设置在低掺杂区域144的外侧的两个高掺杂区域146。沟道区域142的边缘及至少部分低掺杂区域144的厚度小于多晶硅层140的其他位置的厚度。

[0088] 具体地，多晶硅层140例如为凸字形的岛状多晶硅层。基板110例如是玻璃基板。

[0089] 具体地，至少一缓冲层120的材料为氮化硅(SiNx)、氧化硅(SiOx)、或二者的组合。至少一缓冲层120可为两层缓冲层的结构。此两层缓冲层的材料可不同。由于至少一缓冲层120设置在基板110上，具有阻绝离子扩散及保温作用，避免基板110受到破坏。

[0090] 具体地，低掺杂区域144是N低掺杂区域，高掺杂区域146是N高掺杂区域。

[0091] 具体地，多晶硅层140的沟道区域142具有不同的厚度，多晶硅层140的沟道区域142的边缘及至少部分低掺杂区域144的厚度小于多晶硅层140的沟道区域142的其他位置的厚度。因此，具有较小厚度的低掺杂区域144能抑制热载流子。

[0092] 具体地，多晶硅层140的高掺杂区域146具有不同的厚度，多晶硅层140的高掺杂区域146的边缘接触低掺杂区域144且高掺杂区域146的边缘的厚度等于多晶硅层140的沟道区域142的边缘及至少部分低掺杂区域144的厚度，以及高掺杂区域146的其他位置的厚度等于多晶硅层140的沟道区域142的其他位置的厚度。

[0093] 因此，本揭示的实施例的多晶硅层140的沟道区域142的其他位置的厚度较大能提供良好的载流子传输性能，沟道区域142的边缘及低掺杂区域144的厚度较小，能减少对光子的吸收。

[0094] 本揭示的实施例的低温多晶硅层10节省了遮光层，沟道区域142能提供良好的载流子传输性能，减少沟道区域142的及低掺杂区域144的光生电子-空穴对的生

成和降低光生电子空穴对的分离效率，从而降低光生漏电流。

[0095] 参照图15，本揭示的一实施例提供薄膜晶体管20的结构示意图。

[0096] 本揭示的实施例的薄膜晶体管20包括前述的低温多晶硅层10及设置在低温多晶硅层10上的栅绝缘层210、栅电极220、层间介电绝缘层230、两个过孔240、源电极250和漏电极260。过孔240贯穿栅绝缘层210和层间介电绝缘层230，源电极250和漏电极260通过对应的过孔240与低温多晶硅层10的两端接触。

[0097] 具体地，栅绝缘层210的材料包括氧化硅(SiO_x)。栅电极220的材料包括钼(Mo)。层间介电绝缘层230的材料为氮化硅(SiN_x)、氧化硅(SiO_x)、或二者的组合。源电极250和漏电极260的材料包括铝(Al)。

[0098] 具体地，源电极250和漏电极260通过对应的过孔240与多晶硅层140的高掺杂区域146接触。

[0099] 具体地，栅电极220与多晶硅层140的沟道区域142的边缘的距离小于栅电极220与多晶硅层140的沟道区域的其他位置的距离，因此能降低沟道区域142的边缘的电场强度，减少暗电流和抑制光生电子空穴对的分离。

[0100] 具体地，栅电极220与多晶硅层140的至少部分低掺杂区域144的距离小于栅电极220与多晶硅层140的沟道区域142的其他位置的距离，因此能降低低掺杂区域144的电场强度，减少暗电流和抑制光生电子空穴对的分离。

[0101] 本揭示的实施例的薄膜晶体管20节省了遮光层，沟道区域142能提供良好的载流子传输性能，减少沟道区域142的及低掺杂区域144的光生电子-空穴对的生成和降低光生电子空穴对的分离效率，因此能降低沟道区域142的边缘的电场强度，减少暗电流，从而降低光生漏电流及提升产品的光学显示效果，如串扰(crosstalk)、闪烁(flicker)、对比度降低等。

[0102] 由于本揭示的实施例中的多晶硅层的沟道区域的边缘及至少部分低掺杂区域的厚度小于多晶硅层的其他位置的厚度。多晶硅层是岛状多晶硅层。本揭示的实施例能减少低温多晶硅层对光子的吸收及降低低温多晶硅层的光生漏电流。

[0103] 尽管已经相对于一个或多个实现方式示出并描述了本揭示，但是本领域技术人员基于对本说明书和附图的阅读和理解将会想到等价变型和修改。本揭示包括所有这样的修改和变型，并且仅由所附权利要求的范围限制。特别地关于由上

述组件执行的各种功能，用于描述这样的组件的术语旨在对应于执行所述组件的指定功能（例如其在功能上是等价的）的任意组件（除非另外指示），即使在结构上与执行本文所示的本说明书的示范性实现方式中的功能的公开结构不同。此外，尽管本说明书的特定特征已经相对于若干实现方式中的仅一个被公开，但是这种特征可以与如可以对给定或特定应用而言是期望和有利的其他实现方式的一个或多个其他特征组合。而且，就术语“包括”、“具有”、“含有”或其变形被用在具体实施方式或权利要求中而言，这样的术语旨在以与术语“包含”相似的方式包括。

[0104] 以上仅是本揭示的优选实施方式，应当指出，对于本领域普通技术人员，在不脱离本揭示原理的前提下，还可以做出若干改进和润饰，这些改进和润饰也应视为本揭示的保护范围。

权利要求书

- [权利要求 1] 一种低温多晶硅层的制作方法，包括：
- 提供基板；
- 在所述基板上形成至少一缓冲层；
- 在所述至少一缓冲层上形成多晶硅层；
- 图案化所述多晶硅层以形成沟道区域，所述沟道区域的两侧包括对称设置的两个低掺杂区域，所述低掺杂区域的外侧包括对称设置的两个高掺杂区域；
- 在所述多晶硅层的所述沟道区域、所述低掺杂区域及所述高掺杂区域上沉积岛状光阻层；
- 去除覆盖所述沟道区域的边缘及所述低掺杂区域的所述岛状光阻层，以暴露出所述沟道区域的所述边缘及所述低掺杂区域；
- 刻蚀所述沟道区域的所述边缘及至少部分所述低掺杂区域，使得所述沟道区域的所述边缘及至少部分所述低掺杂区域的厚度小于所述多晶硅层的其他位置的厚度，以形成岛状多晶硅层；以及
- 剥离所述岛状光阻层；
- 其中所述低掺杂区域是N低掺杂区域，所述高掺杂区域是N高掺杂区域；
- 其中所述岛状光阻层具有第一厚度及第二厚度，所述第一厚度小于所述第二厚度，具有所述第一厚度的所述岛状光阻层覆盖所述沟道区域的所述边缘及所述低掺杂区域；
- 其中通过半色调掩膜对所述岛状光阻层进行曝光及显影以形成所述岛状光阻层，所述半色调掩膜具有不透光区域及透光区域，所述半色调掩膜的所述透光区域对应于所述沟道区域的所述边缘及所述低掺杂区域，以及所述半色调掩膜的所述不透光区域对应于所述多晶硅层的所述其他位置。
- [权利要求 2] 如权利要求1所述的低温多晶硅层的制作方法，其中所述多晶硅层的所述沟道区域具有不同的厚度，所述多晶硅层的所述沟道区域的所述

边缘及至少部分所述低掺杂区域的所述厚度小于所述多晶硅层的所述沟道区域的其他位置的厚度。

[权利要求 3] 如权利要求1所述的低温多晶硅层的制作方法，其中所述多晶硅层的所述高掺杂区域具有不同的厚度，所述多晶硅层的所述高掺杂区域的边缘接触所述低掺杂区域且所述高掺杂区域的所述边缘的厚度等于所述多晶硅层的所述沟道区域的所述边缘及至少部分所述低掺杂区域的所述厚度，以及所述高掺杂区域的其他位置的厚度等于所述多晶硅层的所述沟道区域的其他位置的厚度。

[权利要求 4] 一种低温多晶硅层的制作方法，包括：
提供基板；
在所述基板上形成至少一缓冲层；
在所述至少一缓冲层上形成多晶硅层；
图案化所述多晶硅层以形成沟道区域，所述沟道区域的两侧包括对称设置的两个低掺杂区域，所述低掺杂区域的外侧包括对称设置的两个高掺杂区域；
在所述多晶硅层的所述沟道区域、所述低掺杂区域及所述高掺杂区域上沉积岛状光阻层；
去除覆盖所述沟道区域的边缘及所述低掺杂区域的所述岛状光阻层，以暴露出所述沟道区域的所述边缘及所述低掺杂区域；
刻蚀所述沟道区域的所述边缘及至少部分所述低掺杂区域，使得所述沟道区域的所述边缘及至少部分所述低掺杂区域的厚度小于所述多晶硅层的其他位置的厚度，以形成岛状多晶硅层；以及
剥离所述岛状光阻层。

[权利要求 5] 如权利要求4所述的低温多晶硅层的制作方法，还包括在所述至少一缓冲层上形成非晶硅层，对所述非晶硅层进行准分子镭射，使所述非晶硅层成为所述多晶硅层，通过蚀刻去除未被所述岛状光阻层覆盖的所述多晶硅层。

[权利要求 6] 如权利要求4所述的低温多晶硅层的制作方法，其中所述低掺杂区域

是N低掺杂区域，所述高掺杂区域是N高掺杂区域。

- [权利要求 7] 如权利要求4所述的低温多晶硅层的制作方法，其中所述岛状光阻层具有第一厚度及第二厚度，所述第一厚度小于所述第二厚度，具有所述第一厚度的所述岛状光阻层覆盖所述沟道区域的所述边缘及所述低掺杂区域。
- [权利要求 8] 如权利要求7所述的低温多晶硅层的制作方法，其中通过半色调掩膜对所述岛状光阻层进行曝光及显影以形成所述岛状光阻层，所述半色调掩膜具有不透光区域及透光区域，所述半色调掩膜的所述透光区域对应于所述沟道区域的所述边缘及所述低掺杂区域，以及所述半色调掩膜的所述不透光区域对应于所述多晶硅层的所述其他位置。
- [权利要求 9] 如权利要求4所述的低温多晶硅层的制作方法，其中通入氧气对覆盖所述沟道区域的所述边缘及所述低掺杂区域的所述岛状光阻层进行光阻灰化处理以去除覆盖所述沟道区域的所述边缘及所述低掺杂区域的所述岛状光阻层。
- [权利要求 10] 如权利要求4所述的低温多晶硅层的制作方法，其中所述多晶硅层的所述沟道区域具有不同的厚度，所述多晶硅层的所述沟道区域的所述边缘及至少部分所述低掺杂区域的所述厚度小于所述多晶硅层的所述沟道区域的其他位置的厚度。
- [权利要求 11] 如权利要求4所述的低温多晶硅层的制作方法，其中所述多晶硅层的所述高掺杂区域具有不同的厚度，所述多晶硅层的所述高掺杂区域的边缘接触所述低掺杂区域且所述高掺杂区域的所述边缘的厚度等于所述多晶硅层的所述沟道区域的所述边缘及至少部分所述低掺杂区域的所述厚度，以及所述高掺杂区域的其他位置的厚度等于所述多晶硅层的所述沟道区域的其他位置的厚度。
- [权利要求 12] 一种薄膜晶体管的制作方法，包括:提供低温多晶硅层及在所述低温多晶硅层上形成栅绝缘层、栅电极、层间介电绝缘层、两个过孔、源电极和漏电极，所述过孔贯穿所述栅绝缘层和所述层间介电绝缘层，所述源电极和所述漏电极通过对应的过孔与所述低温多晶硅层的两端

接触，所述低温多晶硅层是通过低温多晶硅层的制作方法制得，所述低温多晶硅层的制作方法，包括：

提供基板；

在所述基板上形成至少一缓冲层；

在所述至少一缓冲层上形成多晶硅层；

图案化所述多晶硅层以形成沟道区域，所述沟道区域的两侧包括对称设置的两个低掺杂区域，所述低掺杂区域的外侧包括对称设置的两个高掺杂区域；

在所述多晶硅层的所述沟道区域、所述低掺杂区域及所述高掺杂区域上沉积岛状光阻层；

去除覆盖所述沟道区域的边缘及所述低掺杂区域的所述岛状光阻层，以暴露出所述沟道区域的所述边缘及所述低掺杂区域；

刻蚀所述沟道区域的所述边缘及至少部分所述低掺杂区域，使得所述沟道区域的所述边缘及至少部分所述低掺杂区域的厚度小于所述多晶硅层的其他位置的厚度，以形成岛状多晶硅层；以及
剥离所述岛状光阻层。

[权利要求 13] 如权利要求12所述的薄膜晶体管的制作方法，其中所述栅电极与所述多晶硅层的所述沟道区域的所述边缘的距离小于所述栅电极与所述多晶硅层的所述沟道区域的其他位置的距离。

[权利要求 14] 如权利要求13所述的薄膜晶体管的制作方法，其中所述栅电极与所述多晶硅层的至少部分所述低掺杂区域的距离小于所述栅电极与所述多晶硅层的所述沟道区域的所述其他位置的距离。

[权利要求 15] 一种低温多晶硅层，包括：

基板；

至少一缓冲层，设置在所述基板上；以及

多晶硅层，设置在所述至少一缓冲层上，所述多晶硅层包括沟道区域、设置在所述沟道区域的两侧的两个低掺杂区域以及设置在所述低掺杂区域的外侧的两个高掺杂区域，所述沟道区域的边缘及至少部分所

述低掺杂区域的厚度小于所述多晶硅层的其他位置的厚度。

[权利要求 16] 如权利要求15所述的低温多晶硅层，其中所述多晶硅层的所述沟道区域具有不同的厚度，所述多晶硅层的所述沟道区域的所述边缘及至少部分所述低掺杂区域的所述厚度小于所述多晶硅层的所述沟道区域的其他位置的厚度。

[权利要求 17] 如权利要求15所述的低温多晶硅层，其中所述多晶硅层的所述高掺杂区域具有不同的厚度，所述多晶硅层的所述高掺杂区域的边缘接触所述低掺杂区域且所述高掺杂区域的所述边缘的厚度等于所述多晶硅层的所述沟道区域的所述边缘及至少部分所述低掺杂区域的所述厚度，以及所述高掺杂区域的其他位置的厚度等于所述多晶硅层的所述沟道区域的其他位置的厚度。

[权利要求 18] 一种薄膜晶体管，包括：
低温多晶硅层及设置在所述低温多晶硅层上的栅绝缘层、栅电极、层间介电绝缘层、两个过孔、源电极和漏电极，所述过孔贯穿所述栅绝缘层和所述层间介电绝缘层，所述源电极和所述漏电极通过对应的过孔与所述低温多晶硅层的两端接触，所述低温多晶硅层包括：
基板；
至少一缓冲层，设置在所述基板上；以及
多晶硅层，设置在所述至少一缓冲层上，所述多晶硅层包括沟道区域、设置在所述沟道区域的两侧的两个低掺杂区域以及设置在所述低掺杂区域的外侧的两个高掺杂区域，所述沟道区域的边缘及至少部分所述低掺杂区域的厚度小于所述多晶硅层的其他位置的厚度。

[权利要求 19] 如权利要求18所述的薄膜晶体管，其中所述栅电极与所述多晶硅层的所述沟道区域的所述边缘的距离小于所述栅电极与所述多晶硅层的所述沟道区域的其他位置的距离。

[权利要求 20] 如权利要求19所述的薄膜晶体管，其中所述栅电极与所述多晶硅层的至少部分所述低掺杂区域的距离小于所述栅电极与所述多晶硅层的所述沟道区域的所述其他位置的距离。

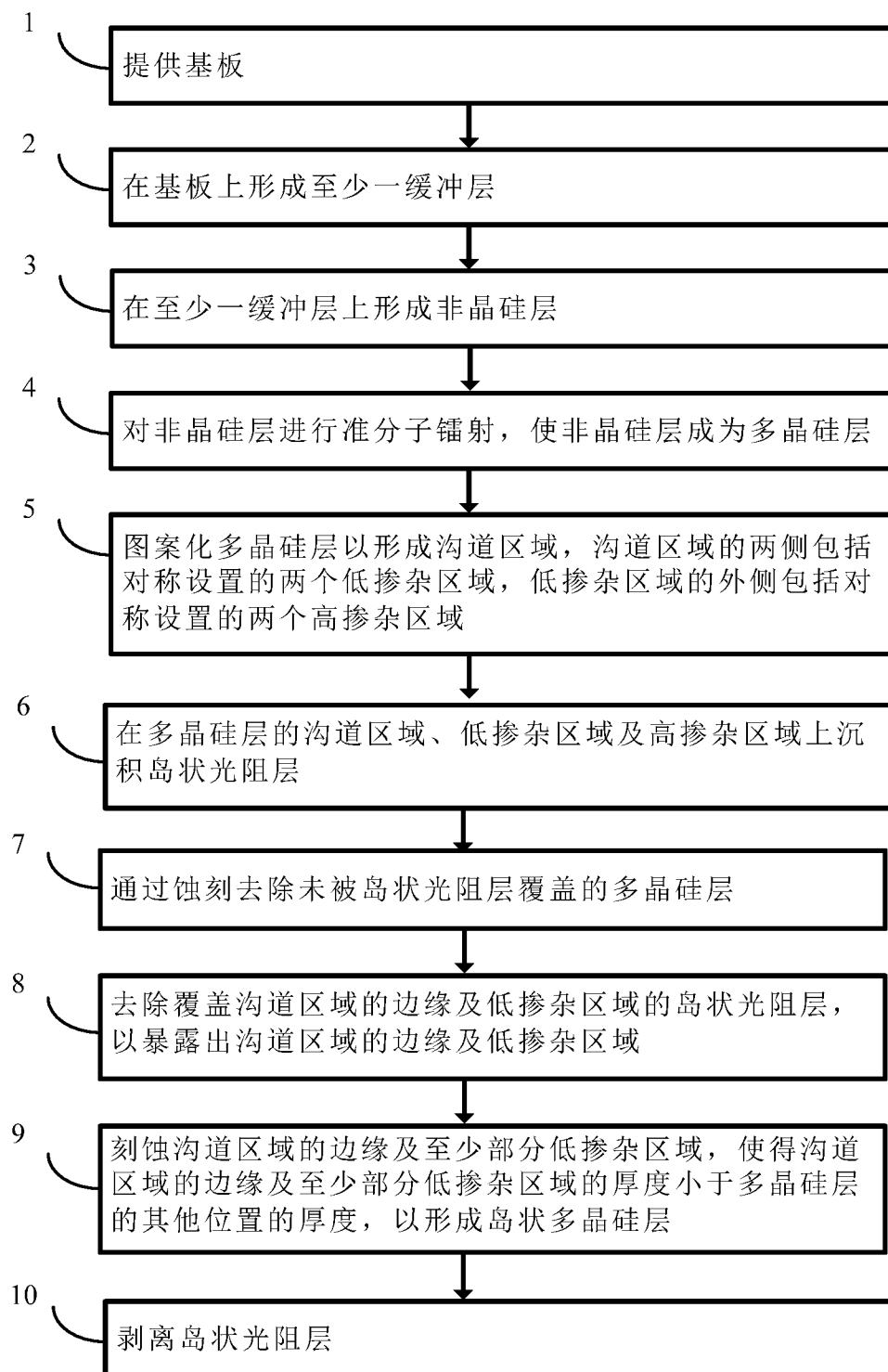


图 1

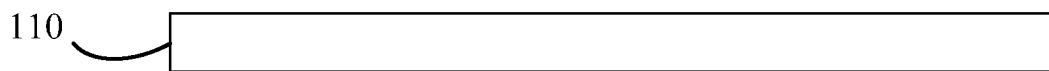


图 2

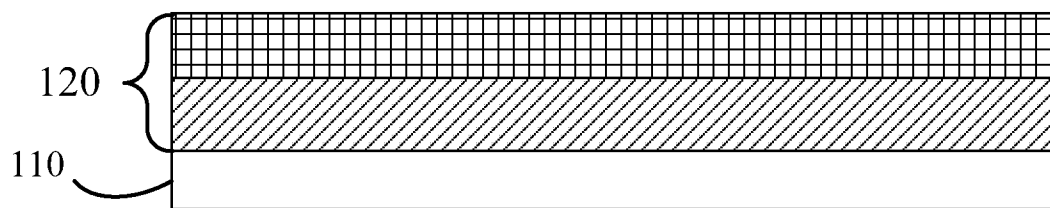


图 3

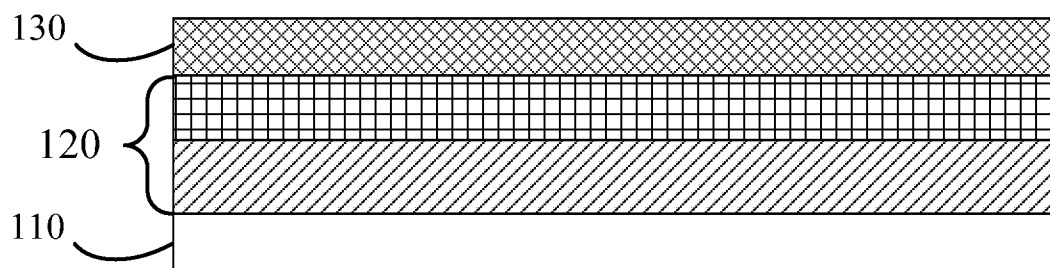


图 4

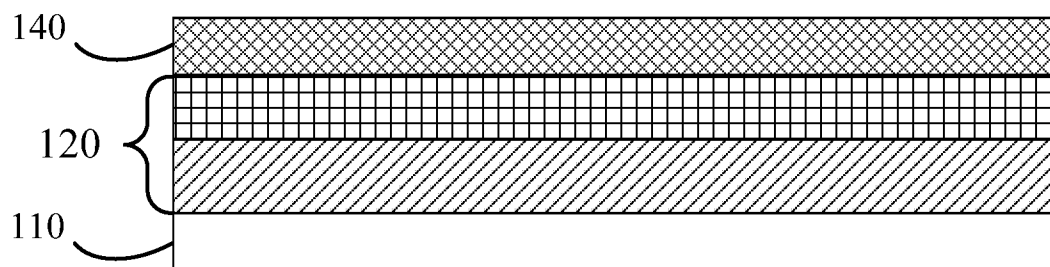


图 5

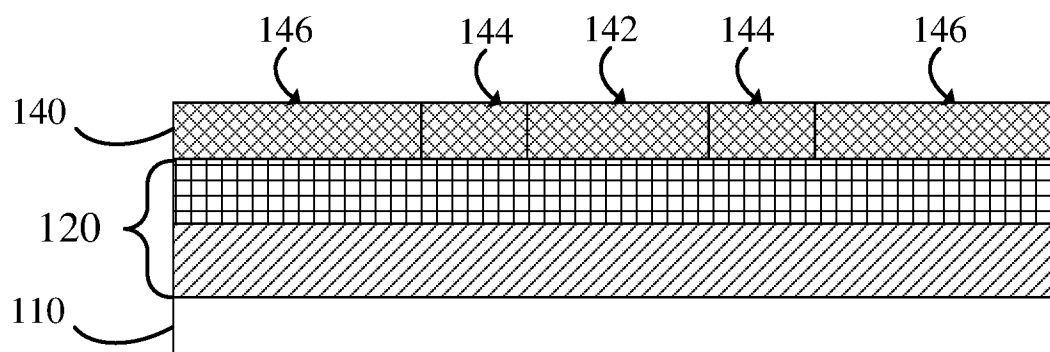


图 6

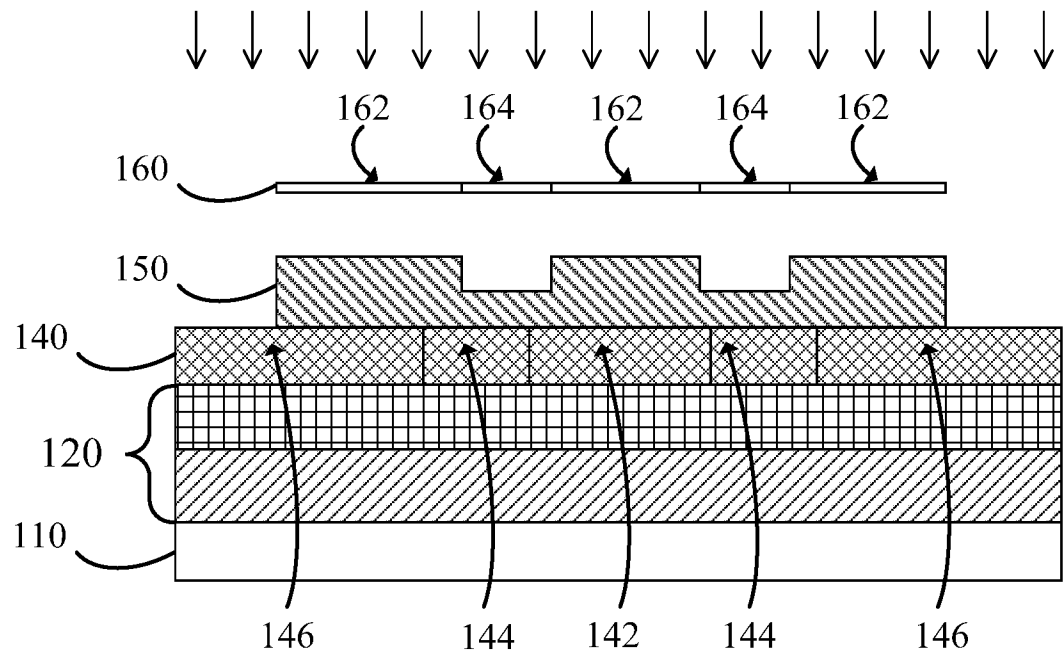


图 7

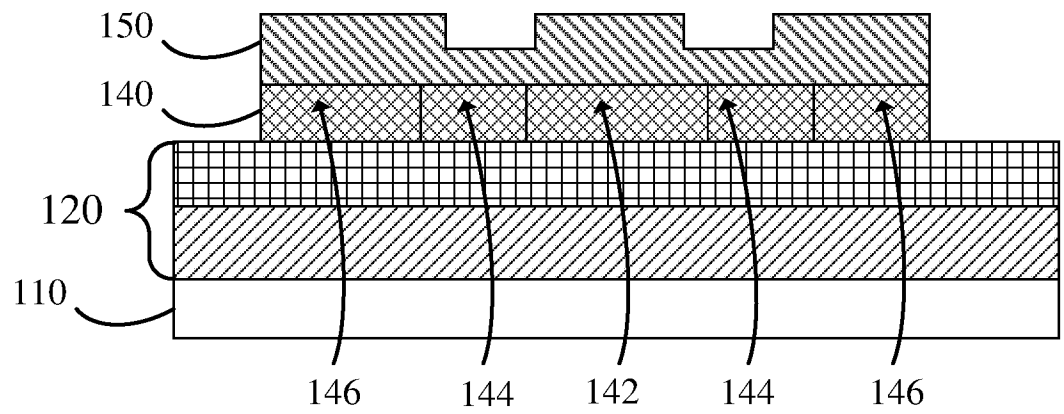


图 8

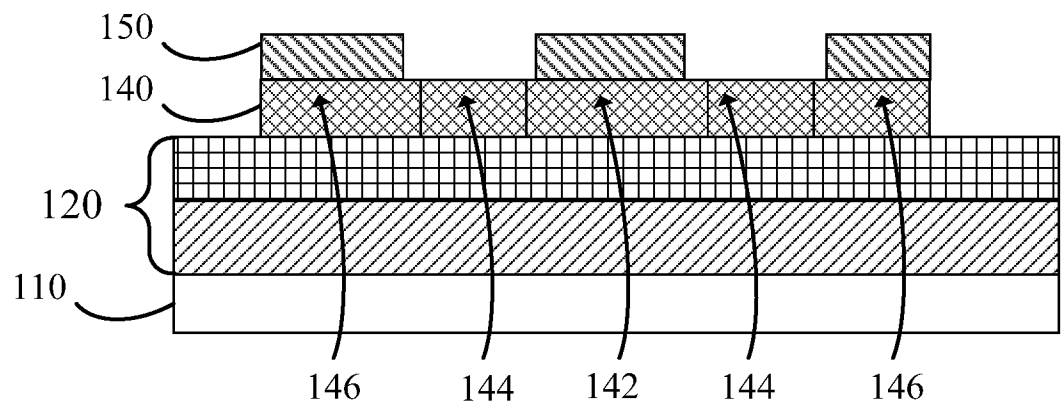


图 9

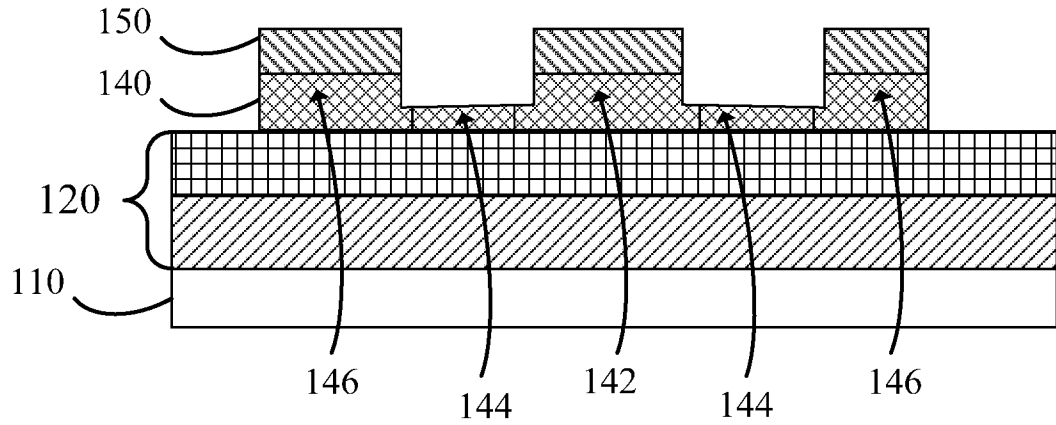


图 10

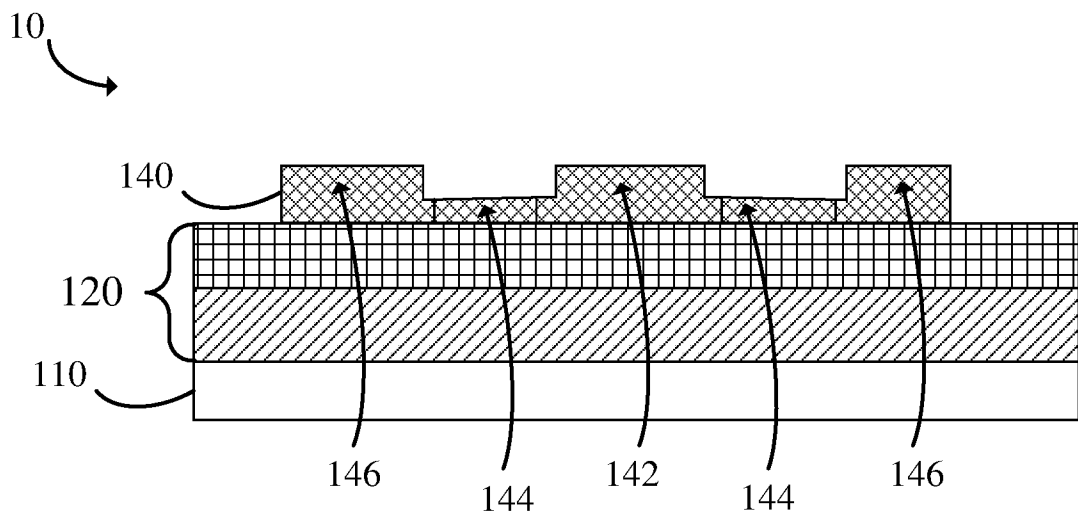


图 11

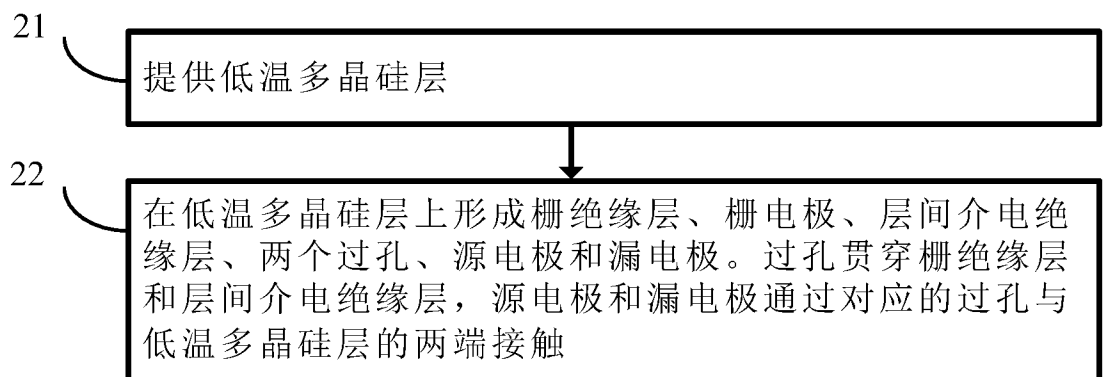


图 12

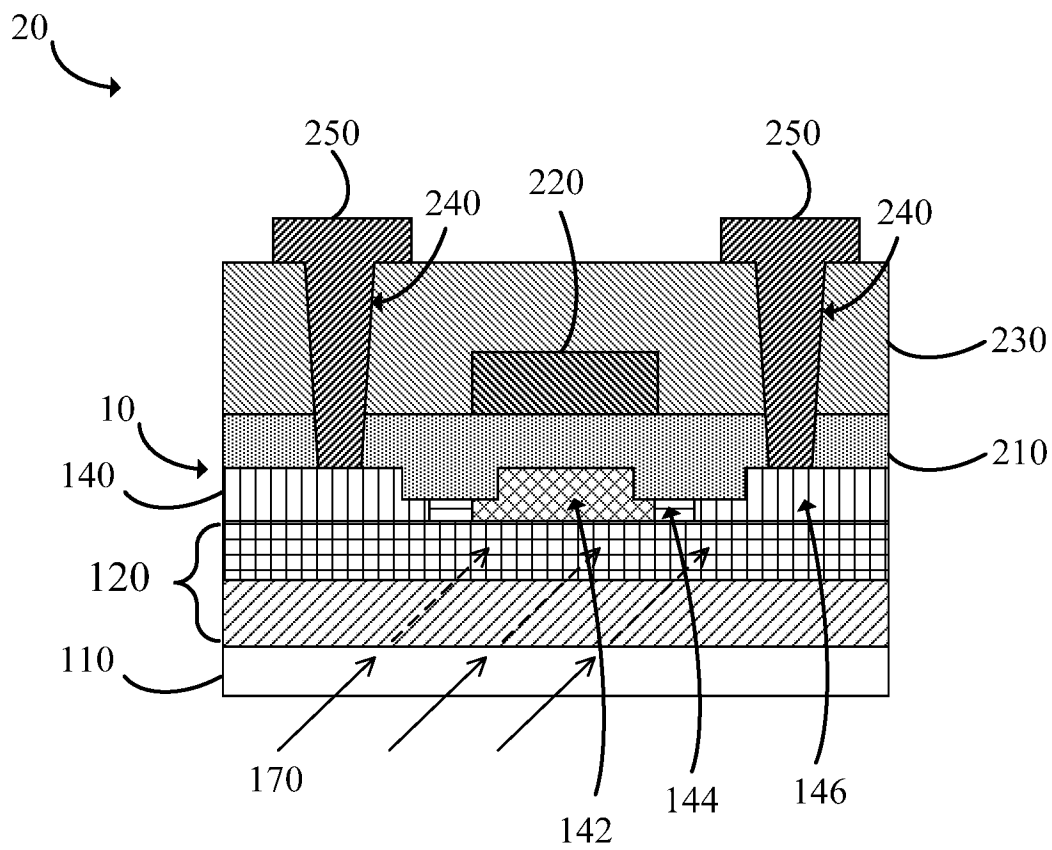


图 13

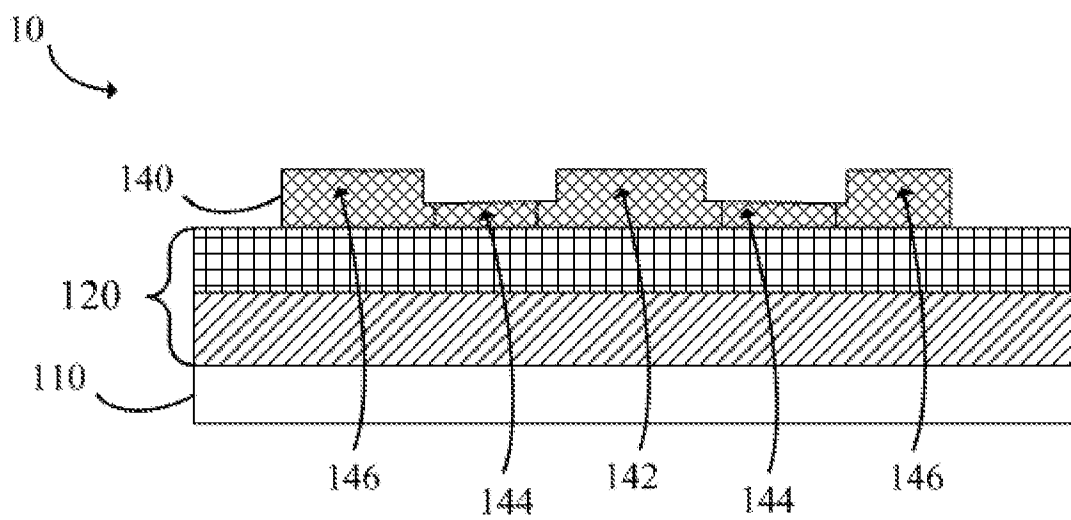


图 14

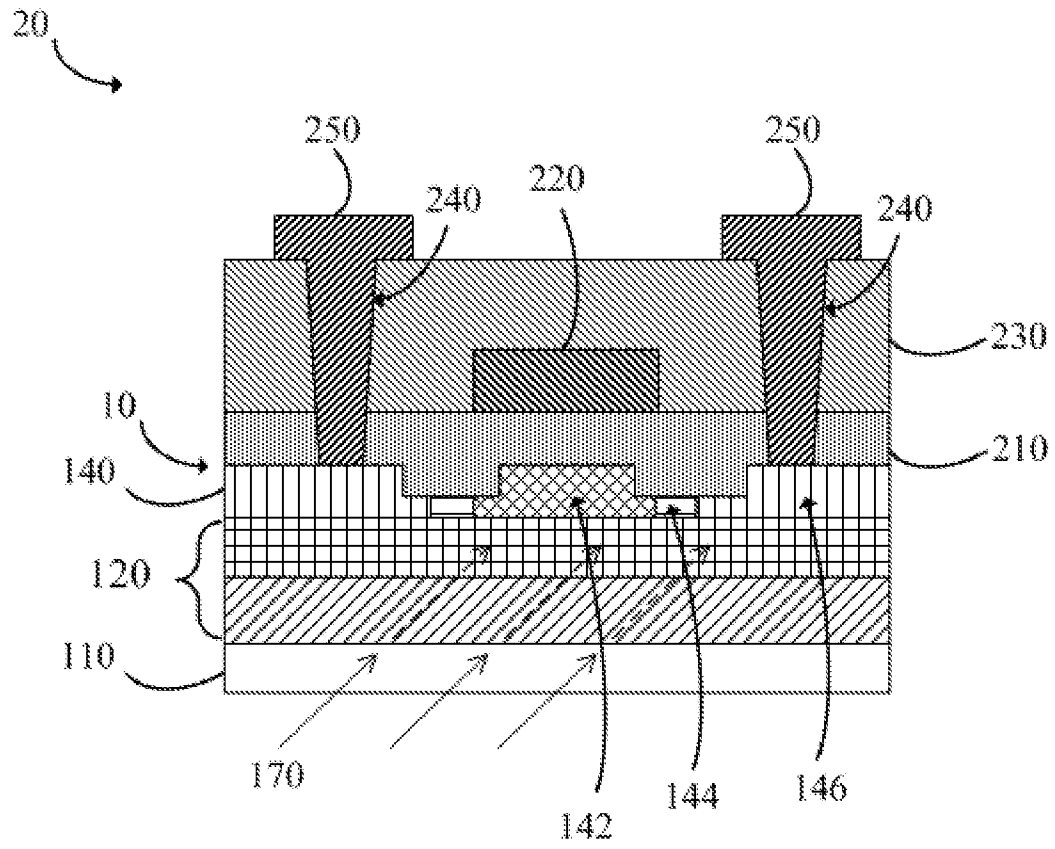


图 15

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2018/116173

A. CLASSIFICATION OF SUBJECT MATTER

H01L 21/02(2006.01)i; H01L 21/336(2006.01)i; H01L 29/786(2006.01)i; H01L 29/10(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNPAT, CNKI, IEEE, WPI, EPODOC: 华星光电, 岛状, 低温, 多晶硅, 轻掺杂, 低掺杂, 高掺杂, 沟道, 厚度, 漏电流, 边缘, polysilicon, p-Si, LTPS, LDD, thickness, channel, leakage, current, edge

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	CN 105047567 A (WUHAN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.) 11 November 2015 (2015-11-11) description, paragraphs [0004]-[0119], and figures 1-14	1-20
Y	CN 107046003 A (WUHAN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.) 15 August 2017 (2017-08-15) description, paragraph [0004]	1-20
A	KR 20050031249 A (LG PHILIPS LCD CO., LTD.) 06 April 2005 (2005-04-06) entire document	1-20
A	CN 105576034 A (WUHAN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.) 11 May 2016 (2016-05-11) entire document	1-20



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

10 June 2019

Date of mailing of the international search report

28 June 2019

Name and mailing address of the ISA/CN

State Intellectual Property Office of the P. R. China
No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing
100088
China

Facsimile No. (86-10)62019451

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2018/116173

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
CN	105047567	A	11 November 2015	None			
CN	107046003	A	15 August 2017	CN	107046003	B	03 May 2019
				WO	2018218712	A1	06 December 2018
				US	2018351000	A1	06 December 2018
KR	20050031249	A	06 April 2005	None			
CN	105576034	A	11 May 2016	None			

国际检索报告

国际申请号

PCT/CN2018/116173

A. 主题的分类

H01L 21/02(2006.01)i; H01L 21/336(2006.01)i; H01L 29/786(2006.01)i; H01L 29/10(2006.01)i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

H01L

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

CNPAT, CNKI, IEEE, WPI, EPDOC: 华星光电, 岛状, 低温, 多晶硅, 轻掺杂, 低掺杂, 高掺杂, 沟道, 厚度, 漏电流, 边缘, polysilicon, p-Si, LTPS, LDD, thickness, channel, leakage, current, edge

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
Y	CN 105047567 A (武汉华星光电技术有限公司) 2015年 11月 11日 (2015 - 11 - 11) 说明书第[0004]-[0119]段、图1-14	1-20
Y	CN 107046003 A (武汉华星光电技术有限公司) 2017年 8月 15日 (2017 - 08 - 15) 说明书第[0004]段	1-20
A	KR 20050031249 A (LG PHILIPS LCD CO., LTD.) 2005年 4月 6日 (2005 - 04 - 06) 全文	1-20
A	CN 105576034 A (武汉华星光电技术有限公司) 2016年 5月 11日 (2016 - 05 - 11) 全文	1-20

☐ 其余文件在C栏的续页中列出。☒ 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

2019年 6月 10日

国际检索报告邮寄日期

2019年 6月 28日

ISA/CN的名称和邮寄地址

中国国家知识产权局(ISA/CN)
中国北京市海淀区蓟门桥西土城路6号 100088

受权官员

李静

传真号 (86-10)62019451

电话号码 86-(10)-53961223

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2018/116173

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	105047567	A	2015年 11月 11日	无			
CN	107046003	A	2017年 8月 15日	CN	107046003	B	2019年 5月 3日
				WO	2018218712	A1	2018年 12月 6日
				US	2018351000	A1	2018年 12月 6日
KR	20050031249	A	2005年 4月 6日	无			
CN	105576034	A	2016年 5月 11日	无			