



(12) 发明专利申请

(10) 申请公布号 CN 119853675 A

(43) 申请公布日 2025. 04. 18

(21) 申请号 202411890616.0

H03L 7/095 (2006.01)

(22) 申请日 2019.12.11

(30) 优先权数据

16/219,067 2018.12.13 US

(62) 分案原申请数据

201980067472.X 2019.12.11

(71) 申请人 德州仪器公司

地址 美国德克萨斯州

(72) 发明人 D·萨胡 R·萨赫德夫

(74) 专利代理机构 北京律盟知识产权代理有限公司
11287

专利代理师 林斯凯

(51) Int. Cl.

H03L 7/089 (2006.01)

H03L 7/093 (2006.01)

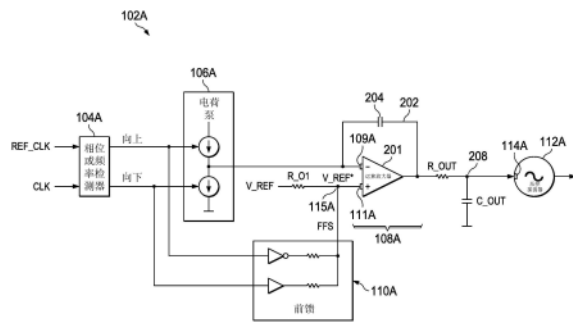
权利要求书2页 说明书6页 附图6页

(54) 发明名称

具有直接前馈电路的锁相环路 (PLL)

(57) 摘要

本申请涉及具有直接前馈电路的锁相环路 (PLL)。一种锁相环路PLL装置 (102A) 包含: 1) 检测器 (104A), 其经配置以输出指示反馈时钟信号与参考时钟信号之间的相位偏移的误差信号; 2) 电荷泵 (106A), 其耦合到所述检测器 (104A) 且经配置以基于所述误差信号输出电荷泵信号; 3) 积分器 (108A), 其具有反馈路径 (202)、输入节点 (109A)、参考节点 (111A) 及输出节点, 其中所述输入节点 (109A) 经耦合到所述电荷泵 (106A) 且接收所述电荷泵信号; 4) 压控振荡器 (112A), 其经由电阻器耦合到所述积分器 (108A) 的所述输出节点; 及 5) 前馈电路 (110A), 其直接耦合到所述检测器 (104A) 且经配置以应用所述误差信号的平均版本来校正由所述 VCO (112A) 接收的电压电平。



1. 一种装置,其包括:
 - 相位偏移检测器,其具有第一时钟输入、第二时钟输入和输出;
 - 电荷泵,其具有输入和输出,其中所述电荷泵的所述输入耦合到所述相位偏移检测器的所述输出;
 - 前馈电路,其具有输入和输出,其中所述前馈电路的所述输入耦合到所述相位偏移检测器的所述输出;
 - 放大器,其具有第一输入、第二输入和输出,其中所述放大器的所述第一输入耦合到所述电荷泵的所述输出,且所述放大器的所述第二输入耦合到参考电压端子;及
 - 振荡器,其具有耦合到所述放大器的所述输出的输入。
2. 根据权利要求1所述的装置,其进一步包括电压产生器,所述电压产生器具有耦合到所述放大器的所述第二输入的输入。
3. 根据权利要求1所述的装置,其进一步包括电容器,所述电容器具有耦合到所述放大器的所述输出的第一端子。
4. 根据权利要求1所述的装置,其中所述相位偏移检测器的所述输出是所述相位偏移检测器的第一输出,其中所述相位偏移检测器具有第二输出,且其中所述前馈电路具有耦合到所述相位偏移检测器的所述第二输出的第二输入。
5. 根据权利要求4所述的装置,其中所述相位偏移检测器经配置以基于所述第一时钟输入和所述第二时钟输入而在所述相位偏移检测器的所述第一输出处输出第一信号,且基于所述第一时钟输入和所述第二时钟输入而在所述相位偏移检测器的所述第二输出处输出第二信号。
6. 根据权利要求1所述的装置,其中所述前馈电路包括反相器,所述反相器具有输入和输出,其中所述反相器的所述输入耦合到所述相位偏移检测器的所述输出。
7. 根据权利要求6所述的装置,其中所述反相器的所述输出耦合到所述放大器的所述第二输入。
8. 根据权利要求6所述的装置,其中所述反相器的所述输出耦合到所述放大器的所述输出。
9. 根据权利要求6所述的装置,其中所述前馈电路进一步包括缓冲器,所述缓冲器具有耦合到所述相位偏移检测器的第二输出的输入,以及耦合到所述反相器的所述输出的输出。
10. 根据权利要求9所述的装置,其中所述缓冲器经由电阻器耦合到所述反相器的所述输出。
11. 根据权利要求1所述的装置,其中所述振荡器是压控振荡器。
12. 根据权利要求1所述的装置,其中所述前馈电路的所述输出耦合到所述放大器的所述第二输入。
13. 根据权利要求1所述的装置,其中所述前馈电路的所述输出耦合到所述放大器的所述输出。
14. 根据权利要求1所述的装置,其中所述参考电压端子经由电阻器耦合到所述放大器的所述第二输入。
15. 根据权利要求14所述的装置,其中所述电阻器和所述放大器的所述第二输入之间

的中间节点直接连接到所述前馈电路的所述输出。

16. 根据权利要求1所述的装置,其进一步包括反馈分频器,所述反馈分频器耦合在所述振荡器的输出与所述第二时钟输入之间。

17. 根据权利要求1所述的装置,其进一步包括限幅器,所述限幅器具有耦合到所述第一时钟输入的输出。

18. 根据权利要求1所述的装置,其进一步包括锁相环路PLL,所述PLL包括:

输出端子;

所述振荡器,其中所述振荡器的输出耦合到所述PLL的所述输出端子;

所述放大器;

所述电荷泵;

所述前馈电路;及

所述相位偏移检测器。

19. 一种装置,其包括:

相位偏移检测器,其具有第一时钟输入、第二时钟输入和输出;

电荷泵,其具有输入和输出,其中所述电荷泵的所述输入耦合到所述相位偏移检测器的所述输出;

前馈电路,其具有输入和输出,其中所述前馈电路的所述输入耦合到所述相位偏移检测器的所述输出;

滤波器,其具有第一输入和输出,其中所述滤波器的所述第一输入耦合到所述电荷泵的所述输出;及

振荡器,其具有耦合到所述滤波器的所述输出的输入。

20. 根据权利要求19所述的装置,其中所述滤波器包括RC滤波器。

21. 根据权利要求19所述的装置,其中所述滤波器包括第二输入和放大器,所述放大器具有第一输入、第二输入和输出,其中所述放大器的所述第一输入耦合到所述滤波器的所述第一输入,其中所述放大器的所述第二输入耦合到所述滤波器的所述第二输入,其中所述放大器的所述输出耦合到所述滤波器的所述输出,且其中所述滤波器的所述第二输入耦合到参考电压端子。

22. 根据权利要求21所述的装置,其进一步包括电容器,所述电容器耦合在所述放大器的所述第一输入与所述放大器的所述输出之间。

23. 根据权利要求19所述的装置,其中所述前馈电路的所述输出耦合到所述滤波器的所述输出。

具有直接前馈电路的锁相环路 (PLL)

[0001] 分案申请相关信息

[0002] 本申请是申请日为2019年12月11日、申请号为201980067472.X、发明名称为“具有直接前馈电路的锁相环路 (PLL)”的发明专利申请的分案申请。

技术领域

[0003] 本申请大体上涉及一种锁相环路 (PLL), 且更明确来说, 涉及具有直接前馈电路的 PLL。

背景技术

[0004] 锁相环路 (PLL) 是用于基于两个输入信号之间的相位差提供输出信号的控制电路。实例PLL拓扑包含相位检测器、电荷泵、环路滤波器及压控振荡器 (VCO)。PLL的实例用途包含信号解调、从嘈杂通信通道的信号恢复、基于输入频率的频率合成及精确计时时钟脉冲的分配。使用PLL的实例系统包含无线电系统、电信系统及/或计算机系统。

[0005] PLL是有缺点的控制电路, 其中相位噪声形式的不准确性是持续存在的问题。相位噪声由于例如压控振荡器、电荷泵及/或环路滤波器的PLL组件的缺点而发生。已发现推动PLL小型化会增加相位噪声。改进PLL设计及性能的工作一直在进行。

发明内容

[0006] 根据本发明的至少一个实例, 一种锁相环路 (PLL) 装置包括经配置以输出指示反馈时钟信号与参考时钟信号之间的相位偏移的误差信号的检测器。所述PLL装置还包括耦合到所述检测器且经配置以基于所述误差信号输出电荷泵信号的电荷泵。所述PLL装置还包括具有反馈路径、输入节点、参考节点及输出节点的积分器, 其中所述输入节点经耦合到所述电荷泵且接收所述电荷泵信号。所述PLL装置还包括经由电阻器耦合到所述积分器的所述输出节点的压控振荡器 (VCO)。所述PLL装置还包括直接耦合到所述检测器且经配置以应用所述误差信号的平均版本来校正由所述VCO接收的电压电平的前馈电路。

[0007] 根据本发明的至少一个实例, 一种设备包括经配置以基于时钟信号操作的电路系统。所述设备还包括经配置以基于参考时钟信号调整所述时钟信号的PLL。所述PLL包括经配置以输出指示反馈时钟信号与参考时钟信号之间的相位偏移的误差信号的检测器。所述PLL还包括耦合到所述检测器且经配置以基于所述误差信号输出电荷泵信号的电荷泵。所述PLL还包括具有反馈路径、输入节点、参考节点及输出节点的积分器, 其中所述输入节点经耦合到所述电荷泵且接收所述电荷泵信号。所述PLL还包括经由电阻器耦合到所述积分器的所述输出节点的VCO, 其中所述VCO经配置以基于所述积分器的输出调整所述时钟信号的相位。所述PLL还包括直接耦合到所述检测器且经配置以应用所述误差信号的平均版本来校正由所述VCO接收的电压电平的前馈电路。

[0008] 根据本发明的至少一个实例, 一种PLL方法包括由检测器检测指示反馈时钟信号与参考时钟信号之间的相位偏移的误差信号。所述方法还包括基于所述误差信号调整电荷

泵输出。所述方法还包括由积分器随时间对所述电荷泵输出积分。所述方法还包括将所述经积分电荷泵输出转换成电压信号。所述方法还包括使用直接耦合到所述检测器的前馈电路将校正应用到所述电压信号。所述方法还包括由压控振荡器使用所述经校正电压信号来提供具有基于所述经校正电压信号的相位的输出信号。

附图说明

- [0009] 为了详细描述各个实例,现将参考附图,其中:
- [0010] 图1是说明根据各个实例的电子装置的框图;
- [0011] 图2是说明根据各个实例的锁相环路 (PLL) 电路的示意图;
- [0012] 图3是说明根据各个实例的另一PLL电路的示意图;
- [0013] 图4是说明根据各个实例的具有建模组件的PLL电路的框图;
- [0014] 图5是说明根据各个实例的各个PLL电路的随频率变化的相位噪声的曲线图;及
- [0015] 图6是说明根据各个实例的PLL方法的流程图。

具体实施方式

[0016] 本文中揭示涉及减少相位噪声的直接前馈电路的锁相环路 (PLL) 电路、装置及方法。如本文中使用的,“直接前馈电路”是指经连接到PLL电路的相位检测器的前馈电路。在实例PLL电路中,相位检测器比较输入信号相位与参考信号相位且提供误差信号(例如向上或向下信号)。实例向上信号指示输入信号相位需要朝向参考信号相位增大。实例向下信号指示输入信号相位需要朝向参考信号相位减小。前馈电路从相位检测器接收误差信号及调整馈送到提供PLL电路的输出信号的压控振荡器(VCO)中的电压。在一些实例中,前馈电路将前馈信号提供到PLL电路的环路滤波器。更明确来说,前馈信号用于调整环路滤波器的参考信号,使得环路滤波器的输出被调整,从而导致馈送到VCO中的电压调整。在其它实例中,前馈电路将前馈信号提供到VCO的输入节点以调整馈送到VCO中的电压。在任一情况中,前馈信号对PLL电路输出提供校正以减小相位噪声。

[0017] 在一些实例中,前馈电路包含两个分支,其包含第一及第二分支。第一分支经耦合到相位检测器的第一输出节点(例如向上信号节点),且第二分支经耦合到第二输出节点(例如向下信号节点)。作为实例,第一分支包含反相器及第一电阻器,而第二分支包含缓冲器及第二电阻器。第一及第二分支在前馈电路的输出节点处接合,从而导致前馈电路在其输出节点处提供输入的平均值。

[0018] 在由前馈电路提供校正的情况下,PLL电路输出处的相位误差比其它PLL电路拓扑减小。另外,所揭示的PLL电路拓扑由于至少一些组件相对小于其它PLL电路拓扑而支持小型化。在一些实例中,所揭示的PLL电路拓扑与WiFi无线电装置及/或其它案例一起使用,其中需要PLL的低噪声性能。为了提供较佳理解,各个PLL电路选项、前馈电路选项及相关PLL方法选项使用下图进行描述。

[0019] 图1是说明根据各个实例的电子装置100的框图。在图1中,电子装置100表示集成电路(IC)、多裸片模块、印刷电路板(PCB)、消费品(例如无线电装置、电信装置或计算机装置)及/或其它装置。如展示,电子装置100包含耦合到其它组件116的PLL电路102。在不同实例中,其它组件116不同。在一个实例中,其它组件116包含信号解调组件。在另一实例中,其

它组件116包含信号恢复组件。在另一实例中,其它组件116包含频率合成组件。在另一实例中,其它组件116包含时钟分配组件。在不同实例中,电子装置100作为一单元售卖以在无线电系统、电信系统及/或计算机系统中使用。

[0020] 如图1中展示,PLL电路102包含从其它组件116接收反馈信号(CLK)的相位或频率检测器(PFD)104。PFD 104还接收参考时钟信号(REF_CLK)。PFD 104的输出是CLK信号的相位与REF_CLK信号的相位之间的误差信号。如先前论述,来自PFD 104的实例输出包含指示应如何调整CLK信号来与CLK_REF信号对准的向上或向下信号(向上是指增大CLK信号的相位,且向下是指减小CLK信号的相位)。将来自PFD 104的输出提供到电荷泵106及前馈电路110。将电荷泵106的输出提供到环路滤波器108的第一输入节点109。

[0021] 在一个实例(标记为选项1)中,前馈电路110将前馈信号提供到环路滤波器108的第二输入节点111。在选项1下,前馈信号与前馈节点115处的参考信号(V_REF*)组合,其中V_REF*通过将参考信号(V_REF)应用到电阻器(R_01)来获得。更明确来说,环路滤波器108的输出是V_REF*信号与应用到第二输入节点111的前馈信号的组合的函数,其中环路滤波器108的输出用于将电压提供到VCO 112的输入节点114。VCO 112的输出是具有基于VCO 112的输入节点114处的电压的相位的信号。

[0022] 在另一实例(标记为选项2)中,前馈电路110将前馈信号提供到耦合到VCO 112的输入节点114的前馈节点117。在选项2下,环路滤波器108的输出与前馈节点117处的前馈信号组合,且经组合信号被提供到VCO 112的输入节点114,从而导致输入节点114处的电压基于来自前馈电路110的前馈信号进行调整。在选项1及2中的任一者下,前馈电路110经直接耦合到PFD 104,且前馈信号用于调整提供到VCO 112的电压,使得PLL电路102的输出信号118的相位误差减小。

[0023] 在操作中,PLL电路102的PFD 104是经配置以输出指示CLK信号与REF_CLK信号之间的相位偏移的误差信号的检测器。电荷泵106经耦合到PFD 104且经配置以基于误差信号输出电荷泵信号。在一些实例中,环路滤波器108包含具有反馈路径、输入节点(例如第一输入节点109)、参考节点(例如第二输入节点111)及输出节点的积分器,其中输入节点经耦合到电荷泵106且接收电荷泵信号。在一些实例中,VCO 112经由电阻器耦合到积分器的输出节点。同时,前馈电路110直接耦合到PFD 104且经配置以应用误差信号的平均版本来校正由VCO 112接收的电压电平。

[0024] 在一些实例(如同选项1)中,前馈电路110经耦合到积分器的参考节点(例如,前馈节点115经连接到第二输入节点111)且将误差信号的平均版本应用到参考节点以校正由VCO 112接收的电压电平。在此类实例中,参考信号电阻器(例如R_01)在参考信号节点(例如第二输入节点111)与前馈节点115之间,其中前馈电路110将前馈信号应用到积分器的参考节点。

[0025] 在其它实例(如同选项2)中,前馈电路110耦合到环路滤波器108的输出处的电阻器(见例如图2及3)与VCO 112之间的前馈节点117,其中前馈电路110将误差信号的平均版本应用到前馈节点117以校正由VCO 112接收的电压电平。针对选项1及2中的任一者,在一些实例中,环路滤波器108的积分器的反馈路径仅包含电容器。在其它实例中,环路滤波器108的积分器的反馈路径包含电容器及反馈电阻器。

[0026] 在一些实例中,PFD 104包括第一输出节点及第二输出节点(见例如图2到4)。在此

类实例中,前馈电路110包括耦合到第一输出节点的第一路径及耦合到第二输出节点的第二路径。第一及第二路径操作以平均化从PFD 104的第一及第二输出节点输出的脉冲(对应于误差信号)。在一个实例中,PFD 104的第一输出节点经配置以将向上信号输出到第一路径,且检测器的第二输出节点经配置以将向下信号输出到第二路径。在一些实例中,前馈电路110的第一路径包括反相器及第一电阻器,且前馈电路110的第二路径包括缓冲器及第二电阻器。而且,在一些实例中,前馈电路110具有增益 $V_{dd}/(2*\pi)$,其中 V_{dd} 是提供到积分器的电力供应电压。

[0027] 图2是说明根据各个实例的PLL电路102A的示意图。在图2的实例中,PLL电路102A对应于前馈选项1下的图1的PLL电路102。更明确来说,PLL电路102A包括耦合到电荷泵106A的PFD 104A,其中图2的PFD 104A及电荷泵106A是图1的PFD 104及电荷泵106的实例。如展示,PFD 104A接收参考时钟信号(REF_CLK)及反馈信号(CLK)作为输入。在一些实例中,当CLK信号的相位需要增大以与REF_CLK信号的相位对准时,PFD 104A的输出是向上信号。另一方面,在一些实例中,当CLK信号的相位需要减小以与REF_CLK信号的相位对准时,PFD 104A的输出是向下信号。

[0028] 在图2的实例中,电荷泵106A从PFD 104A接收向上及向下信号且相应地调整到环路滤波器108A的电荷泵信号。更明确来说,电荷泵106A的输出经输入到环路滤波器108A的负输入节点109A(图1中的第一输入节点109的实例)。在图2中,环路滤波器108A对应于使用反馈环路202中的运算放大器201与电容器204形成的积分器。同时,前馈电路110A(图1中的前馈电路110的实例)将前馈信号(图2中标记为“FFS”)提供到环路滤波器108A的正输入节点111A(图1中的第二输入节点111的实例)。如图2中表示,前馈信号与 V_{REF*} 组合为到环路滤波器108A的正输入的输入,其中 V_{REF*} 信号是 V_{REF} 信号及 R_{01} 的函数(V_{REF*} 信号是 V_{REF} 信号由于 R_{01} 而导出的版本)。

[0029] 环路滤波器108A的输出是负输入节点109A及正输入节点111A处的信号之间的差的函数。在图2的实例中,环路滤波器108A的输出经提供到具有电阻器(R_{OUT})及电容器(C_{OUT})的RC电路。 R_{OUT} 与 C_{OUT} 之间是耦合到VCO 112A的输入节点114A的节点208。因此,针对PLL电路102A,VCO 112A的输入节点114A处的电压是PFD 104A、电荷泵106A、前馈电路110A(将前馈信号应用到环路滤波器108A的输入节点111A)、环路滤波器108A及RC电路的运算的函数,其中前馈电路110A的使用减少PLL电路102A的输出信号的相位噪声。

[0030] 图3是说明根据各个实例的另一PLL电路102B的示意图。在图3的实例中,PLL电路102B对应于前馈选项2下的图1的PLL电路102。更明确来说,PLL电路102B包括耦合到电荷泵106B的PFD 104B,其中图3的PFD 104B及电荷泵106B是图1的PFD 104及电荷泵106的实例。如展示,PFD 104B接收参考时钟信号(REF_CLK)及反馈信号(CLK)作为输入。在一些实例中,当CLK信号的相位需要增大以与REF_CLK信号的相位对准时,PFD 104B的输出是向上信号。另一方面,在一些实例中,当CLK信号的相位需要减小以与REF_CLK信号的相位对准时,PFD 104B的输出是向下信号。

[0031] 在图3的实例中,电荷泵106B从PFD 104B接收向上及向下信号且向上或向下调整到环路滤波器108B的电流。更明确来说,电荷泵106B的输出经输入到环路滤波器108B的负输入节点109B(图1中的第一输入节点109的实例)。同时,参考电压经输入到环路滤波器108B的正输入节点111B(图1中的第二输入节点111的实例)。在图3中,环路滤波器108B对应

于使用反馈环路302中的运算放大器301与电容器304形成的积分器。

[0032] 在图3中,环路滤波器108B的输出是负输入节点109B及正输入节点111B处的信号之间的差的函数。如展示,环路滤波器108B的输出经提供到具有电阻器(R_OUT)及电容器(C_OUT)的RC电路。R_OUT与C_OUT之间是耦合到VCO 112B的输入节点114B的节点308。在图3的实例中,节点308从前馈电路110B接收前馈信号(图3中标记为“FFS”)。因此,针对PLL电路102B,VCO 112B的输入节点114B处的电压是PFD 104B、电荷泵106B、环路滤波器108B、RC电路及前馈电路110B(将前馈信号应用到节点308)的运算的函数,其中前馈电路110B的使用减少PLL电路102B的相位噪声。

[0033] 图4是说明根据各个实例的具有经建模组件的PLL电路102C的框图。在图4的实例中,PLL电路102C对应于图2的PLL电路102A、图3的PLL电路102B或前馈选项1或2下的图1的PLL电路102。如展示,PLL电路102C包含PFD 104C,其是图3中的PFD 104B或图1中的PFD 104的实例。到PFD 104C的输入包含反馈信号(CLK)及参考信号(REF_CLK)。更明确来说,在图4的实例中,将REF_CLK信号表示为经由限幅器402提供到PFD 104C。同时,将CLK信号表示为通过将VCO 112C(图3中的VCO 112B或图1中的VCO 112的实例)的输出传递到分频器缓冲器406及反馈分频器408提供到PFD 104C,其中反馈分频器408的输出是CLK信号。在图4的实例中,PLL电路102C对应于图3的PLL电路102B或前馈选项2下的图1的PLL 102。

[0034] 在图4中,电荷泵106C接收PFD 104C的输出,其中电荷泵106C是图3的电荷泵106B或图1的电荷泵106的实例。如图4中表示,电荷泵106C将增益(K_d)应用到来自PFD 104C的信号。此后,作为图3中的环路滤波器108B或图1中的环路滤波器108的实例的环路滤波器108C通过积分(1/s)将频率相依增益应用到电荷泵106C的输出。环路滤波器108C的输出与前馈电路110C的输出组合,前馈电路110C是图3的前馈电路110B或图1的前馈电路110的实例。如图4中表示,前馈电路110C将增益(K_f)应用到PFD 104C的输出。前馈电路110C的输出及环路滤波器108C的输出在节点404处组合,节点404是图3中的节点308或图1中的前馈节点117的实例。来自节点404的输出经提供到VCO 112C,从而导致VCO 112C输出具有随节点404处的信号变化的相位的信号。在图4中,来自VCO 112C的输出如先前论述那样提供到分频器缓冲器406,且是本地振荡器信号410。

[0035] PLL电路102C的控制环路行为可使用各种参数表示。更明确来说,在一些实例中,随反馈信号(例如CLK)与参考信号(例如REF_CLK)之间的相位误差而变化的VCO 112C的输出相位给出如下:

$$[0036] \quad \frac{\phi_{OUT}}{\phi_e} = \frac{K_d(1+sCR)K_v}{sC \cdot s} = \frac{K(1+sCR)}{s^2} \quad \text{方程式(1)}$$

[0037] 其中 $R=K_f/K_d$,其中 Φ_{OUT} 是VCO 112C的输出的相位, Φ_e 是CLK信号与CLK_REF信号之间的相位误差,K_d是由电荷泵106C应用的增益,s是控制环路的频率,C是控制环路的电容,R是控制环路的电阻,且K_v是表示为由其输入处的控制电压的变化引起的VCO输出频率的变化的增益。另外,在一些实例中,随 Φ_e 变化的VCO 112C的输出电压(V_c)给出如下:

$$[0038] \quad \frac{V_c}{\phi_e} = \frac{K_d(1+sCR)}{sC} = \frac{K_d}{sC} + K_d R = \frac{K_d}{sC} + K_f \quad \text{方程式(2)}$$

[0039] 其中K_d是由电荷泵106C应用的增益,s是控制环路的频率,C是控制环路的电容,R

是控制环路的电阻,且 K_f 是由前馈电路110C应用的增益。而且,在一些实例中,控制环路的零点根据其它值确定。举例来说,在一些实例中,零点控制环路被确定为:

$$[0040] \quad Zero = \frac{1}{RC} = \frac{K_d / K_f}{C} \quad \text{方程式(3)}$$

[0041] 而且,在一些实例中,控制环路的带宽根据其它值估计。举例来说,在一些实例中,带宽(BW)控制环路被估计为:

$$[0042] \quad BW \propto K_d \cdot R \cdot K_v \propto K_f \cdot K_v \quad \text{方程式(4)}$$

[0043] 图5是说明根据各个实例的随各个PLL电路的频率变化的相位噪声(以dB为单位)的曲线图500。在曲线图500中,表示各个相位噪声曲线502、504、506、508及510。更明确来说,噪声曲线502对应于现有技术PLL电路,相位噪声曲线504对应于图2的PLL电路102A,相位噪声曲线506对应于图3的PLL电路102B,相位噪声曲线508对应于具有无噪声VCO的现有技术PLL电路,相位噪声曲线510对应于具有无噪声VCO的图2的PLL电路102A,且相位噪声曲线512对应于具有无噪声VCO的图3的PLL电路102B。如曲线图500中展示,如本文中描述那样使用前馈电路与现有技术PLL电路(在其反馈路径中与电容器C串联地使用实际电阻R)相比降低相位噪声。

[0044] 图6是说明根据各个实例的PLL方法600的流程图。如展示,方法600包括在框602由检测器检测指示反馈时钟信号(CLK)与参考时钟信号(REF_CLK)之间的相位偏移的误差信号。在框604,基于误差信号调整电荷泵输出。在框606,由积分器随时间对电荷泵输出积分。在框608,将经积分电荷泵输出转换成电压信号。在框610,使用直接耦合到检测器的前馈电路将校正应用到电压信号。在一些实例中,框610的操作涉及使用前馈电路将校正应用到积分器的参考节点。在其它实例中,框610的操作涉及使用前馈电路将校正应用到VCO的输入节点。在框612,由VCO(例如图4中的VCO 112C、图3中的VCO 112B、图2中的VCO 112A、图1中的VCO 112)使用经校正电压信号来提供具有基于经校正电压信号的相位的输出信号。

[0045] 已在具体实施方式及权利要求书使用特定术语来指代特定系统组件。所属领域的技术人员应了解,不同方可通过不同名称来指代组件。本发明并非旨在区分名称不同但功能并非不同的组件。在本发明及权利要求书中,术语“包含”及“包括”以开放方式使用,且因此应被解译为意味着“包含(但不限于)...”。而且,术语“耦合(couple/couples)旨在意味着间接或直接有线或无线连接。因此,如果第一装置耦合到第二装置,那么所述连接可通过直接连接或通过经由其它装置及连接的间接连接。陈述“基于...”旨在意味着“至少部分基于...”。因此,如果X是基于Y,那么X可为Y及任何数目个其它因子的函数。

[0046] 上文论述意在说明本发明的原理及各个实施例。所属领域的技术人员将在完全了解上文揭示内容之后明白众多变化及修改。所附权利要求书旨在被解译为包含所有此类变化及修改。

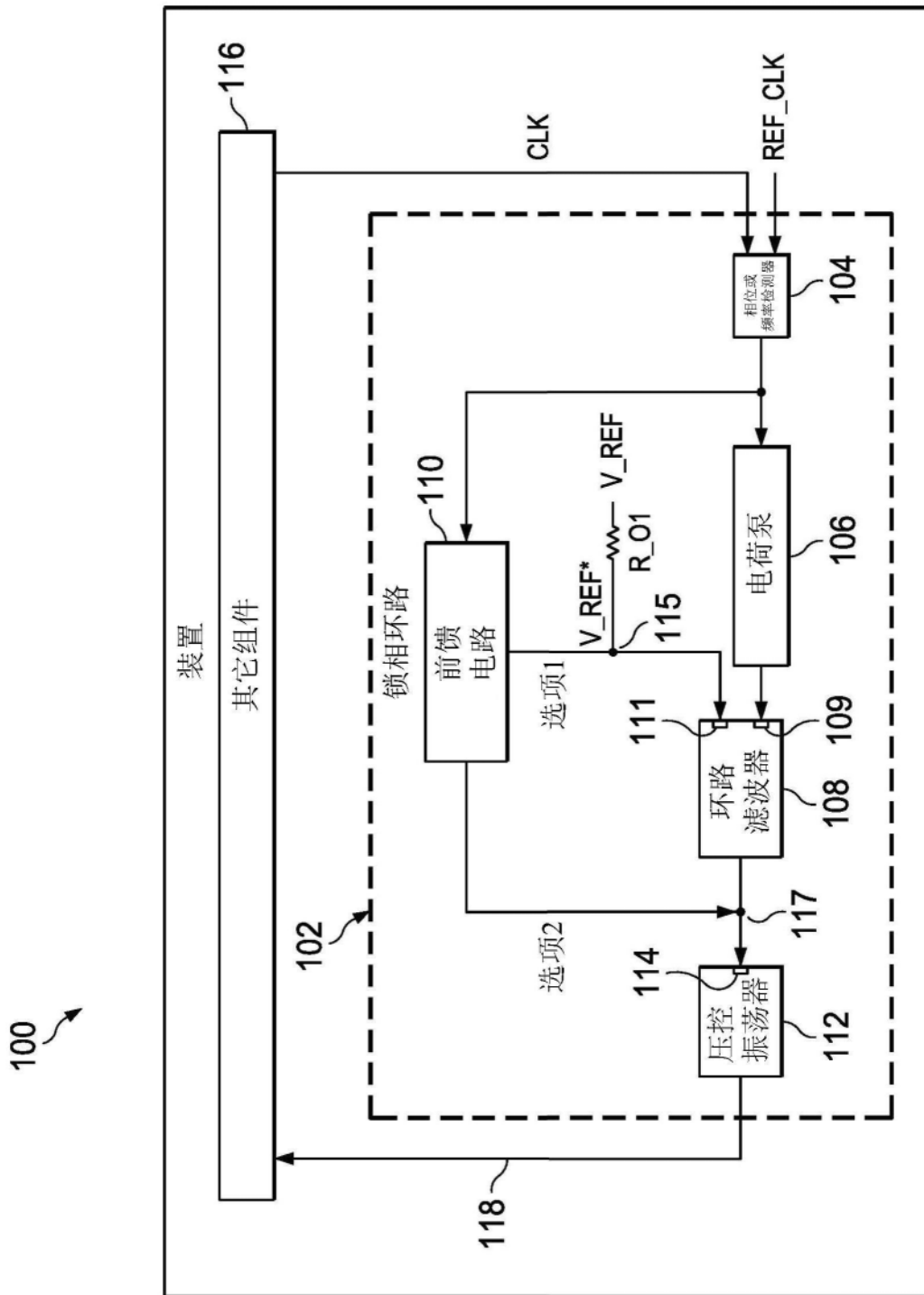


图1

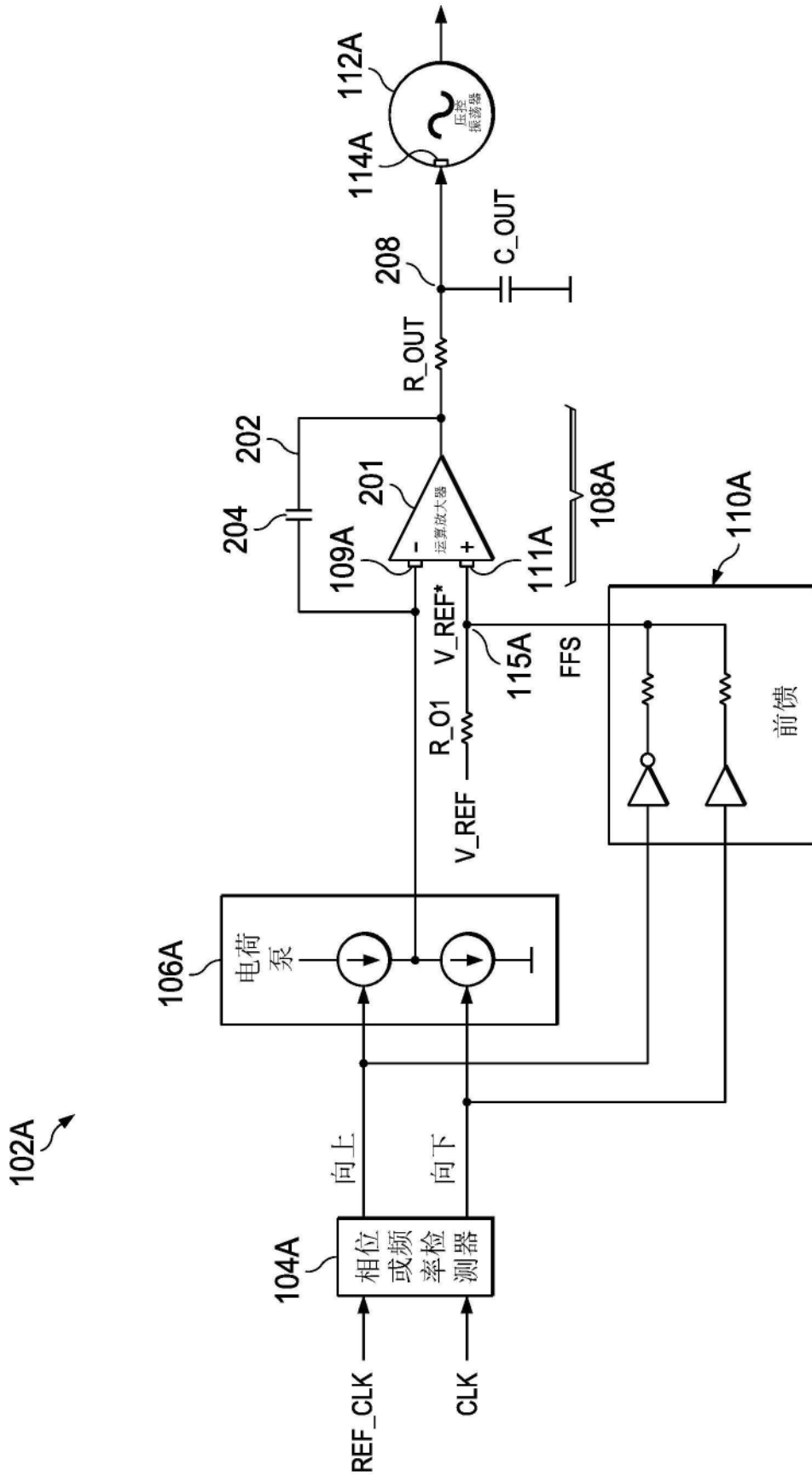


图2

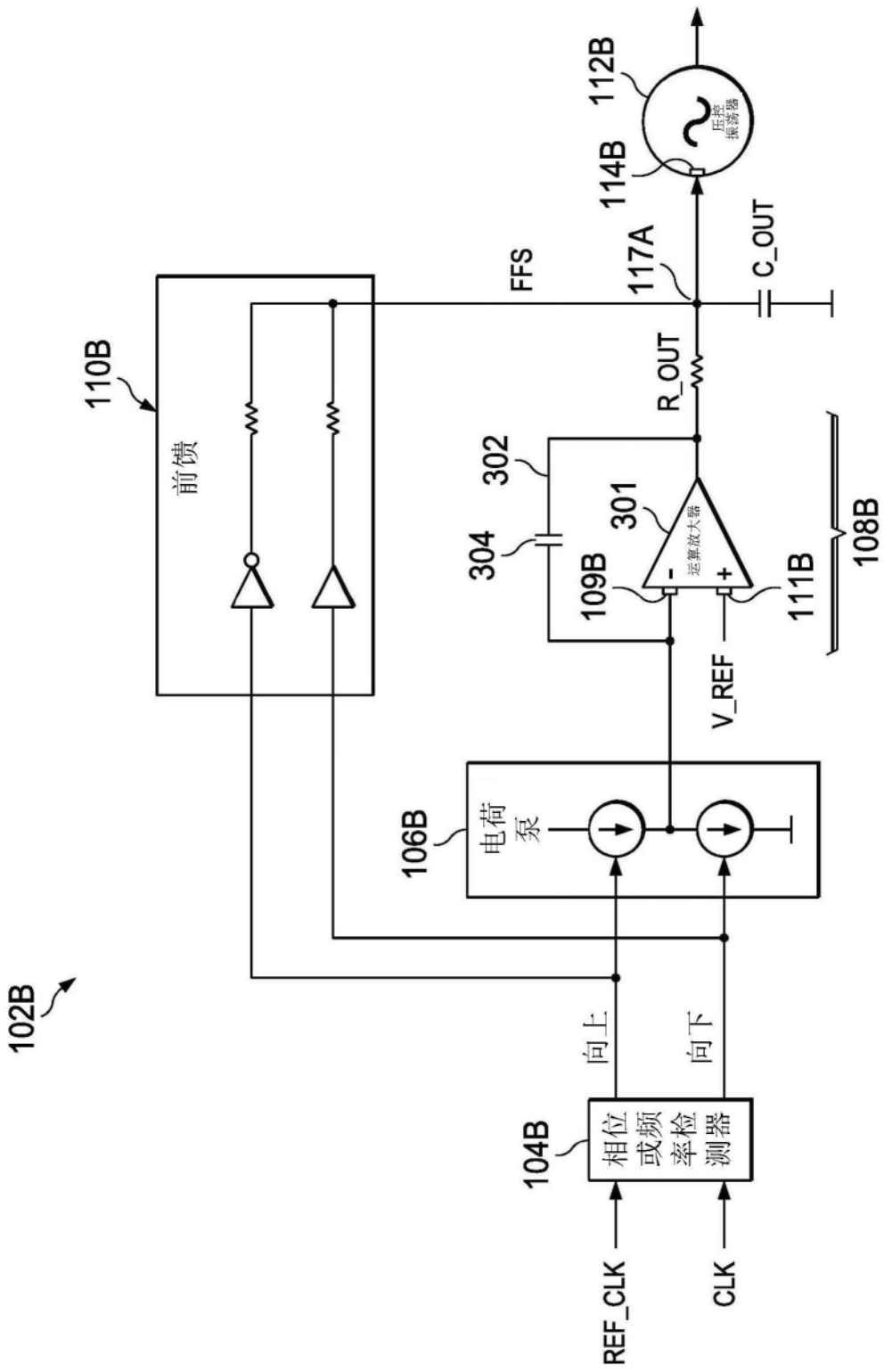


图3

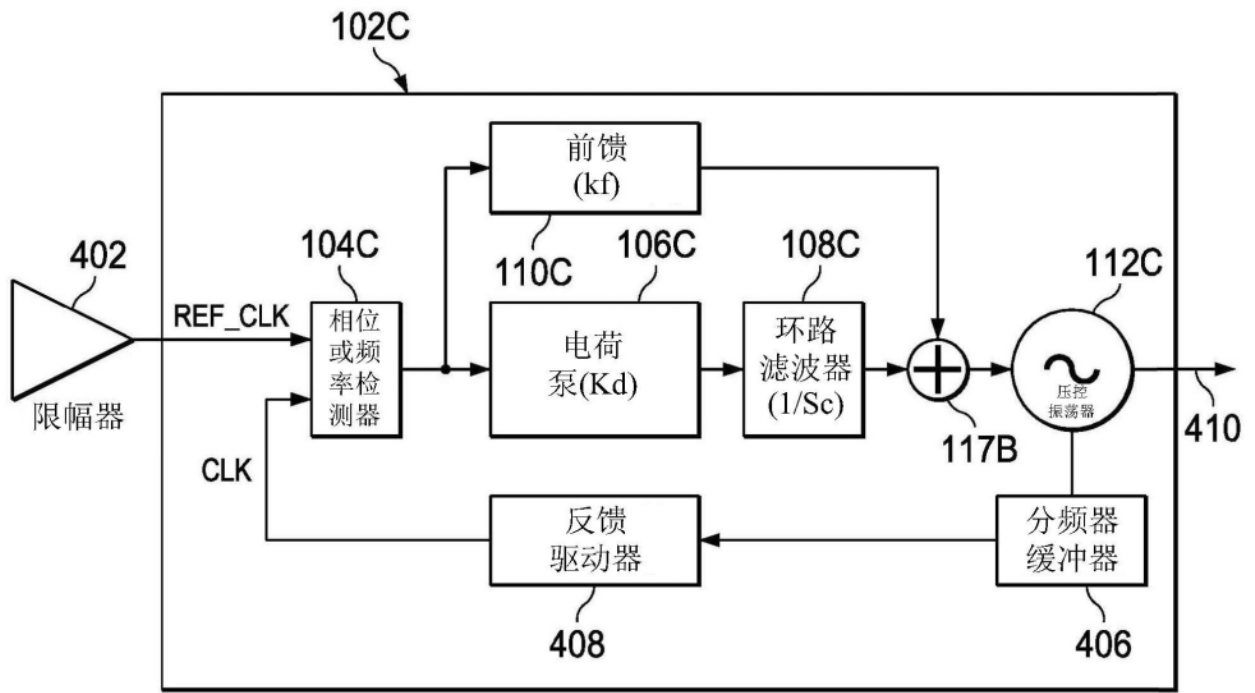


图4

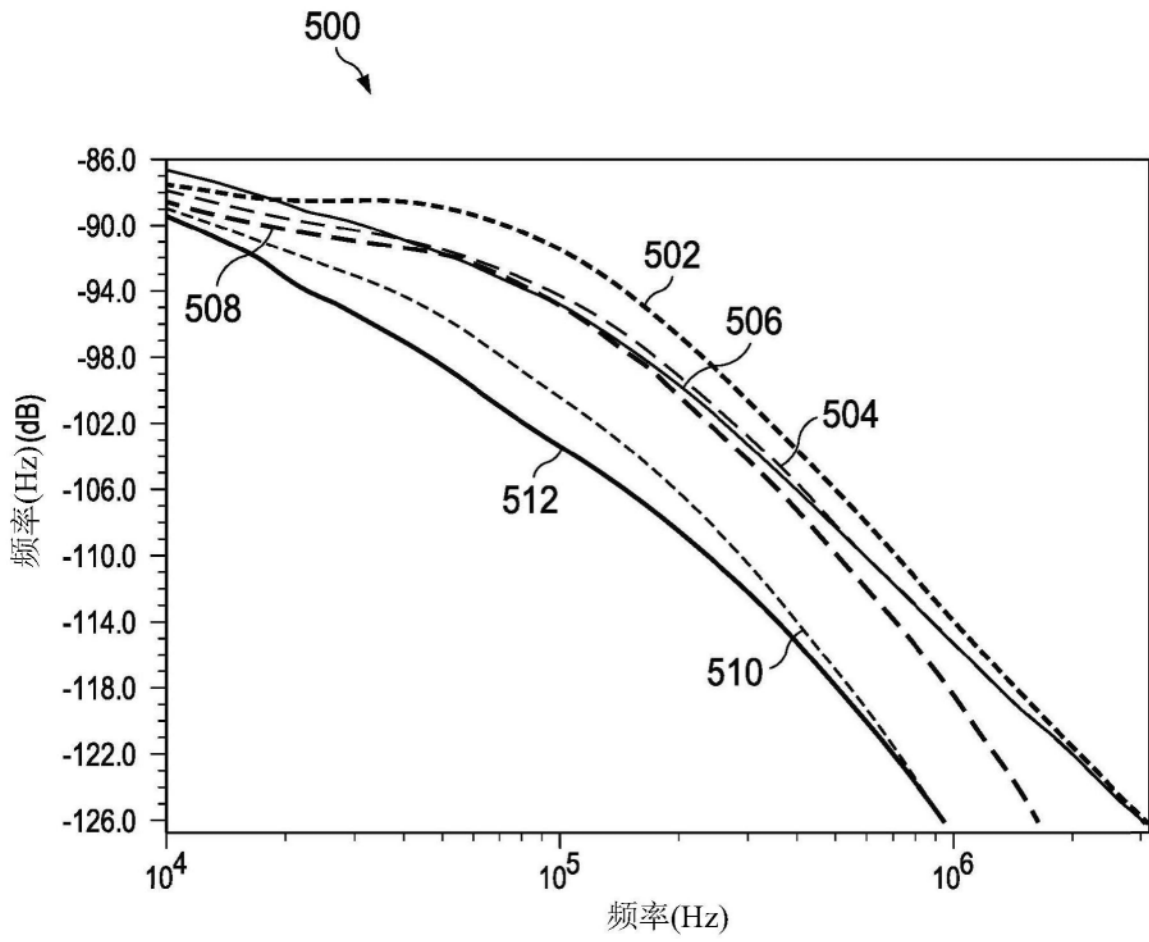


图5

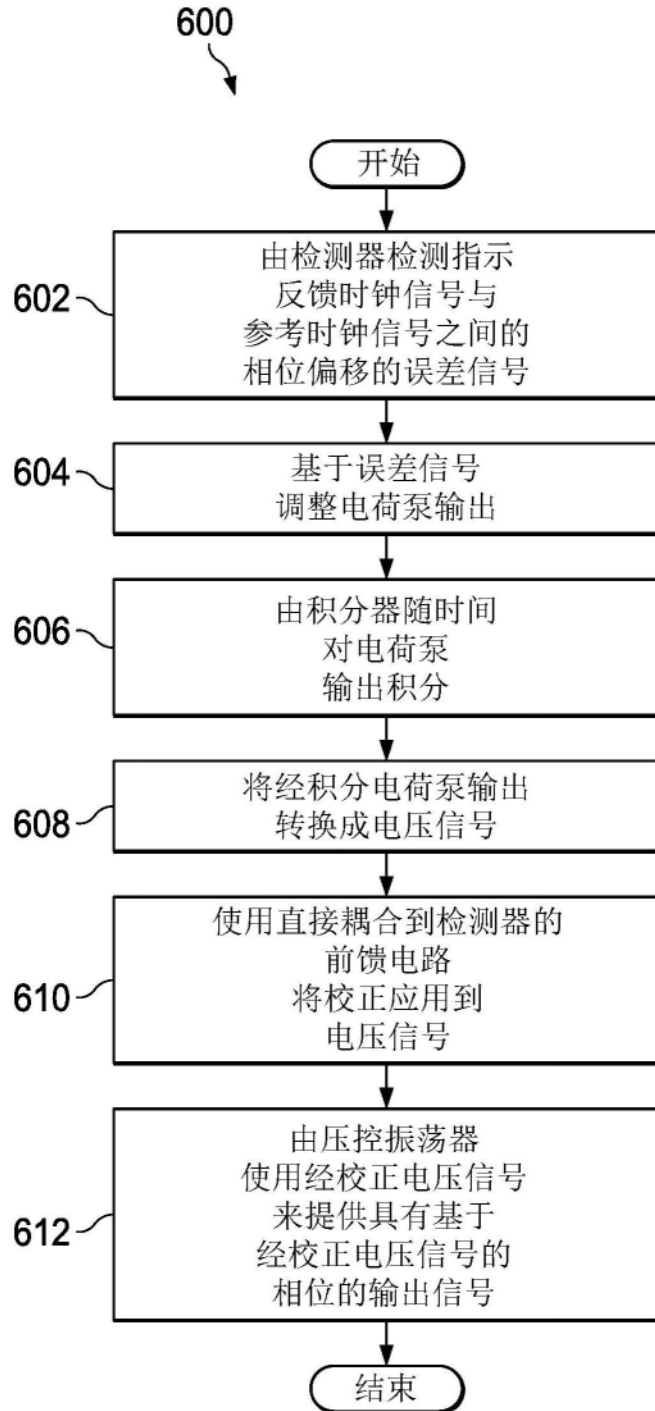


图6