

(12) Ausschließungspatent

Erteilt gemäß § 17 Absatz 1 Patentgesetz

(19) **DD** (11) **281 669 A5**

5(51) G 06 F 11/30

PATENTAMT der DDR

In der vom Anmelder eingereichten Fassung veröffentlicht

(21)	AP G 06 F / 319 879 3	(22)	16.09.88	(44)	15.08.90
------	-----------------------	------	----------	------	----------

(71) Akademie der Wissenschaften der DDR, Zentralinstitut für Kybernetik und Informationsprozesse, Kurstraße 33, Berlin, 1086, DD

(72) Stopp, Andreas, Dr.-Ing., DD

(73) siehe (71)

(54) **Verfahren und Anordnung zur parallelen Datenkompression für Testzwecke, insbesondere in Rechnerstrukturen**

(55) Mikrorechner; Test; Diagnose; parallele Datenkompression; Signaturverfahren

(57) Verfahren und Anordnung zur parallelen Datenkompression für Testzwecke insbesondere in Rechnerstrukturen.

Ziel ist es ein Verfahren und eine Anordnung zur parallelen Datenkompression zu finden, die für die Schaltkreisintegration mit geringem Bauelementeaufwand eine hohe Fehlererkennungswahrscheinlichkeit ermöglicht. Die Anordnung soll einfach steuerbar und beobachtbar sein, sich sowohl als Testoverhead in Schaltkreisen integrieren lassen als auch mit Universalbauelementen aufbauen lassen. Das wird dadurch erreicht, daß jeweils in einem Takt  $a$ -Bit-breite Eingangsdatenvektoren ( $A$ ) parallel verarbeitet werden, daß die Signaturverarbeitungslogik das Gleichungssystem für  $m$ -schrittige serielle Signaturregister realisiert, daß die Taktschrittweite größer oder gleich der Eingangsdatenbreite ist, daß das charakteristische Polynom irreduzibel und prim ist und daß die Anzahl der Nicht-Null-Koeffizienten gleich 2 ist, so daß für beliebige Eingangsdatenbreite die Eingangssignale des 1-Bit-Signaturspeichers über 2 Antivalenzverknüpfungen aus jeweils drei Signalen, dem Signal des Datenvektors und dem Ausgangssignalpaar der Rückführschaltung gebildet wird.

### Patentansprüche:

1. Verfahren zur parallelen Datenkompression für Testzwecke, insbesondere in Rechnerstrukturen, nach dem Signaturverfahren, **gekennzeichnet dadurch**, daß jeweils in einem Takt  $a$ -Bit-breite Eingangsdatenvektoren ( $A$ ) parallel verarbeitet werden, daß die Signaturverarbeitungslogik das Gleichungssystem für  $m$ -schrittige serielle Signaturregister realisiert, daß die Taktschrittweite ( $m$ ) größer oder gleich der Eingangsdatenbreite ( $a$ ) ist, daß das charakteristische Polynom vom Grad 1 irreduzibel und prim ist.
2. Anordnung zur parallelen Datenkompression für Testzwecke, insbesondere in Rechnerstrukturen, nach dem Signaturverfahren, unter Verwendung eines Signaturspeichers, **dadurch gekennzeichnet**, daß der  $a$ -Bit-Eingangsdatenvektor ( $A$ ) die  $a$  Datenbits über einen Eingangsdatenzuordner (1) auf 1 Signalleitungen geschaltet sind, die jeweils über zwei Antivalenzgatter auf den jeweiligen Eingang des Signaturspeichers (2) geschaltet sind, daß die 1 Ausgangssignale ( $y_n'$ ) des Signaturspeichers (2) als 1-Bit Ausgangsvektor bzw. Signaturvektor anstehen und auf eine Rückführschaltung (3) geführt sind, die eine Verdrahtung für  $m$ -schrittige Signaturverarbeitung in einem Takt nach einem irreduziblen und primen Polynom vom Grad 1 und Gewicht 2 realisiert und die auch wahlweise mindestens ein Ergebnissignal der Antivalenzverknüpfung ( $y_n$ ) verknüpft, so daß an jedes Antivalenzpaar ein Ausgangssignalpaar der Rückführschaltung ( $y_i, y_j$ ) geschaltet wird und daß die 1 Ausgänge des Signaturspeichers (2) über einen Ausgangsdatenzuordner (4) an die  $b$  Ausgangssignale verschaltet sind und daß eine Steuerleitung (S 1) an Eingangsdatenzuordner (1) und eine Steuerleitung (S 2) an Ausgangsdatenzuordner (4) zwei Zuordnungszustände schaltbar macht, erstens für einen Signaturverarbeitungs- und Generatormodus und zweitens für einen Steuer- und Beobachtungsmodus.
3. Anordnung nach Anspruch 2. **dadurch gekennzeichnet**, daß die Rückführschaltung (3) für Registerlänge (1) größer oder gleich Eingangsdatenbreite ( $a$ ) eine  $m = 1$ -schrittige Verarbeitung durch das Gleichungssystem realisiert.
4. Anordnung nach Anspruch 2, **dadurch gekennzeichnet**, daß die Rückführschaltung für Registerlänge (1) kleiner Eingangsdatenbreite ( $a$ ) eine  $m = a$ -schrittige Verarbeitung durch das Gleichungssystem realisiert wird.
5. Anordnung nach Anspruch 2 oder 3 zur Realisierung von Built-in-Registern, **dadurch gekennzeichnet**, daß außer der Signaturverarbeitungslogik eine Generatorlogik durch logische Abschaltung der Dateneingänge eine  $m$ -schrittige Datengenerierung realisiert, und daß die Steuerung über die Steuerleitung (S3) erfolgt.
6. Anordnung nach Anspruch 2, 3 oder 5 zur Anpassung an unterschiedliche Datenbreiten, **dadurch gekennzeichnet**, daß die  $m = 1$ -schrittige Signaturverarbeitungslogiken, die für äquidistante Polynome unterschiedlicher Länge und Anzahl der Rückkopplungen ( $r$ ) gleich 2 und Distanz der Rückkopplungen gleich konstant gleichartig aufgebaut werden und die sich deshalb für eine gewählte Registerlänge (1) mittels jeweils  $d$  Verbindungsleitungen sowohl baugruppenweise zusammengeschaltet als auch fest oder in der Rückführschaltung (3) durch Steuersignale (S4) über  $d$  Umschalter verkürzt werden.

Hierzu 1 Seite Zeichnungen

### Anwendungsgebiet der Erfindung

Die Erfindung ist verwendbar für Aufgaben der parallelen Datenkompression als Testdatenauswerter bzw. Testmustergenerator in:

- Built-In-Testverfahren (z. B. BILBO – Built-In-Logic-Block-Observation)
- Test- und Diagnosezwecke (z. B. Testdatenkomprimierung)
- Überwachungsverfahren (z. B. Programmablaufüberwachung)
- Vergleichstests (z. B. Mehrfachprogrammabarbeitung, softwareimplement. Fehlertoleranz)

Diese Verfahren sind vorzugsweise zur Integration auf Schaltkreisen geeignet.

### Charakteristik des bekannten Standes der Technik

Bekannt sind Anordnungen zur Datenkompression, die nach dem Prinzip der Addition (parallel) und der Übergangszählung (seriell) arbeiten, die beide eine zu geringe Fehlererkennungswahrscheinlichkeit aufweisen, so daß sie nicht weiter in Betracht zu ziehen sind. Serielle Signaturverfahren haben eine weite Verbreitung gefunden z. B. Signaturanalyse zur Fehlerlokalisierung auf Leiterplatten z. B. DE-OS 2538651, DD-WP 0153943. Serielle Prinzipien sind aber zur parallelen Datenkompression nur sehr aufwendig z. B. durch Parallelschaltung serieller Anordnungen anwendbar.

In (Voelkel, Lutz; Pliquett, Jürgen: Signaturanalyse. Akademie-Verlag Berlin 1988) wird das gegenwärtige Wissen auf diesem Fachgebiet zusammengefaßt.

Eine mittlerweile verbreitete Art der parallelen Datenkompression ist der Kompromiß in ein seriell arbeitendes Signaturregister zwischen die Zustandsspeicher über je ein EXOR-Gatter die Datenbits einzuspeisen. Dabei wird außer Acht gelassen, daß wesentliche Eigenschaften der Anordnung für serielle Verarbeitung dann bei Parallelverarbeitung nicht mehr gelten. Beispielsweise werden die unterschiedlichsten Erscheinungen geradzahligter Mehrfachfehler nicht erkannt. Die Fehlererkennungswahrscheinlichkeit ist zu gering.

Eine bekannte Anordnung einer mehrschrittigen seriellen Verarbeitung arbeitet mit einem speziellen Produktpolynom das demzufolge nicht irreduzibel ist, wodurch sich die Fehlererkennungswahrscheinlichkeit reduziert und außerdem keine maximalen Folgen generierbar sind. Nebus, J.F.: Parallel Data Compression for Fault Tolerance. Computer Design, Concord 22 (1983) 5. April, S. 127-134.

Weiterhin ist eine Anordnung einer mehrschrittigen seriellen Verarbeitung bekannt, die mit einem Polynom für 16-Bit arbeitet. Was einen minimalen Schaltungsaufwand von vier EXOR-Gattern pro Registerbit erfordert und für viele Anwendungsfälle ist die Fehlererkennungswahrscheinlichkeit eines 16-Bit-Registers außerdem zu gering. Shen, J. P.; Schuette, M. A.: On-Line Self-Monitoring Using Signed Instruction Streams. Proc. of Int. Test Conference, Philadelphia 1983, S. 275-283.

### Ziel der Erfindung

Ziel ist es, ein Verfahren und eine Anordnung zur parallelen Datenkompression zu finden, die für die Schaltkreisintegration mit geringem Bauelementeaufwand eine hohe Fehlererkennungswahrscheinlichkeit ermöglichen. Die Anordnung soll einfach steuerbar und beobachtbar sein, sich sowohl als Testoverhead in Schaltkreisen integrieren lassen als auch mit Universalbauelementen aufbauen lassen.

### Darlegung des Wesens der Erfindung

Aufgabe der Erfindung ist es, ein Verfahren und eine Anordnung zur parallelen Datenkompression für Testzwecke nach dem Signaturverfahren zu schaffen, die den Schaltungsaufwand bekannter Verfahren reduziert, die die Fehlererkennungswahrscheinlichkeit insbesondere bezüglich Mehrfachfehlern gegenüber bekannten Verfahren erheblich verbessert und die dadurch zu Erhöhung der Testbarkeit und Reduzierung der Testzeiten vorteilhaft in Schaltkreise integriert werden können.

Das wird erfindungsgemäß dadurch gelöst, daß jeweils in einem Takt a-Bit-breite Eingangsdatenvektoren parallel verarbeitet werden, daß die Signaturverarbeitungslogik das Gleichungssystem für m-schrittige serielle Signaturregister realisiert, daß die Taktschrittweite größer oder gleich der Eingangsdatenbreite ist, daß das charakteristische Polynom irreduzibel und prim ist und daß die Anzahl der Nicht-Null-Koeffizienten gleich 2 ist, so daß für beliebige Eingangsdatenbreite in der Regel die Eingangssignale des 1-Bit-Signaturspeichers über 2 Antivalenzverknüpfungen aus jeweils drei Signalen, dem Signal des Datenvektors und dem Ausgangssignalpaar der Rückführschaltung gebildet wird, wobei entsprechend Gleichungssystem auch d Ergebnissignale der Antivalenzverknüpfungen verarbeitet werden.

In der Anordnung werden a Datenbits des a-Bit-Eingangsdatenvektor über einen Eingangsdatenzuordner auf 1 Signalleitungen geschaltet, die jeweils über zwei Antivalenzgatter auf den jeweiligen Eingang des Signaturspeichers geschaltet sind, wobei die 1 Ausgangssignale des Signaturspeichers als 1-Bit Ausgangsvektor bzw. Signaturvektor anstehen und auf eine Rückführschaltung geführt sind, die eine Verdrahtung für m-schrittige Signaturverarbeitung in einem Takt nach einem irreduziblen und primen Polynom vom Grad 1 und Gewicht 2 realisiert und die auch wahlweise mindestens ein Ergebnissignal der Antivalenzverknüpfung verknüpft, so daß an jedes Antivalenzpaar ein Ausgangssignalpaar der Rückführschaltung geschaltet wird. Die 1 Ausgänge des Signaturspeichers werden über einen Ausgangsdatenzuordner an die b Ausgangssignale verschaltet. Eine Steuerleitung ist an den Eingangsdatenzuordner und eine Steuerleitung an den Ausgangsdatenzuordner geschaltet, die zwei Zuordnungszustände schaltbar macht, erstens für einen Signaturverarbeitungs- und Generatormodus und zweitens für einen Steuer- und Beobachtungsmodus.

Für Registerlänge größer oder gleich Eingangsdatenbreite realisiert die Rückführschaltung eine  $m = 1$ -schrittige Verarbeitung durch das Gleichungssystem.

Für Registerlänge kleiner Eingangsdatenbreite realisiert die Rückführschaltung eine  $m = a$ -schrittige Verarbeitung durch das Gleichungssystem.

Zur Realisierung von Built-in-Registern wird außer der Signaturverarbeitungslogik eine Generatorlogik und durch logische Abschaltung der Dateneingänge eine m-schrittige Datengenerierung realisiert. Die Steuerung erfolgt über eine Steuerleitung. Zur Anpassung an unterschiedliche Datenbreiten werden  $m = 1$ -schrittige Signaturverarbeitungslogiken, die für äquidistante Polynome unterschiedlicher Länge und Anzahl der Rückkopplungen gleich 2 und Distanz der Rückkopplungen gleich konstant gleichartig aufgebaut werden und die sich deshalb für eine gewählte Registerlänge mittels jeweils d Verbindungsleitungen sowohl baugruppenweise zusammengeschaltet als auch fest oder in der Rückführschaltung durch Steuersignale über d Umschalter verkürzt werden.



$$T = \begin{pmatrix} c_0 & c_1 & c_2 & \dots & c_{m-1} & c_m \\ 1-1 & 1-2 & 1-3 & \dots & 1 & 0 \\ 1 & 0 & 0 & \dots & 0 & 0 \\ 0 & 1 & 0 & \dots & 0 & 0 \\ \vdots & \vdots & \vdots & \ddots & \vdots & \vdots \\ 0 & 0 & 0 & \dots & 1 & 0 \end{pmatrix}$$

Typ EE

Die Matrix T enthält in der ersten Zeile die Koeffizienten des Polynoms entsprechend den Rückkopplungen und in der Diagonale der Submatrix den Wert 1, der den Verbindungen der Schieberegisterspeicher untereinander entspricht.

Wird die parallele Verarbeitung eines Datenwortes mit einem Schiebetaktt vollzogen, so können beispielsweise aufeinanderfolgende Einzelbitfehler sich auslöschen und zu einer Gutsignatur führen, was ein Nichterkennen derartiger Fehler zur Folge hat, d. h. eine unerwünschte Fehlerverdeckung.

Das wird erfindungsgemäß dadurch gelöst, daß jeweils in einem Takt a-Bit-breite Eingangsdatenvektoren A parallel verarbeitet werden, daß die Signaturverarbeitungslogik das Gleichungssystem für m-schrittige serielle Signaturregister realisiert, daß die Taktschrittweite m größer oder gleich der Eingangsdatenbreite a ist, daß das charakteristische Polynom irreduzibel und prim ist und daß die Anzahl der Nicht-Null-Koeffizienten gleich 2 ist, so daß für beliebige Eingangsdatenbreite a in der Regel die Eingangssignale des 1-Bit-Signaturspeichers 2 über 2 Antivalenzverknüpfungen aus jeweils drei Signalen, dem Signal des Datenvektors dn und dem Ausgangssignala-paar der Rückführschaltung yi, yj gebildet wird, wobei entsprechend Gleichungssystem auch d Ergebnissignale der Antivalenzverknüpfungen yn verarbeitet werden.

Der Ausweg liegt in der Gleichung, die angibt, wie aus einem beliebigen Zustand Yi ein m-Takte späterer Zustand Yi+m berechnet wird, wobei allerdings eine serielle Verarbeitung des m-stelligen Datenwortes angenommen wird.

Das m-schrittige Verfahren baut auf dem seriellen Verfahren auf.

Yi ist der Zustandsvektor des Registerinhalts zum Zeitpunkt i

Yi+m ist der Vektor des Folgezustandes zum Zeitpunkt i + m

Ein Takt dieser Schaltung entspricht dann genau m Takten eines konventionellen Schieberegisters. Dadurch lassen sich Register entwerfen, die beliebig breite Eingabedatenvektoren mit Registern beliebiger Länge (l) in einem Takt verarbeiten.

Wurde die Datenbreite m und ein zugehöriges charakteristisches Polynom PQ(x) festgelegt, wird das Gleichungssystem in die schaltungstechnisch realisierbare Form aufgelöst. Das Gleichungssystem ist nach der genannten Formel durch Gatter, ROMs, PLA's realisierbar.

Die Gleichung ermöglicht eine vorteilhafte parallele Realisierung. Yi+m ist direkter Folgezustand von Yi (ein Verarbeitungstakt).

D ist der Datenvektor bei paralleler m-schrittiger Verarbeitung

D = (d0; d1; ... dm)

$$Y_{i+m} = T1 * D \oplus T2 * Y_i$$

$$T1 = \begin{pmatrix} 1.Sp & 1.Sp & & 1.Sp & 1 \\ & & & & 0 \\ & & & & \vdots \\ & & & & 0 \\ T & T & & T & 0 \end{pmatrix}; T2 = T$$

1.Sp. = erste Spalte der Matrix T zur genannten Potenz

Da die parallele m-schrittige Signaturverarbeitung einer seriellen Verarbeitung im herkömmlichen Signaturregister entspricht, gelten deren Gesetzmäßigkeiten der Fehlererkennungswahrscheinlichkeit.

Die Fehlererkennungswahrscheinlichkeit  $P$  bildet die Grundlage der Zuverlässigkeitsberechnung zur Anwendung von Signaturverfahren, die vor allem von den Polynomeigenschaften und den Fehlerannahmen abhängen.

Die Fehlererkennungswahrscheinlichkeit hängt aber auch von den Eigenschaften des Generatorpolynoms ab.

Bei der parallelen Datenkompression an einem Prozessor treten in der Regel Mehrfachfehler auf. Realisierungen mit primitiven Polynomen besitzen die höchste Fehlererkennungswahrscheinlichkeit bei geradzahligen Fehlern und damit die besten Gesamteigenschaften bei zufälliger Fehlerzahl.

Bei sehr großer Fehlerzahl wird  $P$  nur noch durch  $l$  bestimmt. Vorteilhaft ist es eine möglichst hohe Registerlänge  $l$  zu verwenden.

Bei vorgegebener Restgatterzahl beim Layout einer integrierten Schaltung läßt sich eine Erhöhung von  $l$  nur durch Schaltungsreduzierung erreichen.

In der Anordnung werden  $a$ -Datenbits des  $a$ -Bit-Eingangsdatenvektor  $A$  über einen Eingangsdatenzuordner 1 auf

$l$  Signalleitungen geschaltet, die jeweils über zwei Antivalenzgatter auf den jeweiligen Eingang des Signaturspeichers geschaltet sind, wobei die  $l$  Ausgangssignale des Signaturspeichers 2 als  $l$ -Bit Ausgangsvektor  $y_n'$  bzw. Signaturvektor anstehen und auf eine Rückführschaltung 3 geführt sind, die eine Verdrahtung auf  $m$ -schrittige Signaturverarbeitung in einem Takt nach einem irreduziblen und primen Polynom vom Grad  $l$  und Gewicht 2 realisiert und die auch wahlweise mindestens ein Ergebnissignal der Antivalenzverknüpfung  $y_n$  verknüpft, so daß an jedes Antivalenzpaar ein Ausgangssignalpaar der Rückführschaltung  $y_i, y_j$  geschaltet wird. Die  $l$  Ausgänge des Signaturspeichers 2 werden über einen Ausgangsdatenzuordner 4 an die  $b$ -Ausgangssignale verschaltet. Eine Steuerleitung  $S_1$  ist an den Eingangsdatenzuordner 1 und eine Steuerleitung  $S_2$  an den Ausgangsdatenzuordner 4 geschaltet, die zwei Zuordnungszustände schaltbar macht, erstens für einen Signaturverarbeitungs- und Generatormodus und zweitens für einen Steuer- und Beobachtungsmodus.

Von praktischem Interesse sind gegenwärtig vor allem die Registerlängen  $16 \leftarrow l \leftarrow 32$  für den Einsatz an Rechnerdatenbussen bzw. beliebige beim Entwurf variable Längen für den Built-in-Einsatz z. B. zur Testung von ROM- und PLA-Strukturen.

Für  $l < 16$  muß geprüft werden ob die Fehlererkennungswahrscheinlichkeit der Anwendung genügt.

Für  $l > 32$  ist eine Erhöhung der Fehlererkennungswahrscheinlichkeit selten erforderlich, da sie in den meisten Fällen nicht mehr von praktischer Bedeutung ist (z. B. 64 Bit  $\rightarrow 2 \cdot 32$ -Bit-Register). Der Instrumentierungsaufwand ist u. a. abhängig vom Gewicht des Polynoms (Anzahl  $r$  der Nicht-Null-Koeffizienten des charakteristischen Polynoms).

Nach PETERSON existieren für  $l = 16$  bzw.  $32$  nur primitive Polynome mit dem Gewicht 4.

Mit dem erfindungsgemäßen Verfahren und der Anordnung läßt sich ein reduzierter Schaltungsaufwand bezogen auf  $l$  realisieren.

In der Tabelle sind die praktisch interessantesten primitiven Polynome für  $r = 2$  zusammengestellt.

Zwei Wege:

Für Registerlänge  $l$  kleiner Eingangsdatenbreite  $a$  realisiert die Rückführschaltung 3 eine  $m = a$ -schrittige Verarbeitung durch das Gleichungssystem.

Beispiele:  $a = m = 16 \quad l = 15$   
 $32 \quad 31$

Für Registerlänge  $l$  größer oder gleich Eingangsdatenbreite  $a$  realisiert die Rückführschaltung 3 eine  $m = l$ -schrittige Verarbeitung durch das Gleichungssystem.

Beispiele:  $a = 16 \quad m = l = 17, 22, 23, 25, 28, 29, 31$

Aus den Gleichungssystemen für  $m$ -schrittige Signaturverarbeitung wurden folgende Zusammenhänge abgeleitet, die für die Instrumentierung relevant sind:

$$\text{Für } r = \text{const. und } \{z\} d_i = \text{const. und } l = \text{variabel,}$$

$$\text{wobei } d_i = j \text{ für alle } c_j \neq 0 \text{ mit } 1 \leq j \leq l - 1$$

existieren Gruppen von Polynomen mit äquidistanten Rückführungen, deren Vertreter im folgenden kurz Äquidistante Polynome ( $r, d$ ) genannt werden.

Die Äquidistanten Polynome ( $r, d$ ) lassen sich für  $m = l$  aus gleichartigen Schaltkreisen instrumentieren. Allerdings werden hier nur Polynome mit  $r = 2$  betrachtet.

Ein Polynom, das Folgen maximaler Länge bei serieller Verarbeitung ermöglicht, muß nicht notwendigerweise Folgen maximaler Länge bei Parallelverarbeitung erzeugen. Das läßt sich auf folgende Weise nachprüfen:

$$R = (2^l - 1) \bmod m$$

Wird die maximale Länge modulo  $m$  dividiert, erhält man den Rest  $R$ . Ist das Ausgangspolynom irreduzibel und primitiv und hat der Rest  $R$  mit der Verarbeitungsschrittweite kein kleineres gemeinsames Vielfaches als  $m \cdot R$ , dann führt die parallele Verarbeitung wiederum zu Folgen maximaler Länge, d. h.  $R$  und  $m$  müssen zueinander relativ prim sein, andernfalls ergeben sich verkürzte Zustandsfolgen.

Zur Anpassung an unterschiedliche Datenbreiten werden  $m = l$ -schrittige Signaturverarbeitungslogiken, die für äquidistante Polynome unterschiedlicher Länge und Anzahl der Rückkopplungen  $r$  gleich 2 und Distanz der Rückkopplungen gleich konstant gleichartig aufgebaut werden und die sich deshalb für eine gewählte Registerlänge  $l$  mittels jeweils  $l$  Verbindungsleitungen sowohl baugruppenweise zusammengeschaltet als auch fest oder in der Rückführschaltung 3 durch Steuersignale  $S_4$  über  $d$  Umschalter verkürzt werden.

Elementarbaustein zur Realisierung Äquidistanter Polynome vom Typ ( $r = 2, d = 1$ ) realisiert auf einem (16\*48\*8) PLA z.B. 82S100

00 = 10 @ 16 @ 17	03 = 13 @ 19 @ 110
01 = 11 @ 17 @ 18	04 = 14 @ 110 @ 111
02 = 12 @ 18 @ 19	05 = 15 @ 111 @ 112

I = Bausteineingang  
O = Bausteinausgang

Damit kann eine Schaltung aus mehreren Bausteinen zusammengesetzt werden.

Das Verfahren und die Schaltungsanordnung werden beispielsweise als Kernschaltung in einem Signaturschaltkreis zur Unterstützung von Test-, Diagnose- und Fehlertoleranzprinzipien für unterschiedliche Mikroprozessoren und deren Anwendungsfälle.

Dazu sind Signaturregister erforderlich, die sich von jedem beliebigen Zustand mit einem Datenwort in jeden beliebigen anderen Zustand überführen lassen. Das Signaturregister muß ein paralleles I-Bit-Signaturregister und muß vollständig beobachtbar und steuerbar sein. Im Beispiel ist eine Datenbusbreite  $a = 16$  und ein  $l = 22$  Signaturspeicher realisiert. Da eine zweischrittige Steuerung und Beobachtung bei einschrittiger paralleler Signaturtaktung vorgesehen war, hätte  $l \leftarrow 32$  sein können. Durch die erfindungsgemäße Schaltungsreduzierung war bei dem vorgegebenen Schaltkreis eine maximale Anordnung von  $l = 22$  realisierbar.

Für die 22-Bit Signaturverarbeitungslogik wurde nachfolgendes Polynom gewählt:

$$PQ(x) = x^{22} + x^1 + 1 \text{ irreduzibel und prim (nach Peterson)}$$

$$PR(x) = x^{22} + x^{21} + 1 \text{ (inverses Polynom)}$$

Damit ergibt sich:

Gleichungssystem F1 zur parallelen,  $m = 22$ -schrittigen Signaturberechnung in einem Takt nach dem o.g. Polynom

$$\begin{aligned} y'_{21} &= d_0 @ y_{21} @ y_{20} \\ y'_{20} &= d_1 @ y_{20} @ y_{19} \\ &\cdot \quad \cdot \quad \cdot \quad \cdot \\ &\cdot \quad \cdot \quad \cdot \quad \cdot \\ y'_{1} &= d_{20} @ y_1 @ y_0 \\ y'_{0} &= d_{21} @ y_0 @ (y_{21}) \end{aligned} \quad \begin{aligned} d &= \text{Datenvektor} \\ y' &= \text{neuer Signaturvektor} \\ y &= \text{alter Signaturvektor} \end{aligned}$$

Die Fehlererkennungswahrscheinlichkeit ist im Beispiel:

$$P_{sig} = 1 - 2^{-22} = 0.9999998$$

Zur Realisierung von Built-in-Registern wird außer der Signaturverarbeitungslogik eine Generatorlogik und durch logische Abschaltung der Dateneingänge eine  $m$ -schrittige Datengenerierung realisiert. Die Steuerung erfolgt über eine Steuerleitung S3.

Die hier entworfenen parallelen  $m$ -schrittigen Built-in-Register oder BILBO-Bausteine wurden für die sogenannten Built-in-Testverfahren zur Instrumentierung beim Schaltungsentwurf integrierter Schaltungen geschaffen und unterscheiden sich wesentlich von den herkömmlichen Registern. Die BILBO-Register ( $r, d$ ) realisieren in der Signaturfunktion ( $m = 1$ )-Verarbeitung und in der Generatorfunktion ( $m = 1$ )-Schritte. Scan- und Latch-Funktion unterscheiden sich nicht von herkömmlichen. Die BILBO-Register umfassen die Funktionen Testmustergenerator, Scan-Funktion (Schieberegister), Signaturregister und Normalfunktion (Latch). Nachfolgend wird die schaltbare Verkürzung von parallelen  $m$ -schrittigen Signaturregistern beschrieben.

Polynome unterschiedlichen Polynomgrades besitzen unterschiedliche Eigenschaften. Um vorzugsweise Eigenschaften zu kombinieren kann zwischen verschiedenen Registerlängen programmgesteuert über ein Steuersignal S4 umgeschaltet werden.

Ist beispielsweise die Kombination folgender Eigenschaften beabsichtigt:

- hohe Fehlererkennung bei der Diagnose bzw. Erzeugung von Folgen maximaler Länge
  - Steuerbarkeit und Beobachtbarkeit für unterbrechbare Diagnose oder unterbrechbare taskparallele Bearbeitung
- so kann durch schaltbare Verkürzung zwischen zwei äquidistanten Polynomlängen umgeschaltet werden, d. h. zwischen zwei Längen innerhalb eines Polynomtyps ( $r, d$ ).

Dabei müssen z.B. für Äquidistante Polynome ( $r = 2, d$ ) jeweils  $d$  Leitungen (Rückführungen) umgeschaltet werden. Dies kann zwischen Bausteinen oder durch die verschobene Gesamtückführung des Registers erreicht werden.

Soll beispielsweise das mit drei PLA-Bausteinen 82S100 realisierte 17-Bit-Signaturregister auf ein 16-Bit-Signaturregister verkürzt werden, so kann wahlweise der Zustand  $y_4$ ,  $y_{10}$  oder  $y_{16}$  ausgegliedert werden.

Aus  $PR(x) = x^{17} + x^{14} + 1$  mit  $l = m = 17$  ergibt sich dann

$$PR(x) = x^{16} + x^{13} + 1 \text{ mit } l = m = 16$$

Dabei muß das zugehörige Datenbit  $d_{12}$ ,  $d_6$  bzw.  $d_0$  beim 17-Bit-Betrieb konstant auf High-Pegel liegen. Das erzeugte 16-Bit-Polynom liefert dann allerdings im autonomen Betriebsfall keine maximalen Folgen.

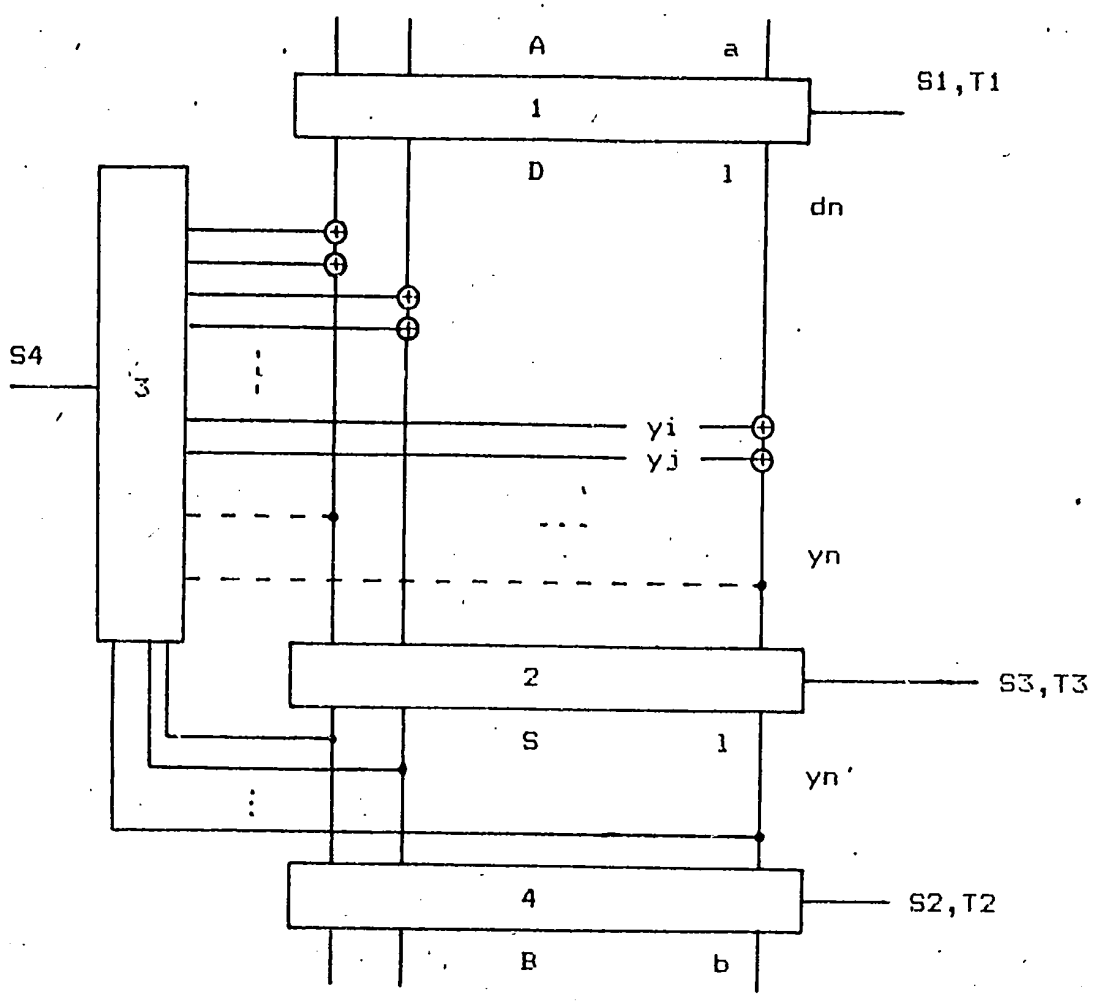


FIG. 1