用于校正模拟低电压输入线性稳压器过冲和下冲的方法及装置

摘要

本发明提供了一种用于校正模拟低电压输入线性稳压器过冲和下冲的方法及装置，其通过改进模拟集成电路的反应时间（Δt）而动态校正模拟集成电路的过冲误差和下冲误差。等同地，只有当检测到过冲误差或下冲误差时，本发明所公开的误差校正电路才被激活，以通过增大模拟集成电路的带宽来减小过冲误差和下冲误差。
1. 一种用于模拟集成电路的误差校正电路，所述误差校正电路具有输入端和输出端且包括：

下冲校正电路，其电耦接为用于检测所述模拟集成电路中的下冲误差，只有当在所述输出端检测到所述下冲误差时，所述下冲校正电路才运行以改进所述模拟集成电路的反应时间；以及

过冲校正电路，其电耦接为用于检测所述模拟集成电路中的过冲误差，只有当在所述输出端检测到所述过冲误差时，所述过冲校正电路才运行以改进所述模拟集成电路的反应时间。

2. 根据权利要求1所述的误差校正电路，其中，一旦检测到所述过冲误差，所述过冲校正电路运行以创建电通路来补偿所述过冲误差。

3. 根据权利要求1所述的误差校正电路，其中，通过将所述过冲校正电路的电气特性从高电阻状态变为低电阻状态来激活所述过冲校正电路；以及通过将所述下冲校正电路的电气特性从高电阻状态变为低电阻状态来激活所述下冲校正电路。

4. 根据权利要求1所述的误差校正电路，其中，所述下冲校正电路还包括：

输入级电路，其包括输入端，所述输入端电耦接为用于检测所述模拟集成电路的所述输出端中的所述下冲误差；
差分级电路，其电耦接至所述输入端；以及

输出级电路，其电耦接至所述差分级电路和所述模拟集成电路，一旦检测到所述下冲误差，所述差分级电路和所述输出级电路激活以产生校正信号，所述校正信号能改善所述模拟集成电路的反应时间。

5. 根据权利要求4所述的误差校正电路，其中，所述输入级电路包括电耦接至电容的高速AB类缓冲器。

6. 根据权利要求4所述的误差校正电路，其中，所述差分级电路还包括：

第一NMOS晶体管，其电耦接至第二NMOS晶体管，所述的第一NMOS晶体管的栅极电连接至所述第二NMOS晶体管的栅极，所述第一NMOS晶
体管的源极电耦接至第一电阻的第一端和所述输入级电路，所述第一电阻的第二端电耦接至电气接地，所述第二 NMOS 晶体管的源极电耦接至第二电阻的第一端，所述第二电阻的第二端电耦接至所述电气接地；以及

偏置电路，其电耦接至所述第一 NMOS 晶体管和所述第二 NMOS 晶体管，其中所述偏置电路运行以偏置所述第一 NMOS 晶体管和所述第二 NMOS 晶体管，所述第一 NMOS 晶体管和所述第二 NMOS 晶体管的漏极电耦接至所述偏置电路。

7. 根据权利要求 6 所述的误差校正电路，其中，所述偏置电路包括：
第一电流源，其包括第一 PMOS 晶体管和第二 PMOS 晶体管，所述第三 PMOS 晶体管的栅极电耦接至所述第二 PMOS 晶体管的栅极，所述第三 PMOS 晶体管的漏极电耦接至所述第一 NMOS 晶体管的漏极和所述输出级电路，所述第二 PMOS 晶体管的漏极电耦接至所述第二 NMOS 晶体管的漏极和所述第二 PMOS 晶体管的栅极，所述第三 PMOS 晶体管的源极电耦接至所述第二 PMOS 晶体管的源极和电源电压；以及
第二电流源，其具有第一端和第二端，所述第一端电耦接至所述电源电压；

第三 NMOS 晶体管，其漏极电耦接至所述第二电流源的第二端，所述第三 NMOS 晶体管的栅极电耦接至所述第一 NMOS 晶体管的栅极和所述第二 NMOS 晶体管的栅极和所述第三 NMOS 晶体管的漏极，所述第三 NMOS 晶体管的源极电耦接至第三电阻的第一端，所述第三电阻的第二端电耦接至所述电气接地。

8. 根据权利要求 7 所述的误差校正电路，其中，所述输出级电路是 PMOS 晶体管，所述 PMOS 晶体管的栅极电耦接至所述第一 NMOS 晶体管的漏极，所述 PMOS 晶体管的漏极构成所述输出端，且电耦接至所述模拟集成电路，所述 PMOS 晶体管的源极电耦接至所述电源电压。

9. 根据权利要求 1 所述的误差校正电路，其中，所述过冲校正电路还包括：
差分级电路，其电耦接至所述模拟集成电路的所述输出端；以及
输出级电路，其电耦接至所述差分级电路和所述模拟集成电路。

10. 根据权利要求 9 所述的误差校正电路，其中，所述差分级电路还包括
括：

第一 PNP 双极结型晶体管，其电耦接至第二 PNP 双极结型晶体管，所述第一 PNP 双极结型晶体管的基极电连接至所述第二 PNP 双极结型晶体管的基极，所述第一 PNP 双极结型晶体管的发射极电耦接至电阻的第一端，所述电阻的第二端电耦接至所述模拟集成电路，所述第二 PNP 双极结型晶体管的发射极电气构成所述输入端，且电耦接为用于接收所述模拟集成电路的所述输出信号；以及

偏置电路，其电耦接至所述第一 PNP 双极结型晶体管和所述第二 PNP 双极结型晶体管，所述偏置电路能运行以偏置所述差分级，所述第一 PNP 双极结型晶体管的集电极和所述第二 PNP 双极结型晶体管的集电极电耦接至所述偏置电路。

11、根据权利要求 10 所述的误差校正电路，其中，所述偏置电路包括：

第一电流源，其包括第一 NPN 双极结型晶体管和第二 NPN 双极结型晶体管，所述第一 NPN 双极结型晶体管的基极电耦接至所述第二 NPN 双极结型晶体管的基极，所述第一 NPN 双极结型晶体管的集电极电耦接至所述第一 NPN 双极结型晶体管的基极和所述第一 PNP 晶体管的集电极，所述第二 NPN 双极结型晶体管的集电极电耦接至所述第二 PNP 双极结型晶体管的集电极和所述输出级电路，所述第一 NPN 双极结型晶体管的发射极电耦接至所述第二 NPN 双极结型晶体管的发射极和电气接地；

第二电流源，其具有第一端和第二端，所述第一端电耦接至所述电气接地；以及

第三 PNP 双极结型晶体管，所述第三 PNP 双极结型晶体管的集电极电耦接至所述第三 PNP 双极结型晶体管的基极、所述第一 PNP 双极结型晶体管的基极、所述第二 PNP 双极结型晶体管的基极，和所述第二电流源的第二端，所述第三 PNP 双极结型晶体管的发射极电耦接至所述电阻的第一端和所述第一 PNP 双极结型晶体管的发射极。

12、根据权利要求 11 所述的误差校正电路，其中，所述输出级电路包括 NMOS 晶体管，所述 NMOS 晶体管的栅极电耦接至所述第二 PNP 双极结型晶体管的集电极，所述 NMOS 晶体管的漏极电耦接至所述模拟集成电路和所述第二 PNP 双极结型晶体管的发射极，所述 NMOS 晶体管的源极电耦接
至所述电气接地。

13、一种校正模拟集成电路中的过冲误差和下冲误差的方法，包括：

使用误差校正电路来感测所述模拟集成电路中的过冲误差或下冲误差，所述误差校正电路包括过冲校正电路和下冲校正电路。

当检测到所述过冲误差或下冲误差时，产生校正信号，否则，继续过冲误差或下冲误差的检测步骤；以及

使用所述校正信号使所述模拟集成电路立即反应，从而充分减小所述过冲误差和下冲误差。

14、根据权利要求13所述的方法，还包括如下的步骤：偏置所述下冲校正电路，以使得在正常工作状态下所述下冲校正电路截止，以及当检测到所述下冲误差时所述下冲校正电路导通。

15、根据权利要求13所述的方法，还包括如下的步骤：偏置所述过冲校正电路，以使得在正常工作状态下所述过冲校正电路截止，以及当检测到所述过冲误差时所述过冲校正电路导通。

16、根据权利要求13所述的方法，还包括如下的步骤：将所述下冲校正电路和所述过冲校正电路耦接至所述模拟集成电路。

17、根据权利要求13所述的方法，还包括如下的步骤：当检测到所述过冲误差时创建电流通路以减小所述过冲误差。

18、一种低压差线性稳压器电路，包括：

误差放大器，其包括第一输入端、第二输入端、和输出端；

传输器件，其以串连的方式耦接至所述误差放大器的输出端，以接收来自所述误差放大器的校正信号；以及

误差校正电路，其包括：

下冲校正电路，其耦接为用于检测所述低压差线性稳压器电路的输出信号中的下冲误差，所述下冲校正电路能运行以通过改进所述低压差线性稳压器电路的反应时间来充分减小所述下冲误差，其中一旦检测到所述下冲误差，所述下冲校正电路被激活且运行，以使得所述低压差线性稳压器电路立即开始对所述输出信号进行补偿；以及

过冲校正电路，其耦接为用于检测所述输出信号中的过冲误差，所述过冲校正电路能运行以通过改进所述低压差线性稳压器电路的反
应时间来充分减小所述过冲误差，其中一旦检测到所述过冲误差，所述过冲校正电路被激活且运行，以使得所述低压差线性稳压器电路立即开始对所述输出信号进行补偿。

19. 根据权利要求 18 所述的低压差线性稳压器电路，其中，当未检测到所述下冲误差时，所述下冲校正电路处于截止状态，当检测到所述的下冲误差时，所述下冲校正电路被激活且运行，以使得所述低压差线性稳压器电路开始对所述输出信号进行补偿，从而充分减小所述下冲误差，所述下冲校正电路还包括：

输入级电路，其包括电耦接为用于检测所述下冲误差的输入端；
差分级电路，其电耦接至所述输入端；以及
输出级电路，其电耦接至所述差分级电路和所述误差放大器。

20. 根据权利要求 18 所述的低压差线性稳压器电路，其中，当未检测到所述的过冲误差时，所述过冲校正电路处于截止状态，当检测到所述的过冲误差时，所述过冲校正电路被激活且运行，以使得所述误差放大器对所述输出信号进行补偿，所述过冲校正电路还包括：

差分级电路，其电耦接为用于检测所述低压差线性稳压器电路中的过冲误差；以及
输出级电路，其电耦接至所述差分级电路和所述误差放大器。

21. 根据权利要求 18 所述的低压差线性稳压器电路，其中，所述传输器件为功率晶体管，该功率晶体管包括栅极端、源极端和漏极端，所述栅极端电耦接至所述误差放大器的所述输出端，所述漏极端电耦接为用于接收来自所述误差放大器的所述校正信号。

22. 根据权利要求 18 所述的低压差线性稳压器电路，还包括分压网络，其电耦接至所述误差放大器的所述输出端和所述传输器件。

23. 根据权利要求 18 所述的低压差线性稳压器电路，其中，所述误差放大器为低输入偏置误差放大器，且包括：

输入差分级；
增益级，其电耦接至所述输入差分级，所述增益级还包括电耦接至运算放大器电路的共射-共基电路；以及
输出级，其电耦接至所述运算放大器电路。
24. 根据权利要求 23 所述的低差线性稳压器电路，其中，所述运算放大器电路还包括电耦接至多个电流镜的差分对，其中所述运算放大器电路和所述共射-共基电路构成共模反馈回路，并且其中所述运算放大器电路向所述共射-共基电路提供共模偏置。

25. 根据权利要求 18 所述的低差线性稳压器电路，其中，所述共射-共基电路还包括第一共射-共基晶体管和第二共射-共基晶体管，所述第一共射-共基晶体管和所述第二共射-共基晶体管电耦接在一起，并电耦接至所述输入差分级以构成折叠共射-共基差分对。
用于校正模拟低压差线性稳压器过冲和下冲的方法及装置

技术领域

本发明通常涉及模拟集成电路领域。具体地说，本发明涉及模拟电压稳压器。

背景技术

可提供干净输出信号的电压稳压器是影响模拟集成电路性能的关键因素。当模拟集成电路应用于例如数字相机、手机、手提电脑等要求 1.9 伏到 3.3 伏低电压和低静态电流的便携式电子器件时，所述可提供干净输出信号的电压稳压器尤为重要。这些模拟集成电路的瞬态响应会造成便携式电子器件的不可逆损坏，并且经常缩短这些器件的寿命。低压差线性稳压器因其能为集成电路提供稳定、低噪声和特定值的直流输出电压而被广泛使用。然而，低压差线性稳压器电路很容易由于下级负载器件的开、关而产生瞬间的过冲和下冲。

图 1A 为一个现有技术的低压差线性稳压器电路 100 的示意图。低压差线性稳压器电路 100 连接至由负载电流 112 表示的下级负载。低压差线性稳压器电路 100 包括误差放大器 101、传输器件 102、和包括第一电阻（R₁）103 和第二电阻（R₂）104 的参考网络。低压差线性稳压器电路 100 产生输出电压（V_{OUT}），V_{OUT} 不依赖于输入电压（V_{IN}），并和参考电压（V_{REF}）成正比。图 1B 中示出了表示负载电流 112 的波形 119，和表示输出电压（V_{OUT}）的波形 120。当负载电流 112 导通时，电流从 0mA 增加到 500mA，所述电流的增加由波形 119 中的上升沿 119U 表示。与之相应地，电容 105 上的电压降低，但是低压差线性稳压器电路 100 不能快速反应来补偿输出电压（V_{OUT}）的突然下降。这样，使得输出电压的瞬态响应中出现下冲误差 121。所述下冲误差 121 的幅值为 \Delta V^- = I_C \cdot \Delta t / C （公式 1），其中 C 为电容 105 的电容值。

继续参照图 1B，当负载电流 112 截止时，电流从 500mA 下降到 0mA，
所述电流的下降沿波形119中的下降沿119D表示。与之相应地，电容105的电压增大，但低压差线性稳压器电路100不能立即发应来补偿波形120表示的输出电压（V_{OUT}）。这导致输出波形120上出现过冲误差122。所述过冲误差122的幅度为$\Delta V^+ = I_L \cdot \Delta t / C$（公式2）。通常，为解决低压差线性稳压器电路100的过冲误差121和过冲误差122，在输出端109和电气接地111之间连接一个容值为10μF到100μF的大电容105。公式1和公式2的分母中的大电容C能降低$\Delta V^-$和$\Delta V^+$的幅值。然而，大电容105需占用显著大的电路板面积，同时也提高了制造成本。此外，大电容105会降低低压差线性稳压器电路100的响应速度。另一方面，使用低容值的电容105来加快反应速度会导致低压差线性稳压器电路100的不稳定，并增大低压差线性稳压器电路100中的过冲（公式2）。因此，改变电容105的容值（C）并不能解决过冲和下冲问题。减小公式1和公式2中的反应时间（$\Delta t$）的另外一个方法是使用快速误差放大器101，但是快速误差放大器需要昂贵的工艺技术和复杂的电路设计。因此，需要采用附加电路来解决低压差线性稳压器电路100中的瞬时过冲和下冲问题。

已有多种现有技术尝试用附加电路来解决低压差线性稳压器电路100的瞬时过冲误差和下冲误差问题。在一种现有技术中，公开了一种电耦接于误差放大器101和传输器件102之间的输出级补偿电路。在该现有技术的输出级补偿电路中，一个或多个分离式传感器件构造为基于输出电流向低压差线性稳压器电路100提供零极点补偿。每个分离式传感器件均构造为补偿合适范围的输出电流，并增大相关补偿电容的效果。这样，该现有技术的输出级补偿电路提供了不依赖于输出电流和输出电容需求的、稳定的输出电压（$V_{OUT}$）。但是，所公开的该输出级补偿电路并不能解决过冲误差和下冲误差问题。此外，该现有技术的电路不能提供满足低静态电流需求和小硅片面积经济性需求的方案。

因此，需要一种过冲和下冲校正电路及其方法以实现低压差线性稳压器电路的快速反应，从而解决过冲误差和下冲误差问题。此外，还需要一种过冲和下冲校正电路以避免消耗大的静态电流，且避免占用大的电路板面积。本发明能满足上述要求。
发明内容

为避免上述现有技术中存在的缺陷，本发明旨在提供一种用于校正过冲误差和下冲误差的装置及方法。根据本发明的该装置及方法，由于在正常工作状态下，过冲校正电路和下冲校正电路处于截止模式，因此过冲校正电路和下冲校正电路具有很低的静态功耗。

为实现上述发明目的，本发明采用的技术方案如下：本发明提供了一种用于模拟集成电路的误差校正电路，所述误差校正电路具有输入端和输出端且包括：下冲校正电路，其电耦接为用于检测所述模拟集成电路中的下冲误差，只有当上升所述输出端检测到所述下冲误差时，下冲校正电路才运行以改进所述模拟集成电路的反应时间；以及过冲校正电路，其电耦接为用于检测所述模拟集成电路中的过冲误差，只有当上升所述输出端检测到所述过冲误差时，过冲校正电路才运行减小所述模拟集成电路的反应时间。

作为本发明的一种优选方案，一旦检测到所述过冲误差，所述过冲校正电路运行以创建电通路来补偿所述过冲误差。

作为本发明的一种优选方案，通过将所述过冲校正电路的电气特性从高阻抗状态改变为低阻抗状态来激活所述过冲校正电路，以及通过将所述下冲校正电路的电气特性从高阻抗状态改变为低阻抗状态来激活所述下冲校正电路。

作为本发明的一种优选方案，所述下冲校正电路还包括：输入级电路，其包括输入端，所述输入级电耦接为用于检测所述模拟集成电路的所述输出端中的所述下冲误差；差分级电路，其电耦接至所述输入端；以及输出级电路，其电耦接至所述差分级电路和所述模拟集成电路，一旦检测到所述下冲误差，所述差分电路和所述输出级电路激活以产生一校正信号，所述校正信号能改善所述模拟集成电路的反应时间。

作为本发明的一种优选方案，所述输入级包括电耦接至电容的高速 AB 类缓冲器。

作为本发明的一种优选方案，所述差分级电路还包括：第一 NMOS 晶体管，其电耦接至第二 NMOS 晶体管，所述的第一 NMOS 晶体管的栅极电耦接至所述第二 NMOS 晶体管的栅极，所述第一 NMOS 晶体管的源极电耦接至第一电阻的第一端和所述输入级电路，所述第一电阻的第二端电耦接至电
气接地，所述第二 NMOS 晶体管的源极电耦接至第二电阻的第一端，所述第二电阻的第二端电耦接至所述电气接地；以及偏置电路，电耦接至所述第一
NMOS 晶体管和所述第二 NMOS 晶体管，其中所述偏置电路偏置所述第一
NMOS 晶体管和所述第二 NMOS 晶体管，所述第一 NMOS 晶体管和所述第二
NMOS 晶体管的漏极电耦接至所述偏置电路。

作为本发明的一种优选方案，所述偏置电路包括：第一电流源，其包括
第一 PMOS 晶体管和第二 PMOS 晶体管，所述第一 PMOS 晶体管的栅极电
耦接至所述第二 PMOS 晶体管的栅极，所述第一 PMOS 晶体管的漏极电耦
接至所述第一 NMOS 晶体管的漏极和所述输出级电路，所述第二 PMOS 晶
体管的漏极电耦接至所述第二 NMOS 晶体管的漏极和所述第二 PMOS 晶体
管的栅极，所述第一 PMOS 晶体管的源极电耦接至所述第二 PMOS 晶体管
的源极和电源电压；以及第二电流源，其具有第一端和第二端，所述第一端
电耦接至所述电源电压；第三 NMOS 晶体管，其漏极电耦接至所述第二电流
源的第二端，所述第三 NMOS 晶体管的栅极电耦接至所述第一 NMOS 晶体
管和所述第二 NMOS 晶体管的栅极和所述第三 NMOS 晶体管的漏极，所述
第三 NMOS 晶体管的源极电耦接至第三电阻的第一端，所述第三电阻的第二
端电耦接至所述电气接地。

作为本发明的一种优选方案，输出级电路是 PMOS 晶体管，所述 PMOS
晶体管的栅极电耦接至所述第一 NMOS 晶体管的漏极，所述 PMOS 晶体管
的漏极构成所述输出端，且电耦接至所述模拟集成电路，所述 PMOS 晶体管
的源极电耦接至电源电压。

作为本发明的一种优选方案，所述过冲校正电路还包括：差分级电路，
其电耦接至所述模拟集成电路的输出端；以及输出级电路，其电耦接至所述
差分级电路和所述模拟集成电路。

作为本发明的一种优选方案，所述差分级电路还包括：第一 PNP 双极结
型晶体管，其电耦接至第二 PNP 双极结型晶体管，所述第一 PNP 双极结型
晶体管的基极电耦接至所述第二 PNP 双极结型晶体管的基极，所述第一 PNP
双极结型晶体管的发射极电耦接至电阻的第一端，所述电阻的第二端电耦接
至所述模拟集成电路，所述第二 PNP 双极结型晶体管的发射极电耦接所述
输入端，接收所述模拟集成电路的所述输出信号；以及偏置电路，电耦接至
所述第一 PNP 双极结型晶体管和所述第二 PNP 双极结型晶体管，所述偏置电路偏置所述差分级，所述第一 PNP 双极结型晶体管和所述第二 PNP 双极结型晶体管的集电极电耦接至所述偏置电路。

作为本发明的一种优选方案，所述偏置电路包括：第一电流源，其包括第一 NPN 双极结型晶体管和第二 NPN 双极结型晶体管，所述第一 NPN 双极结型晶体管的基极电耦接至所述第二 NPN 双极结型晶体管的基极，所述第一 NPN 双极结型晶体管的集电极电耦接至所述第一 NPN 双极结型晶体管的基极和所述第一 PNP 晶体管的集电极，所述第二 NPN 双极结型晶体管的集电极电耦接至所述第二 PNP 双极结型晶体管的集电极和所述输出级电路，所述第一 NPN 双极结型晶体管的发射极电耦接至所述第二 NPN 双极结型晶体管的发射极和电气接地；第二电流源，其具有第一端和第二端，所述第二电流源的第一端电耦接至所述电气接地；以及第三 PNP 双极结型晶体管，所述第二 PNP 双极结型晶体管的集电极电耦接至所述第三 PNP 双极结型晶体管的基极和所述第一 PNP、第二 PNP 双极结型晶体管的基极和所述第二电流源的第二端，所述第二 PNP 双极结型晶体管的发射极电耦接至所述电阻的第一端和所述第一 PNP 双极结型晶体管的发射极。

作为本发明的一种优选方案，所述输出级电路包括 NMOS 晶体管，所述 NMOS 晶体管的栅极电耦接至所述第二 PNP 双极结型晶体管的集电极，所述 NMOS 晶体管的漏极电耦接至所述模拟集成电路和所述第二 PNP 双极结型晶体管的发射极，所述 NMOS 晶体管的源极电耦接至所述电气接地。

本发明的另一种技术方案如下：一种校正模拟集成电路中的过冲误差和下冲误差的方法，包括：使用误差校正电路来检测所述模拟集成电路中的过冲误差或下冲误差，所述误差校正电路包括过冲校正电路和下冲校正电路；当检测到所述过冲误差或下冲误差时，产生校正信号，否则，继续过冲误差或下冲误差的检测步骤；以及使用所述校正信号使所述模拟集成电路立即反应，从而充分减小所述过冲误差和下冲误差。

作为本发明的一种优选方案，还包括如下的步骤：偏置所述下冲校正电路，使得在正常工作状态下所述下冲校正电路截止，以及当检测到所述下冲误差时所述下冲校正电路导通。

作为本发明的一种优选方案，还包括如下的步骤：偏置所述过冲校正电
路，以使得在正常工作状态下所述过冲校正电路截止，当检测到所述过冲误差时所述过冲校正电路导通。

作为本发明的一种优选方案，还包括如下的步骤：将所述下冲校正电路和所述过冲校正电路耦接到所述模拟集成电路。

作为本发明的一种优选方案，还包括如下的步骤：当检测到所述过冲误差时创建电通路以减小所述过冲误差。

本发明的又一种技术方案如下：一低压差线性稳压器电路，包括：误差放大器，其包括第一输入端、第二输入端、和输出端；传输器件，其以串联的方式耦接至所述误差放大器的输出端，以接收来自所述误差放大器的校正信号；以及误差校正电路，其包括：下冲校正电路，其电耦接为用于检测所述低压差线性稳压器电路输出信号的下冲误差；所述下冲校正电路能运行以通过改进所述低压差线性稳压器电路的反应时间来充分减小所述下冲误差，其中一旦检测到所述下冲误差，所述下冲校正电路被激活且运行，以使得所述低压差线性稳压器电路立即开始对所述输出信号进行补偿；以及过冲校正电路，其电耦接为用于检测所述输出信号的过冲误差，所述过冲校正电路能运行以通过改进所述低压差线性稳压器电路的反应时间来充分减小所述过冲误差，其中一旦检测到所述过冲误差，所述过冲校正电路被激活且允许，以使得所述低压差线性稳压器电路立即开始对所述输出信号进行补偿。

作为本发明的一种优选方案，当未检测到所述下冲误差时，所述下冲校正电路处于截止状态，当检测到所述的下冲误差时，所述下冲校正电路被激活且运行，以使得所述低压差线性稳压器电路开始对所述输出信号进行补偿，从而充分减小下冲误差，所述下冲校正电路还包括：输入级电路，其包括电耦接为用于检测所述下冲误差的输入端；差分级电路，其电耦接至所述输入端；以及输出级电路，其电耦接至所述差分级电路和所述误差放大器。

作为本发明的一种优选方案，当未检测到所述的过冲误差时，所述过冲校正电路处于截止状态，当检测到所述的过冲误差时，所述过冲校正电路被激活且运行，以使得所述低压差线性稳压器电路对所述输出信号进行补偿，所述过冲校正电路还包括：差分级电路，其电耦接为用于检测所述低压差线性稳压器电路中的过冲误差；以及输出级电路，其电耦接至所述差分级电路和所述误差放大器。
作为本发明的一种优选方案，所述传输器件为功率晶体管，该功率晶体管包括栅极端、源极端、和漏极端，所述栅极端电耦接至所述误差放大器的所述输出端，所述漏极电电耦接为用于接收来自所述误差放大器的校正信号。

作为本发明的一种优选方案，还包括一分压网络，其电耦接至所述误差放大器的所述输出端和所述传输器件。

作为本发明的一种优选方案，其中，所述误差放大器为一体输入偏置误差放大器，且包括：输入差分级；增益级，其电耦接至所述输入差分级，所述增益级还包括电耦接至运算放大器电路的共射-共基电路；以及输出级，其电耦接至所述运算放大器电路。

作为本发明的一种优选方案，所述运算放大器电路还包括电耦接至多个电流镜的差分对，其中所述运算放大器电路和所述共射-共基电路构成共模反馈回路，并且其中所述运算放大器电路向所述共射-共基电路提供共模偏置。

作为本发明的一种优选方案，所述共射-共基电路还包括第一共射-共基晶体管和第二共射-共基晶体管，所述第一共射-共基晶体管和所述第二共射-共基晶体管电耦接在一起，并电耦接至所述输入差分级以构成折叠共射-共基差分对。

本发明的一个优点在于，由于在正常工作状态下，过冲校正电路和下冲校正电路处于截止模式，因此过冲校正电路和下冲校正电路具有很低的静态功耗。

附图说明

附图结合于此并作为本说明书的一部分，示出了本发明的实施例，并且与说明书一起用来解释本发明的原理。

图 1A 是现有技术中的易受过冲和下冲影响的低压差线性稳压器的示意图；

图 1B 是图 1A 所示的现有技术中的低压差线性稳压器的负载电流和输出电压的波形图；

图 2 是根据本发明的一个实施例的框图，图中示出了电连接至误差校正电路的模拟集成电路 (IC)，该误差校正电路包括分离的过冲校正电路和下
冲校正电路：

图3是根据本发明的一个实施例的低压差线性稳压器电路的示意图，该低压差线性稳压器电路使用图2中的误差校正电路来减小过冲误差和下冲误差；

图4是根据本发明的一个实施例的下冲校正电路的完整示意图；
图5是根据本发明的一个实施例的过冲校正电路的完整示意图；
图6是根据本发明的一个实施例的带有误差校正电路的低压差线性稳压器电路的完整示意图；

图7是根据本发明的一个实施例的低输入偏置误差放大器的完整示意图，该低输入偏置误差放大器用在低压差线性稳压器电路中以用于减小该低压差线性稳压器电路中的过冲误差和下冲误差；

图8是根据本发明的一个实施例的在模拟集成电路中校正过冲误差和下冲误差的方法的流程图。

具体实施方式

参照附图所示示例对本发明的优选实施例进行详细地描述。尽管结合优选实施例对本发明进行描述，但是，可以理解的是，本发明并不局限于这些实施例。相反地，本发明旨在覆盖由所附的权利要求限定的、不背离本发明精神的所有替代、修改和等同。此外，在本发明说明书的下述具体描述中，多处特定的限定是为了对本发明提供彻底的理解。然而，对于任何本领域的普通技术人员来说显然的是，不进行这些特定的限定也可实践本发明。此外，为了避免本发明的方案过于冗长，众所周知的方法、程序、元件以及电路在下述具体的描述中省去了。

参照图2，该图中示出了根据本发明的一个实施例的误差校正电路，该误差校正电路接以处理模拟集成电路系统中的过冲误差和下冲误差。模拟集成电路200包括电连接至误差校正电路220的模拟集成电路210。根据本发明的一个实施例，误差校正电路220还包括分离的下冲校正电路201和过冲校正电路202。下冲校正电路201用来处理下冲误差，过冲校正电路202用来处理过冲误差。

从结构上来说，模拟集成电路210包括接收输入电压（$V_{in}$）的输入端
207 和产生输出电压（$V_{out}$）的输出端 209。输出端 209 还连接到下级负载。该下级负载用与电气接地 111 串联的负载电流 112 来表示。需要注意的是，在本发明的范围内，模拟集成电路 210 可以是但并不限于低压差线性稳压器、模拟放大器、模拟运算放大器、模数转换器（ADC）、或者任何易受过冲误差和下冲误差影响的模拟集成电路。而且，术语“过冲误差”和“下冲误差”是指，如图 1B 中所示由于负载电流 112 的方波 119 引起的输出电压（$V_{out}$）的瞬态响应。但是，需要注意的是，输出电压（$V_{out}$）中出现的任何不期望的瞬时信号均落入本发明的术语“误差”的含义之内。

再次参照图 2，下冲校正电路 201 和过冲校正电路 202 相分离并且彼此不同。下冲校正电路 201 和过冲校正电路 202 均电耦合至模拟集成电路 210 以分别处理输出电压（$V_{out}$）中的下冲误差和过冲误差。下冲校正电路 201 具有输入端 432 和输出端 433。输入端 432 电连接以接收模拟集成电路 210 的输出电压（$V_{out}$）。一旦检测到输出电压（$V_{out}$）中出现下冲误差，下冲校正电路 201 即被激活并在输出端 433 产生校正信号，立刻使得模拟集成电路 210 补偿输出电压（$V_{out}$）。换句话说，下冲校正电路 201 减小了模拟集成电路 210 的反应时间 $\Delta t'$. 特别地，再次参照公式 1 $\Delta V' = I_L \cdot \Delta t / C$，假设 $C$ 和 $I_L$ 不变，如果反应时间 $\Delta t'$ 被有效地减小，则下冲误差的幅值 $\Delta V'$ 也将被有效地减小。这意味着在检测到下冲误差和过冲误差时，在需要时，模拟集成电路 210 的带宽被动态地增大。

总的来说，过冲校正电路 202 和下冲校正电路 201 的工作原理相同。但过冲校正电路 202 还创建了通路以补偿过冲误差。过冲校正电路 202 具有输入端 501 和输出端 528。输入端 501 电耦合以接收输出电压（$V_{out}$），而输出端 528 电连接至模拟集成电路 210。一旦检测到过冲误差，过冲校正电路 202 即在输出端 528 产生校正信号，使得模拟集成电路 210 立刻补偿输出电压（$V_{out}$）中的过冲误差。同时，过冲校正电路 202 创建通路以减小过冲误差的超额电压。换句话说，过冲校正电路 202 减小了模拟集成电路 210 的反应时间 $\Delta t$ 或动态地增大了整个系统的带宽。特别地，再次参照公式 2 $\Delta V'' = I_L \cdot \Delta t / C$，假设 $C$ 和 $I_L$ 不变，如果反应时间 $\Delta t$ 显著地减小，则过冲误差的幅值 $\Delta V''$ 也将显著地减小。

总之，具有分离的下冲校正电路 201 和过冲校正电路 202 的模拟集成电路
统 200 能产生没有过冲误差和下冲误差的干净的输出电压（V_{out}）。而且，由于仅在检测到过冲误差和下冲误差时过冲校正电路 202 和下冲校正电路 201 才被激活，因此误差校正电路 220 在没有消耗大量静态电流的情况下，有效地处理和解决了输出电压（V_{out}）中的过冲误差和下冲误差，低静态电流意味着低功耗。

再次参照图 3，该图中示出了根据本发明的一个实施例的低压差线性稳压器电路 300，该低压差线性稳压器电路 300 包括用以减小过冲误差和下冲误差的过冲校正电路 202 和下冲校正电路 201。下冲校正电路 201 的输入端在节点V_{S}电连接至输出端 209 以检测输出电压（V_{out}）中的下冲误差。下冲校正电路 201 的输出端 433 电耦接至误差放大器 101 的输出级（未示出）。一旦输出电压（V_{out}）中出现下冲误差，下冲校正电路 201 即产生校正信号，以使得误差放大器 101 立刻反应，从而减小低压差线性稳压器电路 300 的反应时间Δt。

继续参照图 3，过冲校正电路 202 的输入端在节点V_{S}电连接至输出端 209 以检测输出电压（V_{out}），即检测该输出电压上的任何过冲。过冲校正电路 202 的输出端 528 在节点V_{S}电连接至传输晶体管 102 的栅极。在没有过冲误差的正常状态下，传输晶体管 102 的栅极的电压大于输出电压（V_{out})。但是，当流过输出端 209 的输出电流突然从 500mA 下降至 0mA 时，传输晶体管 101 不能立刻截止，这使得节点V_{S}处的输出电压（V_{out}) 增大。这导致了如图 1B 中所示的输出电压（V_{out}) 的瞬态响应中的过冲误差。一旦检测到过冲误差，过冲校正电路 202 即被激活并产生校正信号以阻止传输晶体管 102 继续为电容（C）105 提供电流。从而消除了过冲误差。

接着参照图 4，该图中为根据本发明的一个实施例的下冲校正电路的详细示意图。下冲校正电路 201 的工作原理如前所述，其包括输入级电路 410 和输出级电路 430，该输入级电路 410 电耦接至差分级电路 420。在本发明的一个实施例中，输入级电路 410 包括缓冲器 411，该缓冲器 411 与电容 412 串联。缓冲器 411 的输入端电连接至输入端 432。缓冲器 411 的输出端通过电容 412 电耦接至差分级电路 420。在一个实施例中，缓冲器 411 为快速 AB 类缓冲器。在一个实施例中，缓冲器 411 为用以缓冲输出电压（V_{out}) 的简单缓冲器。任何在缓冲器 411 中由输出电压（V_{out}) 中的下冲误差引起的电
压降都会导致电容 412 放电。差分级电路 420 是包括第一 NMOS 晶体管 421 和第二 NMOS 晶体管 422 的快速放大器。第一 NMOS 晶体管 421 的栅极电连接至第二 NMOS 晶体管 422 的栅极。第一 NMOS 晶体管 421 的源极电连接至第一电阻 425 和电容 412。第二 NMOS 晶体管 422 的源极电连接至第二电阻 426。第一电阻 425 和第二电阻 426 的第二端均电连接至电气接地 111。第一 NMOS 晶体管 421 和第二 NMOS 晶体管 422 均由偏置电路偏置，该偏置电路包括第一电流源 428，第一 PMOS 晶体管 423，第二 PMOS 晶体管 424 和第三 NMOS 晶体管 427。第一 PMOS 晶体管 423 的栅极电连接至第二 PMOS 晶体管 424 的栅极和漏极。第一 PMOS 晶体管 423 的漏极顺次连接至第一 NMOS 晶体管 421 的漏极和输出级电路 430。第二 PMOS 晶体管 424 的漏极电连接至第二 NMOS 晶体管 422 的漏极及第一 PMOS 晶体管 423 和第二 PMOS 晶体管 424 的栅极。第一 PMOS 晶体管 423 的源极电连接至第二 PMOS 晶体管 424 的源极和电源电压 \( V_{cc} \) 110。第一电流源 428 的一端电连接至电源电压 \( V_{cc} \) 110。第一电流源 428 的另一端电连接至第三 NMOS 晶体管 427 的漏极和栅极。第三 NMOS 晶体管 427 的栅极电连接至第一 NMOS 晶体管 421 和第二 NMOS 晶体管 422 的栅极。第三 NMOS 晶体管 427 的源极电连接至第三电阻 429。第三电阻 429 的另一端电连接至电气接地 111。输出级电路 430 包括 PMOS 晶体管 431。PMOS 晶体管 431 的栅极电连接至第一 PMOS 晶体管 423 和第一 NMOS 晶体管 421 的漏极。PMOS 晶体管 431 的源极电连接至电源电压 \( V_{cc} \) 110。最后，PMOS 晶体管 431 的漏极形成输出端 433。在一个实施例中，第一电阻 425，第二电阻 426 和第三电阻 429 均为 100 KΩ，第一电流源 428 为 4 μA，电源电压 \( V_{cc} \) 110 为 2.5V。在本发明的一个实施例中，第一电流源 428 为电连接在电源电压 \( V_{cc} \) 110 与第三 NMOS 晶体管 427 的漏-栅极之间的电阻（未示出）。在一个实施例中，第一电流源为提供恒定偏置电流的有源电流镜。

现参照图 5，该图为详细示出示根据本发明的一个实施例的过冲校正电路的示意图。过冲校正电路 202 包括电耦接至差分级电路 520 的输出级电路 510。在本发明的一个实施例中，输出级电路 510 包括 NMOS 晶体管 511。差分级电路 520 包括第一 PNP 双极结型晶体管 521 和第二 PNP 双极结型晶体管 522，第一 PNP 双极结型晶体管 521 和第二 PNP 双极结型晶体管 522
均由偏置电路偏置，该偏置电路包括第一 NPN 双极结型晶体管 523、第二
NPN 双极结型晶体管 524、第三 PNP 双极结型晶体管 525 和恒定电流源 526。
特别地，第一 PNP 双极结型晶体管 521 的发射极电连接至电阻 527 的第一端。
电阻 527 的另一端形成输出端 528。第一 PNP 双极结型晶体管 521 的基极和
第二 PNP 双极结型晶体管 522 的基极电连接在一起。第一 PNP 双极结型晶
体管 521 的集电极电连接至第一 NPN 双极结型晶体管 523 的集电极和基极。
第二 PNP 双极结型晶体管 522 的集电极电连接至第二 NPN 双极结型晶体管
524 的集电极。第一 NPN 双极结型晶体管 523 和第二 NPN 双极结型晶体管
524 的基极电连接在一起。第一 NPN 双极结型晶体管 523 和第二 NPN 双极
结型晶体管 524 的发射极电连接在一起，并连接至电气接地 111。第一 PNP
双极结型晶体管 521 的基极和第二 PNP 双极结型晶体管 522 的基极电连接至
第三 PNP 双极结型晶体管 525 的基极。第三 PNP 双极结型晶体管 525 的集
电极电连接至它的基极和恒定电流源 526。恒定电流源 526 的另一端电连接至
电气接地 111。在本发明的一个实施例中，恒定电流源 526 具有恒定的电流值
10μA。第三 PNP 双极结型晶体管 525 的发射极电连接至第一 PNP 双极
结型晶体管 521 的发射极和电阻 527 的第一端。第二 PNP 双极结型晶体管
522 的发射极电连接至输出级电路 510 中的 NMOS 晶体管 511 的漏极端。
NMOS 晶体管 511 的栅极电连接第二 PNP 双极结型晶体管 522 和第二 NPN
双极结型晶体管 524 的集电极交叉点处。NMOS 晶体管 511 的源极电连接至
电气接地 111。NMOS 晶体管 511 的漏极电连接至第二 PNP 双极结型晶体管
522 的发射极和输入端 501。

现参照图 6，该图示出了根据本发明的一个实施例的、具有下冲校正电路
201 和过冲校正电路 202 的低压差线性稳压器电路 600 的完整示意图。在
本发明的一个实施例中，图 2 中的模拟集成系统 200 为低压差线性稳压器电
路 600，其包括均制作在同一芯片上的误差放大器 601、传输器件 610、过冲
校正电路 202 和下冲校正电路 201。在本发明的一个实施例中，误差放大器
601 为现有技术中的误差放大器 101。在另一个实施例中，误差放大器 601
为在后文中将详述的低输入偏置误差放大器 700。误差放大器 601 包括第一
输入端（同相输入端）602、第二输入端（反相输入端）603 和输出端 604。
第一输入端 602 接收参考电压（$V_{\text{REF}}$），该参考电压（$V_{\text{REF}}$）可由参考电压源
（未示出）产生。第二输入端 603 从传输器件 610 接收比例采样电压（$V_{\text{Sense}}$）。在本发明的一个实施例中，传输器件 610 为 NMOS 晶体管 611。该 NMOS 晶体管 611 的漏极连接至低压差线性稳压器电路 600 的输入端 612，在该输入端 612 接收未经调整的输入信号（$V_{\text{IN}}$）。NMOS 晶体管 611 的栅极连接至误差放大器 601 的输出端 604。NMOS 晶体管 611 的源极连接至反馈电路 620，该反馈电路 620 还包括第一采样电阻（$R_1$）621 和第二采样电阻（$R_2$）622。NMOS 晶体管 611 的源极还连接至容值为 C 的电容 623。电容 623 的另一端与 ESR 电阻 624 串连。ESR 电阻 624 的另一端电连接至单电接地 111。ESR 电阻 624 是电容 623 的“等效串联电阻”。

特别地，NMOS 晶体管 611 的源极连接至第一采样电阻（$R_1$）621。第一采样电阻（$R_1$）621 与第二采样电阻（$R_2$）622 串联，并连接至误差放大器 601 的第二输入端 603。第二采样电阻（$R_2$）622 的另一端电连接至单电接地 111。

继续描述图 6 中的低压差线性稳压器电路 600，下冲校正电路 201 的输入端 432 在节点$V_s$时电连接至低压差线性稳压器电路 600 的输出端 630，以感测输出电压$V_{\text{OUT}}$，即感测任何的下冲误差。下冲校正电路 201 的缓冲器 411 对输出电压$V_{\text{OUT}}$进行缓冲。下冲校正电路 201 的输出端 433 电耦接至误差放大器 601 的输出级（未示出），从而在下冲误差出现时，下冲校正电流 201 使误差放大器 601 向 NMOS 晶体管 611 发出校正信号。过冲校正电路 202 的输入端 501 电连接至输出端 630，以感测输出电压（$V_{\text{OUT}}$），即感测节点$V_s$上的任何过冲误差。过冲校正电路 202 的输出端 528 连接为在节点$V_s$处控制 NMOS 晶体管 611 的栅极。低压差线性稳压器电路 600 的输出端 630 电连接至由电流值为$I_s$的负载电流 112 和电容 623 表示的负载。

参照以上对图 6 的描述，低压差线性稳压器电路 600 的工作原理如下。误差放大器 610 将参考电压$V_{\text{REF}}$和比例采样电压$V_{\text{Sense}}$进行比较，并产生校正信号以调整 NMOS 晶体管 611 两端的电压降，以满足$V_{\text{REF}}=V_{\text{Sense}}$。当输出电压（$V_{\text{OUT}}$）上不存在任何过冲误差和下冲误差时，下冲校正电路 201 和过冲校正电路 202 处于截止状态。当在输入端 432 检测到下冲误差时，下冲校正电路 201 被激活，并加快误差放大器 601 的反应速度以补偿输出电压（$V_{\text{OUT}}$）上的下冲误差。特别地，在没有下冲误差的正常工作状态下，输入端 432 的
电位为输出电压（$V_{out}$）的直流分量。该电位由缓冲器 411 缓冲。由于第二 NMOS 晶体管 422 导通并将更多的电流从其栅极拉到电气接地 111，因此，第一 NMOS 晶体管 421 处于截止模式。这是因为第二 NMOS 晶体管 422 在物理上比第一 NMOS 晶体管 421 大。由于第一 NMOS 晶体管 421 的栅极电压被第二 NMOS 晶体管 422 拉至电气接地 111，因此第一 NMOS 晶体管 421 截止。在正常工作状态下，由第一 PMOS 晶体管 423 和第二 PMOS 晶体管 424 组成的有源偏置电流源被偏置，从而使得 PMOS 晶体管 431 处于截止状态，没有电流从输出端 433 流出。因而，在输出端 630 没有下冲误差的正常工作状态下，下冲校正电路 201 处于高阻抗状态，也就是说，没有电流从输出端 433 流出。

再次参照图 6，当产生下冲误差时，缓冲器 411 迅速地检测到输入端 432 的电压降。从而在电容 412 的另一端产生相应的电压降。在第一 NMOS 晶体管 421 的源极的第二电阻 425 两端产生压降。响应此源极处的压降，栅极和源极间的电压差变大，且第一 NMOS 晶体管 421 导通，将 PMOS 晶体管 431 的栅极的电压拉至电气接地 111。PMOS 晶体管 431 此时导通，并将输出端 433 的电压增大至电源电压 $V_{cc}$ 110。输出端 433 处电压的增大导致误差放大器 601 反应并开始补偿下冲误差。因此，当输出端 630 处出现下冲误差时，下冲校正电路 201 处于低阻抗状态，并导致电流从输出端 433 流至误差放大器 601。

继续参照图 6，在输出端 630 未检测到过冲误差的正常工作状态下，过冲校正电路 202 处于截止状态。特别地，当未检测到过冲误差时，NMOS 晶体管 611 的栅极处的电压在节点 $V_{a}$ 处比输出端 630 的电压高。因此，在过冲校正电路 202 中，输出端 528 的电压比输入端 501 的电压高。等同地，第一 PNP 双极型晶体管 521 的发射极的电压比第二 PNP 双极型晶体管 522 的发射极的电压高。在这种情况下，第一 PNP 双极型晶体管 521 比第二 PNP 双极型晶体管 522 导通充分。这样，更多的电流流入二极管接法 NPN 双极型晶体管 524 的集电极。因此，NPN 双极型晶体管 523 和 524 构成的电流镜会使 NPN 双极型晶体管 524 导通，将 NMOS 晶体管 511 的栅极拉至电气接地 111。在正常的工作状态下，NMOS 晶体管 511 处于截止模式，因而，过冲校正电路 202 处于高阻抗态。
另一方面，一旦在输入端 501 处检测到过冲误差，则过冲校正电路被激活以消除过冲误差。特别地，当工作状态被打破，且检测到过冲误差时，图 1B 所示的过冲误差 122 的电压的增大导致输入端 501 的电压比输出端 528 的电压大。与此相应地，第二 PNP 双极型晶体管 522 导通，第一 PNP 双极型晶体管 521 截止。这导致电流流过第二 PNP 双极型晶体管 522 的集电极，并将它的输出拉高。此时 NMOS 晶体管 511 导通，将过冲误差的额外电压拉至电气接地 111。同时，第一 PNP 双极型晶体管 521 截止。

如图 7 所示，在本发明的一个实施例中，用在低电压差线性稳压器电路 600 中的误差放大器 610 包括低输入偏置误差放大器 700。本发明中的低输入偏置误差放大器 700 包括输入差分级 710、增益级 720 和输出级 760。输入差分级 710 由 PNP 双极型晶体管 711 和 712 组成，且构成跨导放大器。增益级 720 电耦合在输入差分级 710 和输出级 760 之间，且可操作为用于向低输入偏置误差放大器 700 提供增益，并阻止偏置电流流回输入差分级。为了实现上述功能，增益级 720 还包括共射-共基电路 730 和运算放大器电路 740。共射-共基电路 730 由共射-共基的双极型晶体管 732 和 733 组成，且电耦合在输入差分级 710 以构成差分折叠共基-共射电路。运算放大器电路 740 包括差分对 747-748，多个电流镜 741-742、743-744 和 745-746。运算放大器电路 740 与差分折叠共射-共基电路串联，并为其提供共模偏置，从而使偏置电流不能流回输入差分级 710。

在操作中，为了获得非常低的输入偏置电压，误差放大器 700 采用共模反馈方法来将共射-共基电路 730，特别地，晶体管 732 和 733 的集电极电压保持在恒定的直流电压，该电压 2 倍于基极发射极电压（从电气接地 111）（2*V_{BE}）。运算放大器电路 740 中的差分对 747 和 748 补偿晶体管 732 和 733 的集电极至它们的基极电压。因此，节点 N4 和 N5 具有相同的共模直流电压。这样，由于双极型晶体管 732 和 733 的厄尔利效应，误差放大器 700 使输入级处引入的直流偏置最小化。此外，本发明的这个实施例还提供了对噪声更为免疫的差分电压。

用在低电压差线性稳压器电路 600 中的误差放大器 700，与 Farhood Moraveji 的美国专利申请（该申请的题目为“Low Input Offset Amplifier and Method of Making Same”，并与本申请同一天提交）中描述的低输入偏置误
差放大器相同，该申请的全部内容结合于此作为参考。

现参照图 8，该图示出了根据本发明的一个实施例的在模拟集成电路中减小过冲误差和下冲误差的方法 800 的流程图。该方法 800 包括采用分离的过冲校正电路和下冲校正电路来检测输出信号中是否有过冲误差和下冲误差的步骤，当检测到过冲误差或下冲误差时，产生校正信号，并采用校正信号来刺激模拟集成电路，以加快反应速度，从而减小过冲或下冲误差。该方法 800 通过改进模拟集成电路的响应时间(Δτ)来减小输出信号中的过冲误差或下冲误差，且不消耗大量的静态电流。等同地，该方法 800 在不论在检测到过冲误差还是在检测到下冲误差时，都可动态地调整模拟集成电路的回路带宽。而且，在过冲误差发生时，创建电通路以消耗过冲误差中携带的多余能量。

现参照步骤 801，在该步骤中，用下冲校正电路和过冲校正电路来感测模拟集成电路系统的输出信号。电耦接过冲校正电路的输入端，以感测模拟集成电路的输出电压，即感测任何的过冲误差。下冲校正电路用于感测模拟集成电路的输出电压，即感测任何的下冲误差。步骤 801 可采用本发明的下冲校正电路 201 和过冲校正电路 202 来实现。电耦接下冲校正电路 201，以感测模拟集成电路系统 600 的输出电压(V_{out})。高速 AB 类缓冲器 411 可检测到输出电压电平的突然下降。另一方面，过冲校正电路 202 通过将输出电压(V_{out})与位于 NMOS 晶体管 611 的栅极的节点 V_a 处的电压进行比较来感测输出电压(V_{out})。在没有过冲的正常工作状态下，节点 V_a 处的电压大于输出电压(V_{out})。当负载电流 112 断开时，会导致输出电压(V_{out})上出现如图 1B 中波形 122 所示的增加。此时，输出电压(V_{out})大于节点 V_a 处的电压。过冲校正电路 202 检测节点 V_a 和输出端 630 之间的电压关系。

在参照步骤 802，在该步骤中，在感测到输出电压后，判断是否检测到过冲误差或下冲误差。即，判断过冲校正电路或下冲校正电路的状态是否有改变。步骤 802 由下冲校正电路 201 的差分级电路 420 和过冲校正电路 202 的差分级 520 实现。在正常操作状态下，差分级 420 处于截止模式。即，第一 NMOS 晶体管 421 和第一 PMOS 晶体管 423 处于截止模式。一旦输入端 432 上出现电压降，缓冲器 411 会检测到该电压降。电阻 425 两端的电压随之下降。电阻 425 两端的电压的下降导致第一 NMOS 晶体管 421 导通，并将
PMOS 晶体管 431 的栅极拉向电气接地 111，使得 PMOS 晶体管 431 导通。结果，使得输出端 433 变高，且送出校正信号。类似地，当在输入端 501 上检测到有过冲误差时，改变过冲校正电路 202 的差分级 520 的电气特性。在正常工作状态下，第一 PNP 双极结型晶体管 521 导通，第二 PNP 双极结型晶体管 522 截止。当出现过冲误差时，输出电压（$V_{out}$）上升，使得第二 PNP 双极结型晶体管 522 导通。从而第一 PNP 双极结型晶体管 521 截止。因此，在过冲误差发生时过冲校正电路 202 的状态改变。

现参照步骤 803，在该步骤中，当输出电压（$V_{out}$）没有变化时，下冲校正电路 201 和过冲校正电路 202 的电气特性不变。继续回到步骤 801 检测过冲误差和下冲误差。

参照步骤 804，在该步骤中，当过冲校正电路或下冲校正电路的电气特性改变时，产生校正信号。步骤 804 由下冲校正电路 201 的 PMOS 晶体管 431 和过冲校正电路 202 的第二 PNP 双极结型晶体管 522 实现。特别地，当下冲校正电路 201 的电流状态改变时，PMOS 晶体管 431 导通，将输出端 433 拉至电源电压（$V_{cc}$）110，从而将校正信号送出至误差放大器 601。在过冲校正电路 202 中，第二 PNP 双极结型晶体管 522 的基极电流的减小导致第一 PNP 双极结型晶体管 521 的基极电流减小。因而在输出端 528 的电阻 527 两端产生电压降。

最后，参照步骤 805，在该步骤中，校正信号使得模拟集成电路对下冲误差和过冲误差的反应速度加快。因而步骤 805 改进了模拟集成电路的反应时间 $\Delta t$，从而减小了下冲误差和过冲误差的幅值。步骤 805 由下冲校正电路 201 的输出端 433 处的信号实现。校正信号使误差放大器 601 在传输晶体管 611 的栅极产生校正电流，从而对下冲问题进行补偿。另一方面，校正信号使传输晶体管 611 截止，从而消除过冲问题。此外，在本发明的一个实施例中，方法 800 还包括为输出信号提供电通路以减小过冲误差的步骤。这个步骤由 NMOS 晶体管 511 形成的电通路实现。

显然地，基于上述技术可对本发明进行各种变型和修改。因此可以理解的是，在所附权利要求的范围内，本发明可通过其它的方式，而非在此所描述的特定方式来实践。当然还应该理解的是，前述的公开为本发明的优选实施例（或实施例），其它的变型也不背离本发明的精神、且落入所附权利要
求界定的本发明的范围之内。尽管在此仅公开了本发明的优选实施例，对于本领域的普通技术人员来说，在落入所附权利要求限定的本发明的范围之内、且不背离本发明的精神的前提下，可以想到和实践本发明的其它变型。
图 3
用分离的过冲校正电路和下冲校正电路检测输出信号过冲误差或下冲误差的出现

误差检测到？

是

产生校正信号

否

用校正信号刺激模拟集成电路以加快反应速度

图 8