(19)日本国特許庁(JP)

(12)特許公報(B1)

(11)特許番号
特許第7642176号
(P7642176)

(45)発行日　令和7年3月7日(2025.3.7)

(24)登録日　令和7年2月27日(2025.2.27)

(51)国際特許分類

Ｈ１０Ｄ　30/47　(2025.01)	Ｈ１０Ｄ	30/47	２０１
Ｈ０１Ｌ　21/20　(2006.01)	Ｈ０１Ｌ	21/20	

ＦＩ

請求項の数　17　（全21頁）

(21)出願番号　特願2024-563355(P2024-563355)
(86)(22)出願日　令和6年5月21日(2024.5.21)
(86)国際出願番号　PCT/JP2024/018675
審査請求日　令和6年10月25日(2024.10.25)
早期審査対象出願

(73)特許権者　000006013
三菱電機株式会社
東京都千代田区丸の内二丁目７番３号
(74)代理人　100088672
弁理士　吉竹 英俊
(74)代理人　100088845
弁理士　有田 貴弘
(72)発明者　白柳 裕介
東京都千代田区丸の内二丁目７番３号
三菱電機株式会社内
審査官　恩田 和彦

最終頁に続く

(54)【発明の名称】　半導体装置および半導体装置の製造方法

(57)【特許請求の範囲】

【請求項１】

ダイヤモンド基板と、

前記ダイヤモンド基板上に直接に配置され、アモルファス材料からなる接合層と、

前記ダイヤモンド基板に少なくとも前記接合層を介して接合された０．５μｍ以上２０．０μｍ以下の厚さを有しているシリコン結晶層と、

アルミニウム原子を含有する窒化物からなり、前記接合層上に少なくとも前記シリコン結晶層を介して配置されたバッファ層と、

前記バッファ層上に直接に配置され、前記バッファ層の組成とは異なる組成を有する窒化物半導体層と、

を備える半導体装置。

【請求項２】

前記シリコン結晶層は前記接合層に直接に接合されている、請求項１に記載の半導体装置。

【請求項３】

前記シリコン結晶層と前記接合層との間に配置され、前記シリコン結晶層に直接に接し、前記接合層に直接に接合された酸化物層をさらに備える、請求項１に記載の半導体装置。

【請求項４】

前記酸化物層は、SiO_2からなり、かつ０．１μｍ以上１．０μｍ以下の厚さを有している、請求項３に記載の半導体装置。

【請求項５】
前記バッファ層は前記シリコン結晶層上に直接に配置されている、請求項１から４のいずれか１項に記載の半導体装置。
【請求項６】
前記シリコン結晶層と前記バッファ層との間にシリコン化合物層をさらに備える、請求項１から４のいずれか１項に記載の半導体装置。
【請求項７】
前記シリコン結晶層は５０００Ω・ｃｍ以下の抵抗率を有している、請求項１から４のいずれか１項に記載の半導体装置。
【請求項８】
前記接合層は、前記ダイヤモンド基板上に直接に配置されたアモルファスカーボン層を含む、請求項１から４のいずれか１項に記載の半導体装置。
【請求項９】
前記接合層はシリコン含有層を含む、請求項１から４のいずれか１項に記載の半導体装置。
【請求項１０】
前記接合層は１ｎｍ以上１０ｎｍ以下の厚さを有している、請求項１から４のいずれか１項に記載の半導体装置。
【請求項１１】
前記ダイヤモンド基板は、単結晶ダイヤモンド、モザイクダイヤモンド、または多結晶ダイヤモンドからなる、請求項１から４のいずれか１項に記載の半導体装置。
【請求項１２】
前記ダイヤモンド基板は、５０μｍ以上６００μｍ以下の厚さを有している、請求項１から４のいずれか１項に記載の半導体装置。
【請求項１３】
前記接合層は、前記ダイヤモンド基板に接する第１界面と、前記第１界面とは反対の第２界面と、を有しており、前記第１界面および前記第２界面の各々は、０．５ｎｍ以下の算術平均粗さを有している、請求項１から４のいずれか１項に記載の半導体装置。
【請求項１４】
ａ）アルミニウム原子を含有する窒化物からなるバッファ層をシリコン結晶層上に直接または間接に形成する工程を備え、前記シリコン結晶層は酸化物層上に直接に配置されており、前記酸化物層は支持基板上に配置されており、さらに、
ｂ）前記バッファ層上に、前記バッファ層の組成とは異なる組成を有する窒化物半導体層を形成する工程と、
ｃ）前記窒化物半導体層上に半導体素子構造を形成する工程と、
ｄ）前記半導体素子構造上に接着層を介して保護基板を設ける工程と、
ｅ）前記ｄ）の後、前記支持基板を除去する工程と、
ｆ）前記ｅ）の後、前記シリコン結晶層と、ダイヤモンド基板の研磨面とを、少なくとも接合層を介して互いに接合する工程と、を備え、前記接合層は、前記ダイヤモンド基板の前記研磨面上に直接に配置され、かつ前記シリコン結晶層上に直接にまたは前記酸化物層を介して配置され、さらに、
ｇ）前記接着層および前記保護基板を除去する工程と、
を備える半導体装置の製造方法。
【請求項１５】
前記ｅ）の後かつ前記ｆ）の前に、前記シリコン結晶層の材料に対してよりも前記酸化物層の材料に対して高いエッチングレートを有するウェットエッチングによって、前記シリコン結晶層を残存させつつ前記酸化物層を除去する工程をさらに備え、
前記ｆ）において、前記接合層は前記シリコン結晶層上に直接に配置される、
請求項１４に記載の半導体装置の製造方法。
【請求項１６】

前記ｅ）の後かつ前記ｆ）の前に、前記酸化物層を研磨することによって前記酸化物層の研磨面を形成する工程をさらに備え、
前記ｆ）において、前記接合層は、前記シリコン結晶層上に前記酸化物層を介して配置され、かつ前記酸化物層の前記研磨面上に直接に配置される、
請求項１４に記載の半導体装置の製造方法。
【請求項１７】
前記ａ）において、前記シリコン結晶層と前記酸化物層と前記支持基板とがシリコンオンインシュレータ基板を構成しており、前記シリコンオンインシュレータ基板において前記シリコン結晶層は１０％以内の面内均一性を有している、請求項１４から１６のいずれか１項に記載の半導体装置の製造方法。
【発明の詳細な説明】
【技術分野】
【０００１】
本開示は、半導体装置および半導体装置の製造方法に関し、特に、窒化物からなる半導体層を有する半導体装置とその製造方法とに関するものである。
【背景技術】
【０００２】
特開２０１９－０３６５６６号公報（特許文献１）によれば、半導体装置の放熱性の向上のために、ヒートスプレッダまたはヒートシンクとしてダイヤモンドを用いることが有効であり、これはダイヤモンドが高い熱伝導率を有しているからである。また、表面活性化接合法により、半導体装置の半導体基板とダイヤモンドとを接合する方法について言及されている。接合の際、ダイヤモンドの剛性が極めて高いため、ダイヤモンドは変形せず、半導体基板とダイヤモンドとの間に多くの空隙が生じやすい。特に、半導体基板としてＳｉＣ基板が用いられている場合に、多くの空隙が生じやすい。この空隙は放熱性の低下を引き起こす。
【０００３】
この課題を勘案して、上記公報に記載された発明に係る半導体装置は、基板および前記基板上の素子領域を含む半導体チップと、ダイヤモンドの伝熱体と、前記半導体チップと前記伝熱体との間の金属層と、を有していて、前記基板は裏面にアモルファス領域を有している。前記アモルファス領域と前記金属層とが互いに接合されている。前記金属層と前記伝熱体とが互いに接合されている。前記素子領域は高電子移動度トランジスタ（ＨＥＭＴ）を含んでよい。上記公報の主張するところによれば、半導体装置が、アモルファス領域を含む基板と、伝熱体と、金属層と、を含むことによって、優れた放熱性を得ることができる。
【０００４】
また、上記公報に記載された半導体装置の製造方法によれば、まず、半導体チップと、伝熱体を有する構成と、が別個に準備される。半導体チップの準備方法としては、基板の表面に素子領域が形成された半導体チップの裏面が研磨される。これにより基板が薄くなる。一方、伝熱体を有する構成の準備方法としては、まず、ダイヤモンドの伝熱体の表面が研磨される。この表面上に金属層が形成される。次に、半導体チップの裏面と、金属層の表面と、に希ガスビームが照射される。この結果、半導体チップの裏面にアモルファス領域が形成される。また、半導体チップの裏面と金属層の表面とが活性化される。次に、半導体チップの裏面と金属層の表面とを互いに密着させることによって接合が行われる。
【０００５】
国際公開第２０２３／０４８１６０号（特許文献２）は、ＨＥＭＴを含む半導体装置を開示している。当該半導体装置においては、ダイヤモンド基板の主面に、接合層、ＳｉＣ層、および窒化物半導体層がこの順序で積層されている。窒化物半導体層の主面には、ソース電極、ドレイン電極、およびゲート電極が互いに間隔をおいて形成されている。
【０００６】
上記国際公開に記載された半導体装置の製造方法においては、次のような工程が行われ

てよい。まず、Ｓｉ基板上にＳｉＣ層および窒化物半導体層が順に形成される。次に、窒化物半導体層上にＨＥＭＴが形成される。次に、Ｓｉ基板全体がエッチングにより除去される。これにより露出されたＳｉＣ層にダイヤモンド基板が接合される。また上記国際公開によれば、上記接合には表面活性化接合法を用いることが好ましい。その場合、まず、減圧かつ常温の雰囲気で、ダイヤモンド基板およびＳｉＣ層の各々にエネルギー粒子（例えばＡｒ粒子）を照射することにより、ダイヤモンド基板およびＳｉＣ層の各々から吸着物質が除去される。エネルギー粒子の照射により、ダイヤモンド基板上にはＣを主成分とするアモルファス層が現われ、またＳｉＣ層上にはＣおよびＳｉを主成分とするアモルファス層が現れる。これら１対のアモルファス層が互いに接触させられることにより、これら１対のアモルファス層を含む接合層を介して、ダイヤモンド基板とＳｉＣ層とが接合される。

【先行技術文献】

【特許文献】

【０００７】

【文献】特開２０１９－０３６５６６号公報

【文献】国際公開第２０２３／０４８１６０号

【発明の概要】

【発明が解決しようとする課題】

【０００８】

上記特開２０１９－０３６５６６号公報に記載された発明に係る半導体装置においては、半導体チップと伝熱体との間に金属層が設けられる。この金属層に起因して、半導体装置における寄生容量が大きくなってしまう。また当該発明に係る製造方法においては、半導体チップの裏面が研磨される。この結果、半導体装置のうちＨＥＭＴの動作に関連した部分の裏面、すなわち窒化物半導体層の裏面に、研磨に起因したダメージが加わりやすい。裏面へのこのダメージは、ＨＥＭＴの電流コラプスを増大させることがある。このように、窒化物半導体層の裏面へのダメージに起因して半導体装置の性能が低下することがある。

【０００９】

上記国際公開第２０２３／０４８１６０号によれば、窒化物半導体層が、Ｓｉ基板上に直接に設けられたＳｉＣ層上でのホモエピタキシャル成長によって形成される。一方で、当該国際公開に記載された発明とは異なり、ホモエピタキシャル成長のための下地層として、ＳｉＣ層ではなくシリコン結晶層の方が望ましいことがある。例えば、下地層の厚さの面内均一性が高いことが求められる場合、ＳｉＣ層よりもシリコン結晶層の方が、そのような求めに対応しやすい。具体的には、Ｓｉ基板上に、絶縁層と、下地層としてのシリコン結晶層とが順に積層された構造を有するＳｉｌｉｃｏｎ　ｏｎ　Ｉｎｓｕｌａｔｏｒ（ＳＯＩ）基板を用いることによって、下地層に適したシリコン結晶層を容易に準備することができる。また、上記ＳＯＩ基板を用いて半導体装置が製造される場合、最終的に不要となるＳｉ基板を除去することも容易である。これに対して、上記国際公開第２０２３／０４８１６０号によると、Ｓｉ基板全体がエッチングによって除去される際に、当該エッチングが停止される面はＳｉＣ層からなるので、この停止を所望の位置で精確に行うことは難しいことがある。その結果、窒化物半導体層の裏面にダメージが加わり、これに起因して半導体装置の性能が低下することがある。

【００１０】

本開示は以上のような課題を解決するためになされたものであり、その目的は、窒化物半導体層の裏面へのダメージに起因しての半導体装置の性能の低下を抑制することができる、半導体装置および半導体装置の製造方法を提供することである。

【課題を解決するための手段】

【００１１】

本開示に係る半導体装置は、ダイヤモンド基板と、前記ダイヤモンド基板上に直接に配置され、アモルファス材料からなる接合層と、前記ダイヤモンド基板に少なくとも前記接

合層を介して接合されたシリコン結晶層と、アルミニウム原子を含有する窒化物からなり、前記接合層上に少なくとも前記シリコン結晶層を介して配置されたバッファ層と、前記バッファ層上に直接に配置され、前記バッファ層の組成とは異なる組成を有する窒化物半導体層と、を備える。

【００１２】

本開示に係る半導体装置の製造方法は、ａ）アルミニウム原子を含有する窒化物からなるバッファ層をシリコン結晶層上に直接または間接に形成する工程を備え、前記シリコン結晶層は酸化物層上に直接に配置されており、前記酸化物層は支持基板上に配置されており、さらに、ｂ）前記バッファ層上に、前記バッファ層の組成とは異なる組成を有する窒化物半導体層を形成する工程と、ｃ）前記窒化物半導体層上に半導体素子構造を形成する工程と、ｄ）前記半導体素子構造上に接着層を介して保護基板を設ける工程と、ｅ）前記ｄ）の後、前記支持基板を除去する工程と、ｆ）前記ｅ）の後、前記シリコン結晶層と、ダイヤモンド基板の研磨面とを、少なくとも接合層を介して互いに接合する工程と、を備え、前記接合層は、前記ダイヤモンド基板の前記研磨面上に直接に配置され、かつ前記シリコン結晶層上に直接にまたは前記酸化物層を介して配置され、さらに、ｇ）前記接着層および前記保護基板を除去する工程と、を備える。

【発明の効果】

【００１３】

本開示に係る半導体装置よれば、半導体装置において、バッファ層は接合層上に少なくともシリコン結晶層を介して配置されている。従って、半導体装置の製造において、窒化物半導体層を含む構造をダイヤモンド基板へ接合層を用いて接合し終えるまでの間、シリコン結晶層がバッファ層を保護し続けることができる。これにより、バッファ層が窒化物半導体層の裏面を、何らかの製造工程に起因してのダメージから保護し続けることができる。よって、窒化物半導体層の裏面へのダメージに起因しての半導体装置の性能の低下を抑制することができる。

【００１４】

本開示の目的、特徴、態様、および利点は、以下の詳細な説明と添付図面とによって、より明白となる。

【図面の簡単な説明】

【００１５】

【図１】実施の形態１に係る半導体装置の構成を概略的に示す断面図である。

【図２】図１の半導体装置の構成を概略的に示す上面図である。

【図３】図１に係る半導体装置の製造方法を概略的に示すフロー図である。

【図４】図１に係る半導体装置の製造方法における第１工程を概略的に示す断面図である。

【図５】図１に係る半導体装置の製造方法における第１工程を概略的に示す上面図である。

【図６】図１に係る半導体装置の製造方法における第２工程を概略的に示す断面図である。

【図７】図１に係る半導体装置の製造方法における第３工程を概略的に示す断面図である。

【図８】図１に係る半導体装置の製造方法における第４工程を概略的に示す断面図である。

【図９】図１に係る半導体装置の製造方法における第５工程を概略的に示す断面図である。

【図１０】図１に係る半導体装置の製造方法における第６工程を概略的に示す断面図である。

【図１１】図１に係る半導体装置の製造方法における第７工程を概略的に示す断面図である。

【図１２】図１に係る半導体装置の製造方法における第８工程を概略的に示す断面図である。

【図１３】図１に係る半導体装置の製造方法における第９工程を概略的に示す断面図である。

【図１４】図１に係る半導体装置の製造方法における第１０工程を概略的に示す断面図である。

【図１５】半導体装置におけるドレイン電圧Ｖｄｓとドレイン電流Ｉｄｓとの間の関係を

概略的に示すグラフ図である。
【図１６】半導体装置における印加電力Ｐと通電領域の上昇温度ΔＴとの関係を概略的に示すグラフ図である。
【図１７】半導体装置におけるシリコン結晶層の厚さと温度上昇率Ｒｔｈとの間の関係を概略的に示すグラフ図である。
【図１８】実施の形態２に係る半導体装置の構成を概略的に示す断面図である。
【図１９】実施の形態３に係る半導体装置の構成を概略的に示す断面図である。
【図２０】図１９に係る半導体装置の製造方法を概略的に示すフロー図である。
【図２１】図１９に係る半導体装置の製造方法における一工程を概略的に示す断面図である。
【発明を実施するための形態】
【００１６】
以下、図面に基づいて実施の形態について説明する。なお、以下の図面において同一または相当する部分には同一の参照番号を付しその説明は繰返さない。なお図面における各部材の大きさは、図面を見やすくするために、実際の大きさとは異なっていることがある。
【００１７】
＜実施の形態１＞
図１および図２のそれぞれは、本実施の形態１に係る半導体装置１００の構成を概略的に示す断面図および上面図である。なお図２の上面図においては、表面電極１４を識別しやすくするために、表面電極１４にドット模様が付されている。
【００１８】
半導体装置１００は、ダイヤモンド基板１６と、接合層１５と、シリコン結晶層１１と、バッファ層１２と、窒化物半導体層１３とを有している。ダイヤモンド基板１６と、接合層１５と、シリコン結晶層１１と、バッファ層１２と、窒化物半導体層１３とは、図１に示されているように、順に積層されていてよい。窒化物半導体層１３の主面ＦＭ１上には半導体素子構造ＥＳが設けられている。半導体素子構造ＥＳは表面電極１４を含んでよい。本実施の形態１においては、半導体素子構造ＥＳはＨＥＭＴ構造であり、表面電極１４は、ゲート電極部１４ａ、ソース電極部１４ｂおよびドレイン電極部１４ｃの複数の電極部を含む。なお半導体素子構造ＥＳは、表面電極１４に加えて絶縁膜を有してもよい。また半導体素子構造ＥＳは、その表面を保護する保護膜を有してもよい。絶縁膜の材料は、例えば、ＳｉＮ、Al_2O_3、またはSiO_2である。保護膜の材料は、例えばポリイミドである。
【００１９】
ダイヤモンド基板１６は、単結晶ダイヤモンド、モザイクダイヤモンド、または多結晶ダイヤモンドからなる。モザイクダイヤモンドは、面内方向（図１における横方向）において互いに接合された複数の単結晶ダイヤモンドによって構成されている。ダイヤモンド基板１６は５０μｍ以上６００μｍ以下の厚さを有していてよい。
【００２０】
接合層１５は、ダイヤモンド基板１６上に直接に配置されており、アモルファス材料からなる。接合層１５の材料は、単層材料または積層材料であってよい。接合層１５は、ダイヤモンド基板１６上に直接に配置されたアモルファスカーボン層を含んでよい。アモルファスカーボン層の厚さは１ｎｍ以下であってよい。接合層１５はシリコン含有層を含んでよい。シリコン含有層は上記アモルファスカーボン層上に積層されていてよい。シリコン含有層はシリコン原子を含有する層である。シリコン含有層はさらに、炭素原子および／または酸素原子を含有してよい。よってシリコン含有層の材料は、例えば、Ｓｉ、SiO_X（Ｘ＞０）、ＳｉＣ、またはSiC_XO_Y（Ｘ＞０、Ｙ＞０）である。
【００２１】
接合層１５の厚さは、好ましくは１ｎｍ以上１０ｎｍ以下であり、より好ましくは１ｎｍ以上５ｎｍ以下である。接合層１５は、ダイヤモンド基板１６に接する第１界面ＩＦ１と、第１界面ＩＦ１とは反対の第２界面ＩＦ２と、を有している。第２界面ＩＦ２は、本

実施の形態１においては、接合層１５とシリコン結晶層１１との界面である。第１界面ＩＦ１は０．５ｎｍ以下の算術平均粗さを有していてよい。言い換えれば、図１におけるダイヤモンド基板１６の上面（図１２における主面ＦＭ３に対応）は０．５ｎｍ以下の算術平均粗さを有していてよい。第２界面ＩＦ２は０．５ｎｍ以下の算術平均粗さを有していてよい。言い換えれば、シリコン結晶層１１の裏面ＦＢ２は０．５ｎｍ以下の算術平均粗さを有していてよい。

【００２２】

シリコン結晶層１１は、ダイヤモンド基板１６に少なくとも接合層１５を介して接合されている。本実施の形態１においては、シリコン結晶層１１は接合層１５に直接に接合されている。シリコン結晶層１１は単結晶Ｓｉ層であってよい。シリコン結晶層１１は、バッファ層１２および窒化物半導体層１３を順に成長させる際の下地層、言い換えれば成長基板、としての役割を有している。シリコン結晶層１１の厚さは、好ましくは０．５μｍ以上２０．０μｍ以下であり、より好ましくは０．５μｍ以上５．０μｍ以下である。シリコン結晶層１１は５０００Ω・ｃｍ以下の抵抗率を有していてよい。

【００２３】

バッファ層１２は、接合層１５上に少なくともシリコン結晶層１１を介して配置されている。本実施の形態１においては、バッファ層１２はシリコン結晶層１１上に直接に配置されている。バッファ層１２の厚さは２μｍ以下が好ましい。バッファ層１２は、アルミニウム原子を含有する窒化物からなる。また当該窒化物はガリウム原子を含有してよい。バッファ層１２の材料は、単層材料、または、組成の異なる複数の材料が適用された積層材料であってよい。具体的には、バッファ層１２の材料は、例えば、ＡｌＧａＮまたはＡｌＮである。バッファ層１２の組成におけるＡｌ原子の成分比は、窒化物半導体層１３の組成におけるＡｌ原子の成分比とは異なっていてよい。

【００２４】

窒化物半導体層１３は、バッファ層１２上に直接に配置されている。窒化物半導体層１３の厚さは、放熱性能に対する影響を考慮して、１０μｍ以下が好ましい。窒化物半導体層１３は、バッファ層１２の組成とは異なる組成を有している。窒化物半導体層１３の材料は、アルミニウム原子を含有してよいが、必ずしも含有する必要はない。窒化物半導体層１３の材料は単層材料または積層材料であってよい。単層材料は、ＳｉＮ、ＧａＮ、ＡｌＧａＮ、ＩｎＡｌＮ、またはＡｌＮであってよく、Ｆｅおよび／またはＣなどの不純物が添加されていてよい。積層材料には、上述した材料のうちの２つ以上が適用されてよい。

【００２５】

表面電極１４の材料は単一の金属元素または合金であってよい。単一の金属元素としては、Ｃｕ、Ｔｉ、Ａｌ、Ａｕ、Ｎｉ、Ｎｂ、Ｐｄ、Ｐｔ、Ｃｒ、Ｗ、Ｔａ、およびＭｏからなる群から選択された一つの元素が用いられてよい。合金としては、ＡｌＳｉ、ＡｌＣｕ、ＡｕＧｅ、ＡｕＧａ、またはＡｕＳｎが用いられてよい。表面電極１４の材料は、上述した複数の材料のうち２つ以上の材料を用いた積層であってもよい。表面電極１４が複数の電極部を含む場合、当該複数電極部の材料は、共通であってもよいし、あるいは異なってもよい。

【００２６】

図３は、半導体装置１００（図１）の製造方法ＭＭ１を概略的に示すフロー図である。図４および図５のそれぞれは、半導体装置１００の製造方法における第１工程を概略的に示す断面図および上面図である。図６～図１４のそれぞれは、半導体装置１００の製造方法における第２～第１０工程を概略的に示す断面図である。

【００２７】

図４および図５を参照して、まずＳＯＩ基板１０が形成される。ＳＯＩ基板１０は、シリコン結晶層１１と酸化物層１９と支持基板２０とによって構成されている。酸化物層１９は支持基板２０上に配置されている。シリコン結晶層１１は酸化物層１９上に直接に配置されている。ＳＯＩ基板１０において、支持基板２０の厚さは、好ましくは５００μｍ以上７００μｍ以下である。また酸化物層１９の厚さは、好ましくは０．１μｍ以上２．

０μｍ以下である。支持基板２０は、典型的にはＳｉ基板である。

【００２８】

ＳＯＩ基板１０において、シリコン結晶層１１は１０％以内の面内均一性を有していることが好ましい。好ましくは、そのような面内均一性が、約５０ミリメートル（２インチ）以上の直径を有するＳＯＩ基板１０（ウェハ）において満たされている。シリコン結晶層１１の面内均一性は、例えば、図５に示された９個の測定点ＰＭ（図５）における厚みに基づいて算出されてよい。測定点の１つはウェハのほぼ中心点であってよい。他の８つの測定点は、ウェハの外縁の無効領域と、その内側の有効領域と、の境界上に、ほぼ等角の間隔を空けて（言い換えれば約４５°の間隔を空けて）選択されてよい。これら測定点での厚さの最大値、最小値および平均値を用いて、以下の式、

面内均一性（％）＝（最大値－最小値）／（平均値×２）×１００

によって面内均一性が算出されてよい。

【００２９】

ＳＯＩ基板１０を得るためには、例えば、支持基板２０に酸化物層１９を介してシリコン結晶層１１が接合され、その後、研削および研磨によりシリコン結晶層１１へ所望の厚さと面内均一性とが付与される。シリコン結晶層１１は酸化物層１９上に、接合される代わりに堆積されてもよく、その際、抵抗率を調整するために、ボロンまたはリンなどのドーパントが添加されてよい。あるいは、ＳＩＭＯＸ（ｓｅｐａｒａｔｉｏｎ　ｂｙ　ｉｍｐｌａｎｔｅｄ　Ｏｘｙｇｅｎ）法と呼ばれる手法が用いられてもよい。すなわち、単結晶シリコン基板の内部に高濃度の酸素イオンを注入した後に高温での熱処理を行うことによって、支持基板２０の表面部にシリコン結晶層１１および酸化物層１９を形成してもよい。製造方法についての以下の説明においては、支持基板２０が単結晶Ｓｉ基板であり、酸化物層がシリコン酸化膜である場合について例示する。

【００３０】

図６を参照して、ステップＳＴ１０（図３）にて、窒化物からなるバッファ層１２が、ＳＯＩ基板１０のシリコン結晶層１１上に直接または間接に形成される。本実施の形態１においては、バッファ層１２はシリコン結晶層１１上に直接に形成される。次にステップＳＴ２０（図３）にて、バッファ層１２上に、バッファ層１２の組成とは異なる組成を有する窒化物半導体層１３が形成される。これらは、例えば、有機金属気相成長（ＭＯＣＶＤ：Ｍｅｔａｌ　Ｏｒｇａｎｉｃ　Ｃｈｅｍｉｃａｌ　Ｖａｐｏｒ　Ｄｅｐｏｓｉｔｉｏｎ）法などによって形成される。図７を参照して、次に、ステップＳＴ３０（図３）にて、窒化物半導体層１３の主面ＦＭ１上に半導体素子構造ＥＳが形成される。

【００３１】

さらに図８を参照して、ステップＳＴ４０（図３）にて、半導体素子構造ＥＳが設けられた主面ＦＭ１（図７）上に、接着層１７を介して保護基板１８が設けられる。接着層１７は、樹脂を含む接着材からなってよい。保護基板１８は、半導体素子構造ＥＳを保護するために一時的に設けられる。保護基板１８の厚さは、例えば５００μｍ以上である。保護基板１８の材料は、高い強度を有するものが好ましく、また接着層１７の硬化に光照射が用いられる場合は透明であることが好ましい。保護基板１８の材料は、例えば、サファイア、石英またはＳｉＣである。

【００３２】

次にステップＳＴ５０（図３）にて、支持基板２０（図８）が、図９に示されるように除去される。この除去工程は、支持基板２０の主面ＦＭ４（図８）から進行して酸化物層１９上で停止するように行われる。これにより酸化物層１９の主面ＦＭ５が露出される。この除去工程は、研削、ドライエッチングまたはウェットエッチングによって行われてよい。シリコン酸化膜のような酸化物層１９に対して、単結晶Ｓｉ基板のような支持基板２０のエッチング選択比は、十分に確保しやすい。よって、酸化物層１９を大きくは犠牲にすることなく支持基板２０をエッチングによって除去することは容易である。ウェットエッチングには、例えば、ＫＯＨ、ＮａＯＨまたはアンモニアなどのアルカリ溶液が用いられる。

【００３３】
次に、本実施の形態１においては、ステップＳＴ６１（図３）にて、シリコン結晶層１１の材料に対してよりも酸化物層１９の材料に対して高いエッチングレートを有するウェットエッチングが行われる。これによって、シリコン結晶層１１を残存させつつ酸化物層１９（図９）が、図１０に示されるように除去される。これにより、シリコン結晶層１１の裏面ＦＢ２が露出される。シリコン酸化膜のような酸化物層１９に対して、シリコン結晶層１１のエッチング選択比は、非常に確保しやすい。よって、シリコン結晶層１１をほとんど犠牲にすることなく酸化物層１９をエッチングによって除去することは、十分に容易である。このウェットエッチングにはフッ化水素酸またはバッファードフッ化水素酸用いることが好ましい。上記のように選択比が非常に確保しやすいことから、酸化物層１９が除去された後のシリコン結晶層１１の裏面ＦＢ２の表面粗さは、酸化物層１９が除去される前のシリコン結晶層１１の裏面ＦＢ２（図４）の表面粗さに、ほぼ対応する。これら表面粗さは、０．５ｎｍ以下の算術平均粗さであることが好ましい。
【００３４】
次に、シリコン結晶層１１の裏面ＦＢ２の活性化処理が行われてよい。具体的には、裏面ＦＢ２上へ希ガス元素（例えば、Ｈｅ、Ａｒ、ＸｅまたはＮｅなど）のイオンビームが照射される。これにより、裏面ＦＢ２上の不純物および付着物が除去され、また未結合手が被照射面上に露出される。
【００３５】
一方で、図１１を参照して、主面ＦＭ３を有するダイヤモンド基板１６が準備される。ダイヤモンド基板１６は、好ましくは化学気相成長（ＣＶＤ：Ｃｈｅｍｉｃａｌ　Ｖａｐｅｒ　Ｄｅｐｏｓｉｔｉｏｎ）法で作製される。さらに図１２を参照して、ダイヤモンド基板１６の主面ＦＭ３が研磨される。この研磨は、主面ＦＭ３が０．５ｎｍ以下の算術平均粗さを有するように行われることが好ましい。
【００３６】
さらに図１３を参照して、ダイヤモンド基板１６の主面ＦＭ３（図１２）上に接合層１５が形成される。よって接合層１５は、ダイヤモンド基板１６の主面ＦＭ３（図１２）上、すなわちダイヤモンド基板１６の研磨面上に直接に配置される。好ましくは、まず、ダイヤモンド基板１６の主面ＦＭ３（図１２）が活性化処理される。具体的には、ダイヤモンド基板１６の主面ＦＭ３上へ希ガス元素（例えば、Ｈｅ、Ａｒ、ＸｅまたはＮｅなど）のイオンビームが照射される。これにより、主面ＦＭ３上の不純物および付着物が除去され、また未結合手が被照射面上に露出される。それと同時に、ダイヤモンド基板１６の主面ＦＭ３近傍がアモルファス化されることによって、ダイヤモンド基板１６上に、接合層１５の少なくとも一部としてのアモルファスカーボン層が形成される。次にこのアモルファスカーボン層上への堆積によって、接合層１５がさらに形成されてよい。この堆積は、例えば、Ｓｉ、SiO_2またはＳｉＣをターゲット材として用いてたスパッタ法によって行われる。
【００３７】
図１４を参照して、ステップＳＴ７１（図３）にて、シリコン結晶層１１と、ダイヤモンド基板１６の研磨面である主面ＦＭ３（図１２）と、が少なくとも接合層１５を介して互いに接合される。本実施の形態１においては、接合層１５はシリコン結晶層１１上に直接に配置される。これにより、ダイヤモンド基板１６を含む構成（図１３）と、シリコン結晶層１１を含む構成（図１０）とが、接合層１５を介して互いに接合される。この接合は、常温加圧接合によって行われることが好ましい。常温加圧接合の場合、被接合面は、原子レベルの平滑性を有していることが好ましい。具体的には、被接合面の算術平均粗さが０．５ｎｍ以下であることが好ましい。また、常温加圧接合においては、一般に、部分的な剥離が懸念されることがあるところ、接合層１５はこれを防止するための機能を有している。また常温加圧接合においては、接合のための加熱が不要であることから、熱応力に起因しての反りの発生を避けることができる。
【００３８】

次に、ステップＳＴ８０（図３）にて、接着層１７および保護基板１８が除去される（図１）。具体的には、接着層１７が剥離されることによって、接着層１７および保護基板１８が、半導体装置１００（図１）となる部分から分離される。これにより半導体装置１００が得られる。

【００３９】

図１５は、ＨＥＭＴ構造を有する半導体装置１００におけるドレイン電圧Ｖｄｓとドレイン電流Ｉｄｓとの間の関係を概略的に示すグラフ図である。図中、実線がパルス印加なしの場合、破線がパルス印加ありの場合の特性を示している。ドレイン電流Ｉｄｓの低下量（図中、矢印を参照）が、窒化物半導体層１３の裏面でのキャリアトラップに起因しての電流コラプス、言い換えれば裏面コラプス、と関連している。本実施の形態１によれば、半導体装置１００の完成に至るまでシリコン結晶層１１が残させられており、これにより窒化物半導体層１３の裏面が確実に保護される。よって裏面コラプスが抑制される。これにより、ドレイン電流Ｉｄｓの低下を抑制することができる。一方で、シリコン結晶層１１は、半導体素子構造ＥＳとダイヤモンド基板１６との間に位置するので、放熱特性を、ある程度犠牲にする。

【００４０】

図１６は、半導体装置における印加電力Ｐ（＝Ｉｄｓ×Ｖｄｓ）と通電領域の上昇温度ΔＴとの関係を概略的に示すグラフ図である。図中、破線は、半導体装置１００（図１）からダイヤモンド基板１６が省略された装置に対応している。この装置の場合、ダイヤモンド基板１６による放熱促進が得られないことから、上昇温度ΔＴが非常に大きい。一方、図中２つの実線のうちの下方は、半導体装置１００（図１）からシリコン結晶層１１が省略された装置に対応している。この装置の場合、ダイヤモンド基板１６による放熱促進がシリコン結晶層１１に阻害されることなく得られることから、上昇温度ΔＴが顕著に抑制される。図中２つの実線のうちの上方は、ダイヤモンド基板１６およびシリコン結晶層１１の両方を有する半導体装置に対応している。この装置の場合、シリコン結晶層１１の厚さが大きくなるほど、上昇温度ΔＴが大きくなる。すなわち放熱特性が悪化する。しかしながら、ダイヤモンド基板１６による放熱促進効果は非常に大きいので、シリコン結晶層１１の厚さが過剰でなければ、当該放熱促進効果を十分に享受することができる。なお、接合層１５は、非常に薄く、放熱性に及ぼす影響は小さいので、上記の説明においては接合層１５への言及を省略している。

【００４１】

図１７は、半導体装置１００のシリコン結晶層１１の厚さと、半導体装置１００における１Ｗ／ｍｍあたりの温度上昇率Ｒｔｈと、の間の関係を概略的に示すグラフ図である。この図に示されているように、シリコン結晶層１１の厚さが２０．０μｍ以下であれば、シリコン結晶層１１が設けられることによる放熱特性の犠牲が過大なものとなることが避けられる。一方で、シリコン結晶層１１によって電流コラプスを抑制する効果を十分に得るには、その厚さが０．５μｍ以上であることが好ましい。よって、シリコン結晶層１１によって電流コラプスを抑制する効果を十分に得つつ、シリコン結晶層１１によって放熱特性が悪化する影響を十分に抑えるには、その厚さが０．５μｍ以上２０．０μｍ以下であることが好ましい。

【００４２】

なお仮に、図１０に示された構成の底部へのエッチングおよび／または研削による除去処理によって、シリコン結晶層１１を除去し、かつ、バッファ層１２からなる裏面が露出されたタイミングで上記除去処理を停止することができた場合、当該裏面に接合層１５を介してダイヤモンド基板１６が接合されれば、シリコン結晶層１１を有しない半導体装置が得られる。当該半導体装置においては、シリコン結晶層１１によって放熱性が阻害されることが避けられる。しかしながら、バッファ層１２は、通常、非常に薄いので、バッファ層１２が露出されたタイミングで除去処理を停止させる制御は非常に難しく、特に大量生産においては、バッファ層１２が失われてシリコン結晶層１１の裏面が露出されてしまいやすい。この裏面に、接合層１５を介してダイヤモンド基板１６を十分な強度で接合す

るためには、当該裏面が高い平滑性を有している必要がある。そのような裏面を得るには、通常、研磨またはドライエッチングのような処理が必要である。このような処理は、窒化物半導体層１３の当該裏面に直接的に物理的なダメージを与え、その結果、裏面コラプスが悪化する。また、バッファ層１２が失われて窒化物半導体層１３の裏面が露出されることだけでも裏面コラプスの悪化につながり得る。

【００４３】

本実施の形態１によれば、図１を参照して、バッファ層１２は接合層１５上に少なくともシリコン結晶層１１を介して配置されている。従って、半導体装置１００の製造において、ステップＳＴ７１（図３）にて図１４に示された構成が得られるまでの間、言い換えれば、窒化物半導体層１３を含む構造をダイヤモンド基板１６へ接合層１５を用いて接合し終えるまでの間、シリコン結晶層１１がバッファ層１２を保護し続けることができる。これにより、バッファ層１２が窒化物半導体層１３の裏面を、何らかの製造工程に起因してのダメージから保護し続けることができる。具体的には、窒化物半導体層１３の裏面を、平滑化のための研磨工程、または、活性化のためのイオンビーム照射工程などに起因してのダメージから保護し続けることができる。よって、窒化物半導体層１３の裏面へのダメージに起因しての半導体装置１００の性能の低下を抑制することができる。

【００４４】

接合層１５はアモルファス材料からなる。これにより、接合界面での格子不整合に起因しての接合強度の低下が緩和される。この観点では、接合層１５が、ダイヤモンド基板１６上に直接に接するアモルファスカーボン層を含むことが特に好ましい。

【００４５】

シリコン結晶層１１は、本実施の形態１においては、接合層１５に直接に接合されている。これにより、シリコン結晶層１１と接合層１５との間に何らかの部材が配置される場合とは異なり、当該部材に起因しての放熱性の低下を避けることができる。

【００４６】

シリコン結晶層１１の厚さが０．５μｍ以上であることによって、半導体装置１００の製造においてバッファ層１２をより確実に保護することができる。よって、窒化物半導体層１３の裏面へのダメージに起因しての半導体装置１００の性能の低下、具体的には電流コラプス、をより確実に抑制することができる。シリコン結晶層１１の厚さが２０．０μｍ以下、好ましくは５．０μｍ以下であることによって、窒化物半導体層１３からダイヤモンド基板１６への放熱性にシリコン結晶層１１が過大な悪影響を及ぼすことを避けることができる。

【００４７】

また、シリコン結晶層１１が２０．０μｍ以下であることによって、シリコン結晶層１１の剛性を抑えることができる。これにより、ダイヤモンド基板１６が若干の反りを有していても、それに沿ってシリコン結晶層１１を接合しやすい。この接合工程は、通常、半導体装置１００のシリコン結晶層１１となる部分を含むＳＯＩ基板１０を、ダイヤモンド基板１６へ接合することによって行われる。ＳＯＩ基板１０におけるシリコン結晶層１１の厚さの面内均一性は１０％以内であることが好ましい。

【００４８】

バッファ層１２は、本実施の形態１においては、シリコン結晶層１１上に直接に配置されている。これにより、バッファ層１２とシリコン結晶層１１との間に何らかの部材が配置される場合とは異なり、当該部材に起因しての放熱性の低下を避けることができる。

【００４９】

シリコン結晶層１１は５０００Ω・ｃｍ以下の抵抗率を有していてよい。その場合、シリコン結晶層１１中での電流コラプスの発生を抑制することができる。

【００５０】

接合層１５は、ダイヤモンド基板１６上に直接に配置されたアモルファスカーボン層を含んでよい。このアモルファスカーボン層は、ダイヤモンド基板１６の表面を活性化することに付随して形成することができる。

【００５１】
接合層１５はシリコン含有層を含んでよい。シリコン含有層は、例えば、ＳｉまたはＳｉO_2を用いたスパッタリング法によって形成されたＳｉ層およびＳｉO_2層のいずれかまたはそれらの積層体であってよい。シリコン含有層は、ドーパントが添加された半導体層である必要はなく、よって、高い抵抗率を有することができる。これにより半導体装置１００のリーク電流を抑制することができる。
【００５２】
接合層１５の厚さが１ｎｍ以上であることによって、接合層１５による接合強度を十分に確保しやすくなる。接合層１５の厚さが１０ｎｍ以下であることによって、窒化物半導体層１３からダイヤモンド基板１６への放熱性に接合層１５が過大な悪影響を及ぼすことが避けられる。
【００５３】
ダイヤモンド基板１６は、単結晶ダイヤモンド、モザイクダイヤモンド、または多結晶ダイヤモンドからなる。単結晶ダイヤモンド、モザイクダイヤモンド、および多結晶ダイヤモンドは、結晶粒界の構成が異なるものの、いずれも高い熱伝導率を有している。よってこれらのいずれも、ダイヤモンド基板１６の材料として好適である。特に、単結晶ダイヤモンドおよびモザイクダイヤモンドの熱伝導率は、天然固体中、最も高い熱伝導率を有している。
【００５４】
ダイヤモンド基板１６は５０μｍ以上６００μｍ以下の厚さを有していてよい。この厚さ範囲は、ダイヤモンド基板１６によって高い放熱性を得るのに適している。
【００５５】
接合層１５の第１界面ＩＦ１および第２界面ＩＦ２の各々の算術平均粗さは、０．５ｎｍ以下であってよい。このような原子レベルの平滑面が用いられることにより、第１界面ＩＦ１および第２界面ＩＦ２にボイドまたは欠陥などが生じにくくなる。よって、接合層１５の接合不良を起こりにくくすることができる。
【００５６】
図９から図１０への工程、すなわち、シリコン結晶層１１を残存させつつ酸化物層１９を除去する工程は、ウェットエッチング法によって行われる。これによって、研磨のような物理的方法に比して、ダメージの発生を抑制することができる。またシリコン結晶層１１を残存させつつ酸化物層１９を除去するウェットエッチングは、高い選択比で行うことができる。それにより、シリコン結晶層１１と酸化物層１９との界面の表面粗さが、おおよそそのままシリコン結晶層１１と接着層１７との界面の表面粗さとなる。よって、前者を十分に小さくしておけば後者を十分に小さくすることができる。その場合、ウェットエッチング後に研磨などの平滑化処理を行う必要がない。
【００５７】
また、ＳＯＩ基板１０（図４）が用いられる場合、それに含まれるシリコン結晶層１１の厚さの面内均一性を、容易に１０％以内とすることができる。このように高い面内均一性を有するＳＯＩ基板１０を用いて得られる半導体装置１００においては、シリコン結晶層１１が放熱特性へ及ぼす影響のばらつきを、十分に抑制することができる。
【００５８】
＜実施の形態２＞
図１８は、実施の形態２に係る半導体装置１０１の構成を概略的に示す断面図である。半導体装置１００（図１：実施の形態１）との相違点として、半導体装置１０１は、シリコン結晶層１１とバッファ層１２との間にシリコン化合物層２１を有している。よって本実施の形態２においては、バッファ層１２は、シリコン結晶層１１上にシリコン化合物層２１を介して間接に配置されている。シリコン化合物層２１は、炭化珪素層、酸化珪素層および窒化珪素層のいずれかであってよい。またシリコン化合物層２１は、これらの２つ以上が積層されることによって構成された層であってもよい。
【００５９】

なお、上記以外の構成については、上述した実施の形態１の構成とほぼ同じであるため、同一または対応する要素について同一の符号を付し、その説明を繰り返さない。

【００６０】

本実施の形態２によれば、バッファ層１２および窒化物半導体層１３の結晶成長をシリコン化合物層２１上で行うことができる。バッファ層１２の結晶成長に適したシリコン化合物層２１を選択することによって、当該結晶成長の際の格子欠陥を、より減らすことができる。

【００６１】

＜実施の形態３＞

図１９は、実施の形態３に係る半導体装置１０２の構成を概略的に示す断面図である。半導体装置１００（図１：実施の形態１）との相違点として、半導体装置１０２は酸化物層１９を有している。酸化物層１９は、シリコン結晶層１１と接合層１５との間に配置されている。酸化物層１９は、シリコン結晶層１１に直接に接しており、また接合層１５に直接に接合されている。よってシリコン結晶層１１は接合層１５に、酸化物層１９を介して間接に接合されている。またシリコン結晶層１１はダイヤモンド基板１６に、酸化物層１９および接合層１５を介して接合されている。酸化物層１９は、SiO_2からなっていてよい。また酸化物層１９は０．１μｍ以上１．０μｍ以下の厚さを有していてよい。

【００６２】

接合層１５の第２界面ＩＦ２は、半導体装置１０２（図１９）の場合、半導体装置１００（図１：実施の形態１）とは異なり、酸化物層１９との界面である。半導体装置１０２の場合においても、半導体装置１００の場合と同様、第２界面ＩＦ２の算術平均粗さは０．５ｎｍ以下であることが好ましい。これにより、接合層１５と酸化物層１９との間の接合強度を高めることができる。

【００６３】

図２０は、半導体装置１０２（図１９）の製造方法ＭＭ２を概略的に示すフロー図である。まず、前述した製造方法ＭＭ１（図３：実施の形態１）と同様に、ステップＳ５０までのステップが実施されることによって、図９に示された構成が形成される。次に、ステップＳ６２（図２０）にて、酸化物層１９の主面ＦＭ５が研磨される。これによって主面ＦＭ５が研磨面とされる。言い換えれば、酸化物層１９の主面ＦＭ５としての研磨面が形成される。この研磨は、化学機械研磨（ＣＭＰ：Ｃｈｅｍｉｃａｌ Ｍｅｃｈａｎｉｃａｌ Ｐｏｌｉｓｈｉｎｇ）による精密研磨であることが好ましい。またこの研磨面は、０．５ｎｍ以下の算術平均粗さを有していることが好ましい。またこの研磨は、研磨後の酸化物層１９の厚さが０．１μｍ以上１．０μｍ以下となるように制御されることが好ましい。

【００６４】

図２１を参照して、次にステップＳＴ７２（図２０）にて、接合層１５が、シリコン結晶層１１上に酸化物層１９を介して配置され、かつ、酸化物層１９の主面ＦＭ５としての研磨面上に直接に配置される。よって接合層１５はシリコン結晶層１１上に酸化物層１９を介して配置される。その後、前述した製造方法ＭＭ１（図３：実施の形態１）と同様にステップＳ８０が実施されることによって、半導体装置１０２（図１９）が形成される。

【００６５】

なお、上記以外の構成については、上述した実施の形態１の構成とほぼ同じであるため、同一または対応する要素について同一の符号を付し、その説明を繰り返さない。また本実施の形態３の変形例として、半導体装置１０２（図１９）へ、前述した実施の形態２において説明されたシリコン化合物層２１（図１８）が適用されてよい。

【００６６】

本実施の形態３における半導体装置１０２によれば、バッファ層１２は接合層１５上に、シリコン結晶層１１だけでなく酸化物層１９も介して配置されている。従って、半導体装置１０２の製造において、図２１に示された構成が得られるまでの間、言い換えれば、窒化物半導体層１３を含む構造をダイヤモンド基板１６へ接合層１５を用いて接合し終えるまでの間、シリコン結晶層１１だけでなく酸化物層１９も、バッファ層１２を保護し続

けることができる。これにより、バッファ層１２が窒化物半導体層１３の裏面を、何らかの製造工程に起因してのダメージから保護し続けることができる。よって、窒化物半導体層１３の裏面へのダメージに起因しての半導体装置１０２の性能の低下を抑制することができる。特に、ダイヤモンド基板１６を含む構成へ接合される直前にイオンビーム処理が行われる場合、当該イオンビームによるダメージが窒化物半導体層１３に及ぶことを、バッファ層１２およびシリコン結晶層１１だけでなく、酸化物層１９によっても抑制することができる。

【００６７】

接合層１５は、本実施の形態３においては、酸化物層１９に接合される。ここで、アモルファス材料からなる接合層１５は、シリコン結晶層１１に対してよりも、酸化物層１９に対しての方が、良好な格子整合性を有しやすい。よって、接合層１５がシリコン結晶層１１に接合される場合に比して、接合強度を高めることができる。

【００６８】

半導体装置１０２が有する酸化物層１９は、厚さ０．１μｍ以上のＳｉＯ$_2$層であってよい。ＳｉＯ$_2$の熱伝導率は比較的低いが、その厚さを過大なものとせずに１．０μｍ以下とすれば、窒化物半導体層１３とダイヤモンド基板１６との間に酸化物層１９が介在することに起因しての放熱性の大きな低下は避けることができる。

【００６９】

本実施の形態３に係る半導体装置１０２の製造方法によれば、研磨面を形成する研磨工程が行われるものの、当該工程は酸化物層１９に対して行われる。これにより、研磨工程が窒化物半導体層１３に及ぼすダメージを抑制することができる。

【００７０】

なお、各実施の形態を自由に組み合わせたり、各実施の形態を適宜、変形、省略したりすることが可能である。本開示は詳細に説明されたが、上記した説明は、すべての態様において、例示であって、それに限定するものではない。例示されていない無数の変形例が、本開示から想定され得るものと解される。

【符号の説明】

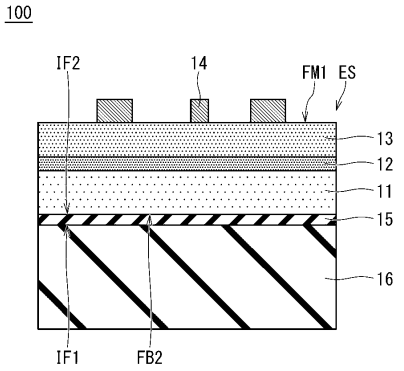
【００７１】

１０　ＳＯＩ基板（シリコンオンインシュレータ基板）、１１　シリコン結晶層、１２　バッファ層、１３　窒化物半導体層、１４　表面電極、１５　接合層、１６　ダイヤモンド基板、１７　接着層、１８　保護基板、１９　酸化物層、２０　支持基板、２１　シリコン化合物層、１００～１０２　半導体装置、ＥＳ　半導体素子構造、ＩＦ１　第１界面、ＩＦ２　第２界面。

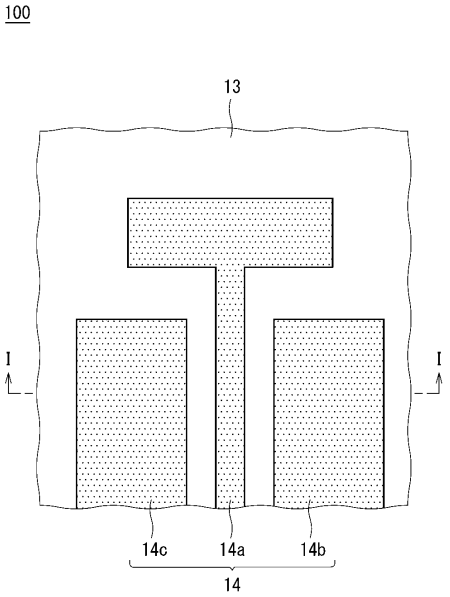
【要約】
接合層（１５）は、ダイヤモンド基板（１６）上に直接に配置されており、アモルファス材料からなる。シリコン結晶層（１１）は前記ダイヤモンド基板（１６）に少なくとも前記接合層（１５）を介して接合されている。バッファ層（１２）は、アルミニウム原子を含有する窒化物からなり、前記接合層（１５）上に少なくとも前記シリコン結晶層（１１）を介して配置されている。窒化物半導体層（１３）は、前記バッファ層（１２）上に直接に配置されており、前記バッファ層（１２）の組成とは異なる組成を有する。

【図面】

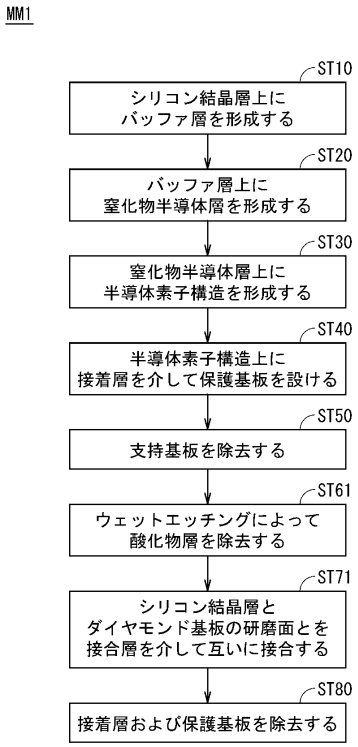
【図１】



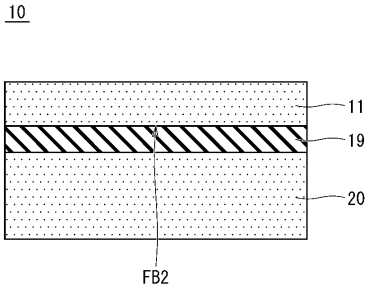
【図２】



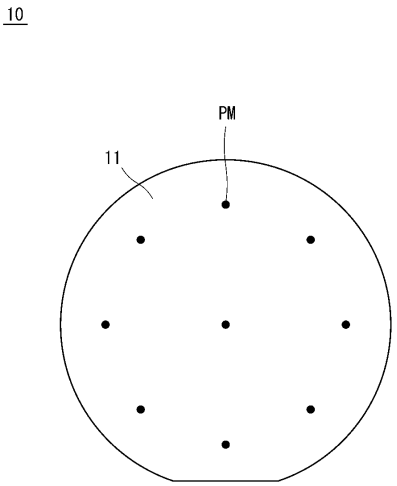
【図３】


MM1
ST10
シリコン結晶層上に
バッファ層を形成する
ST20
バッファ層上に
窒化物半導体層を形成する
ST30
窒化物半導体層上に
半導体素子構造を形成する
ST40
半導体素子構造上に
接着層を介して保護基板を設ける
ST50
支持基板を除去する
ST61
ウェットエッチングによって
酸化物層を除去する
ST71
シリコン結晶層と
ダイヤモンド基板の研磨面とを
接合層を介して互いに接合する
ST80
接着層および保護基板を除去する

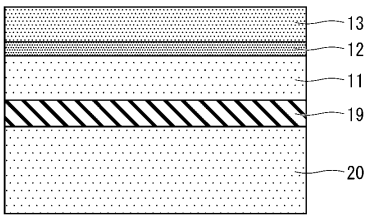
【図４】


10
11
19
20
FB2

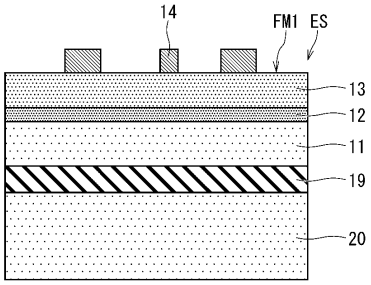
【図５】


10
PM
11

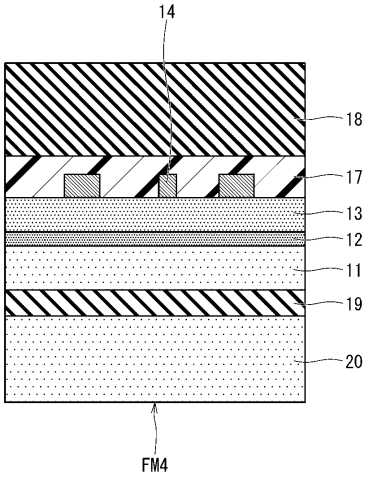
【図６】


13
12
11
19
20

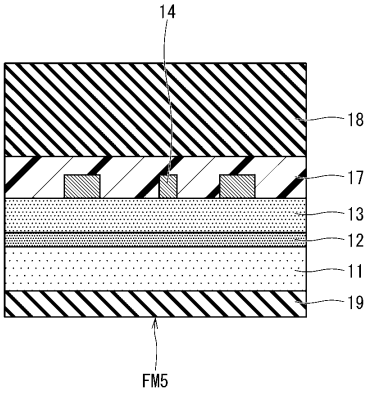
【図７】



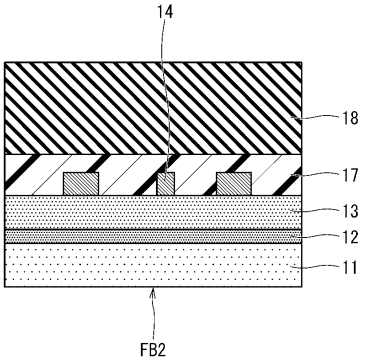
【図８】



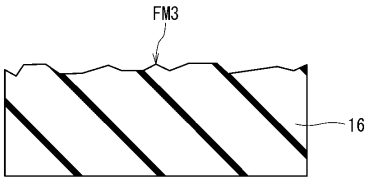
【図９】



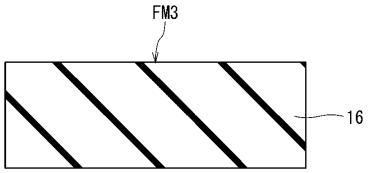
【図１０】



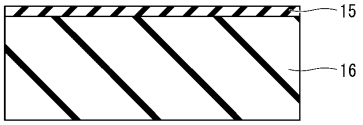
【図１１】



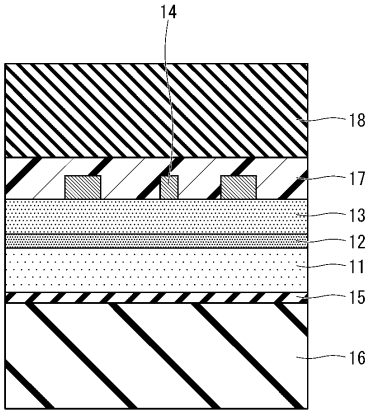
【図１２】



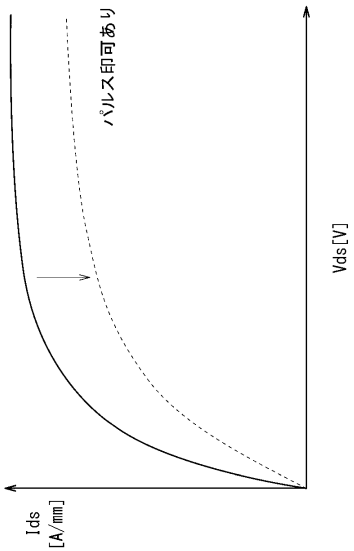
【図１３】



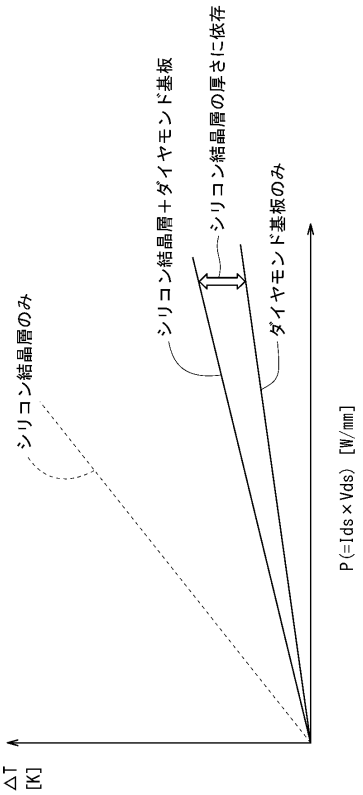
【図１４】



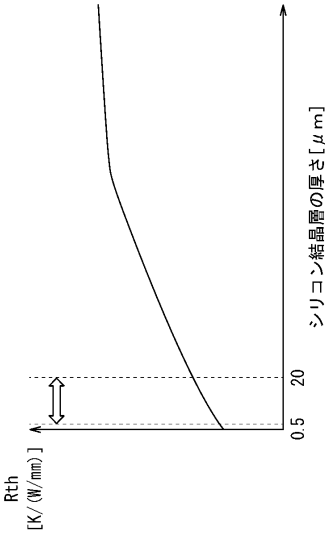
【図１５】



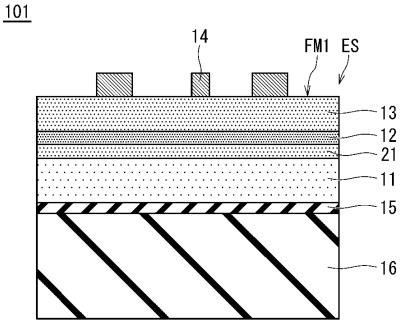
【図１６】



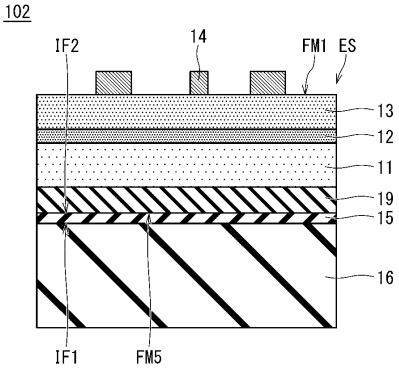
【図１７】



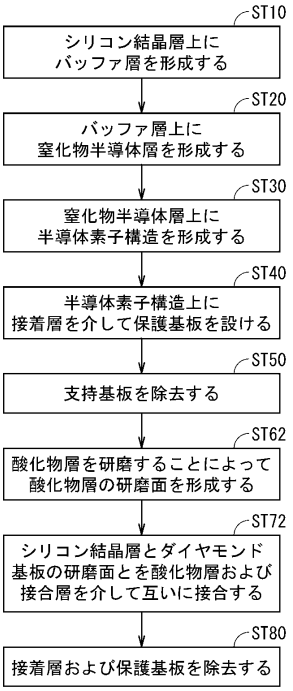
【図１８】



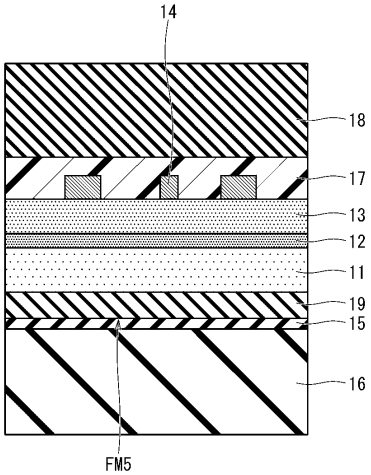
【図１９】



【図２０】



【図２１】



フロントページの続き

(56)参考文献　特開２０１０－２５８３５２（ＪＰ，Ａ）
特開２０１８－２０６９５５（ＪＰ，Ａ）
特許第６７７１７０６（ＪＰ，Ｂ１）
国際公開第２０２４／０５８１８０（ＷＯ，Ａ１）

(58)調査した分野　(Int.Cl.，ＤＢ名)
Ｈ１０Ｄ　３０／４７
Ｈ０１Ｌ　２１／２０