

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2012 年 9 月 13 日(13.09.2012)



(10) 国際公開番号
WO 2012/120730 A1

- (51) 国際特許分類:
H01L 21/265 (2006.01) *H01L 29/12* (2006.01)
H01L 21/336 (2006.01) *H01L 29/78* (2006.01)
- (21) 国際出願番号: PCT/JP2011/076266
- (22) 国際出願日: 2011 年 11 月 15 日(15.11.2011)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2011-050927 2011 年 3 月 9 日(09.03.2011) JP
- (71) 出願人 (米国を除く全ての指定国について): 住友電気工業株式会社 (SUMITOMO ELECTRIC INDUSTRIES, LTD.) [JP/JP]; 〒5410041 大阪府大阪市中央区北浜四丁目 5 番 3 3 号 Osaka (JP).
- (72) 発明者: および
- (75) 発明者/出願人 (米国についてのみ): 増田 健良 (MASUDA, Takeyoshi) [JP/JP]; 〒5540024 大阪府大阪市此花区島屋一丁目 1 番 3 号 住友電気工業株式会社 大阪製作所内 Osaka (JP).
- (74) 代理人: 特許業務法人深見特許事務所 (Fukami Patent Office, p.c.); 〒5300005 大阪府大阪市北区中

之島二丁目 2 番 7 号 中之島セントラルタワー Osaka (JP).

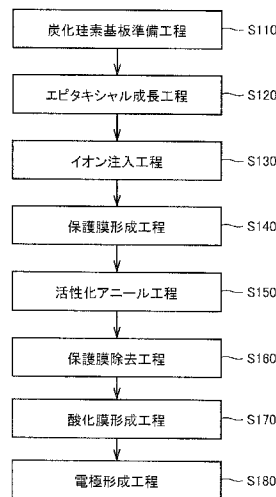
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

[続葉有]

(54) Title: PRODUCTION METHOD FOR SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置の製造方法

[図2]



S110 Silicon carbide substrate preparation step
S120 Epitaxial growth step
S130 Ion implantation step
S140 Protective film formation step
S150 Activation annealing step
S160 Protective film removal step
S170 Oxide film formation step
S180 Electrode formation step

(57) Abstract: A MOSFET production method, comprising: a step in which a substrate (8) having an epitaxially grown layer attached thereto and comprising silicon carbide is prepared; a step in which ion implantation is performed on the substrate (8) having the epitaxially grown layer attached thereto; a step in which a protective film (80) comprising silicon nitride is formed on top of the substrate (8) having the epitaxially grown layer attached thereto and ion implantation performed thereon; and a step in which the substrate (8) having the epitaxially grown layer attached thereto and the protective film (80) formed thereon is heated to a temperature of at least 1,600°C in an atmosphere containing a gas including nitrogen atoms.

(57) 要約: MOSFETの製造方法は、炭化珪素からなるエピタキシャル成長層付き基板(8)を準備する工程と、エピタキシャル成長層付き基板(8)にイオン注入を実施する工程と、イオン注入が実施されたエピタキシャル成長層付き基板(8)上に窒化珪素からなる保護膜(80)を形成する工程と、保護膜(80)が形成されたエピタキシャル成長層付き基板(8)を、窒素原子を含むガスを含有する雰囲気中において1600°C以上の温度域に加熱する工程とを備えている。



WO 2012/120730 A1



添付公開書類:

— 国際調査報告 (条約第 21 条(3))

明 細 書

発明の名称：半導体装置の製造方法

技術分野

[0001] 本発明は半導体装置の製造方法に関し、より特定的には、炭化珪素からなる基板に導入された不純物を活性化させる活性化アニールにおける基板の表面荒れを抑制することが可能な半導体装置の製造方法に関するものである。

背景技術

[0002] 近年、半導体装置の高耐圧化、低損失化、高温環境下での使用などを可能とするため、半導体装置を構成する材料として炭化珪素の採用が進められつつある。炭化珪素は、従来から半導体装置を構成する材料として広く使用されている珪素に比べてバンドギャップが大きいワイドバンドギャップ半導体である。そのため、半導体装置を構成する材料として炭化珪素を採用することにより、半導体装置の高耐圧化、オン抵抗の低減などを達成することができる。また、炭化珪素を材料として採用した半導体装置は、珪素を材料として採用した半導体装置に比べて、高温環境下で使用された場合の特性の低下が小さいという利点も有している。

[0003] このような炭化珪素を材料として用いた半導体装置の製造方法では、炭化珪素からなる基板に所望の不純物を導入した後、当該不純物を活性化させる活性化アニールが実施される。ここで、炭化珪素からなる基板の活性化アニールは高温で実施する必要がある。その結果、活性化アニールにより基板の表面荒れが発生する場合がある。この表面荒れは、製造される半導体装置の特性に悪影響を及ぼすおそれがあるため、低減されることが望ましい。

[0004] これに対し、イオン注入により導入された不純物の活性化アニールの前に、イオン注入が行なわれた領域の表面を窒化珪素膜により被覆する炭化珪素半導体装置の製造方法が提案されている（たとえば、特開平 7-86199 号公報（特許文献 1）参照）。

先行技術文献

特許文献

[0005] 特許文献1：特開平7－86199号公報

発明の概要

発明が解決しようとする課題

[0006] しかしながら、上記活性化アニールにおいては、基板は1600℃以上の高温に加熱される必要がある。そのため、上記特許文献1に記載の半導体装置の製造方法では、炭化珪素と窒化珪素との線膨張係数の違い等に起因して、窒化珪素膜に亀裂が生じるおそれがある。そして、保護膜としての窒化珪素膜に亀裂が生じると、基板の表面荒れを十分に抑制できないという問題が生じる。

[0007] 本発明はこのような問題に対応するためになされたものであって、その目的は、炭化珪素からなる基板の活性化アニールにおける表面荒れを抑制することが可能な半導体装置の製造方法を提供することである。

課題を解決するための手段

[0008] 本発明に従った半導体装置の製造方法は、炭化珪素からなる基板を準備する工程と、基板にイオン注入を実施する工程と、イオン注入が実施された基板上に窒化珪素からなる保護膜を形成する工程と、保護膜が形成された基板を、窒素原子を含むガスを含有する雰囲気中において1600℃以上の温度域に加熱する工程とを備えている。

[0009] 本発明の半導体装置の製造方法においては、イオン注入が実施された炭化珪素からなる基板に窒化珪素からなる保護膜を形成した後、窒素原子を含むガスを含有する雰囲気中において1600℃以上の温度域に加熱することにより活性化アニールが実施される。このとき、窒化珪素からなる保護膜に亀裂が生じ得る状態となった場合でも、炭化珪素基板から離脱する珪素と雰囲気中のガスに含まれる窒素原子とが結合して生成する窒化珪素により当該亀裂の発生が抑制される。その結果、本発明の半導体装置の製造方法によれば、炭化珪素からなる基板の活性化アニールにおける表面荒れを抑制すること

ができる。

[0010] 上記本発明の半導体装置の製造方法においては、基板を加熱する工程では、保護膜が形成された基板が1900℃以下の温度域に加熱されてもよい。基板の加熱温度を1900℃以下とすることにより、窒化珪素からなる保護膜により基板の表面荒れをより確実に抑制することが可能となる。

[0011] 上記本発明の半導体装置の製造方法においては、基板を加熱する工程では、保護膜が形成された基板が窒素ガスを含有する雰囲気中において加熱される。

[0012] 窒素ガスは、安価で取り扱いも容易であるため、上記基板を加熱する工程の雰囲気を構成するガス（窒素原子を含むガス）として好適である。

[0013] 上記本発明の半導体装置の製造方法においては、保護膜を形成する工程では、CVD (Chemical Vapor Deposition) 法により保護膜が形成されてもよい。CVD法は、窒化珪素からなる保護膜を形成する方法として好適である。

発明の効果

[0014] 以上の説明から明らかなように、本発明の半導体装置の製造方法によれば、炭化珪素からなる基板の活性化アニールにおける表面荒れを抑制することが可能な半導体装置の製造方法を提供することができる。

図面の簡単な説明

[0015] [図1]本発明の一実施の形態におけるMOSFET (Metal Oxide Semiconductor Field Effect Transistor) の構造を示す概略断面図である。

[図2]MOSFETの製造方法の概略を示すフローチャートである。

[図3]MOSFETの製造方法を説明するための概略断面図である。

[図4]MOSFETの製造方法を説明するための概略断面図である。

[図5]MOSFETの製造方法を説明するための概略断面図である。

[図6]MOSFETの製造方法を説明するための概略断面図である。

[図7]MOSFETの製造方法を説明するための概略断面図である。

[図8]M O S F E T の製造方法を説明するための概略断面図である。

発明を実施するための形態

[0016] 以下、図面に基づいて本発明の実施の形態を説明する。なお、以下の図面において同一または相当する部分には同一の参照番号を付し、その説明は繰返さない。

[0017] まず、本発明の一実施の形態における半導体装置の製造方法により製造可能な半導体装置について説明する。図1を参照して、半導体装置としてのM O S F E T 100は、D i M O S F E T であって、導電型がn型（第1導電型）である炭化珪素基板1と、炭化珪素からなり導電型がn型であるバッファ層2と、炭化珪素からなり導電型がn型のドリフト層3と、導電型がp型（第2導電型）の一对のp型ボディ領域4と、導電型がn型のn⁺領域5と、導電型がp型のp⁺領域6とを備えている。

[0018] バッファ層2は、炭化珪素基板1の一方の主面1A上に形成され、n型不純物を含むことにより導電型がn型となっている。ドリフト層3は、バッファ層2上に形成され、n型不純物を含むことにより導電型がn型となっている。ドリフト層3に含まれるn型不純物は、たとえばN（窒素）であり、バッファ層2に含まれるn型不純物よりも低い濃度（密度）で含まれている。バッファ層2およびドリフト層3は、炭化珪素基板1の一方の主面1A上に形成されたエピタキシャル成長層である。

[0019] 一对のp型ボディ領域4は、エピタキシャル成長層において、炭化珪素基板1側の主面とは反対側の主面3Aを含むように互いに分離して形成され、p型不純物（導電型がp型である不純物）を含むことにより、導電型がp型となっている。p型ボディ領域4に含まれるp型不純物は、たとえばアルミニウム（Al）、硼素（B）などである。

[0020] n⁺領域5は、上記主面3Aを含み、かつp型ボディ領域4に取り囲まれるように、一对のp型ボディ領域4のそれぞれの内部に形成されている。n⁺領域5は、n型不純物、たとえばPなどをドリフト層3に含まれるn型不純物よりも高い濃度（密度）で含んでいる。p⁺領域6は、上記主面3Aを含み、

かつ p 型ボディ領域 4 に取り囲まれるとともに、 n^+ 領域 5 に隣接するように一対の p 型ボディ領域 4 のそれぞれの内部に形成されている。 p^+ 領域 6 は、p 型不純物、たとえば Al などを p 型ボディ領域 4 に含まれる p 型不純物よりも高い濃度（密度）で含んでいる。上記バッファ層 2、ドリフト層 3、p 型ボディ領域 4、 n^+ 領域 5 および p^+ 領域 6 は、活性層 7 を構成する。

[0021] さらに、図 1 を参照して、MOSFET 100 は、ゲート絶縁膜としてのゲート酸化膜 91 と、ゲート電極 93 と、一対のソースコンタクト電極 92 と、層間絶縁膜 94 と、ソース配線 95 と、ドレイン電極 96 とを備えている。

[0022] ゲート酸化膜 91 は、主面 3A に接触し、一方の n^+ 領域 5 の上部表面から他方の n^+ 領域 5 の上部表面にまで延在するようにエピタキシャル成長層の主面 3A 上に形成され、たとえば二酸化珪素 (SiO_2) からなっている。

[0023] ゲート電極 93 は、一方の n^+ 領域 5 上から他方の n^+ 領域 5 上にまで延在するように、ゲート酸化膜 91 に接触して配置されている。また、ゲート電極 93 は、不純物が添加されたポリシリコン、Al などの導電体からなっている。

[0024] ソースコンタクト電極 92 は、一対の n^+ 領域 5 上のそれぞれから、ゲート酸化膜 91 から離れる向きに延在して p^+ 領域 6 上にまで達するとともに、主面 3A に接触して配置されている。また、ソースコンタクト電極 92 は、たとえば Ni_xSi_y （ニッケルシリサイド）など、 n^+ 領域 5 とオーミックコンタクト可能な材料からなっている。

[0025] 層間絶縁膜 94 は、ドリフト層 3 の主面 3A 上においてゲート電極 93 を取り囲み、かつ一方の p 型ボディ領域 4 上から他方の p 型ボディ領域 4 上にまで延在するように形成され、たとえば絶縁体である二酸化珪素 (SiO_2) からなっている。

[0026] ソース配線 95 は、ドリフト層 3 の主面 3A 上において、層間絶縁膜 94 を取り囲み、かつソースコンタクト電極 92 の上部表面上にまで延在している。また、ソース配線 95 は、Al などの導電体からなり、ソースコンタク

ト電極 9 2 を介して n^+ 領域 5 と電氣的に接続されている。

[0027] ドレイン電極 9 6 は、炭化珪素基板 1 においてドリフト層 3 が形成される側とは反対側の主面に接触して形成されている。このドレイン電極 9 6 は、たとえば Ni_xSi_y など、炭化珪素基板 1 とオーミックコンタクト可能な材料からなっており、炭化珪素基板 1 と電氣的に接続されている。

[0028] 次に、MOSFET 100 の動作について説明する。図 1 を参照して、ゲート電極 9 3 の電圧が閾値電圧未満の状態、すなわちオフ状態では、ドレイン電極に電圧が印加されても、ゲート酸化膜 9 1 の直下に位置する p 型ボディ領域 4 とドリフト層 3 との間の pn 接合が逆バイアスとなり、非導通状態となる。一方、ゲート電極 9 3 に閾値電圧以上の電圧を印加すると、 p 型ボディ領域 4 のゲート酸化膜 9 1 と接触する付近であるチャネル領域において、反転層が形成される。その結果、 n^+ 領域 5 とドリフト層 3 とが電氣的に接続され、ソース配線 9 5 とドレイン電極 9 6 との間に電流が流れる。

[0029] ここで、上述のように MOSFET 100 では、 p 型ボディ領域 4 のゲート酸化膜 9 1 と接触する付近の領域であるチャネル領域において反転層が形成され、当該反転層を電流が流れる。そのため、主面 3 A に面荒れが生じた場合、反転層における抵抗（チャネル抵抗）が上昇し、オン抵抗が高くなるという問題を生じ得る。しかし、本実施の形態における MOSFET 100 は、以下に説明する本実施の形態における半導体装置の製造方法により製造されていることにより、主面 3 A の面荒れが低減され、上記問題の発生が抑制されている。

[0030] 次に、本実施の形態における MOSFET 100 の製造方法について、図 2 ～図 8 を参照して説明する。図 2 を参照して、本実施の形態における MOSFET 100 の製造方法では、まず工程（S110）として炭化珪素基板準備工程が実施される。この工程（S110）では、図 3 を参照して、たとえば昇華法により製造されたインゴットをスライスして得られた炭化珪素基板 1 が準備される。

[0031] 次に、工程（S120）としてエピタキシャル成長工程が実施される。こ

の工程（S 1 2 0）では、図3を参照して、エピタキシャル成長により炭化珪素基板1の一方の主面1A上に炭化珪素からなるバッファ層2およびドリフト層3が順次形成される。これにより、炭化珪素からなる基板としてのエピタキシャル成長層付き基板8が得られる。

[0032] 次に、工程（S 1 3 0）としてイオン注入工程が実施される。この工程（S 1 3 0）では、図3および図4を参照して、まずp型ボディ領域4を形成するためのイオン注入が実施される。具体的には、たとえばAl（アルミニウム）イオンがドリフト層3に注入されることにより、p型ボディ領域4が形成される。次に、n⁺領域5を形成するためのイオン注入が実施される。具体的には、たとえばP（リン）イオンがp型ボディ領域4に注入されることにより、p型ボディ領域4内にn⁺領域5が形成される。さらに、p⁺領域6を形成するためのイオン注入が実施される。具体的には、たとえばAlイオンがp型ボディ領域4に注入されることにより、p型ボディ領域4内にp⁺領域6が形成される。上記イオン注入は、たとえばドリフト層3の主面上に二酸化珪素（SiO₂）からなり、イオン注入を実施すべき所望の領域に開口を有するマスク層を形成して実施することができる。

[0033] 次に、工程（S 1 4 0）として保護膜形成工程が実施される。この工程（S 1 4 0）では、図5を参照して、工程（S 1 3 0）においてイオン注入が実施されたエピタキシャル成長層付き基板8の主面3A上に窒化珪素からなる保護膜80が形成される。この保護膜80は、たとえばプラズマCVD法により形成することができる。また、保護膜80の厚みは、たとえば0.1 μm以上1 μm以下とすることができる。

[0034] 次に、工程（S 1 5 0）として活性化アニール工程が実施される。この工程（S 1 5 0）では、工程（S 1 4 0）において保護膜80が形成されたエピタキシャル成長層付き基板8が、窒素原子を含むガスを含有する雰囲気中において1600℃以上の温度域に加熱される。これにより、工程（S 1 3 0）においてイオン注入によりエピタキシャル成長層付き基板8に導入された不純物が活性化し、所望の導電型のp型ボディ領域4、n⁺領域5およびp

+領域 6 が得られる。

[0035] このとき、工程（S 1 5 0）においてエピタキシャル成長層付き基板 8 が、たとえばアルゴンガス雰囲気中において加熱された場合、図 6 に示すように炭化珪素と窒化珪素との線膨張係数の違い等に起因して保護膜 8 0 に亀裂 8 0 A が生じるおそれがある。この場合、エピタキシャル成長層付き基板 8 から離脱した珪素原子が当該亀裂 8 0 A を通して雰囲気中に放出される。その結果、表面荒れが発生する。

[0036] これに対し、本実施の形態における工程（S 1 5 0）では、エピタキシャル成長層付き基板 8 が窒素原子を含むガスを含有する雰囲気中において加熱される。そのため、エピタキシャル成長層付き基板 8 から離脱した珪素は雰囲気中の窒素と結合し、窒化珪素となる。その結果、図 7 に示すように、エピタキシャル成長層付き基板 8 と保護膜 8 0 との境界部に窒化珪素膜 8 2 が形成されるとともに、窒化珪素からなり亀裂 8 0 A を充填（修復）する亀裂抑制部 8 1 が形成される。これにより、亀裂 8 0 A の発生や成長が抑制され、表面荒れの発生が低減される。

[0037] ここで、上記窒素原子を含むガスとしては、たとえば窒素ガス、アンモニアガス、一酸化窒素ガス、二酸化窒素ガスなどを採用することができる。窒素ガスは、安価で取り扱いも容易であるため、上記窒素原子を含むガスとして特に好適である。また、工程（S 1 5 0）では、エピタキシャル成長層付き基板 8 が、窒素ガス雰囲気中において加熱されてもよい。

[0038] また、工程（S 1 5 0）では、エピタキシャル成長層付き基板 8 の加熱温度は 1 9 0 0℃以下とすることが好ましい。エピタキシャル成長層付き基板 8 の加熱温度を 1 9 0 0℃以下とすることにより、窒化珪素からなる保護膜 8 0、窒化珪素膜 8 2 および亀裂抑制部 8 1 によって表面荒れをより確実に抑制することができる。一方、イオン注入により導入された不純物の活性化の割合を向上させる観点から、工程（S 1 5 0）におけるエピタキシャル成長層付き基板 8 の加熱温度は 1 7 0 0℃以上、たとえば 1 8 0 0℃とすることが好ましい。

- [0039] 次に、工程（S 1 6 0）として保護膜除去工程が実施される。この工程（S 1 6 0）では、保護膜 8 0 が除去される。保護膜 8 0 の除去は、たとえばフッ酸系の液体を用いて実施してもよいし、フッ素系プラズマ処理により実施してもよい。
- [0040] 次に、工程（S 1 7 0）として酸化膜形成工程が実施される。この工程（S 1 7 0）では、図 8 を参照して、たとえば酸素雰囲気中において 1 3 0 0 °C に加熱して 6 0 分間保持する熱処理が実施されることにより、酸化膜（ゲート酸化膜）9 1 が形成される。
- [0041] 次に、工程（S 1 8 0）として電極形成工程が実施される。図 8 および図 1 を参照して、この工程（S 1 8 0）では、まず、たとえば C V D 法、フォトリソグラフィおよびエッチングにより、高濃度に不純物が添加された導電体であるポリシリコンからなるゲート電極 9 3 が形成される。その後、たとえば C V D 法により、絶縁体である SiO_2 からなる層間絶縁膜 9 4 が、主面 3 A 上においてゲート電極 9 3 を取り囲むように形成される。次に、フォトリソグラフィおよびエッチングにより、ソースコンタクト電極 9 2 を形成すべき領域の層間絶縁膜 9 4 と酸化膜 9 1 とが除去される。次に、たとえば蒸着法により形成されたニッケル（Ni）膜が加熱されてシリサイド化されることにより、ソースコンタクト電極 9 2 およびドレイン電極 9 6 が形成される。そして、たとえば蒸着法により、導電体である Al からなるソース配線 9 5 が、主面 3 A 上において、層間絶縁膜 9 4 を取り囲むとともに、 n^+ 領域 5 およびソースコンタクト電極 9 2 の上部表面上にまで延在するように形成される。以上の手順により、本実施の形態における MOSFET 1 0 0 が完成する。
- [0042] 以上のように、本実施の形態における MOSFET 1 0 0 の製造方法においては、工程（S 1 5 0）において窒化珪素からなる保護膜 8 0 に亀裂 8 0 A が生じ得る状態となった場合でも、エピタキシャル成長層付き基板 8 から離脱する珪素と雰囲気中のガスに含まれる窒素原子とが結合して生成する窒化珪素により当該亀裂 8 0 A の発生が抑制される。その結果、本実施の形態

におけるMOSFET100の製造方法によれば、エピタキシャル成長層付き基板8の活性化アニールにおける表面荒れを抑制することができる。

[0043] なお、上記実施の形態においては、本発明の半導体装置の製造方法の一例としてMOSFETが製造される場合について説明したが、本発明の製造方法により製造可能な半導体装置はこれに限られない。本発明の半導体装置の製造方法は、炭化珪素からなる基板にイオン注入を実施した後、活性化アニールを実施するプロセスが採用される半導体装置の製造方法に広く適用することができ、具体的にはダイオード、JFET (Junction Field Effect Transistor)、IGBT (Insulated Gate Bipolar Transistor) などの製造方法にも適用することができる。

[0044] 今回開示された実施の形態はすべての点で例示であって、制限的なものではないと考えられるべきである。本発明の範囲は上記した説明ではなくて請求の範囲によって示され、請求の範囲と均等の意味、および範囲内でのすべての変更が含まれることが意図される。

産業上の利用可能性

[0045] 本発明の半導体装置の製造方法は、炭化珪素からなる基板にイオン注入を実施した後、活性化アニールを実施するプロセスが採用される半導体装置の製造方法に、特に有利に適用され得る。

符号の説明

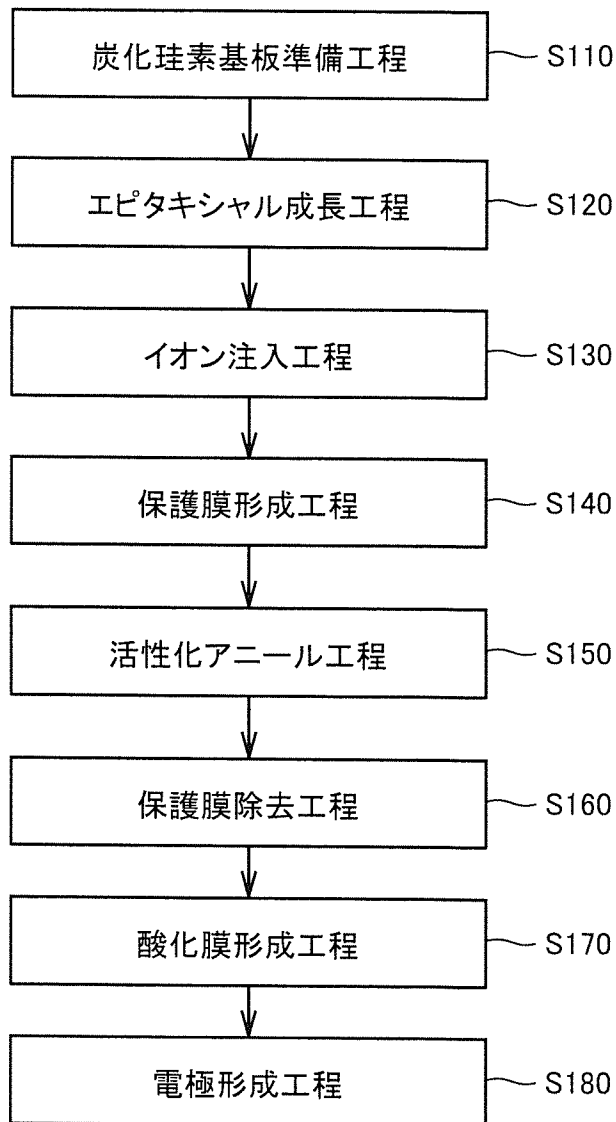
[0046] 1 炭化珪素基板、1A 主面、2 バッファ層、3 ドリフト層、3A 主面、4 p型ボディ領域、5 n⁺領域、6 p⁺領域、7 活性層、8 エピタキシャル成長層付き基板、80 保護膜、80A 亀裂、81 亀裂抑制部、82 窒化珪素膜、91 ゲート酸化膜（酸化膜）、92 ソースコンタクト電極、93 ゲート電極、94 層間絶縁膜、95 ソース配線、96 ドレイン電極、100 MOSFET。

請求の範囲

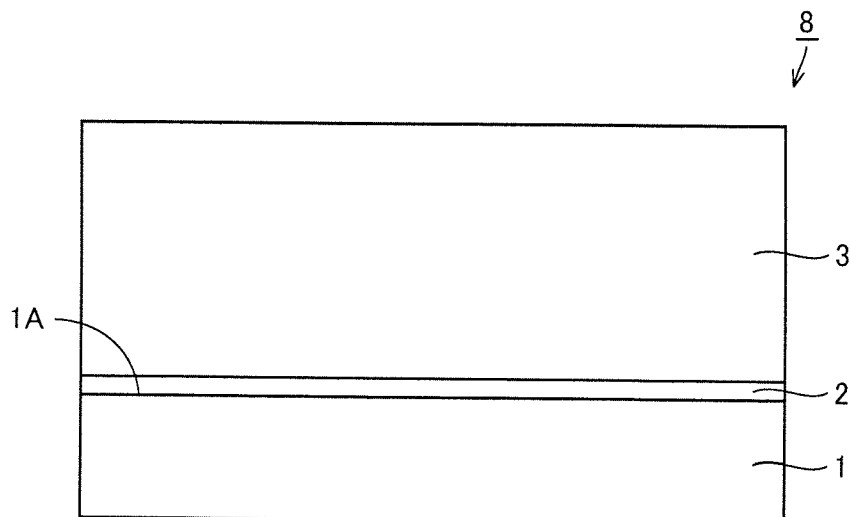
- [請求項1] 炭化珪素からなる基板（８）を準備する工程と、
前記基板（８）にイオン注入を実施する工程と、
前記イオン注入が実施された前記基板（８）上に窒化珪素からなる保護膜（８０）を形成する工程と、
前記保護膜（８０）が形成された前記基板（８）を、窒素原子を含むガスを含有する雰囲気中において１６００℃以上の温度域に加熱する工程とを備えた、半導体装置（１００）の製造方法。
- [請求項2] 前記基板（８）を加熱する工程では、前記保護膜（８０）が形成された前記基板（８）が１９００℃以下の温度域に加熱される、請求項１に記載の半導体装置（１００）の製造方法。
- [請求項3] 前記基板（８）を加熱する工程では、前記保護膜（８０）が形成された前記基板（８）が窒素ガスを含有する雰囲気中において加熱される、請求項１に記載の半導体装置（１００）の製造方法。
- [請求項4] 前記保護膜（８０）を形成する工程では、ＣＶＤ法により前記保護膜（８０）が形成される、請求項１に記載の半導体装置（１００）の製造方法。

A cross-sectional view of a semiconductor device 100. The device is built on a substrate 1. A thin layer 2 is formed on the substrate. A layer 3 is formed on layer 2. A layer 4 is formed on layer 3. A layer 5 is formed on layer 4. A layer 6 is formed on layer 5. A layer 7 is formed on layer 6. A layer 8 is formed on layer 7. A layer 9 is formed on layer 8. A layer 10 is formed on layer 9. A layer 11 is formed on layer 10. A layer 12 is formed on layer 11. A layer 13 is formed on layer 12. A layer 14 is formed on layer 13. A layer 15 is formed on layer 14. A layer 16 is formed on layer 15. A layer 17 is formed on layer 16. A layer 18 is formed on layer 17. A layer 19 is formed on layer 18. A layer 20 is formed on layer 19. A layer 21 is formed on layer 20. A layer 22 is formed on layer 21. A layer 23 is formed on layer 22. A layer 24 is formed on layer 23. A layer 25 is formed on layer 24. A layer 26 is formed on layer 25. A layer 27 is formed on layer 26. A layer 28 is formed on layer 27. A layer 29 is formed on layer 28. A layer 30 is formed on layer 29. A layer 31 is formed on layer 30. A layer 32 is formed on layer 31. A layer 33 is formed on layer 32. A layer 34 is formed on layer 33. A layer 35 is formed on layer 34. A layer 36 is formed on layer 35. A layer 37 is formed on layer 36. A layer 38 is formed on layer 37. A layer 39 is formed on layer 38. A layer 40 is formed on layer 39. A layer 41 is formed on layer 40. A layer 42 is formed on layer 41. A layer 43 is formed on layer 42. A layer 44 is formed on layer 43. A layer 45 is formed on layer 44. A layer 46 is formed on layer 45. A layer 47 is formed on layer 46. A layer 48 is formed on layer 47. A layer 49 is formed on layer 48. A layer 50 is formed on layer 49. A layer 51 is formed on layer 50. A layer 52 is formed on layer 51. A layer 53 is formed on layer 52. A layer 54 is formed on layer 53. A layer 55 is formed on layer 54. A layer 56 is formed on layer 55. A layer 57 is formed on layer 56. A layer 58 is formed on layer 57. A layer 59 is formed on layer 58. A layer 60 is formed on layer 59. A layer 61 is formed on layer 60. A layer 62 is formed on layer 61. A layer 63 is formed on layer 62. A layer 64 is formed on layer 63. A layer 65 is formed on layer 64. A layer 66 is formed on layer 65. A layer 67 is formed on layer 66. A layer 68 is formed on layer 67. A layer 69 is formed on layer 68. A layer 70 is formed on layer 69. A layer 71 is formed on layer 70. A layer 72 is formed on layer 71. A layer 73 is formed on layer 72. A layer 74 is formed on layer 73. A layer 75 is formed on layer 74. A layer 76 is formed on layer 75. A layer 77 is formed on layer 76. A layer 78 is formed on layer 77. A layer 79 is formed on layer 78. A layer 80 is formed on layer 79. A layer 81 is formed on layer 80. A layer 82 is formed on layer 81. A layer 83 is formed on layer 82. A layer 84 is formed on layer 83. A layer 85 is formed on layer 84. A layer 86 is formed on layer 85. A layer 87 is formed on layer 86. A layer 88 is formed on layer 87. A layer 89 is formed on layer 88. A layer 90 is formed on layer 89. A layer 91 is formed on layer 90. A layer 92 is formed on layer 91. A layer 93 is formed on layer 92. A layer 94 is formed on layer 93. A layer 95 is formed on layer 94. A layer 96 is formed on layer 95. A layer 97 is formed on layer 96. A layer 98 is formed on layer 97. A layer 99 is formed on layer 98. A layer 100 is formed on layer 99.

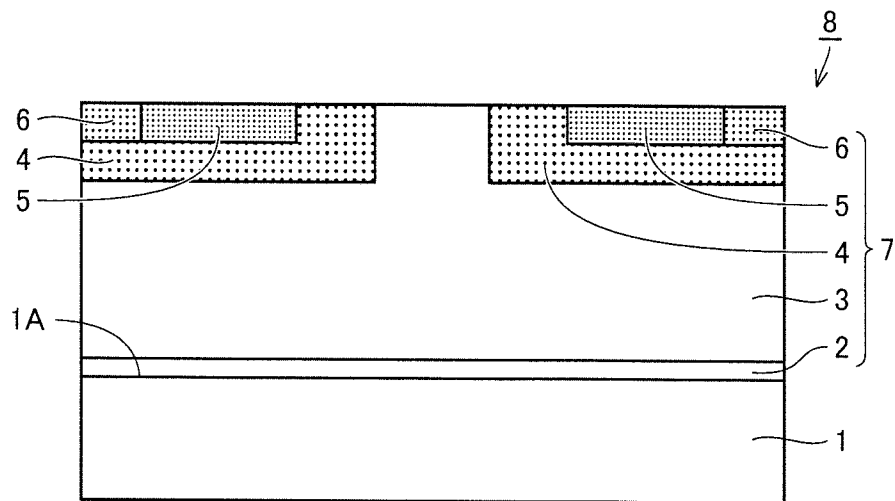
[図2]



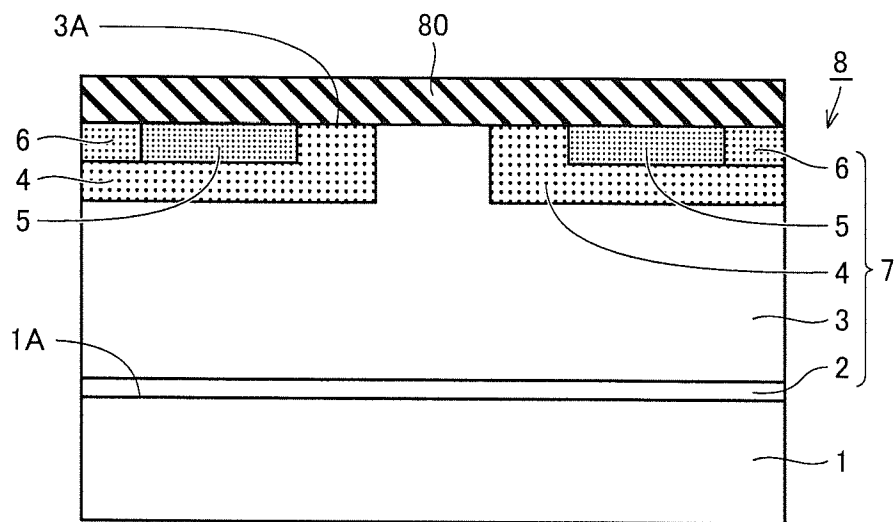
[図3]



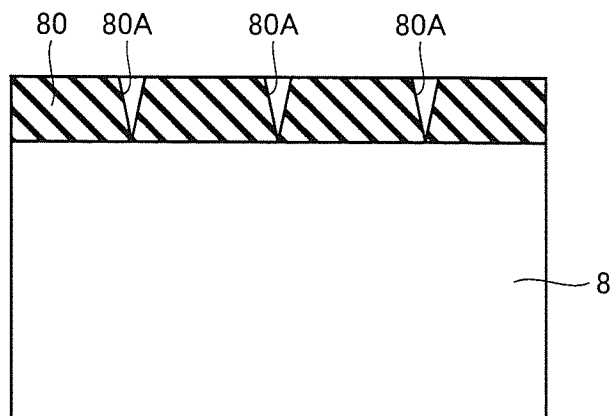
[図4]



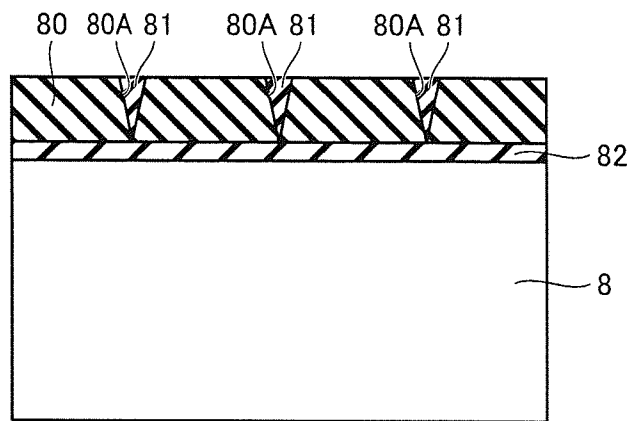
[図5]



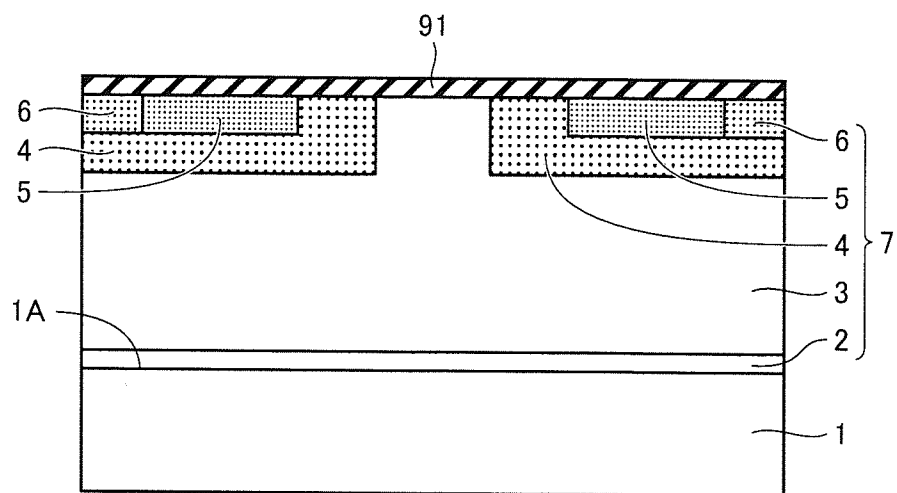
[図6]



[図7]



[図8]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2011/076266

A. CLASSIFICATION OF SUBJECT MATTER

H01L21/265(2006.01)i, H01L21/336(2006.01)i, H01L29/12(2006.01)i,
H01L29/78(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L21/265, H01L21/336, H01L29/12, H01L29/78

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2011
Kokai Jitsuyo Shinan Koho	1971-2011	Toroku Jitsuyo Shinan Koho	1994-2011

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 07-086199 A (Fuji Electric Co., Ltd.), 31 March 1995 (31.03.1995), paragraphs [0003] to [0009]; fig. 1, 2 (Family: none)	1-4
Y	JP 2010-262952 A (Mitsubishi Electric Corp.), 18 November 2010 (18.11.2010), paragraphs [0051] to [0067]; fig. 22 to 26 (Family: none)	1-4



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search
19 December, 2011 (19.12.11)

Date of mailing of the international search report
27 December, 2011 (27.12.11)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. H01L21/265 (2006.01) i, H01L21/336 (2006.01) i, H01L29/12 (2006.01) i, H01L29/78 (2006.01) i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. H01L21/265, H01L21/336, H01L29/12, H01L29/78

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 1 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 1 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 1 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 07-086199 A（富士電機株式会社）1995.03.31, 段落【0003】～【0009】，図1，図2（ファミリーなし）	1-4
Y	JP 2010-262952 A（三菱電機株式会社）2010.11.18, 段落【0051】～段落【0067】，図22～図26（ファミリーなし）	1-4

☐ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

1 9 . 1 2 . 2 0 1 1

国際調査報告の発送日

2 7 . 1 2 . 2 0 1 1

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

宮部 裕一

4 M

3 8 4 0

電話番号 03-3581-1101 内線 3462