



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2021년11월19일
(11) 등록번호 10-2329498
(24) 등록일자 2021년11월17일

(51) 국제특허분류(Int. Cl.)
H01L 29/786 (2006.01) H01L 21/02 (2006.01)
(52) CPC특허분류
H01L 29/7869 (2013.01)
H01L 21/02595 (2013.01)
(21) 출원번호 10-2015-0121095
(22) 출원일자 2015년08월27일
심사청구일자 2020년08월24일
(65) 공개번호 10-2016-0028959
(43) 공개일자 2016년03월14일
(30) 우선권주장
JP-P-2014-179836 2014년09월04일 일본(JP)
(56) 선행기술조사문헌
JP2011124563 A
JP2013048246 A
KR1020100106208 A
US20100092800 A1

(73) 특허권자
가부시킴가이사 한도오따이 에네루기 켄큐쇼
일본국 가나가와켄 아쓰기시 하세 398
(72) 발명자
야마모토, 요시타카
일본국 243-0036 가나가와켄 아쓰기시 하세 398
가부시킴가이사 한도오따이 에네루기 켄큐쇼 내
사카쿠라, 마사유키
일본국 243-0036 가나가와켄 아쓰기시 하세 398
가부시킴가이사 한도오따이 에네루기 켄큐쇼 내
(뒷면에 계속)
(74) 대리인
황의만

전체 청구항 수 : 총 20 항

심사관 : 임창연

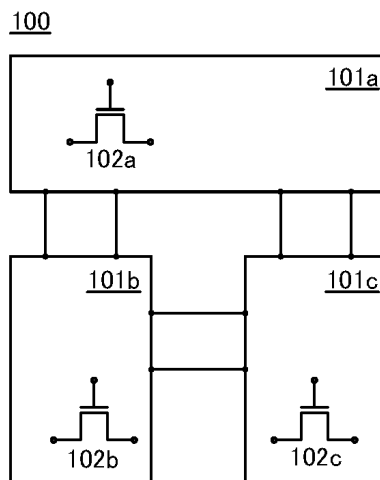
(54) 발명의 명칭 반도체 장치

(57) 요약

본 발명은 문턱 전압이 상이한 트랜지스터를 갖는 반도체 장치를 제공한다. 또는, 복수 종류의 회로를 갖고, 회로마다 전기 특성이 상이한 트랜지스터를 갖는 반도체 장치를 제공한다.

제 1 트랜지스터와 제 2 트랜지스터를 갖고, 제 1 트랜지스터는 산화물 반도체와, 도전체와, 제 1 절연체와, 제 2 절연체와, 제 3 절연체를 갖고, 도전체는, 도전체와 산화물 반도체가 서로 중첩되는 영역을 갖고, 제 1 절연체는, 도전체와 산화물 반도체 사이에 배치되고, 제 2 절연체는, 도전체와 제 1 절연체 사이에 배치되고, 제 3 절연체는, 도전체와 제 2 절연체 사이에 배치되고, 제 2 절연체는, 음으로 하전된 영역을 갖는 반도체 장치이다.

대표도 - 도1



(52) CPC특허분류

H01L 29/78606 (2013.01)

H01L 29/78696 (2013.01)

(72) 발명자

타나카, 테츠히로

일본국 243-0036 가나가와켄 아쓰기시 하세 398 가
부시키가이샤 한도오파이 에네루기 켄큐쇼 내

마츠바야시 다이스케

일본국 243-0036 가나가와켄 아쓰기시 하세 398 가
부시키가이샤 한도오파이 에네루기 켄큐쇼 내

명세서

청구범위

청구항 1

반도체 장치에 있어서,

제 1 회로;

제 2 회로; 및

제 3 회로를 포함하고,

상기 제 1 회로는 제 1 트랜지스터, 제 1 용량 소자, 및 제 1 배선을 포함하고,

상기 제 1 트랜지스터는 제 1 도전체 및 제 1 산화물 반도체를 포함하고,

상기 제 1 도전체는 상기 제 1 산화물 반도체와 접촉하는 영역을 포함하고,

상기 제 1 용량 소자의 한쪽의 단자는 상기 제 1 도전체와 전기적으로 접속되고,

상기 제 1 용량 소자의 다른 쪽의 단자는 상기 제 1 배선과 전기적으로 접속되고,

상기 제 2 회로는 제 2 트랜지스터, 제 2 용량 소자, 및 제 2 배선을 포함하고,

상기 제 2 트랜지스터는 제 2 도전체 및 제 2 산화물 반도체를 포함하고,

상기 제 2 도전체는 상기 제 2 산화물 반도체와 접촉하는 영역을 포함하고,

상기 제 2 용량 소자의 한쪽의 단자는 상기 제 2 도전체와 전기적으로 접속되고,

상기 제 2 용량 소자의 다른 쪽의 단자는 상기 제 2 배선과 전기적으로 접속되고,

상기 제 3 회로는 제 3 트랜지스터를 포함하고,

상기 제 3 트랜지스터는 제 3 도전체, 제 3 산화물 반도체, 제 1 절연체, 제 2 절연체, 및 제 3 절연체를 포함하고,

상기 제 3 도전체와 상기 제 3 산화물 반도체는 서로 중첩되고,

상기 제 1 절연체는 상기 제 3 도전체와 상기 제 3 산화물 반도체 사이에 배치되고,

상기 제 2 절연체는 상기 제 3 도전체와 상기 제 1 절연체 사이에 배치되고,

상기 제 3 절연체는 상기 제 3 도전체와 상기 제 2 절연체 사이에 배치되고,

상기 제 2 절연체는 전자 포획 영역을 포함하고,

상기 제 1 트랜지스터에 있어서 서브스레드솔드 영역(subthreshold region)에서의 드레인 전류가 1×10^{-12} A가 되는 게이트 전압이 0.8V 이상 1.5V 이하이고,

상기 제 2 트랜지스터에 있어서 서브스레드솔드 영역에서의 드레인 전류가 1×10^{-12} A가 되는 게이트 전압이 0V 이상 0.7V 이하인, 반도체 장치.

청구항 2

제 1 항에 있어서,

상기 제 2 절연체는 붕소, 알루미늄, 실리콘, 스칸듐, 타이타늄, 갈륨, 이트륨, 지르코늄, 인듐, 란타넘, 세륨, 네오디뮴, 하프늄, 또는 탈륨을 포함하는 산화물 또는 질화물인, 반도체 장치.

청구항 3

제 1 항에 있어서,

상기 제 1 트랜지스터는 제 4 도전체, 제 4 절연체, 제 5 절연체, 및 제 6 절연체를 더 포함하고,

상기 제 4 도전체와 상기 제 1 산화물 반도체는 서로 중첩되고,

상기 제 4 절연체는 상기 제 4 도전체와 상기 제 1 산화물 반도체 사이에 배치되고,

상기 제 5 절연체는 상기 제 4 도전체와 상기 제 4 절연체 사이에 배치되고,

상기 제 6 절연체는 상기 제 4 도전체와 상기 제 5 절연체 사이에 배치되고,

상기 제 5 절연체는 음으로 하전된 영역을 포함하는, 반도체 장치.

청구항 4

제 3 항에 있어서,

상기 제 5 절연체는 붕소, 알루미늄, 실리콘, 스칸듐, 타이타늄, 갈륨, 이트륨, 지르코늄, 인듐, 란타넘, 세륨, 네오디뮴, 하프늄, 또는 탈륨을 포함하는 산화물 또는 질화물인, 반도체 장치.

청구항 5

제 1 항에 있어서,

상기 제 2 트랜지스터는 제 5 도전체, 제 7 절연체, 제 8 절연체, 및 제 9 절연체를 더 포함하고,

상기 제 5 도전체와 상기 제 2 산화물 반도체는 서로 중첩되고,

상기 제 7 절연체는 상기 제 5 도전체와 상기 제 2 산화물 반도체 사이에 배치되고,

상기 제 8 절연체는 상기 제 5 도전체와 상기 제 7 절연체 사이에 배치되고,

상기 제 9 절연체는 상기 제 5 도전체와 상기 제 8 절연체 사이에 배치되고,

상기 제 8 절연체는 음으로 하전된 영역을 포함하는, 반도체 장치.

청구항 6

제 5 항에 있어서,

상기 제 8 절연체는 붕소, 알루미늄, 실리콘, 스칸듐, 타이타늄, 갈륨, 이트륨, 지르코늄, 인듐, 란타넘, 세륨, 네오디뮴, 하프늄, 또는 탈륨을 포함하는 산화물 또는 질화물인, 반도체 장치.

청구항 7

제 3 항에 있어서,

상기 제 1 트랜지스터는 제 6 도전체 및 제 9 절연체를 더 포함하고,

상기 제 6 도전체와 상기 제 1 산화물 반도체는 서로 중첩되고,

상기 제 9 절연체는 상기 제 6 도전체와 상기 제 1 산화물 반도체 사이에 배치되는, 반도체 장치.

청구항 8

제 7 항에 있어서,

상기 제 1 트랜지스터는 제 10 절연체 및 제 11 절연체를 더 포함하고,

상기 제 10 절연체는 상기 제 6 도전체와 상기 제 9 절연체 사이에 배치되고,

상기 제 11 절연체는 상기 제 6 도전체와 상기 제 10 절연체 사이에 배치되고,

상기 제 10 절연체는 음으로 하전된 영역을 포함하는, 반도체 장치.

청구항 9

제 8 항에 있어서,

상기 제 10 절연체는 붕소, 알루미늄, 실리콘, 스칸듐, 타이타늄, 갈륨, 이트륨, 지르코늄, 인듐, 란타넘, 세륨, 네오디뮴, 하프늄, 또는 탈륨을 포함하는 산화물 또는 질화물인, 반도체 장치.

청구항 10

제 5 항에 있어서,

상기 제 2 트랜지스터는 제 7 도전체 및 제 12 절연체를 더 포함하고,

상기 제 7 도전체와 상기 제 2 산화물 반도체는 서로 중첩되고,

상기 제 12 절연체는 상기 제 7 도전체와 상기 제 2 산화물 반도체 사이에 배치되는, 반도체 장치.

청구항 11

제 10 항에 있어서,

상기 제 2 트랜지스터는 제 13 절연체 및 제 14 절연체를 더 포함하고,

상기 제 13 절연체는 상기 제 7 도전체와 상기 제 12 절연체 사이에 배치되고,

상기 제 14 절연체는 상기 제 7 도전체와 상기 제 13 절연체 사이에 배치되고,

상기 제 13 절연체는 음으로 하전된 영역을 포함하는, 반도체 장치.

청구항 12

제 11 항에 있어서,

상기 제 13 절연체는 붕소, 알루미늄, 실리콘, 스칸듐, 타이타늄, 갈륨, 이트륨, 지르코늄, 인듐, 란타넘, 세륨, 네오디뮴, 하프늄, 또는 탈륨을 포함하는 산화물 또는 질화물인, 반도체 장치.

청구항 13

제 1 항에 있어서,

상기 제 3 트랜지스터는 제 8 도전체 및 제 15 절연체를 더 포함하고,

상기 제 8 도전체와 상기 제 3 산화물 반도체는 서로 중첩되고,

상기 제 15 절연체는 상기 제 8 도전체와 상기 제 3 산화물 반도체 사이에 배치되는, 반도체 장치.

청구항 14

제 13 항에 있어서,

상기 제 3 트랜지스터는 제 16 절연체 및 제 17 절연체를 더 포함하고,

상기 제 16 절연체는 상기 제 8 도전체와 상기 제 15 절연체 사이에 배치되고,

상기 제 17 절연체는 상기 제 8 도전체와 상기 제 16 절연체 사이에 배치되고,

상기 제 16 절연체는 음으로 하전된 영역을 포함하는, 반도체 장치.

청구항 15

제 14 항에 있어서,

상기 제 16 절연체는 붕소, 알루미늄, 실리콘, 스칸듐, 타이타늄, 갈륨, 이트륨, 지르코늄, 인듐, 란타넘, 세륨, 네오디뮴, 하프늄, 또는 탈륨을 포함하는 산화물 또는 질화물인, 반도체 장치.

청구항 16

제 1 항에 있어서,

상기 제 1 회로는 제 4 트랜지스터를 더 포함하고,
 상기 제 4 트랜지스터는 제 1 반도체, 제 9 도전체, 및 제 18 절연체를 포함하고,
 상기 제 9 도전체는 상기 제 9 도전체와 상기 제 1 반도체가 서로 중첩되는 영역을 포함하고,
 상기 제 18 절연체는 상기 제 9 도전체와 상기 제 1 반도체 사이에 배치되고,
 상기 제 9 도전체는 상기 제 1 도전체와 전기적으로 접속되는, 반도체 장치.

청구항 17

제 16 항에 있어서,
 상기 제 4 트랜지스터는 상기 제 4 트랜지스터와 상기 제 1 트랜지스터 또는 상기 제 1 용량 소자가 서로 중첩되는 영역을 포함하는, 반도체 장치.

청구항 18

제 1 항에 있어서,
 상기 제 2 회로는 제 5 트랜지스터를 더 포함하고,
 상기 제 5 트랜지스터는 제 2 반도체, 제 10 도전체, 및 제 19 절연체를 포함하고,
 상기 제 10 도전체는 상기 제 10 도전체와 상기 제 2 반도체가 서로 중첩되는 영역을 포함하고,
 상기 제 19 절연체는 상기 제 10 도전체와 상기 제 2 반도체 사이에 배치되고,
 상기 제 10 도전체는 상기 제 2 도전체와 전기적으로 접속되는, 반도체 장치.

청구항 19

제 18 항에 있어서,
 상기 제 5 트랜지스터는 상기 제 5 트랜지스터와 상기 제 2 트랜지스터 또는 상기 제 2 용량 소자가 서로 중첩되는 영역을 포함하는, 반도체 장치.

청구항 20

제 1 항에 있어서,
 상기 제 1 산화물 반도체, 상기 제 2 산화물 반도체, 및 상기 제 3 산화물 반도체는 같은 층에 배치되는, 반도체 장치.

발명의 설명

기술 분야

- [0001] 본 발명은 예를 들어 반도체, 트랜지스터 및 반도체 장치에 관한 것이다. 또는 본 발명은 예를 들어 반도체, 트랜지스터 및 반도체 장치의 제조 방법에 관한 것이다. 또는 본 발명은 예를 들어 반도체, 표시 장치, 발광 장치, 조명 장치, 축전 장치, 기억 장치, 프로세서, 전자 기기에 관한 것이다. 또는 반도체, 표시 장치, 액정 표시 장치, 발광 장치, 기억 장치, 전자 기기의 제조 방법에 관한 것이다. 또는 반도체 장치, 표시 장치, 액정 표시 장치, 발광 장치, 기억 장치, 전자 기기의 구동 방법에 관한 것이다.
- [0002] 또한 본 발명의 일 형태는 상술한 기술 분야에 한정되지 않는다. 본 명세서 등에서 개시(開示)되는 발명의 일 형태의 기술 분야는 물건, 방법, 또는 제조 방법에 관한 것이다. 또는 본 발명의 일 형태는 공정(process), 기계(machine), 제품(manufacture), 또는 조성물(composition of matter)에 관한 것이다.
- [0003] 또한, 본 명세서 등에서 반도체 장치란, 반도체 특성을 이용함으로써 기능할 수 있는 장치 전반을 가리킨다. 표시 장치, 발광 장치, 조명 장치, 전기 광학 장치, 반도체 회로 및 전자 기기는 반도체 장치를 갖는 경우가 있다.

배경 기술

- [0004] 트랜지스터의 반도체에 사용되는 실리콘은 용도에 따라 비정질 실리콘과 다결정 실리콘이 구별되어 사용되고 있다. 예를 들어, 대형의 표시 장치를 구성하는 트랜지스터에는 대면적 기관에 대한 성막 기술이 확립되어 있는 비정질 실리콘을 사용하는 것이 적합하다. 한편, 구동 회로와 화소 회로를 동일 기관 위에 형성하는 고기능의 표시 장치를 구성하는 트랜지스터에는 높은 전계 효과 이동도를 갖는 트랜지스터를 제작할 수 있는 다결정 실리콘을 사용하는 것이 적합하다. 다결정 실리콘의 형성 방법으로서, 비정질 실리콘에 대하여 고온 열처리 또는 레이저광 처리를 수행하는 방법이 알려져 있다.
- [0005] 근년에 들어, 산화물 반도체(대표적으로는 In-Ga-Zn 산화물)를 사용한 트랜지스터가 활발히 개발되고 있다. 산화물 반도체를 사용한 트랜지스터는 비정질 실리콘을 사용한 트랜지스터, 및 다결정 실리콘을 사용한 트랜지스터와는 상이한 특징을 갖는다. 예를 들어, 산화물 반도체를 사용한 트랜지스터를 적용한 표시 장치는 소비 전력이 낮다는 것이 알려져 있다.
- [0006] 또한, 산화물 반도체를 사용한 트랜지스터는 비도통 상태에서 누설 전류가 매우 작다는 것이 알려져 있다. 예를 들어, 산화물 반도체를 사용한 트랜지스터의 누설 전류가 작다는 특성을 응용한 저소비 전력의 CPU 등이 개시되어 있다(특허문헌 1 참조).
- [0007] 파워게이팅에 의한 소비 전력의 저감을 행하기 위해서는 산화물 반도체를 사용한 트랜지스터가 노멀리 오프의 전기 특성을 갖는 것이 바람직하다. 산화물 반도체를 사용한 트랜지스터의 문턱 전압을 제어하여 노멀리 오프의 전기 특성으로 하는 방법 중 하나로서 산화물 반도체와 중첩되는 영역에 플로팅 게이트를 배치하여 이 플로팅 게이트에 음의 고정 전하를 주입하는 방법이 개시되어 있다(특허문헌 2 참조).
- [0008] 산화물 반도체는 스퍼터링법 등을 사용하여 성막할 수 있으므로 대형의 표시 장치를 구성하는 트랜지스터에 사용할 수 있다. 또한 산화물 반도체를 사용한 트랜지스터는 높은 전계 효과 이동도를 가지므로 구동 회로와 화소 회로를 동일 기관 위에 형성하는 고기능의 표시 장치를 실현할 수 있다. 또한 비정질 실리콘을 사용한 트랜지스터, 또는 다결정 실리콘을 사용한 트랜지스터의 생산설비의 일부를 개량하여 이용할 수 있으므로 설비 투자를 억제할 수 있다는 장점도 있다.
- [0009] 산화물 반도체는 오래된 역사가 있다. 1985년에는 결정 In-Ga-Zn 산화물의 합성이 보고되었다(비특허문헌 1 참조). 또한 1995년에는 In-Ga-Zn 산화물이 상동(homologous) 구조를 취하고, $InGaO_3(ZnO)_m$ (m은 자연수)이라는 조성식으로 기술되는 것이 보고되었다(비특허문헌 2 참조).
- [0010] 또한 1995년에는 산화물 반도체를 사용한 트랜지스터가 발명되었고, 그 전기 특성이 개시되어 있다(특허문헌 3 참조).
- [0011] 또한 2014년에는 결정성 산화물 반도체를 사용한 트랜지스터에 대하여 보고되었다(비특허문헌 3 및 비특허문헌 4 참조). 여기서는 양산화가 가능하며, 또한 뛰어난 전기 특성 및 신뢰성을 갖는 CAAC-OS(C-Axis Aligned Crystalline Oxide Semiconductor)를 사용한 트랜지스터가 보고되었다.

선행기술문헌

특허문헌

- [0012] (특허문헌 0001) 일본국 특개 2012-257187호 공보
- (특허문헌 0002) 일본국 특개 2013-247143호 공보
- (특허문헌 0003) 일본국 특표평 11-505377호 공보

비특허문헌

- [0013] (비특허문헌 0001) N. Kimizuka, and T. Mohri: Journal of Solid State Chemistry, 1985, volume 60, p.382-p.384
- (비특허문헌 0002) N. Kimizuka, M. Isobe, and M. Nakamura: Journal of Solid State Chemistry, 1995,

volume 116, p.170-p.178

(비특허문헌 0003) S. Yamazaki, T. Hirohashi, M. Takahashi, S. Adachi, M. Tsubuku, J. Koezuka, K. Okazaki, Y. Kanzaki, H. Matsukizono, S. Kaneko, S. Mori, and T. Matsuo: Journal of the Society for Information Display, 2014, Volume 22, issue 1, p.55-p.67

(비특허문헌 0004) S. Yamazaki, T. Atsumi, K. Dairiki, K. Okazaki, and N. Kimizuka: ECS Journal of Solid State Science and Technology, 2014, volume 3, Issue 9, p.Q3012-p.Q3022

발명의 내용

해결하려는 과제

- [0014] 문턱 전압이 상이한 트랜지스터를 갖는 반도체 장치를 제공하는 것을 과제 중 하나로 한다. 또는 복수 종류의 회로를 갖고, 회로마다 전기 특성이 상이한 트랜지스터를 갖는 반도체 장치를 제공하는 것을 과제 중 하나로 한다. 또는 기억 소자를 갖는 반도체 장치를 제공하는 것을 과제 중 하나로 한다. 또는 유지 기간이 긴 기억 소자와 동작이 빠른 기억 소자를 갖는 반도체 장치를 제공하는 것을 과제 중 하나로 한다. 또는 복수 종류의 기억 소자를 갖고 기억 소자마다 전기 특성이 상이한 트랜지스터를 갖는 반도체 장치를 제공하는 것을 과제 중 하나로 한다. 또는 집적도가 높은 반도체 장치를 제공하는 것을 과제 중 하나로 한다.
- [0015] 또는 상기 반도체 장치를 갖는 모듈을 제공하는 것을 과제 중 하나로 한다. 또는 상기 반도체 장치 또는 상기 모듈을 갖는 전자 기기를 제공하는 것을 과제 중 하나로 한다. 또는 신규 반도체 장치를 제공하는 것을 과제 중 하나로 한다. 또는 신규 모듈을 제공하는 것을 과제 중 하나로 한다. 또는 신규 전자 기기를 제공하는 것을 과제 중 하나로 한다.
- [0016] 또는 노멀리 오프의 전기 특성을 갖는 트랜지스터를 제공하는 것을 과제 중 하나로 한다. 또는 비도통 시의 누설 전류가 작은 트랜지스터를 제공하는 것을 과제 중 하나로 한다. 또는 S값(subthreshold swing value)이 작은 트랜지스터를 제공하는 것을 과제 중 하나로 한다. 또는 단채널 효과가 작은 트랜지스터를 제공하는 것을 과제 중 하나로 한다. 또는 전기 특성이 뛰어난 트랜지스터를 제공하는 것을 과제 중 하나로 한다. 또는 신뢰성이 높은 트랜지스터를 제공하는 것을 과제 중 하나로 한다. 또는 높은 주파수 특성을 갖는 트랜지스터를 제공하는 것을 과제 중 하나로 한다.
- [0017] 또한 이들 과제의 기재는 다른 과제의 존재를 방해하는 것은 아니다. 또한 본 발명의 일 형태는 이들 과제 모두를 해결할 필요는 없는 것으로 한다. 또한 이들 이외의 과제는 명세서, 도면, 청구항 등의 기재로부터 저절로 명확해지는 것이며, 명세서, 도면, 청구항 등의 기재로부터 이들 이외의 과제를 추출할 수 있다.

과제의 해결 수단

- [0018] (1)
- [0019] 본 발명의 일 형태는, 예를 들어 제 1 회로와, 제 2 회로와, 제 3 회로를 갖는 반도체 장치이며, 제 1 회로는, 제 1 트랜지스터와, 제 1 용량 소자와, 제 1 배선을 갖고, 제 1 트랜지스터는, 제 1 도전체와, 제 1 산화물 반도체를 갖고, 제 1 도전체는, 제 1 산화물 반도체와 접촉하는 영역을 갖고, 제 1 용량 소자의 한쪽의 단자는, 제 1 도전체와 전기적으로 접속되고, 제 1 용량 소자의 다른 쪽의 단자는, 제 1 배선과 전기적으로 접속되고, 제 2 회로는, 제 2 트랜지스터와, 제 2 용량 소자와, 제 2 배선을 갖고, 제 2 트랜지스터는, 제 2 도전체와, 제 2 산화물 반도체를 갖고, 제 2 도전체는, 제 2 산화물 반도체와 접촉하는 영역을 갖고, 제 2 용량 소자의 한쪽의 단자는, 제 2 도전체와 전기적으로 접속되고, 제 2 용량 소자의 다른 쪽의 단자는, 제 2 배선과 전기적으로 접속되고, 제 3 회로는, 제 3 트랜지스터를 갖고, 제 3 트랜지스터는, 제 3 도전체와, 제 3 산화물 반도체와, 제 1 절연체와, 제 2 절연체와, 제 3 절연체를 갖고, 제 3 도전체는, 제 3 도전체와 제 3 산화물 반도체가 서로 중첩되는 영역을 갖고, 제 1 절연체는, 제 3 도전체와 제 3 산화물 반도체 사이에 배치되고, 제 2 절연체는, 제 3 도전체와 제 1 절연체 사이에 배치되고, 제 3 절연체는, 제 3 도전체와 제 2 절연체 사이에 배치되고, 제 2 절연체는, 전자 포획 영역을 갖고, 제 1 트랜지스터에 있어서, 문턱 전압 이하의 영역(subthreshold region)에 서의 드레인 전류가 1×10^{-12} A가 되는 게이트 전압이 0.8V 이상 1.5V 이하이고, 제 2 트랜지스터에 있어서, 문턱 전압 이하의 영역에서의 드레인 전류가 1×10^{-12} A가 되는 게이트 전압이 0V 이상 0.7V 이하인 반도체 장치이다.

- [0020] (2)
- [0021] 또는 본 발명의 일 형태는, (1)에서, 제 2 절연체가 붕소, 알루미늄, 실리콘, 스칸듐, 타이타늄, 갈륨, 이트륨, 지르코늄, 인듐, 란타넘, 세륨, 네오디뮴, 하프늄, 또는 탈륨을 갖는 산화물 또는 질화물인 반도체 장치이다.
- [0022] (3)
- [0023] 또는 본 발명의 일 형태는, (1) 또는, (2)에서, 제 1 트랜지스터는, 제 4 도전체와, 제 4 절연체와, 제 5 절연체와, 제 6 절연체를 더 갖고, 제 4 도전체는, 제 4 도전체와 제 1 산화물 반도체가 서로 중첩되는 영역을 갖고, 제 4 절연체는, 제 4 도전체와 제 1 산화물 반도체 사이에 배치되고, 제 5 절연체는 제 4 도전체와 제 4 절연체 사이에 배치되고, 제 6 절연체는, 제 4 도전체와 제 5 절연체 사이에 배치되고, 제 5 절연체는, 음으로 하전된 영역을 갖는 반도체 장치이다.
- [0024] (4)
- [0025] 또는 본 발명의 일 형태는, (3)에서, 제 5 절연체가 붕소, 알루미늄, 실리콘, 스칸듐, 타이타늄, 갈륨, 이트륨, 지르코늄, 인듐, 란타넘, 세륨, 네오디뮴, 하프늄, 또는 탈륨을 갖는 산화물 또는 질화물인 반도체 장치이다.
- [0026] (5)
- [0027] 또는 본 발명의 일 형태는, (1) 내지 (4) 중 어느 하나에서, 제 2 트랜지스터는, 제 5 도전체와, 제 7 절연체와, 제 8 절연체와, 제 9 절연체를 더 갖고, 제 5 도전체는, 제 5 도전체와 제 2 산화물 반도체가 서로 중첩되는 영역을 갖고, 제 7 절연체는, 제 5 도전체와 제 2 산화물 반도체 사이에 배치되고, 제 8 절연체는, 제 5 도전체와 제 7 절연체 사이에 배치되고, 제 9 절연체는, 제 5 도전체와 제 8 절연체 사이에 배치되고, 제 8 절연체는, 음으로 하전된 영역을 갖는 반도체 장치이다.
- [0028] (6)
- [0029] 또는 본 발명의 일 형태는, (5)에서, 제 8 절연체가 붕소, 알루미늄, 실리콘, 스칸듐, 타이타늄, 갈륨, 이트륨, 지르코늄, 인듐, 란타넘, 세륨, 네오디뮴, 하프늄, 또는 탈륨을 갖는 산화물 또는 질화물인 반도체 장치이다.
- [0030] (7)
- [0031] 또는 본 발명의 일 형태는, (1) 내지 (6) 중 어느 하나에서, 제 1 트랜지스터는 제 6 도전체와, 제 9 절연체를 더 갖고, 제 6 도전체는 제 6 도전체와 제 1 산화물 반도체가 서로 중첩되는 영역을 갖고, 제 9 절연체는 제 6 도전체와 제 1 산화물 반도체 사이에 배치되는 반도체 장치이다.
- [0032] (8)
- [0033] 또는 본 발명의 일 형태는, (7)에서, 제 1 트랜지스터는, 제 10 절연체와, 제 11 절연체를 더 갖고, 제 10 절연체는, 제 6 도전체와 제 9 절연체 사이에 배치되고, 제 11 절연체는, 제 6 도전체와 제 10 절연체 사이에 배치되고, 제 10 절연체는, 음으로 하전된 영역을 갖는 반도체 장치이다.
- [0034] (9)
- [0035] 또는 본 발명의 일 형태는, (8)에서, 제 10 절연체가 붕소, 알루미늄, 실리콘, 스칸듐, 타이타늄, 갈륨, 이트륨, 지르코늄, 인듐, 란타넘, 세륨, 네오디뮴, 하프늄, 또는 탈륨을 갖는 산화물 또는 질화물인 반도체 장치이다.
- [0036] (10)
- [0037] 또는 본 발명의 일 형태는, (1) 내지 (9) 중 어느 하나에서, 제 2 트랜지스터는, 제 7 도전체와, 제 12 절연체를 더 갖고, 제 7 도전체는, 제 7 도전체와 제 2 산화물 반도체가 서로 중첩되는 영역을 갖고, 제 12 절연체는, 제 7 도전체와 제 2 산화물 반도체 사이에 배치되는 반도체 장치이다.
- [0038] (11)
- [0039] 또는 본 발명의 일 형태는, (10)에서, 제 2 트랜지스터는 제 13 절연체와, 제 14 절연체를 더 갖고, 제 13 절연체는 제 7 도전체와 제 12 절연체 사이에 배치되고, 제 14 절연체는 제 7 도전체와 제 13 절연체 사이에 배치되고, 제 13 절연체는 음으로 하전된 영역을 갖는 반도체 장치이다.
- [0040] (12)

- [0041] 또는 본 발명의 일 형태는, (11)에서, 제 13 절연체가 붕소, 알루미늄, 실리콘, 스칸듐, 타이타늄, 갈륨, 이트륨, 지르코늄, 인듐, 란타넘, 세륨, 네오디뮴, 하프늄, 또는 탈륨을 갖는 산화물 또는 질화물인 반도체 장치이다.
- [0042] (13)
- [0043] 또는 본 발명의 일 형태는, (1) 내지 (12) 중 어느 하나에서, 제 3 트랜지스터는, 제 8 도전체와, 제 15 절연체를 더 갖고, 제 8 도전체는, 제 8 도전체와 제 3 산화물 반도체가 서로 중첩되는 영역을 갖고, 제 15 절연체는, 제 8 도전체와 제 3 산화물 반도체 사이에 배치되는 반도체 장치이다.
- [0044] (14)
- [0045] 또는 본 발명의 일 형태는, (13)에서, 제 3 트랜지스터는, 제 16 절연체와, 제 17 절연체를 더 갖고, 제 16 절연체는, 제 8 도전체와 제 15 절연체 사이에 배치되고, 제 17 절연체는, 제 8 도전체와 제 16 절연체 사이에 배치되고, 제 16 절연체는, 음으로 하전된 영역을 갖는 반도체 장치이다.
- [0046] (15)
- [0047] 또는 본 발명의 일 형태는, (14)에서, 제 16 절연체가 붕소, 알루미늄, 실리콘, 스칸듐, 타이타늄, 갈륨, 이트륨, 지르코늄, 인듐, 란타넘, 세륨, 네오디뮴, 하프늄, 또는 탈륨을 갖는 산화물 또는 질화물인 반도체 장치이다.
- [0048] (16)
- [0049] 또는 본 발명의 일 형태는, (1) 내지 (15) 중 어느 하나에서, 제 1 회로는, 제 4 트랜지스터를 더 갖고, 제 4 트랜지스터는, 제 1 반도체와, 제 9 도전체와, 제 18 절연체를 갖고, 제 9 도전체는, 제 9 도전체와 제 1 반도체가 서로 중첩되는 영역을 갖고, 제 18 절연체는, 제 9 도전체와 제 1 반도체 사이에 배치되고, 제 9 도전체는, 제 1 도전체와 전기적으로 접속되는 반도체 장치이다.
- [0050] (17)
- [0051] 또는 본 발명의 일 형태는, (16)에서, 제 4 트랜지스터는, 제 4 트랜지스터와 제 1 트랜지스터 또는 제 1 용량 소자가 서로 중첩되는 영역을 갖는 반도체 장치이다.
- [0052] (18)
- [0053] 또는 본 발명의 일 형태는, (1) 내지 (17) 중 어느 하나에서, 제 2 회로는, 제 5 트랜지스터를 더 갖고, 제 5 트랜지스터는 제 2 반도체와, 제 10 도전체와, 제 19 절연체를 갖고, 제 10 도전체는, 제 10 도전체와 제 2 반도체가 서로 중첩되는 영역을 갖고, 제 19 절연체는, 제 10 도전체와 제 2 반도체 사이에 배치되고, 제 10 도전체는, 제 2 도전체와 전기적으로 접속되는 반도체 장치이다.
- [0054] (19)
- [0055] 또는 본 발명의 일 형태는, (18)에서, 제 5 트랜지스터는, 제 5 트랜지스터와 제 2 트랜지스터 또는 제 2 용량 소자가 서로 중첩되는 영역을 갖는 반도체 장치이다.
- [0056] (20)
- [0057] 또는 본 발명의 일 형태는, (1) 내지 (19) 중 어느 하나에서, 제 1 산화물 반도체, 제 2 산화물 반도체 및 제 3 산화물 반도체가 같은 층에 배치되는 반도체 장치이다.

발명의 효과

- [0058] 문턱 전압이 상이한 트랜지스터를 갖는 반도체 장치를 제공할 수 있다. 또는 복수 종류의 회로를 갖고, 회로마다 전기 특성이 상이한 트랜지스터를 갖는 반도체 장치를 제공할 수 있다. 또는 기억 소자를 갖는 반도체 장치를 제공할 수 있다. 또는 유지 기간이 긴 기억 소자와 동작이 빠른 기억 소자를 갖는 반도체 장치를 제공할 수 있다. 또는 복수 종류의 기억 소자를 갖고, 기억 소자마다 전기 특성이 상이한 트랜지스터를 갖는 반도체 장치를 제공할 수 있다. 또는 집적도가 높은 반도체 장치를 제공할 수 있다.
- [0059] 또는 상기 반도체 장치를 갖는 모듈을 제공할 수 있다. 또는 상기 반도체 장치 또는 상기 모듈을 갖는 전자 기기를 제공할 수 있다. 또는 신규 반도체 장치를 제공할 수 있다. 또는 신규 모듈을 제공할 수 있다. 또는 신

규 전자 기기를 제공할 수 있다.

[0060] 또는 노멀리 오프의 전기 특성을 갖는 트랜지스터를 제공할 수 있다. 또는 비도통 시의 누설 전류가 작은 트랜지스터를 제공할 수 있다. 또는 S값이 작은 트랜지스터를 제공할 수 있다. 또는 단채널 효과가 작은 트랜지스터를 제공할 수 있다. 또는 전기 특성이 뛰어난 트랜지스터를 제공할 수 있다. 또는 신뢰성이 높은 트랜지스터를 제공할 수 있다. 또는 높은 주파수 특성을 갖는 트랜지스터를 제공할 수 있다.

[0061] 또한 이들 효과의 기재는 다른 효과의 존재를 방해하는 것은 아니다. 또한 본 발명의 일 형태는 이들 효과 모두를 가질 필요는 없다. 또한 이들 이외의 효과는 명세서, 도면, 청구항 등의 기재로부터 저절로 명확해지는 것이며, 명세서, 도면, 청구항 등의 기재로부터 이들 이외의 효과를 추출할 수 있다.

도면의 간단한 설명

- [0062] 도 1은 본 발명의 일 형태에 따른 반도체 장치의 블록도.
- 도 2는 본 발명의 일 형태에 따른 반도체 장치의 블록도.
- 도 3은 본 발명의 일 형태에 따른 반도체 장치의 회로도.
- 도 4는 본 발명의 일 형태에 따른 반도체 장치의 회로도.
- 도 5는 본 발명의 일 형태에 따른 반도체 장치의 회로도.
- 도 6은 본 발명의 일 형태에 따른 반도체 장치의 단면도.
- 도 7은 본 발명의 일 형태에 따른 반도체 장치의 단면도.
- 도 8은 본 발명의 일 형태에 따른 반도체 장치의 단면도.
- 도 9는 본 발명의 일 형태에 따른 트랜지스터의 상면도 및 단면도.
- 도 10은 본 발명의 일 형태에 따른 트랜지스터의 단면도 및 밴드도.
- 도 11은 본 발명의 일 형태에 따른 트랜지스터의 단면도.
- 도 12는 본 발명의 일 형태에 따른 트랜지스터의 단면도.
- 도 13은 본 발명의 일 형태에 따른 트랜지스터의 상면도 및 단면도.
- 도 14는 본 발명의 일 형태에 따른 트랜지스터의 상면도 및 단면도.
- 도 15는 본 발명의 일 형태에 따른 트랜지스터의 상면도 및 단면도.
- 도 16은 본 발명의 일 형태에 따른 트랜지스터의 상면도 및 단면도.
- 도 17은 본 발명의 일 형태에 따른 트랜지스터의 단면도 및 밴드도.
- 도 18은 본 발명의 일 형태에 따른 반도체 장치의 블록도.
- 도 19는 본 발명의 일 형태에 따른 반도체 장치의 회로도.
- 도 20은 본 발명의 일 형태에 따른 전자 기기의 사시도.
- 도 21은 CAAC-OS의 단면에서의 Cs 보정 고분해능 TEM 이미지 및 CAAC-OS의 단면 모식도.
- 도 22는 CAAC-OS의 평면에서의 Cs 보정 고분해능 TEM 이미지.
- 도 23은 XRD에 의한 CAAC-OS 및 단결정 산화물 반도체의 구조 해석을 설명하기 위한 도면.
- 도 24는 CAAC-OS의 전자 회절 패턴을 나타낸 도면.
- 도 25는 In-Ga-Zn 산화물의 전자 조사에 의한 결정부의 변화를 도시한 도면.

발명을 실시하기 위한 구체적인 내용

[0063] 본 발명의 실시형태에 대하여 도면을 사용하여 상세히 설명한다. 다만, 본 발명은 이하의 설명에 한정되지 않고, 그 형태 및 상세한 사항을 다양하게 변경할 수 있다는 것은 당업자라면 쉽게 이해할 수 있다. 또한 본 발

명은 이하에 나타내는 실시형태에 기재된 내용에 한정하여 해석되는 것은 아니다. 또한 도면을 사용하여 발명의 구성을 설명하는 데에 있어서 같은 것을 가리키는 부호는 상이한 도면에서도 공통적으로 사용한다. 또한 같은 것을 가리킬 때에는 해치 패턴을 같게 하여 특별히 부호를 붙이지 않는 경우가 있다.

- [0064] 또한 도면에서, 크기, 막(층) 두께, 또는 영역은 명료화를 위하여 과장된 경우가 있다.
- [0065] 또한 본 명세서에서 '막'이라는 표기와, '층'이라는 표기를 서로 바꿀 수 있다.
- [0066] 또한 전압이란, 어떤 전위와 기준의 전위(예를 들어 접지 전위(GND) 또는 소스 전위)와의 전위차를 말하는 경우가 많다. 따라서, 전압을 전위라고 바꿔 말할 수 있다. 일반적으로 전위(전압)는 상대적인 것이며, 기준의 전위에 대하여 상대적인 크기에 의하여 결정된다. 따라서, '접지 전위' 등으로 기재되어 있는 경우라고 하여도 전위가 0V일 필요는 없다. 예를 들어, 회로에서 가장 낮은 전위가 '접지 전위'가 되는 경우도 있다. 또는 회로에서 중간쯤인 전위가 '접지 전위'가 되는 경우도 있다. 그 경우에는 그 전위를 기준으로 양의 전위와 음의 전위가 규정된다.
- [0067] 또한 제 1, 제 2로 붙여지는 서수사는 편의적으로 사용하는 것이며, 공정 순서 또는 적층 순서를 나타내는 것은 아니다. 그러므로 예를 들어 '제 1'을 '제 2' 또는 '제 3' 등으로 적절히 바꿔서 설명할 수 있다. 또한 본 명세서 등에 기재된 서수사와 본 발명의 일 형태를 특정하기 위하여 사용되는 서수사는 일치하지 않는 경우가 있다.
- [0068] 또한 '반도체'라고 표기한 경우에도 예를 들어 도전성이 충분히 낮은 경우에는 '절연체'로서의 특성을 갖는 경우가 있다. 또한 '반도체'와 '절연체'는 그 경계가 애매하며, 엄밀히 구별하지 못하는 경우가 있다. 따라서, 본 명세서에 기재된 '반도체'는 '절연체'로 바꿔 말할 수 있는 경우가 있다. 마찬가지로 본 명세서에 기재된 '절연체'는 '반도체'로 바꿔 말할 수 있는 경우가 있다.
- [0069] 또한 '반도체'라고 표기한 경우에도 예를 들어 도전성이 충분히 높은 경우에는 '도체'로서의 특성을 갖는 경우가 있다. 또한 '반도체'와 '도체'는 그 경계가 애매하며, 엄밀히 구별하지 못하는 경우가 있다. 따라서, 본 명세서에 기재된 '반도체'는 '도체'로 바꿔 말할 수 있는 경우가 있다. 마찬가지로 본 명세서에 기재된 '도체'는 '반도체'로 바꿔 말할 수 있는 경우가 있다.
- [0070] 또한 반도체의 불순물이란, 예를 들어 반도체를 구성하는 주성분 이외를 말한다. 예를 들어, 농도가 0.1atomic% 미만인 원소는 불순물이다. 불순물이 함유됨으로써 예를 들어 반도체에 DOS(Density of State)가 형성되거나, 캐리어 이동도가 저하되거나, 결정성이 저하되는 경우가 있다. 반도체가 산화물 반도체인 경우, 반도체의 특성을 변화시키는 불순물로서 예를 들어 제 1 족 원소, 제 2 족 원소, 제 14 족 원소, 제 15 족 원소, 주성분 이외의 전이 금속 등이 있고, 특히 수소(물에도 함유되어 있음), 리튬, 소듐, 실리콘, 붕소, 인, 탄소, 질소 등이 있다. 산화물 반도체의 경우, 예를 들어 수소 등의 불순물의 혼입으로 산소 결손이 형성되는 경우가 있다. 또한 반도체가 실리콘인 경우, 반도체의 특성을 변화시키는 불순물로서는 예를 들어 산소, 수소를 제외한 제 1 족 원소, 제 2 족 원소, 제 13 족 원소, 제 15 족 원소 등이 있다.
- [0071] 또한 본 명세서에서 'A가 농도 B의 영역을 갖는다'라고 기재된 경우, 예를 들어 A의 어떤 영역에서의 깊이 방향 전체의 농도가 B인 경우, A의 어떤 영역에서의 깊이 방향의 농도의 평균값이 B인 경우, A의 어떤 영역에서의 깊이 방향의 농도의 중앙값이 B인 경우, A의 어떤 영역에서의 깊이 방향의 농도의 최대값이 B인 경우, A의 어떤 영역에서의 깊이 방향의 농도의 최소값이 B인 경우, A의 어떤 영역에서의 깊이 방향의 농도의 수렴값이 B인 경우, 측정상 A 자체의 값이라고 추정되는 값이 얻어지는 영역에서의 농도가 B인 경우 등을 포함한다.
- [0072] 또한 본 명세서에서 'A가 크기 B, 길이 B, 두께 B, 폭 B 또는 거리 B의 영역을 갖는다'라고 기재된 경우, 예를 들어 A의 어떤 영역에서의 전체 크기, 길이, 두께, 폭 또는 거리가 B인 경우, A의 어떤 영역에서의 크기, 길이, 두께, 폭 또는 거리의 평균값이 B인 경우, A의 어떤 영역에서의 크기, 길이, 두께, 폭 또는 거리의 중앙값이 B인 경우, A의 어떤 영역에서의 크기, 길이, 두께, 폭 또는 거리의 최대값이 B인 경우, A의 어떤 영역에서의 크기, 길이, 두께, 폭 또는 거리의 최소값이 B인 경우, A의 어떤 영역에서의 크기, 길이, 두께, 폭 또는 거리의 수렴값이 B인 경우, 측정상 A 자체의 값이라고 추정되는 값이 얻어지는 영역에서의 크기, 길이, 두께, 폭 또는 거리가 B인 경우 등을 포함한다.
- [0073] 또한 채널 길이란, 예를 들어 트랜지스터의 상면도에서 반도체(또는 트랜지스터가 온 상태일 때에 반도체 내에서 전류가 흐르는 부분)와 게이트 전극이 서로 중첩되는 영역, 또는 채널이 형성되는 영역에서의 소스(소스 영역 또는 소스 전극)와 드레인(드레인 영역 또는 드레인 전극) 사이의 거리를 말한다. 또한 하나의 트랜지스터에서 채널 길이가 모든 영역에서 같은 값이 되지 않을 수도 있다. 즉, 하나의 트랜지스터의 채널 길이는 하나

의 값으로 정해지지 않는 경우가 있다. 그러므로 본 명세서에서는 채널 길이는 채널이 형성되는 영역에서의 어느 하나의 값, 최대값, 최소값, 또는 평균값으로 한다.

[0074] 채널 폭이란, 예를 들어 반도체(또는 트랜지스터가 온 상태일 때에 반도체 내에서 전류가 흐르는 부분)와 게이트 전극이 서로 중첩되는 영역, 또는 채널이 형성되는 영역에서의 소스와 드레인이 마주하는 부분의 길이를 말한다. 또한 하나의 트랜지스터에서 채널 폭이 모든 영역에서 같은 값이 되지 않을 수도 있다. 즉, 하나의 트랜지스터의 채널 폭은 하나의 값으로 정해지지 않는 경우가 있다. 그러므로 본 명세서에서는 채널 폭은 채널이 형성되는 영역에서의 어느 하나의 값, 최대값, 최소값, 또는 평균값으로 한다.

[0075] 또한 트랜지스터의 구조에 따라서는 실제로 채널이 형성되는 영역에서의 채널 폭(이하 실효적인 채널 폭이라고 함)과 트랜지스터의 상면도에서 도시된 채널 폭(이하 외견상 채널 폭이라고 함)이 상이한 경우가 있다. 예를 들어, 입체적인 구조를 갖는 트랜지스터에서는 실효적인 채널 폭이 트랜지스터의 상면도에서 도시된 외견상 채널 폭보다 커져, 그 영향을 무시할 수 없게 되는 경우가 있다. 예를 들어 미세하고 또한 입체적인 구조를 갖는 트랜지스터에서는 반도체의 측면에 형성되는 채널 영역의 비율이 더 커지는 경우가 있다. 그 경우에는 상면도에서 도시된 외견상 채널 폭보다도 실제로 채널이 형성되는 실효적인 채널 폭이 더 커진다.

[0076] 그런데 입체적인 구조를 갖는 트랜지스터에서는 실효적인 채널 폭을 실측하여 어렵잡는 것이 곤란한 경우가 있다. 예를 들어, 설계값에서 실효적인 채널 폭을 어렵잡기 위해서는 반도체의 형상을 이미 알고 있다는 가정이 필요하다. 따라서, 반도체의 형상을 정확히 알지 못하는 경우에는 실효적인 채널 폭을 정확하게 측정하는 것은 곤란하다.

[0077] 따라서, 본 명세서에서는 트랜지스터의 상면도에서, 반도체와 게이트 전극이 서로 중첩되는 영역에서의 소스와 드레인이 마주하는 부분의 길이인 외견상 채널 폭을 'Surrounded Channel Width(SCW)'이라고 부르는 경우가 있다. 또한 본 명세서에서 단순히 채널 폭이라고 기재한 경우에는 SCW 또는 외견상 채널 폭을 가리키는 경우가 있다. 또는 본 명세서에서 단순히 채널 폭이라고 기재한 경우에는 실효적인 채널 폭을 가리키는 경우가 있다. 또한 채널 길이, 채널 폭, 실효적인 채널 폭, 외견상 채널 폭, SCW 등은 단면 TEM 이미지 등을 취득하여 그 화상을 해석하는 등에 의하여 그 값을 결정할 수 있다.

[0078] 또한 트랜지스터의 전계 효과 이동도나 채널 폭당 전류값을 계산하여 구하는 경우, SCW를 사용하여 계산하는 경우가 있다. 그 경우에는 실효적인 채널 폭을 사용하여 계산하는 경우와 상이한 값이 될 수 있다.

[0079] 또한 본 명세서에서 A가 B보다 돌출된 형상을 갖는다고 기재된 경우, 상면도 또는 단면도에서 A의 적어도 일단이 B의 적어도 일단보다도 외측에 위치하는 형상을 갖는 것을 나타내는 경우가 있다. 따라서, A가 B보다 돌출된 형상을 갖는다고 기재된 경우, 예를 들어 상면도에서 A의 일단이 B의 일단보다 외측에 위치하는 형상을 갖는다고 바꿔 읽을 수 있다.

[0080] 본 명세서에서 '평행'이란, 두 개의 직선이 -10° 이상 10° 이하의 각도로 배치된 상태를 말한다. 따라서, -5° 이상 5° 이하인 경우도 포함된다. 또한 '실질적으로 평행'이란, 두 개의 직선이 -30° 이상 30° 이하의 각도로 배치된 상태를 말한다. 또한 '수직'이란, 두 개의 직선이 80° 이상 100° 이하의 각도로 배치된 상태를 말한다. 따라서, 85° 이상 95° 이하인 경우도 포함된다. 또한 '실질적으로 수직'이란, 두 개의 직선이 60° 이상 120° 이하의 각도로 배치된 상태를 말한다.

[0081] 또한 본 명세서에서 결정이 삼방정 또는 능면체정인 경우, 육방정계에 포함된다.

[0082] <반도체 장치>

[0083] 이하에서는 본 발명의 일 형태에 따른 반도체 장치에 대하여 설명한다.

[0084] 또한 이하에서는 n채널형 트랜지스터를 상정하여 설명한다. 다만, p채널형 트랜지스터에 적용하기 위하여 적절히 용어 또는 부호 등을 바꿔 읽어도 좋다.

[0085] 도 1은 회로(101a)와, 회로(101b)와, 회로(101c)를 갖는 반도체 장치(100)의 블록도이다. 회로(101a)와, 회로(101b)와, 회로(101c)는 각각 전기적으로 접속되어 있다. 다만, 본 발명의 일 형태에 따른 반도체 장치는 이것에 한정되지 않는다. 예를 들어, 반도체 장치(100)는 회로(101a), 회로(101b) 및 회로(101c) 중 어느 하나를 갖지 않아도 되는 경우가 있다. 또는 반도체 장치(100)는 회로(101a)와 회로(101b)가 전기적으로 접속되지 않아도 되는 경우가 있다. 또는 회로(101b)와 회로(101c)가 전기적으로 접속되지 않아도 되는 경우가 있다. 또는 회로(101c)와 회로(101a)가 전기적으로 접속되지 않아도 되는 경우가 있다.

- [0086] 회로(101a)는 트랜지스터(102a)를 갖는다. 회로(101b)는 트랜지스터(102b)를 갖는다. 회로(101c)는 트랜지스터(102c)를 갖는다. 여기서, 트랜지스터(102a)와 트랜지스터(102b)가 상이한 전기 특성을 갖는다. 예를 들어, 문턱 전압 이하의 영역에서의 드레인 전류가 1×10^{-12} A가 되는 게이트 전압이, 트랜지스터(102a)는 0V 이상 0.7V 이하이며, 트랜지스터(102b)는 0.8V 이상 1.5V 이하이면 좋다. 또한 트랜지스터(102a)와 트랜지스터(102b)의 전기 특성을 상이하게 하는 방법에 대해서는 후술한다. 또한 트랜지스터(102b)와 트랜지스터(102c)가 상이한 전기 특성을 가져도 좋다. 또는 트랜지스터(102c)와 트랜지스터(102a)가 상이한 전기 특성을 가져도 좋다.
- [0087] 각 트랜지스터가 상이한 전기 특성을 가짐으로써 각 회로에서 요구되는 트랜지스터의 전기 특성을 동시에 만족시킬 수 있다. 따라서, 동작 속도를 높이면서 소비 전력이 작은 반도체 장치 등을 실현할 수 있다.
- [0088] 도 2는 도 1과는 일부가 상이한 반도체 장치(100)의 예의 블록도이다. 회로(101a)가 트랜지스터(102a)와, 트랜지스터(103a)와, 용량 소자(104a)를 갖고, 회로(101b)가 트랜지스터(102b)와, 트랜지스터(103b)와, 용량 소자(104b)를 갖고, 회로(101c)가 트랜지스터(102c)를 갖는다.
- [0089] 도 2에 도시한 회로(101a)는 도 1에 도시한 회로(101a)에 비해서 트랜지스터(103a)와 용량 소자(104a)를 갖는 점이 상이하다. 트랜지스터(103a)의 게이트 단자는 트랜지스터(102a)의 소스 단자 및 드레인 단자 중 한쪽, 및 용량 소자(104a)의 한쪽의 단자와, 노드 A를 통하여 전기적으로 접속되어 있다. 노드 A의 전위는 트랜지스터(102a)를 통하여 변경할 수 있다. 또한 노드 A의 전위는 트랜지스터(102a)를 비도통 상태로 함으로써 유지된다. 트랜지스터(103a)의 드레인 전류는 노드 A의 전위에 의하여 변화되므로 회로(101a)는 임의의 데이터를 유지하는 기능을 갖는다. 즉, 회로(101a)를 기억 장치로 할 수 있다. 다만, 회로(101a)는 기억 장치가 아니어도 좋다.
- [0090] 여기서 노드 A에 유지된 데이터는 트랜지스터(102a), 트랜지스터(103a) 및 용량 소자(104a)를 통하여 소실되는 경우가 있다. 다만, 트랜지스터(103a)의 게이트 절연체의 누설 전류, 및 용량 소자(104a)의 유전체의 누설 전류가 충분히 작은 경우, 트랜지스터(102a)의 소스 단자와 드레인 단자 사이를 흐르는 전류가 노드 A에 유지된 데이터를 소실시키는 주요인이 된다. 따라서, 트랜지스터(102a)에 오프 전류가 작은 트랜지스터를 사용함으로써 노드 A의 데이터를 장기간 유지할 수 있다. 또한 오프 전류가 작은 트랜지스터의 구체적인 예에 대해서는 후술한다.
- [0091] 도 2에 도시한 회로(101b)는 도 1에 도시한 회로(101b)에 비해서 트랜지스터(103b)와 용량 소자(104b)를 갖는 점이 상이하다. 트랜지스터(103b)의 게이트 단자는 트랜지스터(102b)의 소스 단자 및 드레인 단자 중 한쪽, 및 용량 소자(104b)의 한쪽의 단자와, 노드 B를 통하여 전기적으로 접속되어 있다. 즉, 회로(101b)는 회로(101a)와 같은 회로 구성을 갖는다.
- [0092] 이 때, 트랜지스터(102a)의 문턱 전압을 트랜지스터(102b)의 문턱 전압보다 높게 함으로써 회로(101a)와 회로(101b)와의 차별화를 도모할 수 있다. 트랜지스터(102a)의 문턱 전압이 높기 때문에, 회로(101a)는 노드 A의 데이터를 장기간 유지할 수 있다. 한편, 트랜지스터(102b)의 문턱 전압이 낮기 때문에, 회로(101b)는 노드 B에 대한 데이터의 기록 동작을 빠르게 할 수 있다.
- [0093] 예를 들어, 반도체 장치(100)는 데이터 유지 기간보다 기록 동작의 속도가 중시되는 동작에는 회로(101b)를 사용하고 기록 동작의 속도보다도 데이터의 유지 기간이 중시되는 동작에는 회로(101a)를 사용함으로써 동작 속도를 빠르게, 소비 전력을 작게 할 수 있다.
- [0094] 또한 예를 들어 트랜지스터(102a)의 문턱 전압 이하의 영역에서의 드레인 전류가 1×10^{-12} A가 되는 게이트 전압 (이하 Shift라고 표기함)이 0.8V이상 1.5V 이하인 경우, 트랜지스터(102a)에 게이트 전압을 인가하지 않아도 노드 A의 데이터를 장기간 유지할 수 있다. 따라서, 회로(101a)는 데이터 유지를 위한 전력 공급이 필요하지 않아, 반도체 장치(100)의 소비 전력을 작게 할 수 있다. 또한 반도체 장치(100)에 대한 전력 공급을 정지한 경우에도 회로(101a)에는 전력 공급을 정지하기 직전까지의 데이터가 유지된다. 그러므로 전력 공급 후 즉시 반도체 장치(100)를 동작시킬 수 있다. 또한 트랜지스터(102b)의 Shift가 0V 이상 0.7V 이하인 경우, 노드 B에 대한 데이터 기록에 필요한 트랜지스터(102b)의 게이트 전압을 낮게 할 수 있다. 게이트 전압을 낮게 함으로써 노드 B에 대한 데이터 기록 동작을 빠르게 할 수 있다. 또한 노드 B에 대한 데이터 기록 동작에 필요한 소비 전력을 작게 할 수 있다.
- [0095] 도 2에 도시한 회로(101c)는 도 1에 도시한 회로(101c)에 비해서 트랜지스터(102c)가 제 2 게이트 단자(백 게이트 단자라고도 함)를 갖는 점이 상이하다. 트랜지스터(102c)의 제 2 게이트 단자 측에는 플로팅 게이트 C(도 2

에는 파선부로 나타냄)가 배치되어 있다. 예를 들어, 트랜지스터(102c)에 드레인 전압을 인가하면서 제 2 게이트 단자에 전압을 인가함으로써 플로팅 게이트 C에 전자를 주입시킬 수 있다. 플로팅 게이트 C에 주입된 전자는 고정 전하처럼 행동한다. 그러므로 트랜지스터(102c)의 문턱 전압은 플로팅 게이트 C에 대한 전자의 주입량에 따라 변화한다. 트랜지스터(102c)의 드레인 전류는 플로팅 게이트 C의 전위에 따라 변화하므로 회로(101c)는 임의의 데이터를 유지하는 기능을 갖는다. 즉, 회로(101c)를 기억 장치로 할 수 있다. 다만, 회로(101c)는 기억 장치가 아니어도 좋다.

[0096] 트랜지스터(102c)는 플로팅 게이트 C에 대한 전자의 주입에 의하여 데이터를 기록한다. 따라서, 회로(101c)는 회로(101a) 및 회로(101b)에 비해서 데이터의 기록에 원리적으로 높은 전압이 필요하다. 즉, 기록 동작이 느려지거나 기록에 소요되는 소비 전력이 커지는 경우가 있다. 한편, 플로팅 게이트 C가 충분히 절연되어 있는 경우, 데이터의 소실이 일어나기 어렵고, 데이터의 유지 기간을 매우 길게 할 수 있다. 따라서, 회로(101c)는 재기록 빈도가 낮은 데이터의 유지에 적합하다. 또는 재기록이 불가능한 기억 장치(라이트 윈스 메모리)로 하여도 좋다. 재기록 불가능한 기억 장치로 함으로써 데이터의 개변 등으로 인한 문제가 일어나기 어렵게 되므로 반도체 장치(100)의 신뢰성을 높일 수 있다.

[0097] 이와 같이, 장기간 데이터를 유지하기에 적합한 회로와, 동작 속도가 빠른 회로와, 장기간 데이터를 유지할 수 있는 신뢰성이 높은 회로를 갖는 반도체 장치는 신뢰성이 높고 소비 전력을 작게 할 수 있다.

[0098] 상기 회로 구성은 일레이며, 회로(101a), 회로(101b) 및 회로(101c)의 회로 구성을 적절히 변경할 수 있다. 예를 들어, 도 3, 도 4 및 도 5에 도 1 및 도 2와는 상이한 회로(101a)의 구성예를 도시하였다. 또한 도 3, 도 4 및 도 5에는 회로(101a)를 예시하고 있지만, 회로(101b) 또는 회로(101c)에 적용할 수도 있다.

[0099] 도 3의 (A)에 도시한 회로(101a)는 트랜지스터(102a)가 제 2 게이트 단자를 갖는 점이 도 2에 도시한 회로(101a)와 상이하다. 예를 들어, 제 2 게이트 단자에 임의의 전위를 인가함으로써 트랜지스터(102a)의 문턱 전압 등을 변화시킬 수 있다. 또는 예를 들어 제 2 게이트 단자와 게이트 단자 사이를 전기적으로 접속시킴으로써 트랜지스터(102a)의 온 전류를 크게 할 수 있다. 또한 펀치 스루 현상으로 인한 누설 전류를 작게 할 수 있으므로 S값을 작게 할 수 있고, 또한 오프 전류를 작게 할 수 있다. 구체적으로는 S값을 60mV/dec 이상 150mV/dec 이하, 60mV/dec 이상 120mV/dec 이하, 60mV/dec 이상 100mV/dec 이하, 또는 60mV/dec 이상 80mV/dec 이하로 할 수 있다. 또는 예를 들어 제 2 게이트 단자와 소스 단자를 전기적으로 접속시킴으로써 공정이나 기판 내의 부분에 따라 발생하는 트랜지스터(102a)의 전기 특성의 편차를 저감시킬 수 있다.

[0100] 도 3의 (B)에 도시한 회로(101a)는 트랜지스터(102a)가 게이트 단자 측에 플로팅 게이트 D를 갖는 점이 도 2에 도시한 회로(101a)와 상이하다. 도 2에 도시한 회로(101c)의 플로팅 게이트 C에 전자를 주입한 방법과 같은 방법 등으로 플로팅 게이트 D에 전자를 주입할 수 있다. 플로팅 게이트 D에 전자가 주입됨으로써 트랜지스터(102a)의 문턱 전압 등을 변화시킬 수 있다. 예를 들어, 전자의 주입량을 조절함으로써 트랜지스터(102a)의 Shift를 0.8V 이상 1.5V 이하로 할 수 있다.

[0101] 도 3의 (C)에 도시한 회로(101a)는 트랜지스터(102a)가 제 2 게이트 단자를 갖고, 또한 제 2 게이트 단자 측에 플로팅 게이트 E를 갖는 점이 도 2에 도시한 회로(101a)와 상이하다. 도 2에 도시한 회로(101c)의 플로팅 게이트 C에 전자를 주입한 방법과 같은 방법 등으로 플로팅 게이트 E에 전자를 주입할 수 있다. 플로팅 게이트 E에 전자가 주입됨으로써 트랜지스터(102a)의 문턱 전압 등을 변화시킬 수 있다. 예를 들어, 전자의 주입량을 조절함으로써 트랜지스터(102a)의 Shift를 0.8V 이상 1.5V 이하로 할 수 있다.

[0102] 도 3의 (D)에 도시한 회로(101a)는 트랜지스터(102a)가 게이트 단자 측에 플로팅 게이트 D를 갖고, 또한 제 2 게이트 단자를 갖고, 또한 제 2 게이트 단자 측에 플로팅 게이트 E를 갖는 점이 도 2에 도시한 회로(101a)와 상이하다. 도 2에 도시한 회로(101c)의 플로팅 게이트 C에 전자를 주입한 방법과 같은 방법 등으로 플로팅 게이트 D 또는/및 플로팅 게이트 E에 전자를 주입할 수 있다. 플로팅 게이트 D 또는/및 플로팅 게이트 E에 전자가 주입됨으로써 트랜지스터(102a)의 문턱 전압 등을 변화시킬 수 있다. 예를 들어 전자의 주입량을 조절함으로써 트랜지스터(102a)의 Shift를 0.8V 이상 1.5V 이하로 할 수 있다.

[0103] 도 4의 (A)에 도시한 회로(101a)는 트랜지스터(103a)를 갖지 않는 점이 도 3의 (A)에 도시한 회로(101a)와 상이하다. 트랜지스터(103a)를 갖지 않으므로 트랜지스터(102a)를 통하여 노드 A에 유지된 데이터를 판독한다. 트랜지스터(102a)를 통하지 않으므로 노드 A에 유지된 데이터는 판독할 때마다 소실된다. 다만, 판독할 때마다 데이터를 기록함으로써 데이터의 소실을 방지할 수 있다. 트랜지스터(103a)를 갖지 않으므로 도 3의 (A)에 도시한 회로(101a)보다 반도체 장치(100)에서 회로(101a)가 차지하는 면적을 축소시킬 수 있다. 또한 트랜지스터

(102a)가 제 2 게이트 단자를 갖는 예를 도시하였지만 이것에 한정되는 것은 아니다. 트랜지스터(102a)가 제 2 게이트 단자를 갖지 않아도 되는 경우가 있다.

- [0104] 도 4의 (B)에 도시한 회로(101a)는 트랜지스터(103a)를 갖지 않는 점이 도 3의 (B)에 도시한 회로(101a)와 상이하다. 트랜지스터(103a)를 갖지 않음으로써 도 3의 (B)에 도시한 회로(101a)보다 반도체 장치(100)에서 회로(101a)가 차지하는 면적을 축소시킬 수 있다.
- [0105] 도 4의 (C)에 도시한 회로(101a)는 트랜지스터(103a)를 갖지 않는 점이 도 3의 (C)에 도시한 회로(101a)와 상이하다. 트랜지스터(103a)를 갖지 않음으로써 도 3의 (C)에 도시한 회로(101a)보다 반도체 장치(100)에서 회로(101a)가 차지하는 면적을 축소시킬 수 있다.
- [0106] 도 4의 (D)에 도시한 회로(101a)는 트랜지스터(103a)를 갖지 않는 점이 도 3의 (D)에 도시한 회로(101a)와 상이하다. 트랜지스터(103a)를 갖지 않음으로써 도 3의 (D)에 도시한 회로(101a)보다 반도체 장치(100)에서 회로(101a)가 차지하는 면적을 축소시킬 수 있다.
- [0107] 도 5의 (A)에 도시한 회로(101a)는 용량 소자(104a)를 갖지 않는 점이 도 4의 (B)에 도시한 회로(101a)와 상이하다. 예를 들어, 트랜지스터(102a)에 드레인 전압을 인가하면서 게이트 단자에 전압을 인가함으로써 플로팅 게이트 D에 전자를 주입할 수 있다. 플로팅 게이트 D에 주입된 전자는 고정 전하처럼 행동한다. 그러므로 트랜지스터(102a)의 문턱 전압은 플로팅 게이트 D에 대한 전자의 주입량에 따라 변화한다. 트랜지스터(102a)의 드레인 전류는 플로팅 게이트 D의 전위에 따라 변화하므로 회로(101a)는 임의의 데이터를 유지하는 기능을 갖는다. 즉, 회로(101a)를 기억 장치로 할 수 있다. 다만, 회로(101a)는 기억 장치가 아니어도 좋다. 회로(101a)가 용량 소자(104a)를 갖지 않음으로써 도 4의 (B)에 도시한 회로(101a)보다 반도체 장치(100)에서 회로(101a)가 차지하는 면적을 축소시킬 수 있다.
- [0108] 도 5의 (B)에 도시한 회로(101a)는 용량 소자(104a)를 갖지 않는 점이 도 4의 (C)에 도시한 회로(101a)와 상이하다. 용량 소자(104a)를 갖지 않음으로써 도 4의 (C)에 도시한 회로(101a)보다 반도체 장치(100)에서 회로(101a)가 차지하는 면적을 축소시킬 수 있다.
- [0109] 도 5의 (C)에 도시한 회로(101a)는 용량 소자(104a)를 갖지 않는 점이 도 4의 (D)에 도시한 회로(101a)와 상이하다. 용량 소자(104a)를 갖지 않음으로써 도 4의 (D)에 도시한 회로(101a)보다 반도체 장치(100)에서 회로(101a)가 차지하는 면적을 축소시킬 수 있다.
- [0110] <반도체 장치의 구조>
- [0111] 이하에서는 본 발명의 일 형태에 따른 반도체 장치의 구조를 예시한다.
- [0112] 도 6은 도 2에 도시한 회로(101a)에 대응하는 단면도이다. 다만, 회로(101b) 및 회로(101c)에 적용하여도 좋다.
- [0113] 도 6에 도시한 회로(101a)는 트랜지스터(103a)와, 트랜지스터(102a)와, 용량 소자(104a)를 갖는다. 또한 트랜지스터(102a) 및 용량 소자(104a)는 트랜지스터(103a)의 상방에 배치한다.
- [0114] 도 6에 도시한 트랜지스터(103a)는 반도체 기판(450)을 사용한 트랜지스터이다. 트랜지스터(103a)는 반도체 기판(450) 중의 영역(472a)과, 반도체 기판(450) 중의 영역(472b)과, 절연체(462)와, 도전체(454)를 갖는다.
- [0115] 트랜지스터(103a)에서 영역(472a) 및 영역(472b)은 소스 영역 및 드레인 영역으로서의 기능을 갖는다. 또한 절연체(462)는 게이트 절연체로서의 기능을 갖는다. 또한 도전체(454)는 게이트 전극으로서의 기능을 갖는다. 따라서, 도전체(454)에 인가하는 전위에 따라, 채널 형성 영역의 저항을 제어할 수 있다. 즉, 도전체(454)에 인가하는 전위에 따라 영역(472a)과 영역(472b) 사이의 도통·비도통을 제어할 수 있다.
- [0116] 반도체 기판(450)으로서는, 예를 들어 실리콘, 저마늄 등의 단체 반도체 기판, 또는 탄소화 실리콘, 실리콘 저마늄, 비소화 갈륨, 인화 인듐, 산화 아연, 산화 갈륨 등으로 이루어지는 화합물 반도체 기판 등을 사용하면 좋다. 바람직하게는 반도체 기판(450)으로서 단결정 실리콘 기판을 사용한다.
- [0117] 반도체 기판(450)은 n형의 도전형을 부여하는 불순물을 갖는 반도체 기판을 사용한다. 다만, 반도체 기판(450)으로서 p형의 도전형을 부여하는 불순물을 갖는 반도체 기판을 사용하여도 좋다. 그 경우, 트랜지스터(103a)가 되는 영역에는 n형의 도전형을 부여하는 불순물을 갖는 웰을 배치하면 좋다. 또는 반도체 기판(450)이 i형이어도 좋다.

- [0118] 반도체 기관(450)의 상면은 (110)면을 갖는 것이 바람직하다. 이로써 트랜지스터(103a)의 온 특성을 향상시킬 수 있다.
- [0119] 영역(472a) 및 영역(472b)은 p형의 도전형을 부여하는 불순물을 갖는 영역이다. 이와 같이 하여 트랜지스터(103a)는 p채널형 트랜지스터를 구성한다.
- [0120] 또한 트랜지스터(103a)는 영역(460) 등에 의하여 인접한 트랜지스터와 분리된다. 영역(460)은 절연성을 갖는 영역이다.
- [0121] 도 6에 도시한 트랜지스터(102a)는 절연체(402)와, 절연체(412)와, 절연체(408)와, 반도체(406)와, 도전체(416a)와, 도전체(416b)와, 도전체(404)를 갖는다. 반도체(406)는 절연체(402) 위에 배치된다. 절연체(412)는 반도체(406) 위에 배치된다. 도전체(404)는 절연체(412) 위에 배치된다. 도전체(416a) 및 도전체(416b)는 반도체(406)와 접촉하게 배치된다. 절연체(408)는 절연체(412) 위, 도전체(404) 위, 도전체(416a) 위 및 도전체(416b) 위에 배치된다.
- [0122] 도전체(404)는 트랜지스터(102a)의 게이트 전극으로서의 기능을 갖는다. 따라서, 절연체(412)는 트랜지스터(102a)의 게이트 절연체로서의 기능을 갖는다. 도전체(416a) 및 도전체(416b)는 각각 트랜지스터(102a)의 소스 전극 및 드레인 전극으로서의 기능을 갖는다. 또한 절연체(408)는 배리어층으로서의 기능을 갖는다. 절연체(408)는 예를 들어 산소 또는/및 수소를 차단하는 기능을 갖는다. 절연체(408)는 예를 들어 절연체(402) 또는 절연체(412)보다도 산소 또는/및 수소를 차단하는 능력이 높다.
- [0123] 트랜지스터(102a)의 상세한 사항에 대해서는 후술한다.
- [0124] 도 6에 도시한 용량 소자(104a)는 도전체(416a)와, 도전체(414)와, 절연체(411)를 갖는다. 절연체(411)는 도전체(416a) 위에 배치된다. 도전체(414)는 절연체(411) 위에 배치된다.
- [0125] 도전체(416a)는 용량 소자(104a)의 한 쌍의 전극의 한쪽으로서의 기능을 갖는다. 도전체(414)는 용량 소자(104a)의 한 쌍의 전극의 다른 쪽으로서의 기능을 갖는다. 절연체(411)는 용량 소자(104a)의 유전체로서의 기능을 갖는다.
- [0126] 용량 소자(104a)에는 트랜지스터(102a)의 구성 요소인 도전체(416a)를 사용할 수 있다. 또한 절연체(411)를 트랜지스터(102a)의 절연체(412)와 동일한 공정을 거쳐 형성할 수 있다. 또한 도전체(414)를 트랜지스터(102a)의 도전체(404)와 동일한 공정을 거쳐 형성할 수 있다. 용량 소자(104a)는 트랜지스터(102a)와 공정을 공통화할 수 있으므로 제조 비용을 증가시킬 일이 거의 없다. 또한 공정수를 증가시키지 않으므로 회로(101a)의 수율을 높게 할 수 있다. 또한 도전체(416a) 대신에 다른 도전체를 용량 소자의 한 쌍의 전극의 한쪽으로 사용하여도 좋다.
- [0127] 도 6에 도시한 회로(101a)는 절연체(464)와, 절연체(466)와, 절연체(468)와, 도전체(480a)와, 도전체(480b)와, 도전체(480c)와, 도전체(478a)와, 도전체(478b)와, 도전체(478c)와, 도전체(476a)와, 도전체(476b)와, 도전체(474a)와, 도전체(474b)와, 도전체(496a)와, 도전체(496b)와, 도전체(496c)와, 도전체(496d)와, 도전체(498a)와, 도전체(498b)와, 도전체(498c)와, 도전체(498d)와, 절연체(490)와, 절연체(492)와, 절연체(494)를 갖는다.
- [0128] 절연체(464)는 트랜지스터(103a) 위에 배치한다. 절연체(466)는 절연체(464) 위에 배치한다. 절연체(468)는 절연체(466) 위에 배치한다. 절연체(490)는 절연체(468) 위에 배치한다. 트랜지스터(102a)는 절연체(490) 위에 배치한다. 절연체(492)는 트랜지스터(102a) 위에 배치한다. 절연체(494)는 절연체(492) 위에 배치한다.
- [0129] 절연체(464)는 영역(472a)에 도달하는 개구부와, 영역(472b)에 도달하는 개구부와, 도전체(454)에 도달하는 개구부를 갖는다. 개구부에는 각각 도전체(480a), 도전체(480b) 또는 도전체(480c)가 매립되어 있다.
- [0130] 절연체(466)는 도전체(480a)에 도달하는 개구부와, 도전체(480b)에 도달하는 개구부와, 도전체(480c)에 도달하는 개구부를 갖는다. 개구부에는 각각 도전체(478a), 도전체(478b) 또는 도전체(478c)가 매립되어 있다.
- [0131] 절연체(468)는 도전체(478b)에 도달하는 개구부와, 도전체(478c)에 도달하는 개구부를 갖는다. 개구부에는 각각 도전체(476a) 또는 도전체(476b)가 매립되어 있다.
- [0132] 절연체(490)는 도전체(476a)에 도달하는 개구부와, 도전체(476b)에 도달하는 개구부를 갖는다. 개구부에는 각각 도전체(474a) 또는 도전체(474b)가 매립되어 있다.
- [0133] 절연체(492)는 용량 소자(104a)의 한 쌍의 전극의 다른 쪽인 도전체(414)에 도달하는 개구부와, 트랜지스터

(102a)의 게이트 전극인 도전체(404)에 도달하는 개구부와, 트랜지스터(102a)의 소스 전극 및 드레인 전극 중 한쪽인 도전체(416b)를 통과하여 도전체(474a)에 도달하는 개구부와, 트랜지스터(102a)의 소스 전극 및 드레인 전극 중 다른 쪽인 도전체(416a)를 통과하여 도전체(474b)에 도달하는 개구부를 갖는다. 개구부에는 각각 도전체(496a), 도전체(496b), 도전체(496c) 또는 도전체(496d)가 매립되어 있다. 다만, 각각 개구부는 또한 트랜지스터(102a) 등의 구성 요소의 어느 하나를 통과할 경우가 있다.

[0134] 또한 절연체(494)는 도전체(496a)에 도달하는 개구부와, 도전체(496b)에 도달하는 개구부와, 도전체(496c)에 도달하는 개구부와, 도전체(496d)에 도달하는 개구부를 갖는다. 또한 개구부에는 각각 도전체(498a), 도전체(498b), 도전체(498c) 또는 도전체(498d)가 매립되어 있다.

[0135] 절연체(464), 절연체(466), 절연체(468), 절연체(490), 절연체(492) 및 절연체(494)로서는, 예를 들어 붕소, 탄소, 질소, 산소, 플루오린, 마그네슘, 알루미늄, 실리콘, 인, 염소, 아르곤, 갈륨, 저마늄, 이트륨, 지르코늄, 란타넘, 네오디뮴, 하프늄 또는 탄탈륨을 포함하는 절연체를 단층으로, 또는 적층으로 사용하면 좋다. 예를 들어, 절연체(464), 절연체(466), 절연체(468), 절연체(490), 절연체(492) 및 절연체(494)로서는 산화 알루미늄, 산화 마그네슘, 산화 실리콘, 산화 질화 실리콘, 질화 산화 실리콘, 질화 실리콘, 산화 갈륨, 산화 저마늄, 산화 이트륨, 산화 지르코늄, 산화 란타넘, 산화 네오디뮴, 산화 하프늄 또는 산화 탄탈륨을 사용하면 좋다.

[0136] 절연체(464), 절연체(466), 절연체(468), 절연체(490), 절연체(492) 및 절연체(494) 중 하나 이상은 수소 등의 불순물 및 산소를 차단하는 기능을 갖는 절연체를 갖는 것이 바람직하다. 트랜지스터(102a) 근방에 수소 등의 불순물 및 산소를 차단하는 기능을 갖는 절연체를 배치함으로써 트랜지스터(102a)는 안정된 전기 특성을 가질 수 있다.

[0137] 수소 등의 불순물 및 산소를 차단하는 기능을 갖는 절연체로서는 예를 들어 붕소, 탄소, 질소, 산소, 플루오린, 마그네슘, 알루미늄, 실리콘, 인, 염소, 아르곤, 갈륨, 저마늄, 이트륨, 지르코늄, 란타넘, 네오디뮴, 하프늄 또는 탄탈륨을 포함하는 절연체를 단층으로, 또는 적층으로 사용하면 좋다.

[0138] 도전체(480a), 도전체(480b), 도전체(480c), 도전체(478a), 도전체(478b), 도전체(478c), 도전체(476a), 도전체(476b), 도전체(474a), 도전체(474b), 도전체(496a), 도전체(496b), 도전체(496c), 도전체(496d), 도전체(498a), 도전체(498b), 도전체(498c) 및 도전체(498d)로서는 예를 들어 붕소, 질소, 산소, 플루오린, 실리콘, 인, 알루미늄, 타이타늄, 크롬, 망가니즈, 코발트, 니켈, 구리, 아연, 갈륨, 이트륨, 지르코늄, 몰리브덴, 루테튬, 은, 인듐, 주석, 탄탈륨 및 텅스텐 중 1종 이상을 함유한 도전체를 단층으로, 또는 적층으로 사용하면 좋다. 예를 들어, 합금이나 화합물이어도 좋고, 알루미늄을 함유한 도전체, 구리 및 타이타늄을 함유한 도전체, 구리 및 망가니즈를 함유한 도전체, 인듐, 주석 및 산소를 함유한 도전체, 타이타늄 및 질소를 함유한 도전체 등을 사용하여도 좋다.

[0139] 트랜지스터(103a)의 소스 또는 드레인, 도전체(480a)와, 도전체(478a)와, 도전체(476a)와, 도전체(474a)와, 도전체(496c)를 통하여 트랜지스터(102a)의 소스 전극 및 드레인 전극 중 한쪽인 도전체(416b)와 전기적으로 접속한다. 또한 트랜지스터(103a)의 게이트 전극인 도전체(454)는 도전체(480c)와, 도전체(478c)와, 도전체(476b)와, 도전체(474b)와, 도전체(496d)를 통하여 트랜지스터(102a)의 소스 전극 및 드레인 전극 중 다른 쪽인 도전체(416a)와 전기적으로 접속된다.

[0140] 또한 도 7에 도시한 회로(101a)는 도 6에 도시한 회로(101a)의 트랜지스터(103a)의 구조가 상이할 뿐이다. 따라서, 도 7에 도시한 회로(101a)에 대해서는 도 6에 도시한 회로(101a)의 기재를 참작한다. 구체적으로는 도 7에 도시한 회로(101a)는 트랜지스터(103a)가 Fin형인 경우를 나타내고 있다. 트랜지스터(103a)를 Fin형으로 함으로써 실효상의 채널 폭이 증대하여 트랜지스터(103a)의 온 특성을 향상시킬 수 있다. 또한 게이트 전극의 전계의 기여를 높일 수 있으므로 트랜지스터(103a)의 오프 특성을 향상시킬 수 있다.

[0141] 또한 도 8에 도시한 회로(101a)는 도 6에 도시한 회로(101a)의 트랜지스터(103a)의 구조가 상이할 뿐이다. 따라서, 도 8에 도시한 회로(101a)에 대해서는 도 6에 도시한 회로(101a)의 기재를 참작한다. 구체적으로는 도 8에 도시한 회로(101a)는 트랜지스터(103a)가 SOI(Silicon On Insulator) 기판인 반도체 기판(450)에 제공된 경우를 나타낸다. 도 8에는 절연체(452)에 의하여 영역(456)이 반도체 기판(450)과 분리된 구조를 나타낸다. 반도체 기판(450)으로서 SOI 기판을 사용함으로써 펀치 스루 현상 등을 제어할 수 있으므로 트랜지스터(103a)의 오프 특성을 향상시킬 수 있다. 또한 절연체(452)는 반도체 기판(450)을 절연체화시킴으로써 형성할 수 있다. 예를 들어, 절연체(452)로서는 산화 실리콘을 사용할 수 있다.

- [0142] <트랜지스터의 구조>
- [0143] 도 9의 (A) 및 도 9의 (B)는 트랜지스터(102a) 등에 적용이 가능한 트랜지스터의 일례를 도시한 상면도 및 단면도이다. 도 9의 (A)는 상면도이고, 도 9의 (B)는 도 9의 (A)에 도시한 일점 쇄선 A1-A2, 및 일점 쇄선 A3-A4에 대응하는 단면도이다. 또한 도 9의 (A)의 상면도에서는 도면의 명료화를 위하여 일부의 요소를 생략하여 도시하였다.
- [0144] 도 9의 (A) 및 도 9의 (B)에 도시한 트랜지스터는 기판(400) 위의 볼록부를 갖는 절연체(402)와, 절연체(402)의 볼록부 위의 반도체(406)와, 반도체(406)의 상면 및 측면에 접촉하여 간격을 두고 배치된 도전체(416a) 및 도전체(416b)와, 반도체(406) 위, 도전체(416a) 위 및 도전체(416b) 위의 절연체(412)와, 절연체(412) 위의 도전체(404)와, 도전체(416a) 위, 도전체(416b) 위 및 도전체(404) 위의 절연체(408)를 갖는다. 또한 절연체(408) 위에는 절연체(418)가 배치되어 있다.
- [0145] 또한 도전체(404)는 A3-A4 단면에서 절연체(412)를 개재(介在)하여 반도체(406)의 상면 및 측면과 면하는 영역을 갖는다. 또한 절연체(402)가 볼록부를 갖지 않아도 좋다. 또한 트랜지스터는 절연체(408)를 갖지 않아도 좋다.
- [0146] 도 9의 (B)에 도시한 바와 같이, 반도체(406)의 측면은 도전체(416a) 및 도전체(416b)와 접한다. 또한 도전체(404)의 전계에 의하여 반도체(406)를 전기적으로 둘러쌀 수 있다(도전체에서 생기는 전계에 의하여 반도체를 전기적으로 둘러싸는 트랜지스터의 구조를 surrounded channel(s-channel) 구조라고 부름). 그러므로 반도체(406)의 전체(상면, 하면 및 측면)에 채널이 형성된다. s-channel 구조에서는 트랜지스터의 소스-드레인 사이에 큰 전류를 흘려 보낼 수 있어, 도통 시의 전류(온 전류)를 높일 수 있다.
- [0147] 또한 트랜지스터가 s-channel 구조를 갖는 경우, 반도체(406)의 측면에도 채널이 형성된다. 따라서, 반도체(406)가 두꺼울수록 채널 영역은 커진다. 즉, 반도체(406)가 두꺼울수록 트랜지스터의 온 전류를 높일 수 있다. 또한 반도체(406)가 두꺼울수록 캐리어의 제어성이 높은 영역의 비율이 증가되므로 S값을 작게 할 수 있다. 예를 들어, 10nm 이상, 바람직하게는 20nm 이상, 더 바람직하게는 40nm 이상, 더욱 바람직하게는 60nm 이상, 더욱더 바람직하게는 100nm 이상의 두께의 영역을 갖는 반도체(406)로 하면 좋다. 다만, 반도체 장치의 생산성이 저하되는 경우가 있으므로, 예를 들어 300nm 이하, 바람직하게는 200nm 이하, 더 바람직하게는 150nm 이하의 두께의 영역을 갖는 반도체(406)로 하면 좋다.
- [0148] 높은 온 전류를 얻을 수 있으므로 s-channel 구조는 미세화된 트랜지스터에 적합한 구조라고 할 수 있다. 트랜지스터를 미세화할 수 있으므로 상기 트랜지스터를 갖는 반도체 장치는 집적도가 높은 고밀도화된 반도체 장치로 할 수 있다. 예를 들어, 트랜지스터는 채널 길이가 바람직하게는 40nm 이하, 더 바람직하게는 30nm 이하, 더욱 바람직하게는 20nm 이하인 영역을 갖고, 또한 트랜지스터는 채널 폭이 바람직하게는 40nm 이하, 더 바람직하게는 30nm 이하, 더욱 바람직하게는 20nm 이하인 영역을 갖는다.
- [0149] 또한, 절연체(402)는 과잉 산소를 함유하는 절연체이면 바람직하다.
- [0150] 과잉 산소를 함유하는 절연체는 예를 들어 가열 처리에 의하여 산소를 방출하는 기능을 갖는 절연체이다. 과잉 산소를 함유하는 산화 실리콘층은 예를 들어 가열 처리 등에 의하여 산소를 방출할 수 있는 산화 실리콘층이다. 따라서, 절연체(402)는 막 중을 산소가 이동할 수 있는 절연체이다. 즉, 절연체(402)는 산소 투과성을 갖는 절연체로 하면 좋다. 예를 들어, 절연체(402)는 반도체(406)보다도 산소 투과성이 높은 절연체로 하면 좋다.
- [0151] 과잉 산소를 함유하는 절연체는 반도체(406) 중의 산소 결손을 저감시키는 기능을 갖는 경우가 있다. 반도체(406) 중에서 산소 결손은 정공 트랩 등이 된다. 또한 산소 결손의 사이트에 수소가 들어감으로써 캐리어인 전자를 생성하는 경우가 있다. 따라서, 반도체(406) 중의 산소 결손을 저감시킴으로써 트랜지스터에 안정된 전기 특성을 부여할 수 있다.
- [0152] 여기서, TDS 분석에서, 가열 처리에 의하여 산소를 방출하는 절연체는 100℃ 이상 700℃ 이하 또는 100℃ 이상 500℃ 이하의 표면 온도의 범위에서 1×10^{18} atoms/cm³ 이상, 1×10^{19} atoms/cm³ 이상 또는 1×10^{20} atoms/cm³ 이상의 산소(산소 원자수 환산)를 방출하는 경우도 있다.
- [0153] 여기서, TDS 분석을 사용한 산소의 방출량의 측정 방법에 대하여 이하에서 설명한다.
- [0154] 측정 시료를 TDS 분석하였을 때의 기체의 총 방출량은 방출 가스의 이온 강도의 적분값에 비례한다. 그리고 표준 시료와 비교함으로써 기체의 총 방출량을 계산할 수 있다.

- [0155] 예를 들어, 표준 시료인 소정의 밀도의 수소를 함유하는 실리콘 기판의 TDS 분석 결과, 및 측정 시료의 TDS 분석 결과로부터 측정 시료의 산소 분자의 방출량(N_{O_2})은 이하에 나타내는 수학적식으로 구할 수 있다. 여기서, TDS 분석으로 얻을 수 있는 질량 전하 비율(mass-to-charge ratio) 32에서 검출되는 가스 모두가 산소 분자에서 유래한 것이라고 가정한다. CH_3OH 의 질량 전하 비율은 32이지만, 존재할 가능성이 낮은 것으로 하여 여기서는 고려하지 않는다. 또한 산소 원자의 동위체인 질량수 17인 산소 원자 및 질량수 18인 산소 원자를 함유하는 산소 분자에 대해서도 자연계에서의 존재 비율이 극미량이므로 고려하지 않는다.
- [0156]
$$N_{O_2} = N_{H_2} / S_{H_2} \times S_{O_2} \times \alpha$$
- [0157] N_{H_2} 는 표준 시료로부터 탈리된 수소 분자를 밀도로 환산한 값이다. S_{H_2} 는 표준 시료를 TDS 분석하였을 때의 이온 강도의 적분값이다. 여기서, 표준 시료의 기준값을 N_{H_2}/S_{H_2} 로 한다. S_{O_2} 는 측정 시료를 TDS 분석하였을 때의 이온 강도의 적분값이다. α 는 TDS 분석에서의 이온 강도에 영향을 미치는 계수이다. 위에 나타난 수학적식의 상세한 사항에 관해서는 일본국 특개평 6-275697 공보를 참조한다. 또한 상기 산소의 방출량은 전자 과학 주식회사 제조의 승은 탈리 분석 장치 EMD-WA1000S/W를 사용하고, 표준 시료로서 예를 들어 1×10^{16} atoms/cm²인 수소 원자를 함유한 실리콘 기판을 사용하여 측정한다.
- [0158] 또한 TDS 분석에서 산소의 일부는 산소 원자로서 검출된다. 산소 분자와 산소 원자의 비율은 산소 분자의 이온 화율로부터 산출할 수 있다. 또한 상술한 α 는 산소 분자의 이온화율을 포함하므로 산소 분자의 방출량을 평가함으로써 산소 원자의 방출량에 대해서도 어림잡을 수 있다.
- [0159] 또한 N_{O_2} 는 산소 분자의 방출량이다. 산소 원자로 환산하였을 때의 방출량은 산소 분자의 방출량의 두 배가 된다.
- [0160] 또는 가열 처리에 의하여 산소를 방출하는 절연체는 과산화 라디칼을 함유하는 경우도 있다. 구체적으로는 과산화 라디칼에 기인하는 스핀 밀도가 5×10^{17} spins/cm³ 이상인 것을 말한다. 또한 과산화 라디칼을 함유하는 절연체는 ESR에서 g 값이 2.01 근방에 비대칭인 신호를 갖는 경우도 있다.
- [0161] 또는 과잉 산소를 함유하는 절연체는 산소가 과잉한 산화 실리콘($SiO_x(X>2)$)이어도 좋다. 산소가 과잉한 산화 실리콘($SiO_x(X>2)$)은 실리콘 원자수의 두 배보다 많은 산소 원자를 단위 부피당 함유하는 것이다. 단위 부피당의 실리콘 원자수 및 산소 원자수는 러더퍼드 후방 산란법(RBS: Rutherford Backscattering Spectrometry)으로 측정할 수 있다.
- [0162] 반도체(406)의 위와 아래에 반도체를 배치함으로써 트랜지스터의 전기 특성을 향상시킬 수 있는 경우가 있다. 이하에서는 반도체(406), 및 그 위와 아래에 배치하는 반도체에 대하여 도 10을 사용하여 상세히 설명한다.
- [0163] 도 10의 (A)는 도 9의 (B)에 도시한 트랜지스터의 채널 길이 방향에서의 반도체(406) 근방을 확대한 단면도이다. 또한 도 10의 (B)는 도 9의 (B)에 도시한 트랜지스터의 채널 길이 방향에서의 반도체(406) 근방을 확대한 단면도이다.
- [0164] 도 10의 (A) 및 도 10의 (B)에 도시한 트랜지스터의 구조에서는 절연체(402)와 반도체(406) 사이에 반도체(406a)가 배치된다. 또한 도전체(416a), 도전체(416b) 및 절연체(412)와, 반도체(406) 사이에 반도체(406c)가 배치된다.
- [0165] 또는 트랜지스터가 도 10의 (C) 및 도 10의 (D)에 도시한 구조를 가져도 좋다.
- [0166] 도 10의 (C)는 도 9의 (B)에 도시한 트랜지스터의 채널 길이 방향에서의 반도체(406) 근방을 확대한 단면도이다. 또한 도 10의 (D)는 도 9의 (B)에 도시한 트랜지스터의 채널 폭 방향에서의 반도체(406) 근방을 확대한 단면도이다.
- [0167] 도 10의 (C) 및 도 10의 (D)에 도시한 트랜지스터의 구조에서는 절연체(402)와 반도체(406) 사이에 반도체(406a)가 배치된다. 또한 절연체(402), 도전체(416a), 도전체(416b), 반도체(406a) 및 반도체(406)와, 절연체(412) 사이에 반도체(406c)가 배치된다.
- [0168] 반도체(406)는 예를 들어 인듐을 함유하는 산화물 반도체이다. 반도체(406)는 예를 들어 인듐을 함유하면 캐리어 이동도(전자 이동도)가 높아진다. 또한 반도체(406)는 원소 M을 함유하면 바람직하다. 원소 M은 바람직하

게는 알루미늄, 갈륨, 이트륨 또는 주석 등으로 한다. 그 외의 원소 M으로 적용이 가능한 원소로서는 붕소, 실리콘, 타이타늄, 철, 니켈, 저마늄, 지르코늄, 몰리브데늄, 탄타넘, 세륨, 네오디뮴, 하프늄, 탄탈럼, 텅스텐 등이 있다. 다만, 원소 M으로서 상술한 원소를 복수 조합하여도 좋은 경우가 있다. 원소 M은 예를 들어 산소와의 결합 에너지가 높은 원소이다. 예를 들어, 산소와의 결합 에너지가 인듐보다 높은 원소이다. 또는 원소 M은 예를 들어 산화물 반도체의 에너지 갭을 크게 하는 기능을 갖는 원소이다. 또는 반도체(406)는 아연을 함유하면 바람직하다. 산화물 반도체는 아연을 함유하면 결정화되기 쉬워지는 경우가 있다.

[0169] 다만, 반도체(406)는 인듐을 함유하는 산화물 반도체에 한정되지 않는다. 반도체(406)는 예를 들어 아연 주석 산화물, 갈륨 주석 산화물 등의 인듐을 함유하지 않고 아연을 함유하는 산화물 반도체, 갈륨을 함유하는 산화물 반도체, 주석을 함유하는 산화물 반도체 등이어도 좋다.

[0170] 반도체(406)는 예를 들어 에너지 갭이 큰 산화물을 사용한다. 반도체(406)의 에너지 갭은 예를 들어 2.5eV 이상 4.2eV 이하, 바람직하게는 2.8eV 이상 3.8eV 이하, 더 바람직하게는 3eV 이상 3.5eV 이하로 한다.

[0171] 예를 들어, 반도체(406a) 및 반도체(406c)는 반도체(406)를 구성하는 산소 이외의 원소 1종 이상, 또는 2종 이상으로 구성되는 산화물 반도체이다. 반도체(406)를 구성하는 산소 이외의 원소 1종 이상, 또는 2종 이상으로 반도체(406a) 및 반도체(406c)가 구성되므로 반도체(406a)와 반도체(406)와의 계면, 및 반도체(406)와 반도체(406c)와의 계면에서 결합 준위가 형성되기 어렵다.

[0172] 반도체(406a), 반도체(406) 및 반도체(406c)는 적어도 인듐을 함유하면 바람직하다. 또한 반도체(406a)가 In-M-Zn 산화물일 때, In 및 M의 합을 100atomic%로 하였을 때, 바람직하게는 In이 50atomic% 미만, M이 50atomic%보다 높고, 더 바람직하게는 In이 25atomic% 미만, M이 75atomic%보다 높은 것으로 한다. 또한 반도체(406)가 In-M-Zn 산화물일 때, In 및 M의 합을 100atomic%로 하였을 때, 바람직하게는 In이 25atomic%보다 높고, M이 75atomic% 미만, 더 바람직하게는 In이 34atomic%보다 높고, M이 66atomic% 미만인 것으로 한다. 또한 반도체(406c)가 In-M-Zn 산화물일 때, In 및 M의 합을 100atomic%로 하였을 때, 바람직하게는 In이 50atomic% 미만, M이 50atomic%보다 높고, 더 바람직하게는 In이 25atomic% 미만, M이 75atomic%보다 높은 것으로 한다. 또한 반도체(406c)는 반도체(406a)와 같은 종의 산화물을 사용하여도 좋다. 다만 반도체(406a) 또는/및 반도체(406c)가 인듐을 함유하지 않아도 되는 경우가 있다. 예를 들어, 반도체(406a) 또는/및 반도체(406c)가 산화 갈륨이어도 좋다. 또한 반도체(406a), 반도체(406) 및 반도체(406c)에 함유되는 각 원소의 원자 수가 간단한 정수비가 되지 않아도 좋다.

[0173] 반도체(406)는 반도체(406a) 및 반도체(406c)보다도 전자 친화력이 큰 산화물을 사용한다. 예를 들어, 반도체(406)로서 반도체(406a) 및 반도체(406c)보다도 전자 친화력이 0.07eV 이상 1.3eV 이하, 바람직하게는 0.1eV 이상 0.7eV 이하, 더 바람직하게는 0.15eV 이상 0.4eV 이하 큰 산화물을 사용한다. 또한 전자 친화력은 진공 준위와 전도대 하단의 에너지와의 차이이다.

[0174] 또한 인듐 갈륨 산화물은 작은 전자 친화력과 높은 산소 차단성을 갖는다. 그러므로 반도체(406c)가 인듐 갈륨 산화물을 함유하면 바람직하다. 갈륨 원자 비율[Ga/(In+Ga)]은 예를 들어 70% 이상, 바람직하게는 80% 이상, 더 바람직하게는 90% 이상으로 한다.

[0175] 이 때, 게이트 전압을 인가하면 반도체(406a), 반도체(406), 반도체(406c) 중 전자 친화력이 큰 반도체(406)에 채널이 형성된다.

[0176] 여기서, 반도체(406a)와 반도체(406) 사이에는 반도체(406a)와 반도체(406)와의 혼합 영역을 갖는 경우가 있다. 또한 반도체(406)와 반도체(406c) 사이에는 반도체(406)와 반도체(406c)와의 혼합 영역을 갖는 경우가 있다. 혼합 영역은 결합 준위 밀도가 낮아진다. 그러므로 반도체(406a), 반도체(406) 및 반도체(406c)의 적층체는 각각의 계면 근방에서 에너지가 연속적으로 변화하는(연속 접합이라고도 함) 밴드도가 된다(도 10의 (E) 참조). 또한 반도체(406a), 반도체(406) 및 반도체(406c)는 각각의 계면을 명확히 판별하지 못하는 경우가 있다.

[0177] 이 때, 전자는 반도체(406a) 중 및 반도체(406c) 중이 아니라 반도체(406) 중을 주로 이동한다. 상술한 바와 같이, 반도체(406a)와 반도체(406)와의 계면에서의 결합 준위 밀도, 및 반도체(406)와 반도체(406c)와의 계면에서의 결합 준위 밀도를 낮게 함으로써 반도체(406) 중에서 전자의 이동이 저해되는 경우가 적어, 트랜지스터의 온 전류를 높일 수 있다.

[0178] 트랜지스터의 온 전류는 전자의 이동을 저해하는 요인을 저감할수록 높일 수 있다. 예를 들어, 전자의 이동을 저해하는 요인이 없는 경우, 효율적으로 전자가 이동한다고 추정된다. 전자의 이동은 예를 들어 채널 형성 영역

의 물리적인 요철이 큰 경우에도 저해된다.

- [0179] 트랜지스터의 온 전류를 높이기 위해서는 예를 들어 반도체(406)의 상면 또는 하면(피형성면, 여기서는 반도체(406a)의 $1\mu\text{m}\times 1\mu\text{m}$ 의 범위에서의 제곱 평균 평방근(RMS:Root Mean Square) 거칠기가 1nm 미만, 바람직하게는 0.6nm 미만, 더 바람직하게는 0.5nm 미만, 더욱 바람직하게는 0.4nm 미만으로 하면 된다. 또한 $1\mu\text{m}\times 1\mu\text{m}$ 의 범위에서의 평균면 거칠기(Ra라고도 함)가 1nm 미만, 바람직하게는 0.6nm 미만, 더 바람직하게는 0.5nm 미만, 더욱 바람직하게는 0.4nm 미만으로 하면 좋다. 또한 $1\mu\text{m}\times 1\mu\text{m}$ 의 범위에서의 최대고저차(P-V라고도 함)가 10nm 미만, 바람직하게는 9nm 미만, 더 바람직하게는 8nm 미만, 더욱 바람직하게는 7nm 미만으로 하면 좋다. RMS 거칠기, Ra 및 P-V는 에스아이아이 나노테크놀로지 주식회사(SII Nano Technology Inc.) 제조의 주사형 프로브 현미경 시스템 SPA-500 등을 이용하여 측정할 수 있다.
- [0180] 또는 예를 들어 채널이 형성되는 영역 중의 결함 준위 밀도가 높은 경우에도 전자의 이동은 저해된다.
- [0181] 예를 들어, 반도체(406)가 산소 결손(V_o 라고도 표기)을 갖는 경우, 산소 결손의 사이트에 수소가 들어감으로써 도너 준위를 형성하는 경우가 있다. 이하에서는 산소 결손의 사이트에 수소가 들어간 상태를 V_oH 라고 표기하는 경우가 있다. V_oH 는 전자를 산란시키므로 트랜지스터의 온 전류를 저하시키는 요인이 된다. 또한 산소 결손의 사이트는 수소가 들어가는 것보다 산소가 들어가는 것이 안정된다. 따라서, 반도체(406) 중의 산소 결손을 저감시킴으로써 트랜지스터의 온 전류를 높일 수 있는 경우가 있다.
- [0182] 또한 채널이 형성되는 영역 중의 결함 준위 밀도가 높으면 트랜지스터의 전기 특성을 변동시키는 경우가 있다. 예를 들어, 결함 준위가 캐리어 발생원이 되는 경우, 트랜지스터의 문턱 전압을 변동시키는 경우가 있다.
- [0183] 반도체(406)의 산소 결손을 저감하기 위하여 예를 들어 절연체(402)에 함유된 과잉 산소를 반도체(406a)를 통해서 반도체(406)까지 이동시키는 방법 등이 있다. 이 경우, 반도체(406a)는 산소 투과성을 갖는 층(산소를 통과 또는 투과시키는 층)인 것이 바람직하다.
- [0184] 또한 트랜지스터의 온 전류를 높이기 위해서는 반도체(406c)의 두께는 작을수록 바람직하다. 예를 들어, 10nm 미만, 바람직하게는 5nm 이하, 더 바람직하게는 3nm 이하의 영역을 갖는 반도체(406c)로 하면 좋다. 한편, 반도체(406c)는 채널이 형성되는 반도체(406)로, 인접하는 절연체를 구성하는 산소 이외의 원소(수소, 실리콘 등)가 들어가지 않도록 차단하는 기능을 갖는다. 그러므로 반도체(406c)는 어느 정도의 두께를 갖는 것이 바람직하다. 예를 들어, 0.3nm 이상, 바람직하게는 1nm 이상, 더 바람직하게는 2nm 이상의 두께의 영역을 갖는 반도체(406c)로 하면 좋다. 또한 반도체(406c)는 절연체(402) 등에서 방출되는 산소의 외방 확산을 억제하기 위하여 산소를 차단하는 성질을 갖는 것이 바람직하다.
- [0185] 또한 신뢰성을 높이기 위해서는 반도체(406a)는 두껍고, 반도체(406c)는 얇은 것이 바람직하다. 예를 들어, 10nm 이상, 바람직하게는 20nm 이상, 더 바람직하게는 40nm 이상, 더욱 바람직하게는 60nm 이상의 두께의 영역을 갖는 반도체(406a)로 하면 좋다. 반도체(406a)의 두께를 두껍게 함으로써 인접하는 절연체와 반도체(406a)와의 계면에서 채널이 형성되는 반도체(406)까지의 거리를 길게 할 수 있다. 다만, 반도체 장치의 생산성이 저하되는 경우가 있으므로 예를 들어 200nm 이하, 바람직하게는 120nm 이하, 더 바람직하게는 80nm 이하의 두께의 영역을 갖는 반도체(406a)로 하면 좋다.
- [0186] 예를 들어, 반도체(406)와 반도체(406a) 사이에, 이차 이온 질량 분석법(SIMS:Secondary Ion Mass Spectrometry)에서 $1\times 10^{16}\text{ atoms/cm}^3$ 이상 $1\times 10^{19}\text{ atoms/cm}^3$ 이하, 바람직하게는 $1\times 10^{16}\text{ atoms/cm}^3$ 이상 $5\times 10^{18}\text{ atoms/cm}^3$ 이하, 더 바람직하게는 $1\times 10^{16}\text{ atoms/cm}^3$ 이상 $2\times 10^{18}\text{ atoms/cm}^3$ 이하의 실리콘 농도가 되는 영역을 갖는다. 또한 반도체(406)와 반도체(406c) 사이에 SIMS에서 $1\times 10^{16}\text{ atoms/cm}^3$ 이상 $1\times 10^{19}\text{ atoms/cm}^3$ 이하, 바람직하게는 $1\times 10^{16}\text{ atoms/cm}^3$ 이상 $5\times 10^{18}\text{ atoms/cm}^3$ 이하, 더 바람직하게는 $1\times 10^{16}\text{ atoms/cm}^3$ 이상 $2\times 10^{18}\text{ atoms/cm}^3$ 이하의 실리콘 농도가 되는 영역을 갖는다.
- [0187] 또한 반도체(406)는 SIMS에서 $1\times 10^{16}\text{ atoms/cm}^3$ 이상 $2\times 10^{20}\text{ atoms/cm}^3$ 이하, 바람직하게는 $1\times 10^{16}\text{ atoms/cm}^3$ 이상 $5\times 10^{19}\text{ atoms/cm}^3$ 이하, 더 바람직하게는 $1\times 10^{16}\text{ atoms/cm}^3$ 이상 $1\times 10^{19}\text{ atoms/cm}^3$ 이하, 더욱 바람직하게는 $1\times 10^{16}\text{ atoms/cm}^3$ 이상 $5\times 10^{18}\text{ atoms/cm}^3$ 이하의 수소 농도가 되는 영역을 갖는다. 또한 반도체(406)의 수소 농도를 저감하기 위하여 반도체(406a) 및 반도체(406c)의 수소 농도를 저감하면 바람직하다. 반도체(406a) 및 반도체

체(406c)는 SIMS에서 1×10^{16} atoms/cm³ 이상 2×10^{20} atoms/cm³ 이하, 바람직하게는 1×10^{16} atoms/cm³ 이상 5×10^{19} atoms/cm³ 이하, 더 바람직하게는 1×10^{16} atoms/cm³ 이상 1×10^{19} atoms/cm³ 이하, 더욱 바람직하게는 1×10^{16} atoms/cm³ 이상 5×10^{18} atoms/cm³ 이하의 수소 농도가 되는 영역을 갖는다. 또한 반도체(406)는 SIMS에서 1×10^{15} atoms/cm³ 이상 5×10^{19} atoms/cm³ 이하, 바람직하게는 1×10^{15} atoms/cm³ 이상 5×10^{18} atoms/cm³ 이하, 더 바람직하게는 1×10^{15} atoms/cm³ 이상 1×10^{18} atoms/cm³ 이하, 더욱 바람직하게는 1×10^{15} atoms/cm³ 이상 5×10^{17} atoms/cm³ 이하의 질소 농도가 되는 영역을 갖는다. 또한 반도체(406)의 질소 농도를 저감하기 위하여 반도체(406a) 및 반도체(406c)의 질소 농도를 저감하면 바람직하다. 반도체(406a) 및 반도체(406c)는 SIMS에서 1×10^{15} atoms/cm³ 이상 5×10^{19} atoms/cm³ 이하, 바람직하게는 1×10^{15} atoms/cm³ 이상 5×10^{18} atoms/cm³ 이하, 더 바람직하게는 1×10^{15} atoms/cm³ 이상 1×10^{18} atoms/cm³ 이하, 더욱 바람직하게는 1×10^{15} atoms/cm³ 이상 5×10^{17} atoms/cm³ 이하의 질소 농도가 되는 영역을 갖는다.

[0188] 상술한 3층 구조는 일레이다. 예를 들어, 반도체(406a) 또는 반도체(406c)가 없는 2층 구조로 하여도 좋다. 또는 반도체(406a)의 위 또는 아래, 또는 반도체(406c)의 위 또는 아래에, 반도체(406a), 반도체(406) 및 반도체(406c)로서 예시한 반도체의 어느 하나를 갖는 4층 구조로 하여도 좋다. 또는 반도체(406a)의 위, 반도체(406a)의 아래, 반도체(406c)의 위, 반도체(406c)의 아래 중 어느 두 군데 이상에 반도체(406a), 반도체(406) 및 반도체(406c)로서 예시한 반도체의 어느 하나 이상을 갖는 n층 구조(n은 5 이상의 정수)로 하여도 좋다.

[0189] 기관(400)으로서는 예를 들어 절연체 기관, 반도체 기관, 또는 도전체 기관을 사용하면 좋다. 절연체 기관으로서는 예를 들어 유리 기관, 석영 기관, 사파이어 기관, 안정화 지르코니아 기관(이트리아 안정화 지르코니아 기관 등), 수지 기관 등이 있다. 또한 반도체 기관으로서는 예를 들어 실리콘, 저마늄 등으로 이루어지는 단체 반도체 기관, 또는 탄소화 실리콘, 실리콘 저마늄, 비소화 갈륨, 인화 인듐, 산화 아연, 산화 갈륨 등으로 이루어지는 화합물 반도체 기관이 있다. 또한 상술한 반도체 내부에 절연체 영역을 갖는 반도체 기관, 예를 들어 SOI 기관 등이 있다. 도전체 기관으로서는 흑연 기관, 금속 기관, 합금 기관, 도전성 수지 기관 등이 있다. 또는 금속의 질화물을 갖는 기관, 금속의 산화물을 갖는 기관 등이 있다. 또한 절연체 기관에 도전체 또는 반도체가 제공된 기관, 반도체 기관에 도전체 또는 절연체가 제공된 기관, 도전체 기관에 반도체 또는 절연체가 제공된 기관 등이 있다. 또는 이들의 기관에 소자가 제공된 것을 사용하여도 좋다. 기관에 제공되는 소자로서는 용량 소자, 저항 소자, 스위칭 소자, 발광 소자, 기억 소자 등이 있다.

[0190] 또한 기관(400)으로서 가요성 기관을 사용하여도 좋다. 또한 가요성 기관 위에 트랜지스터를 제공하는 방법으로서 비가요성의 기관 위에 트랜지스터를 제작한 후, 트랜지스터를 박리하여 가요성 기관인 기관(400)에 전치(轉置)하는 방법도 있다. 그 경우에는 비가요성 기관과 트랜지스터 사이에 박리층을 제공하면 좋다. 또한 기관(400)으로서 섬유를 이용한 시트, 필름 또는 박(箔) 등을 사용하여도 좋다. 또한 기관(400)이 신축성을 가져도 좋다. 또는 기관(400)은 접거나 당기는 동작을 멈췄을 때 원래 형상으로 돌아가는 성질을 가져도 좋다. 또는 원래 형상으로 돌아가지 않는 성질을 가져도 좋다. 기관(400)의 두께는 예를 들어 5 μ m 이상 700 μ m 이하, 바람직하게는 10 μ m 이상 500 μ m 이하, 더 바람직하게는 15 μ m 이상 300 μ m 이하로 한다. 기관(400)을 얇게 하면 반도체 장치를 경량화할 수 있다. 또는 기관(400)을 얇게 함으로써 유리 등을 사용한 경우에도 신축성을 갖는 경우나, 접거나 당기는 것을 멈췄을 때 원래 형상으로 돌아가는 성질을 갖는 경우가 있다. 그러므로 낙하 등으로 기관(400) 위의 반도체 장치에 가해지는 충격 등을 완화할 수 있다. 즉, 내구성이 우수한 반도체 장치를 제공할 수 있다.

[0191] 가요성 기관인 기관(400)으로서는 예를 들어 금속, 합금, 수지 또는 유리, 또는 이들의 섬유 등을 사용할 수 있다. 가요성 기관인 기관(400)은 선 팽창률이 낮을수록 환경에 따른 변형이 억제되므로 바람직하다. 가요성 기관인 기관(400)으로서는 예를 들어 선 팽창률이 $1 \times 10^{-3}/K$ 이하, $5 \times 10^{-5}/K$ 이하, 또는 $1 \times 10^{-5}/K$ 이하인 재질을 사용하면 좋다. 수지로서는 예를 들어 폴리에스터, 폴리올레핀, 폴리아마이드(나일론, 아라미드 등), 폴리이미드, 폴리카보네이트, 아크릴 등이 있다. 특히 아라미드는 선 팽창률이 낮으므로 가요성 기관인 기관(400)으로서 적합하다.

[0192] 절연체(402)로서는 예를 들어 붕산, 탄소, 질소, 산소, 플루오린, 마그네슘, 알루미늄, 실리콘, 인, 염소, 아르곤, 갈륨, 저마늄, 이트륨, 지르코늄, 란타넘, 네오디뮴, 하프늄 또는 탄탈륨을 함유하는 절연체를, 단층으로, 또는 적층으로 사용하면 좋다. 예를 들어, 절연체(402)로서는 산화 알루미늄, 산화 마그네슘, 산화 실리콘, 산

화 질화 실리콘, 질화 산화 실리콘, 질화 실리콘, 산화 갈륨, 산화 저마늄, 산화 이트륨, 산화 지르코늄, 산화 란타넘, 산화 네오디뮴, 산화 하프늄 또는 산화 탄탈륨을 사용하면 좋다.

[0193] 절연체(402)는 기관(400)으로부터의 불순물의 확산을 방지하는 역할을 가져도 좋다. 또한 반도체(406)가 산화물 반도체인 경우, 절연체(402)는 반도체(406)에 산소를 공급하는 역할을 할 수 있다.

[0194] 도전체(416a) 및 도전체(416b)로서는 예를 들어 붕소, 질소, 산소, 플루오린, 실리콘, 인, 알루미늄, 타이타늄, 크로뮴, 망가니즈, 코발트, 니켈, 구리, 아연, 갈륨, 이트륨, 지르코늄, 몰리브덴, 루테튬, 은, 인듐, 주석, 탄탈륨 및 텅스텐 중 1종 이상을 함유하는 도전체를 단층으로, 또는 적층으로 사용하면 좋다. 예를 들어, 합금이나 화합물이어도 좋고, 알루미늄을 함유하는 도전체, 구리 및 타이타늄을 함유하는 도전체, 구리 및 망가니즈를 함유하는 도전체, 인듐, 주석 및 산소를 함유하는 도전체, 타이타늄 및 질소를 함유하는 도전체를 사용하여도 좋다.

[0195] 절연체(412)로서는 예를 들어 붕소, 탄소, 산소, 플루오린, 마그네슘, 알루미늄, 실리콘, 인, 염소, 아르곤, 갈륨, 저마늄, 이트륨, 지르코늄, 란타넘, 네오디뮴, 하프늄 또는 탄탈륨을 함유하는 절연체를 단층으로, 또는 적층으로 사용하면 좋다. 예를 들어, 절연체(412)로서는 산화 알루미늄, 산화 마그네슘, 산화 실리콘, 산화 질화 실리콘, 질화 산화 실리콘, 질화 실리콘, 산화 갈륨, 산화 저마늄, 산화 이트륨, 산화 지르코늄, 산화 란타넘, 산화 네오디뮴, 산화 하프늄 또는 산화 탄탈륨을 사용하면 좋다.

[0196] 도전체(404)로서는 예를 들어 붕소, 질소, 산소, 플루오린, 실리콘, 인, 알루미늄, 타이타늄, 크로뮴, 망가니즈, 코발트, 니켈, 구리, 아연, 갈륨, 이트륨, 지르코늄, 몰리브덴, 루테튬, 은, 인듐, 주석, 탄탈륨 및 텅스텐 중 1종 이상을 함유하는 도전체를 단층으로, 또는 적층으로 사용하면 좋다. 예를 들어, 합금이나 화합물이어도 좋고, 알루미늄을 함유하는 도전체, 구리 및 타이타늄을 함유하는 도전체, 구리 및 망가니즈를 함유하는 도전체, 인듐, 주석 및 산소를 함유하는 도전체, 타이타늄 및 질소를 함유하는 도전체 등을 사용하여도 좋다.

[0197] 절연체(408)로서는 예를 들어 붕소, 탄소, 질소, 산소, 플루오린, 마그네슘, 알루미늄, 실리콘, 인, 염소, 아르곤, 갈륨, 저마늄, 이트륨, 지르코늄, 란타넘, 네오디뮴, 하프늄 또는 탄탈륨을 함유하는 절연체를 단층으로, 또는 적층으로 사용하면 좋다. 절연체(408)는 바람직하게는 산화 알루미늄, 질화 산화 실리콘, 질화 실리콘, 산화 갈륨, 산화 이트륨, 산화 지르코늄, 산화 란타넘, 산화 네오디뮴, 산화 하프늄 또는 산화 탄탈륨을 포함하는 절연체를 단층으로, 또는 적층으로 사용하면 좋다.

[0198] 절연체(418)로서는 예를 들어 붕소, 탄소, 질소, 산소, 플루오린, 마그네슘, 알루미늄, 실리콘, 인, 염소, 아르곤, 갈륨, 저마늄, 이트륨, 지르코늄, 란타넘, 네오디뮴, 하프늄 또는 탄탈륨을 함유하는 절연체를 단층으로, 또는 적층으로 사용하면 좋다. 예를 들어, 절연체(418)로서는 산화 알루미늄, 산화 마그네슘, 산화 실리콘, 산화 질화 실리콘, 질화 산화 실리콘, 질화 실리콘, 산화 갈륨, 산화 저마늄, 산화 이트륨, 산화 지르코늄, 산화 란타넘, 산화 네오디뮴, 산화 하프늄 또는 산화 탄탈륨을 사용하면 좋다.

[0199] 다만, 본 발명의 일 형태에 따른 트랜지스터의 구조는 이것에 한정되지 않는다. 예를 들어, 도 11의 (A)에 도시한 바와 같이, 트랜지스터가 도전체(413)를 더 가져도 좋다. 도전체(413)는 트랜지스터의 제 2 게이트 전극으로서의 기능을 갖는다. 또한 도 11의 (B)에 도시한 바와 같이, 도전체(404)와 도전체(413)가 전기적으로 접속되는 구조이어도 좋다. 이러한 구성으로 함으로써 도전체(404)와 도전체(413)에 같은 전위가 공급되므로 트랜지스터의 스위칭 특성을 향상시킬 수 있다. 도 11의 (A) 및 도 11의 (B)에 도시한 트랜지스터는 예를 들어 도 2에 도시한 트랜지스터(102a)에 대응한다.

[0200] 도전체(413)로서는 예를 들어 붕소, 질소, 산소, 플루오린, 실리콘, 인, 알루미늄, 타이타늄, 크로뮴, 망가니즈, 코발트, 니켈, 구리, 아연, 갈륨, 이트륨, 지르코늄, 몰리브덴, 루테튬, 은, 인듐, 주석, 탄탈륨 및 텅스텐 중 1종 이상을 함유하는 도전체를 단층으로, 또는 적층으로 사용하면 좋다. 예를 들어, 합금이나 화합물이어도 좋고, 알루미늄을 함유하는 도전체, 구리 및 타이타늄을 함유하는 도전체, 구리 및 망가니즈를 함유하는 도전체, 인듐, 주석 및 산소를 함유하는 도전체, 타이타늄 및 질소를 함유하는 도전체 등을 사용하여도 좋다.

[0201] 또는 예를 들어 도 12의 (A)에 도시한 바와 같이, 절연체(412)가 절연체(412a)와, 절연체(412b)와, 절연체(412c)를 가져도 좋다. 절연체(412b)가 전자 포획 영역을 갖는 것이 바람직하다. 전자 포획 영역은 전자를 포획하는 기능을 갖는다. 절연체(412a) 및 절연체(412c)가 전자의 방출을 억제하는 기능을 가질 때, 절연체(412b)에 포획된 전자는 음의 고정 전하처럼 행동한다. 따라서, 절연체(412b)는 플로팅 게이트로서의 기능을

갖는다. 도 12의 (A)에 도시한 트랜지스터는 예를 들어 도 3의 (B)에 도시한 트랜지스터(102a)에 대응한다. 또한 절연체(412b) 대신에 도전체 또는 반도체를 사용하여도 좋은 경우가 있다. 다만, 절연체(412b)가 절연체이므로, 포획된 전자의 방출을 억제할 수 있는 경우가 있다.

- [0202] 절연체(412a) 및 절연체(412c)로서는 절연체(412)에 대한 기재를 참조한다. 또한, 절연체(412b)로서는 붕소, 알루미늄, 실리콘, 스칸듐, 타이타늄, 갈륨, 이트륨, 지르코늄, 인듐, 란타넘, 세륨, 네오디뮴, 하프늄 또는 탈륨을 갖는 산화물 또는 질화물을 사용한다. 바람직하게는 산화 하프늄을 사용한다.
- [0203] 또는 예를 들어 도 12의 (B)에 도시한 바와 같이, 절연체(402)가 절연체(402a)와, 절연체(402b)와, 절연체(402c)를 가져도 좋다. 절연체(402b)가 전자 포획 영역을 갖는 것이 바람직하다. 절연체(402a) 및 절연체(402c)가 전자의 방출을 억제하는 기능을 가질 때, 절연체(402b)에 포획된 전자는 음의 고정 전하처럼 행동한다. 따라서, 절연체(402b)는 플로팅 게이트로서의 기능을 갖는다. 도 12의 (B)에 도시한 트랜지스터는 예를 들어 도 3의 (C)에 도시한 트랜지스터(102a)에 대응한다. 또한 절연체(402b) 대신에 도전체 또는 반도체를 사용하여도 좋은 경우가 있다. 다만, 절연체(402b)가 절연체이므로, 포획된 전자의 방출을 억제할 수 있는 경우가 있다.
- [0204] 절연체(402a) 및 절연체(402c)로서는 절연체(402)에 대한 기재를 참조한다. 또는 절연체(402b)로서는 붕소, 알루미늄, 실리콘, 스칸듐, 타이타늄, 갈륨, 이트륨, 지르코늄, 인듐, 란타넘, 세륨, 네오디뮴, 하프늄 또는 탈륨을 갖는 산화물 또는 질화물을 사용한다. 바람직하게는 산화 하프늄을 사용한다.
- [0205] 또는 예를 들어 도 12의 (C)에 도시한 바와 같이, 절연체(402)가 절연체(402a)와, 절연체(402b)와, 절연체(402c)를 갖고, 절연체(412)가 절연체(412a)와, 절연체(412b)와, 절연체(412c)를 가져도 좋다. 도 12의 (C)에 도시한 트랜지스터는 예를 들어 도 3의 (D)에 도시한 트랜지스터(102a)에 대응한다.
- [0206] 또한 도 13의 (A)는 트랜지스터의 상면도의 일례이다. 도 13의 (A)의 일점 쇄선 F1-F2 및 일점 쇄선 F3-F4에 대응하는 단면도의 일례를 도 13의 (B)에 도시하였다. 또한 도 13의 (A)에서는 이해하기 쉽게 하기 위하여 절연체 등의 일부를 생략하여 도시하였다.
- [0207] 또한 도 9에서는 소스 전극 및 드레인 전극으로서 기능하는 도전체(416a) 및 도전체(416b)가 반도체(406)의 상면 및 측면, 절연체(402)의 상면 등과 접촉하는 예를 도시하였지만 본 발명의 일 형태에 따른 트랜지스터의 구조는 이것에 한정되지 않는다. 예를 들어, 도 13에 도시한 바와 같이, 도전체(416a) 및 도전체(416b)가 반도체(406)의 상면에만 접촉하는 구조이어도 좋다.
- [0208] 또한 도 13의 (B)에 도시한 바와 같이, 절연체(418) 위에 절연체(428)를 가져도 좋다. 절연체(428)는 상면이 평탄한 절연체인 것이 바람직하다. 또한 절연체(428)는 예를 들어 붕소, 탄소, 질소, 산소, 플루오린, 마그네슘, 알루미늄, 실리콘, 인, 염소, 아르곤, 갈륨, 저마늄, 이트륨, 지르코늄, 란타넘, 네오디뮴, 하프늄 또는 탄탈륨을 함유하는 절연체를 단층으로, 또는 적층으로 사용하면 좋다. 예를 들어, 절연체(428)로서는 산화 알루미늄, 산화 마그네슘, 산화 실리콘, 산화 질화 실리콘, 질화 산화 실리콘, 질화 실리콘, 산화 갈륨, 산화 저마늄, 산화 이트륨, 산화 지르코늄, 산화 란타넘, 산화 네오디뮴, 산화 하프늄 또는 산화 탄탈륨을 사용하면 좋다. 절연체(428)의 상면을 평탄화하기 위하여 화학 기계 연마(CMP:Chemical Mechanical Polishing)법 등으로 평탄화 처리를 하여도 좋다.
- [0209] 또는 절연체(428)는 수지를 사용하여도 좋다. 예를 들어, 폴리이미드, 폴리아마이드, 아크릴, 실리콘(silicone) 등을 함유하는 수지를 사용하면 좋다. 수지를 사용함으로써 절연체(428)의 상면을 평탄화 처리하지 않아도 되는 경우가 있다. 또한 수지는 짧은 시간에 두꺼운 막을 형성할 수 있으므로 생산성을 높일 수 있다.
- [0210] 또한 도 13의 (A) 및 도 13의 (B)에 도시한 바와 같이, 절연체(428) 위에 도전체(424a) 및 도전체(424b)를 가져도 좋다. 도전체(424a) 및 도전체(424b)는 예를 들어 배선으로서의 기능을 갖는다. 또한 절연체(428)가 개구부를 갖고, 이 개구부를 통하여 도전체(416a)와 도전체(424a)가 전기적으로 접속하여도 좋다. 또한 절연체(428)가 다른 개구부를 갖고, 이 개구부를 통하여 도전체(416b)와 도전체(424b)가 전기적으로 접속하여도 좋다. 이 때, 각각의 개구부 내에 도전체(426a), 도전체(426b)를 가져도 좋다.
- [0211] 도전체(424a) 및 도전체(424b)로서는 예를 들어 붕소, 질소, 산소, 플루오린, 실리콘, 인, 알루미늄, 타이타늄, 크로뮴, 망가니즈, 코발트, 니켈, 구리, 아연, 갈륨, 이트륨, 지르코늄, 몰리브덴, 루테튬, 은, 인듐, 주석, 탄탈륨 및 텅스텐 중 1종 이상을 함유하는 도전체를, 단층으로, 또는 적층으로 사용하면 좋다. 예를 들어, 합금이나 화합물이어도 좋고, 알루미늄을 함유하는 도전체, 구리 및 타이타늄을 함유하는 도전체, 구리 및 망가니즈를 함유하는 도전체, 인듐, 주석 및 산소를 함유하는 도전체, 타이타늄 및 질소를 함유하는 도전체 등을 사용

하여도 좋다.

- [0212] 도 13에 도시한 트랜지스터는 도전체(416a) 및 도전체(416b)가 반도체(406)의 측면과 접촉하지 않는다. 따라서, 게이트 전극으로서 기능하는 도전체(404)로부터 반도체(406)의 측면을 향하여 인가되는 전계가 도전체(416a) 및 도전체(416b) 등에 의하여 차폐되기 어려운 구조이다. 또한 도전체(416a) 및 도전체(416b)는 절연체(402)의 상면에 접촉하지 않는다. 그러므로 절연체(402)에서 방출되는 과잉 산소(산소)가 도전체(416a) 및 도전체(416b)를 산화시키기 위하여 소비되지 않는다. 따라서, 절연체(402)에서 방출되는 과잉 산소(산소)를 반도체(406)의 산소 결손을 저감하기 위하여 효율적으로 이용할 수 있는 구조이다. 즉, 도 13에 도시한 구조의 트랜지스터는 높은 온 전류, 높은 전계 효과 이동도, 낮은 S값, 높은 신뢰성 등을 갖는 전기 특성이 뛰어난 트랜지스터이다.
- [0213] 또한 도 14의 (A)는 트랜지스터의 상면도의 일례이다. 도 14의 (A)의 일점 쇄선 G1-G2 및 일점 쇄선 G3-G4에 대응하는 단면도의 일례를 도 14의 (B)에 도시하였다. 또한 도 14의 (A)에서는 이해하기 쉽게 하기 위하여 절연체 등의 일부를 생략하여 도시하였다.
- [0214] 트랜지스터는 도 14에 도시한 바와 같이, 도전체(416a) 및 도전체(416b)를 갖지 않고, 도전체(426a) 및 도전체(426b)와 반도체(406)가 접촉하는 구조이어도 좋다. 이 경우, 반도체(406)의 적어도 도전체(426a) 및 도전체(426b)와 접촉하는 영역에 저저항 영역(423a)(저저항 영역(423b))을 제공하면 바람직하다. 저저항 영역(423a) 및 저저항 영역(423b)은 예를 들어 도전체(404) 등을 마스크로 하여, 반도체(406)에 불순물을 첨가하여 형성하면 좋다. 또한 도전체(426a) 및 도전체(426b)가 반도체(406)의 구멍(관통되어 있는 것) 또는 오목부(관통되어 있지 않은 것)에 제공되어도 좋다. 도전체(426a) 및 도전체(426b)가 반도체(406)의 구멍 또는 오목부에 제공됨으로써 도전체(426a) 및 도전체(426b)와 반도체(406)와의 접촉 면적이 커지므로 접촉 저항의 영향을 작게 할 수 있다. 즉, 트랜지스터의 온 전류를 크게 할 수 있다.
- [0215] 또한 도 15의 (A)는 트랜지스터의 상면도의 일례이다. 도 15의 (A)의 일점 쇄선 J1-J2 및 일점 쇄선 J3-J4에 대응하는 단면도의 일례를 도 15의 (B)에 도시하였다. 또한 도 15의 (A)에서는 이해하기 쉽게 하기 위하여 절연체 등의 일부를 생략하여 도시하였다.
- [0216] 도 15의 (A) 및 도 15의 (B)에 도시한 트랜지스터는 기판(400) 위의 도전체(413)와, 도전체(413) 위의 절연체(402)와, 절연체(402) 위의 반도체(406)와, 반도체(406)와 접촉하여 간격을 두고 배치된 도전체(416a) 및 도전체(416b)와, 반도체(406) 위, 도전체(416a) 위 및 도전체(416b) 위의 절연체(412)를 갖는다. 또한 도전체(413)는 절연체(402)를 개재하여 반도체(406)의 하면과 면한다. 또한 절연체(402)가 블록부를 가져도 좋다. 또한 기판(400)과 도전체(413) 사이에 절연체를 가져도 좋다. 이 절연체는 상술한 절연체(402)나 절연체(408)에 대한 기재를 참조한다. 또한 절연체(412)를 갖지 않아도 좋다.
- [0217] 또한 절연체(412)는 과잉 산소를 함유하는 절연체이면 바람직하다.
- [0218] 또한 절연체(412) 위에는 표시 소자가 제공되어도 좋다. 예를 들어, 화소 전극, 액정층, 공통 전극, 발광층, 유기 EL층, 양극, 음극 등이 제공되어도 좋다. 표시 소자는 예를 들어 도전체(416a) 등과 접속되어 있다.
- [0219] 또한 도 16의 (A)는 트랜지스터의 상면도의 일례이다. 도 16의 (A)의 일점 쇄선 K1-K2 및 일점 쇄선 K3-K4에 대응하는 단면도의 일례를 도 16의 (B)에 도시하였다. 또한 도 16의 (A)에서는 이해하기 쉽게 하기 위하여 절연체 등의 일부를 생략하여 도시하였다.
- [0220] 또한 반도체 위에 채널 보호막으로서 기능할 수 있는 절연체를 배치하여도 좋다. 예를 들어, 도 16에 도시한 바와 같이, 도전체(416a) 및 도전체(416b)와 반도체(406) 사이에 절연체(420)를 배치하여도 좋다. 그 경우, 도전체(416a)(도전체(416b))와 반도체(406)는 절연체(420) 중의 개구부를 통하여 접속된다. 절연체(420)는 절연체(418)에 대한 기재를 참조하면 좋다.
- [0221] <전자의 주입 방법>
- [0222] 이하에서는 절연체(412b)에 대한 전자의 주입 방법에 대하여 설명한다.
- [0223] 도 17의 (A)는 도 12의 (A)에 도시한 트랜지스터의 확대도이다. 도 17의 (B) 및 도 17의 (C)는 도 17의 (A)에 도시한 일점 쇄선 B-C에서의 밴드도이다.
- [0224] 도 17의 (B)에 도시한 바와 같이, 절연체(412b)는 절연체(412b)의 내부와, 절연체(412a)와 절연체(412b)와의 계면과, 절연체(412b)와 절연체(412c)와의 계면에 결합 준위(415)를 갖는다. 결합 준위(415)는 일부가 전자 트랩

으로서의 기능을 갖는다.

- [0225] 도 17의 (B)에서는 도전체(404)에 전압이 인가되지 않으므로 결합 준위(415)에는 전자는 거의 포획되지 않는다. 예를 들어, 도 17의 (C)에 도시한 바와 같이, 도전체(404)에 양의 전압(Vg)을 인가함으로써 결합 준위(415)의 일부에 전자를 주입할 수 있다. 더 구체적으로는 트랜지스터의 도전체(416a)와 도전체(416b) 사이에 전압을 인가한 상태로 도전체(404)에 양의 전압(Vg)을 인가하면 반도체(406)의 밴드가 구부러져 반도체(406)와 절연체(412a)와의 계면에 전자(430)가 유기된다('채널이 형성된다'라고도 함). 유기된 전자(430)는 반도체(406)에 인가되는 전계의 영향으로 가속되어, 그 일부가 절연체(412a)의 장벽을 통과하는 경우가 있다. 그리고 통과한 전자(430)의 일부를 결합 준위(415)에 주입할 수 있다.
- [0226] 또한 예를 들어 도전체(404)에 음의 전압을 인가함으로써도 결합 준위(415)의 일부에 전자를 주입할 수 있는 경우가 있다. 구체적으로는 절연체(412c)에 FN(Fowler-Nordheim) 터널 전류가 흐를 정도의 음의 전압을 도전체(404)에 인가함으로써 도전체(404)에서 결합 준위(415)의 일부에 전자를 주입할 수 있다.
- [0227] 상술한 방법에서는 결합 준위(415)에 전자를 주입하기 위하여 비교적 높은 전압이 필요하다. 따라서, 결합 준위(415)에 주입된 전자는 트랜지스터의 구동에 필요한 전압에 있어서 안정적이다. 이와 같이, 결합 준위(415)에 주입된 전자는 장기간에 걸쳐 유지되는 것을 알 수 있다.
- [0228] 또한 상술한 방법은 절연체(402b)에도 적용할 수 있다.
- [0229] <산화물 반도체의 구조>
- [0230] 이하에서는 반도체(406) 등의 반도체에 적용이 가능한 산화물 반도체의 구조에 대하여 설명한다.
- [0231] 산화물 반도체는 단결정 산화물 반도체와 그 외의 비단결정 산화물 반도체로 구별된다. 비단결정 산화물 반도체로서는, CAAC-OS(C-Axis Aligned Crystalline Oxide Semiconductor), 다결정 산화물 반도체, 미결정 산화물 반도체, 비정질 산화물 반도체 등이 있다.
- [0232] 또한, 다른 관점에서 보면, 산화물 반도체는 비정질 산화물 반도체와 그 외의 결정성 산화물 반도체로 구별된다. 결정성 산화물 반도체로서는 단결정 산화물 반도체, CAAC-OS, 다결정 산화물 반도체, 미결정 산화물 반도체 등이 있다.
- [0233] <CAAC-OS>
- [0234] 우선, CAAC-OS에 대하여 설명한다. 또한, CAAC-OS는 CAC(C-Axis Aligned nanocrystals)를 갖는 산화물 반도체라고 할 수도 있다.
- [0235] CAAC-OS는 c축 배향된 복수의 결정부(펠릿이라고도 함)를 갖는 산화물 반도체 중 하나이다.
- [0236] 투과 전자 현미경(TEM:Transmission Electron Microscope)에 의하여 CAAC-OS의 명시야상과 회절 패턴의 복합 해석상(고분해능 TEM 이미지라고도 함)을 관찰하면, 복수의 펠릿이 확인된다. 그러나, 고분해능 TEM 이미지를 관찰하여도 펠릿들의 경계, 즉 결정 입계(그레인 바운더리(grain boundary)라고도 함)는 명확히 확인되지 않는다. 그러므로, CAAC-OS는 결정 입계에 기인하는 전자 이동도의 저하가 일어나기 어렵다고 할 수 있다.
- [0237] 이하에서는 TEM에 의하여 관찰한 CAAC-OS에 대하여 설명한다. 도 21의 (A)는 시료 면에 실질적으로 평행한 방향으로부터 관찰한 CAAC-OS의 단면의 고분해능 TEM 이미지이다. 고분해능 TEM 이미지의 관찰에는 구면 수차 보정(Spherical Aberration Corrector) 기능을 이용하였다. 특히, 구면 수차 보정 기능을 이용한 고분해능 TEM 이미지를 Cs 보정 고분해능 TEM 이미지라고 한다. Cs 보정 고분해능 TEM 이미지는 예를 들어 일본 전자 주식회사(JEOL Ltd.) 제조의 원자 분해능 분석 전자 현미경 JEM-ARM200F 등에 의하여 취득할 수 있다.
- [0238] 도 21의 (A)의 영역 (1)을 확대한 Cs 보정 고분해능 TEM 이미지를 도 21의 (B)에 나타내었다. 도 21의 (B)로부터, 펠릿에서 금속 원자가 층상으로 배열되어 있는 것을 확인할 수 있다. 금속 원자의 각 층의 배열은, CAAC-OS의 막이 형성되는 면(피형성면이라고도 함) 또는 CAAC-OS의 상면의 요철이 반영되고, CAAC-OS의 피형성면 또는 상면에 평행하게 된다.
- [0239] 도 21의 (B)에 나타낸 바와 같이, CAAC-OS는 특징적인 원자 배열을 갖는다. 도 21의 (C)는 특징적인 원자 배열을 보조선으로 나타낸 것이다. 도 21의 (B) 및 도 21의 (C)로부터, 하나의 펠릿의 크기는 1nm 이상 3nm 이하 정도이며, 펠릿들 사이의 기울기에 의하여 생긴 틈의 크기는 0.8nm 정도임을 알 수 있다. 따라서, 펠릿을 나노 결정(nc:nanocrystal)이라고 할 수도 있다.

- [0240] 여기서, Cs 보정 고분해능 TEM 이미지를 바탕으로, 기관(5120) 위의 CAAC-OS의 펠릿(5100)의 배치를 모식적으로 도시하면, 벽돌 또는 블록이 중첩된 것과 같은 구조가 된다(도 21의 (D) 참조). 도 21의 (C)에서 관찰된 펠릿들 사이에서 기울기가 생긴 부분은 도 21의 (D)에 도시한 영역(5161)에 상당한다.
- [0241] 또한, 도 22의 (A)에, 시료 면에 실질적으로 수직인 방향으로부터 관찰한 CAAC-OS의 평면의 Cs 보정 고분해능 TEM 이미지를 나타내었다. 도 22의 (A)의 영역 (1), 영역 (2), 및 영역 (3)을 확대한 Cs 보정 고분해능 TEM 이미지를, 각각 도 22의 (B), 도 22의 (C), 및 도 22의 (D)에 나타내었다. 도 22의 (B), 도 22의 (C), 및 도 22의 (D)로부터, 펠릿에서 금속 원자가 삼각형, 사각형, 또는 육각형으로 배열되는 것이 확인된다. 그러나, 다른 펠릿 간에서, 금속 원자의 배열에 규칙성은 관찰되지 않는다.
- [0242] 다음에, X선 회절(XRD:X-Ray Diffraction)에 의하여 해석한 CAAC-OS에 대하여 설명한다. 예를 들어, out-of-plane법에 의하여 InGaZnO₄의 결정을 갖는 CAAC-OS의 구조 해석을 행하면, 도 23의 (A)에 나타낸 바와 같이 회절각(2 θ)이 31° 근방일 때 피크가 나타나는 경우가 있다. 이 피크는 InGaZnO₄의 결정의 (009)면에 귀속되기 때문에, CAAC-OS의 결정이 c축 배향성을 갖고, c축이 피형성면 또는 상면에 실질적으로 수직인 방향을 향하는 것이 확인된다.
- [0243] 또한, out-of-plane법에 의하여 CAAC-OS의 구조 해석을 행하면, 2 θ 가 31° 근방일 때 나타나는 피크에 더하여 2 θ 가 36° 근방일 때도 피크가 나타나는 경우가 있다. 2 θ 가 36° 근방일 때 나타나는 피크는 CAAC-OS 내의 일부에 c축 배향성을 갖지 않는 결정이 포함되는 것을 나타낸다. 더 바람직한 CAAC-OS는, out-of-plane법에 의한 구조 해석을 행하면, 2 θ 가 31° 근방일 때 피크가 나타나고 2 θ 가 36° 근방일 때 피크가 나타나지 않는다.
- [0244] 한편, in-plane법에 의하여 c축에 실질적으로 수직인 방향으로부터 X선을 입사시켜 CAAC-OS의 구조 해석을 행하면, 2 θ 가 56° 근방일 때 피크가 나타난다. 이 피크는 InGaZnO₄의 결정의 (110)면에 귀속된다. CAAC-OS의 경우에는, 2 θ 를 56° 근방에 고정하고, 시료 면의 법선 벡터를 축(ϕ 축)으로 하여 시료를 회전시키면서 분석(ϕ 스캔)을 행하여도, 도 23의 (B)에 나타낸 바와 같이 명료한 피크는 관찰되지 않는다. 한편, InGaZnO₄의 단결정 산화물 반도체라면, 2 θ 를 56° 근방에 고정하여 ϕ 스캔을 행한 경우, 도 23의 (C)에 나타낸 바와 같이 (110)면과 등가인 결정면에 귀속되는 피크가 6개 관찰된다. 따라서, XRD를 이용한 구조 해석으로부터, CAAC-OS는 a축 및 b축의 배향이 불규칙하다는 것이 확인된다.
- [0245] 다음에, 전자 회절에 의하여 해석한 CAAC-OS에 대하여 설명한다. 예를 들어 InGaZnO₄의 결정을 갖는 CAAC-OS에 대하여 프로브 직경이 300nm인 전자 빔을 시료 면에 평행하게 입사시키면, 도 24의 (A)와 같은 회절 패턴(제한 시야 투과 전자 회절 패턴이라고도 함)이 나타나는 경우가 있다. 이 회절 패턴에는, InGaZnO₄의 결정의 (009)면에 기인한 스폿이 포함된다. 따라서, 전자 회절에 의해서도, CAAC-OS에 포함되는 펠릿이 c축 배향성을 갖고, c축이 피형성면 또는 상면에 실질적으로 수직인 방향을 향하는 것을 알 수 있다. 한편, 도 24의 (B)는 같은 시료에 대하여 프로브 직경이 300nm인 전자 빔을 시료 면에 수직으로 입사시킨 경우의 회절 패턴이다. 도 24의 (B)로부터, 고리 형상의 회절 패턴이 확인된다. 따라서, 전자 회절에 의해서도, CAAC-OS에 포함되는 펠릿의 a축 및 b축은 배향성을 가지지 않는 것을 알 수 있다. 또한, 도 24의 (B) 중 제 1 고리는 InGaZnO₄의 결정의 (010)면 및 (100)면 등에 기인하는 것으로 생각된다. 또한, 도 24의 (B)에서의 제 2 고리는 (110)면 등에 기인하는 것으로 생각된다.
- [0246] 또한, CAAC-OS는 결함 준위 밀도가 낮은 산화물 반도체이다. 산화물 반도체의 결함으로서는 예를 들어, 불순물에 기인한 결함이나, 산소 결손 등이 있다. 따라서, CAAC-OS는 불순물 농도가 낮은 산화물 반도체라고 할 수도 있다. 또한, CAAC-OS는 산소 결손이 적은 산화물 반도체라고 할 수도 있다.
- [0247] 산화물 반도체에 포함되는 불순물은 캐리어 트랩이 되거나 캐리어 발생원이 되는 경우가 있다. 또한, 산화물 반도체 내의 산소 결손은 캐리어 트랩이 되거나, 수소를 포획함으로써 캐리어 발생원이 되는 경우가 있다.
- [0248] 또한, 불순물은 산화물 반도체의 주성분 이외의 원소이며, 수소, 탄소, 실리콘, 전이 금속 원소 등이 있다. 산화물 반도체를 구성하는 금속 원소보다 산소와의 결합력이 강한 원소(예를 들어 실리콘 등)는, 산화물 반도체로부터 산소를 빼앗음으로써 산화물 반도체의 원자 배열을 흐트러지게 하여 결정성을 저하시키는 요인이 된다. 또한, 철이나 니켈 등 중금속, 아르곤, 이산화 탄소 등은 원자 반경(또는 분자 반경)이 크기 때문에, 산화물 반도체의 원자 배열을 흐트러지게 하여 결정성을 저하시키는 요인이 된다.
- [0249] 또한, 결함 준위 밀도가 낮은(산소 결손이 적은) 산화물 반도체는 캐리어 밀도를 낮게 할 수 있다. 이와 같은

산화물 반도체를 고순도 진성 또는 실질적으로 고순도 진성인 산화물 반도체라고 한다. CAAC-OS는 불순물 농도가 낮으며 결함 준위 밀도가 낮다. 즉, 고순도 진성 또는 실질적으로 고순도 진성인 산화물 반도체가 되기 쉽다. 따라서, CAAC-OS를 사용한 트랜지스터의 전기 특성은 문턱 전압이 음(노멀리 온이라고도 함)이 되는 경우가 적다. 또한, 고순도 진성 또는 실질적으로 고순도 진성인 산화물 반도체는 캐리어 트랩이 적다. 산화물 반도체의 캐리어 트랩에 포획된 전하는 방출될 때까지 걸리는 시간이 길어 마치 고정 전하처럼 행동하는 경우가 있다. 그러므로, 불순물 농도가 높으며 결함 준위 밀도가 높은 산화물 반도체를 사용한 트랜지스터는 전기 특성이 불안정해지는 경우가 있다. 한편, CAAC-OS를 사용한 트랜지스터는 전기 특성의 변동이 작으며 신뢰성이 높은 트랜지스터가 된다.

[0250] 또한, CAAC-OS는 결함 준위 밀도가 낮기 때문에, 광 조사 등에 의하여 생성된 캐리어가 결함 준위에 포획되는 일이 적다. 따라서, CAAC-OS를 사용한 트랜지스터는 가시광이나 자외광의 조사에 기인한 전기 특성 변동이 작다.

[0251] <미결정 산화물 반도체>

[0252] 다음에, 미결정 산화물 반도체에 대하여 설명한다.

[0253] 미결정 산화물 반도체는 고분해능 TEM 이미지에서 결정부가 확인되는 영역과 명확한 결정부가 확인되지 않는 영역을 갖는다. 미결정 산화물 반도체에 포함되는 결정부는 1nm 이상 100nm 이하, 또는 1nm 이상 10nm 이하의 크기인 경우가 많다. 특히, 1nm 이상 10nm 이하, 또는 1nm 이상 3nm 이하의 미결정인 나노 결정을 갖는 산화물 반도체를, nc-OS(nanocrystalline Oxide Semiconductor)라고 한다. nc-OS는 예를 들어 고분해능 TEM 이미지에서 결정 입계가 명확하게 확인되지 않는 경우가 있다. 또한, 나노 결정은 CAAC-OS에서의 펠릿과 기원이 같을 가능성이 있다. 그러므로, 이하에서는 nc-OS의 결정부를 펠릿이라고 하는 경우가 있다.

[0254] nc-OS는 미소한 영역(예를 들어, 1nm 이상 10nm 이하의 영역, 특히 1nm 이상 3nm 이하의 영역)에서 원자 배열에 주기성을 가진다. 또한, nc-OS는 다른 펠릿 간에서 결정 방위에 규칙성이 보이지 않는다. 그러므로, 막 전체에서 배향성을 찾을 수 없다. 따라서, nc-OS는, 분석 방법에 따라서는 비정질 산화물 반도체와 구별되지 않는 경우가 있다. 예를 들어, nc-OS에 대하여 펠릿보다 큰 직경의 X선을 이용하는 XRD 장치를 사용하여 구조 해석을 행하면, out-of-plane법에 의한 해석에서는, 결정면을 나타내는 피크가 검출되지 않는다. 또한, nc-OS에 대하여, 펠릿보다 큰 프로브 직경(예를 들어 50nm 이상)의 전자 빔을 사용하는 전자 회절(제한 시야 전자 회절이라고도 함)을 행하면 헤일로 패턴(halo pattern)과 같은 회절 패턴이 관측된다. 한편, nc-OS에 대하여 펠릿의 크기와 가깝거나 펠릿보다 작은 프로브 직경의 전자 빔을 사용하는 나노 빔 전자 회절을 행하면 스폿이 관측된다. 또한, nc-OS에 대하여 나노 빔 전자 회절을 행하면 원을 그리듯이(고리 형상으로) 휘도가 높은 영역이 관측되는 경우가 있다. 또한, 고리 형상의 영역 내에 복수의 스폿이 관측되는 경우가 있다.

[0255] 이와 같이 펠릿(나노 결정) 간에서는 결정 방위에 규칙성이 보이지 않기 때문에, nc-OS를 RANC(Random Aligned nanocrystals)를 갖는 산화물 반도체 또는 NANC(Non-Aligned nanocrystals)를 갖는 산화물 반도체라고 할 수도 있다.

[0256] nc-OS는 비정질 산화물 반도체보다 규칙성이 높은 산화물 반도체이다. 그러므로, nc-OS는 비정질 산화물 반도체보다 결함 준위 밀도가 낮아진다. 다만, nc-OS는 다른 펠릿 간에서 결정 방위에 규칙성이 보이지 않는다. 그러므로, nc-OS는 CAAC-OS에 비해서 결함 준위 밀도가 높아진다.

[0257] <비정질 산화물 반도체>

[0258] 다음에, 비정질 산화물 반도체에 대하여 설명한다.

[0259] 비정질 산화물 반도체는 막 중에서의 원자 배열이 불규칙하며, 결정부를 갖지 않는 산화물 반도체이다. 석영과 같은 무정형 상태를 갖는 산화물 반도체가 그 일례이다.

[0260] 비정질 산화물 반도체는 고분해능 TEM 이미지에서 결정부를 확인할 수 없다.

[0261] 비정질 산화물 반도체에 대하여 XRD 장치를 이용한 구조 해석을 행하면, out-of-plane법에 의한 해석에서는 결정면을 나타내는 피크가 검출되지 않는다. 또한, 비정질 산화물 반도체에 대하여 전자 회절을 행하면, 헤일로 패턴이 관측된다. 또한, 비정질 산화물 반도체의 나노 빔 전자 회절 패턴에는 스폿이 관측되지 않고 헤일로 패턴만 관측된다.

[0262] 비정질 구조에 대해서는, 다양한 견해가 있다. 예를 들어, 원자 배열에 전혀 질서성을 갖지 않는 구조를 완전

한 비정질 구조(completely amorphous structure)라고 하는 경우가 있다. 또한, 최근접 원자간 거리 또는 제 2 근접 원자간 거리까지 질서성을 갖고, 또한 장거리 질서성을 갖지 않는 구조를 비정질 구조라고 하는 경우도 있다. 따라서, 가장 엄격한 정의에 의하여, 조금이라도 원자 배열에 질서성을 갖는 산화물 반도체를, 비정질 산화물 반도체라고 할 수는 없다. 또한, 적어도, 장거리 질서성을 갖는 산화물 반도체를 비정질 산화물 반도체라고 할 수는 없다. 따라서, 결정부를 갖기 때문에, 예를 들어, CAAC-OS 및 nc-OS를 비정질 산화물 반도체 또는 완전한 비정질 산화물 반도체라고 할 수는 없다.

- [0263] <a-like OS(amorphous-like Oxide Semiconductor)>
- [0264] 또한, 산화물 반도체는 nc-OS와 비정질 산화물 반도체의 중간의 구조를 갖는 경우가 있다. 그런 구조를 갖는 산화물 반도체를, 특히 a-like OS(amorphous-like Oxide Semiconductor)라고 한다.
- [0265] a-like OS는 고분해능 TEM 이미지에서 공동(보이드(void)라고도 함)이 관찰되는 경우가 있다. 또한, 고분해능 TEM 이미지에서 결정부가 명확히 확인되는 영역과 결정부가 확인되지 않는 영역을 갖는다.
- [0266] a-like OS는 공동을 가지므로 불안정한 구조이다. 이하에서는 a-like OS가 CAAC-OS 및 nc-OS에 비해서 불안정한 구조임을 나타내기 위하여, 전자 조사에 의한 구조의 변화에 대하여 설명한다.
- [0267] 전자 조사를 행하는 시료로서 a-like OS(시료 A라고 표기함), nc-OS(시료 B라고 표기함), 및 CAAC-OS(시료 C라고 표기함)를 준비한다. 시료는 모두 In-Ga-Zn 산화물이다.
- [0268] 우선, 각 시료의 고분해능 단면 TEM 이미지를 취득한다. 고분해능 단면 TEM 이미지에 의하여, 각 시료는 모두 결정부를 갖는 것을 알 수 있다.
- [0269] 또한, 어느 부분을 하나의 결정부라고 간주하는지의 판정은 아래와 같이 하면 좋다. 예를 들어, InGaZnO₄의 결정의 단위 격자는 In-0층 3층과 Ga-Zn-0층 6층의 총 9층이 c축 방향으로 층상으로 중첩된 구조를 갖는 것이 알려져 있다. 따라서, 이들 근접하는 층끼리의 간격은, (009)면의 격자면 간격(d값이라고도 함)과 같은 정도이며, 결정 구조 해석으로부터 그 값은 0.29nm로 산출된다. 그러므로, 격자 줄무늬(lattice fringe)의 간격이 0.28nm 이상 0.30nm 이하인 부분을 InGaZnO₄의 결정부라고 간주할 수 있다. 또한, 격자 줄무늬는 InGaZnO₄의 결정의 a-b면에 대응한다.
- [0270] 도 25는 각 시료의 결정부(22군데~45군데)의 평균 크기를 조사한 예이다. 다만, 상술한 격자 줄무늬의 길이를 결정부의 크기로 한다. 도 25로부터, a-like OS는 누적 전자 조사량에 따라 결정부가 커지는 것을 알 수 있다. 구체적으로는, 도 25 중 (1)로 표시된 바와 같이, TEM에 의한 관찰 초기에 크기가 1.2nm 정도이었던 결정부(초기핵이라고도 함)는, 누적 전자 조사량이 $4.2 \times 10^8 e^- / nm^2$ 가 되면 2.6nm 정도의 크기까지 성장하는 것을 알 수 있다. 한편, nc-OS 및 CAAC-OS는 전자 조사 시작 시점으로부터 누적 전자 조사량이 $4.2 \times 10^8 e^- / nm^2$ 가 될 때까지의 범위에서 결정부의 크기가 변화되지 않는 것을 알 수 있다. 구체적으로는, 도 25 중 (2) 및 (3)으로 표시된 바와 같이 누적 전자 조사량에 상관없이 nc-OS 및 CAAC-OS의 결정부의 크기는 각각 1.4nm 정도 및 2.1nm 정도임을 알 수 있다.
- [0271] 이와 같이 a-like OS에서는 전자 조사에 의한 결정부의 성장이 관찰되는 경우가 있다. 한편, nc-OS 및 CAAC-OS에서는 전자 조사에 의한 결정부의 성장이 거의 관찰되지 않는 것을 알 수 있다. 즉, a-like OS는 nc-OS 및 CAAC-OS에 비해서 불안정한 구조임을 알 수 있다.
- [0272] 또한, a-like OS는 공동을 가지므로 nc-OS 및 CAAC-OS에 비해서 밀도가 낮은 구조를 갖는다. 구체적으로는, a-like OS의 밀도는 같은 조성을 갖는 단결정 산화물 반도체의 밀도의 78.6% 이상 92.3% 미만이다. 또한, nc-OS의 밀도 및 CAAC-OS의 밀도는 같은 조성을 갖는 단결정 산화물 반도체의 밀도의 92.3% 이상 100% 미만이다. 밀도가 단결정 산화물 반도체의 밀도의 78% 미만인 산화물 반도체는 성막 자체가 어렵다.
- [0273] 예를 들어, In:Ga:Zn=1:1:1[원자수비]을 만족하는 산화물 반도체에서, 능면체정 구조를 갖는 단결정 InGaZnO₄의 밀도는 6.357g/cm³가 된다. 따라서, 예를 들어, In:Ga:Zn=1:1:1[원자수비]을 만족하는 산화물 반도체에서, a-like OS의 밀도는 5.0g/cm³ 이상 5.9g/cm³ 미만인 된다. 또한, 예를 들어, In:Ga:Zn=1:1:1[원자수비]을 만족하는 산화물 반도체에서, nc-OS의 밀도 및 CAAC-OS의 밀도는 5.9g/cm³ 이상 6.3g/cm³ 미만인 된다.
- [0274] 또한, 같은 조성의 단결정이 존재하지 않는 경우가 있다. 이 경우에는 조성이 다른 단결정 산화물 반도체를 원

하는 비율로 조합함으로써, 원하는 조성을 갖는 단결정 산화물 반도체의 밀도에 상당하는 밀도를 어렵잡을 수 있다. 원하는 조성을 갖는 단결정 산화물 반도체의 밀도에 상당하는 밀도는 조성이 다른 단결정 산화물 반도체를 조합하는 비율에 대하여 가중 평균을 이용하여 어렵잡으면 좋다. 다만, 밀도를 어렵잡을 때는 가능한 한 적은 종류의 단결정 산화물 반도체를 조합하는 것이 바람직하다.

- [0275] 이와 같이 산화물 반도체는 다양한 구조를 가지며 각각이 다양한 특성을 갖는다. 또한, 산화물 반도체는 예를 들어, 비정질 산화물 반도체, a-like OS, 미결정 산화물 반도체, CAAC-OS 중 2종 이상을 갖는 적층막이어도 좋다.
- [0276] <CPU>
- [0277] 상술한 트랜지스터나 상술한 기억 장치 등의 반도체 장치를 포함하는 CPU에 대하여 이하에서 설명한다.
- [0278] 도 18은 상술한 트랜지스터를 일부에 사용한 CPU의 일례의 구성을 도시한 블록도이다.
- [0279] 도 18에 도시한 CPU는 기판(1190) 위에 ALU(1191)(ALU: Arithmetic logic unit, 연산 회로), ALU 컨트롤러(1192), 인스트럭션 디코더(1193), 인터럽트 컨트롤러(1194), 타이밍 컨트롤러(1195), 레지스터(1196), 레지스터 컨트롤러(1197), 버스 인터페이스(1198), 재기록이 가능한 ROM(1199), 및 ROM 인터페이스(1189)를 갖는다. 기판(1190)은 반도체 기판, SOI 기판, 유리 기판 등을 사용한다. ROM(1199) 및 ROM 인터페이스(1189)는 다른 칩에 제공하여도 좋다. 물론, 도 18에 도시한 CPU는 그 구성을 간략화하여 도시한 일례에 불과하고, 실제의 CPU는 그 용도에 따라 다양한 구성을 갖는다. 예를 들어, 도 18에 도시한 CPU 또는 연산 회로를 포함하는 구성을 하나의 코어로 하고, 상기 코어를 복수 포함하고, 각 코어가 병렬로 동작하는 구성으로 하여도 좋다. 또한, CPU가 내부 연산 회로나 데이터 버스로 취급할 수 있는 비트 수는, 예를 들어 8bit, 16bit, 32bit, 64bit 등으로 할 수 있다.
- [0280] 버스 인터페이스(1198)를 통하여 CPU에 입력된 명령은 인스트럭션 디코더(1193)에 입력되어 디코딩된 후, ALU 컨트롤러(1192), 인터럽트 컨트롤러(1194), 레지스터 컨트롤러(1197), 타이밍 컨트롤러(1195)에 입력된다.
- [0281] ALU 컨트롤러(1192), 인터럽트 컨트롤러(1194), 레지스터 컨트롤러(1197), 타이밍 컨트롤러(1195)는 디코딩된 명령에 기초하여 각종 제어를 행한다. 구체적으로 ALU 컨트롤러(1192)는 ALU(1191)의 동작을 제어하기 위한 신호를 생성한다. 또한, 인터럽트 컨트롤러(1194)는, CPU가 프로그램을 실행하는 동안에 외부의 입출력 장치나 주변 회로로부터의 인터럽트 요구를 그 우선도나 마스크 상태에서 판단하여 처리한다. 레지스터 컨트롤러(1197)는 레지스터(1196)의 어드레스를 생성하고, CPU의 상태에 따라 레지스터(1196)의 판독이나 기록을 행한다.
- [0282] 또한, 타이밍 컨트롤러(1195)는 ALU(1191), ALU 컨트롤러(1192), 인스트럭션 디코더(1193), 인터럽트 컨트롤러(1194), 및 레지스터 컨트롤러(1197)의 동작의 타이밍을 제어하는 신호를 생성한다. 예를 들어, 타이밍 컨트롤러(1195)는, 기준 클럭 신호를 바탕으로, 내부 클럭 신호를 생성하는 내부 클럭 생성부를 갖고, 내부 클럭 신호를 상기 각종 회로에 공급한다.
- [0283] 도 18에 도시한 CPU에서는 레지스터(1196)에 메모리 셀이 제공되어 있다. 레지스터(1196)의 메모리 셀로서, 상술한 트랜지스터나 기억 장치 등을 사용할 수 있다.
- [0284] 도 18에 도시한 CPU에서 레지스터 컨트롤러(1197)는 ALU(1191)로부터의 지시에 따라, 레지스터(1196)에서의 유지 동작의 선택을 행한다. 즉, 레지스터(1196)가 갖는 메모리 셀에서 플립플롭에 의한 데이터 유지를 행할지 또는 용량 소자에 의한 데이터 유지를 행할지를 선택한다. 플립플롭에 의한 데이터 유지가 선택되어 있는 경우, 레지스터(1196) 내의 메모리 셀에 전원 전압이 공급된다. 용량 소자에서의 데이터 유지가 선택되어 있는 경우, 용량 소자의 데이터 재기록이 행해져, 레지스터(1196) 내의 메모리 셀에 대한 전원 전압의 공급을 정지할 수 있다.
- [0285] 도 19는, 레지스터(1196)로서 사용할 수 있는 기억 소자(1200)의 회로도이다. 기억 소자(1200)는 전원 차단에 의하여 기억 데이터가 휘발되는 회로(1201)와, 전원이 차단되어도 기억 데이터가 휘발되지 않는 회로(1202)와, 스위치(1203)와, 스위치(1204)와, 논리 소자(1206)와, 용량 소자(1207)와, 선택 기능을 갖는 회로(1220)를 갖는다. 회로(1202)는 용량 소자(1208)와, 트랜지스터(1209)와, 트랜지스터(1210)를 갖는다. 또한, 기억 소자(1200)는 필요에 따라, 다이오드, 저항 소자, 인덕터 등 이들 외의 소자를 더 가져도 좋다.
- [0286] 여기서, 회로(1202)에는 상술한 기억 장치를 사용할 수 있다. 기억 소자(1200)에 대한 전원 전압의 공급이 정지되었을 때, 회로(1202)의 트랜지스터(1209)의 게이트에는 GND(0V), 또는 트랜지스터(1209)가 오프 상태가 되

는 전위가 계속 입력되는 구성으로 한다. 예를 들어, 트랜지스터(1209)의 게이트가 저항 등의 부하를 통하여 접지되는 구성으로 한다.

[0287] 스위치(1203)가 하나의 도전형(예를 들어 n채널형)을 갖는 트랜지스터(1213)를 사용하여 구성되고 스위치(1204)가 상기 하나의 도전형과 반대의 도전형(예를 들어 p채널형)을 갖는 트랜지스터(1214)를 사용하여 구성된 예에 대하여 설명한다. 여기서, 스위치(1203)의 제 1 단자는 트랜지스터(1213)의 소스 및 드레인 중 한쪽에 대응하고, 스위치(1203)의 제 2 단자는 트랜지스터(1213)의 소스 및 드레인 중 다른 쪽에 대응하고, 스위치(1203)는 트랜지스터(1213)의 게이트에 입력되는 제어 신호 RD에 의하여 제 1 단자와 제 2 단자 사이의 도통 상태 또는 비도통 상태(즉, 트랜지스터(1213)의 도통 상태 또는 비도통 상태)가 선택된다. 스위치(1204)의 제 1 단자는 트랜지스터(1214)의 소스 및 드레인 중 한쪽에 대응하고, 스위치(1204)의 제 2 단자는 트랜지스터(1214)의 소스 및 드레인 중 다른 쪽에 대응하고, 스위치(1204)에서는 트랜지스터(1214)의 게이트에 입력되는 제어 신호 RD에 의하여 제 1 단자와 제 2 단자 사이의 도통 상태 또는 비도통 상태(즉, 트랜지스터(1214)의 도통 상태 또는 비도통 상태)가 선택된다.

[0288] 트랜지스터(1209)의 소스 및 드레인 중 한쪽은, 용량 소자(1208)의 한 쌍의 전극 중 한쪽, 및 트랜지스터(1210)의 게이트에 전기적으로 접속된다. 여기서, 접속 부분을 노드 M2로 한다. 트랜지스터(1210)의 소스 및 드레인 중 한쪽은 저전원 전위를 공급할 수 있는 배선(예를 들어 GND선)에 전기적으로 접속되고, 소스 및 드레인 중 다른 쪽은 스위치(1203)의 제 1 단자(트랜지스터(1213)의 소스 및 드레인 중 한쪽)에 전기적으로 접속된다. 스위치(1203)의 제 2 단자(트랜지스터(1213)의 소스 및 드레인 중 다른 쪽)는 스위치(1204)의 제 1 단자(트랜지스터(1214)의 소스 및 드레인 중 한쪽)에 전기적으로 접속된다. 스위치(1204)의 제 2 단자(트랜지스터(1214)의 소스 및 드레인 중 다른 쪽)는 전원 전위 VDD를 공급할 수 있는 배선에 전기적으로 접속된다. 스위치(1203)의 제 2 단자(트랜지스터(1213)의 소스 및 드레인 중 다른 쪽)와, 스위치(1204)의 제 1 단자(트랜지스터(1214)의 소스 및 드레인 중 한쪽)와, 논리 소자(1206)의 입력 단자와, 용량 소자(1207)의 한 쌍의 전극 중 한쪽은 전기적으로 접속된다. 여기서, 접속 부분을 노드 M1로 한다. 용량 소자(1207)의 한 쌍의 전극 중 다른 쪽은, 일정한 전위가 입력되는 구성으로 할 수 있다. 예를 들어, 저전원 전위(GND 등) 또는 고전원 전위(VDD 등)가 입력되는 구성으로 할 수 있다. 용량 소자(1207)의 한 쌍의 전극 중 다른 쪽은 저전원 전위를 공급할 수 있는 배선(예를 들어 GND선)에 전기적으로 접속된다. 용량 소자(1208)의 한 쌍의 전극 중 다른 쪽은, 일정한 전위가 입력되는 구성으로 할 수 있다. 예를 들어, 저전원 전위(GND 등) 또는 고전원 전위(VDD 등)가 입력되는 구성으로 할 수 있다. 용량 소자(1208)의 한 쌍의 전극 중 다른 쪽은 저전원 전위를 공급할 수 있는 배선(예를 들어 GND선)에 전기적으로 접속된다.

[0289] 또한, 트랜지스터나 배선의 기생 용량 등을 적극적으로 이용함으로써, 용량 소자(1207) 및 용량 소자(1208)를 생략할 수도 있다.

[0290] 트랜지스터(1209)의 게이트에는 제어 신호 WE가 입력된다. 스위치(1203) 및 스위치(1204)는, 제어 신호 WE와는 다른 제어 신호 RD에 의하여 제 1 단자와 제 2 단자 사이의 도통 상태 또는 비도통 상태가 선택되며, 한쪽의 제 1 단자와 제 2 단자 사이가 도통 상태일 때, 다른 쪽의 제 1 단자와 제 2 단자 사이는 비도통 상태가 된다.

[0291] 트랜지스터(1209)의 소스 및 드레인 중 다른 쪽에는 회로(1201)에 유지된 데이터에 대응하는 신호가 입력된다. 도 19는 회로(1201)로부터 출력된 신호가 트랜지스터(1209)의 소스 및 드레인 중 다른 쪽에 입력되는 예를 도시한 것이다. 스위치(1203)의 제 2 단자(트랜지스터(1213)의 소스 및 드레인 중 다른 쪽)로부터 출력되는 신호는 논리 소자(1206)에 의하여 그 논리값이 반전된 반전 신호가 되어, 회로(1220)를 통하여 회로(1201)에 입력된다.

[0292] 또한, 도 19에서는 스위치(1203)의 제 2 단자(트랜지스터(1213)의 소스 및 드레인 중 다른 쪽)로부터 출력되는 신호는 논리 소자(1206) 및 회로(1220)를 통하여 회로(1201)에 입력하는 예를 도시하였지만 이에 한정되지 않는다. 스위치(1203)의 제 2 단자(트랜지스터(1213)의 소스 및 드레인 중 다른 쪽)로부터 출력되는 신호는, 논리값이 반전되는 일이 없이 회로(1201)에 입력되어도 좋다. 예를 들어, 회로(1201) 내에, 입력 단자로부터 입력된 신호의 논리값이 반전된 신호가 유지되는 노드가 존재하는 경우, 스위치(1203)의 제 2 단자(트랜지스터(1213)의 소스 및 드레인 중 다른 쪽)로부터 출력되는 신호를 상기 노드에 입력할 수 있다.

[0293] 또한, 도 19에서, 기억 소자(1200)에 사용되는 트랜지스터 중 트랜지스터(1209) 이외의 트랜지스터는, 산화물 반도체 이외의 반도체로 이루어지는 막 또는 기판(1190)에 채널이 형성되는 트랜지스터로 할 수 있다. 예를 들어, 실리콘막 또는 실리콘 기판에 채널이 형성되는 트랜지스터로 할 수 있다. 또한, 기억 소자(1200)에 사용되는 모든 트랜지스터를, 산화물 반도체에 채널이 형성되는 트랜지스터로 할 수도 있다. 또는, 기억 소자(1200)는 트랜지스터(1209) 외에도, 산화물 반도체에 채널이 형성되는 트랜지스터를 포함하여도 좋고, 나머지 트랜지

스터는 산화물 반도체 이외의 반도체로 이루어지는 막 또는 기판(1190)에 채널이 형성되는 트랜지스터로 할 수도 있다.

- [0294] 도 19의 회로(1201)로서는 예를 들어 플립플롭 회로를 사용할 수 있다. 또한, 논리 소자(1206)에는, 예를 들어 인버터나 클럭드 인버터 등을 사용할 수 있다.
- [0295] 본 발명의 일 형태에 따른 반도체 장치에서는, 기억 소자(1200)에 전원 전압이 공급되지 않는 동안은 회로(1201)에 기억되어 있던 데이터를, 회로(1202)에 제공된 용량 소자(1208)에 의하여 유지할 수 있다.
- [0296] 또한, 산화물 반도체에 채널이 형성되는 트랜지스터의 오프 전류는 매우 작다. 예를 들어, 산화물 반도체에 채널이 형성되는 트랜지스터의 오프 전류는 결정성을 갖는 실리콘에 채널이 형성되는 트랜지스터의 오프 전류에 비해서 매우 작다. 그러므로, 상기 트랜지스터를 트랜지스터(1209)로서 사용함으로써, 기억 소자(1200)에 전원 전압이 공급되지 않는 동안에도 용량 소자(1208)에 유지된 신호는 오랫동안 유지된다. 따라서, 기억 소자(1200)는 전원 전압의 공급이 정지된 동안에도 기억 내용(데이터)을 유지하는 것이 가능하다.
- [0297] 또한, 스위치(1203) 및 스위치(1204)를 제공함으로써 프리차지 동작을 행하는 것을 특징으로 하는 기억 소자이기 때문에, 전원 전압의 공급이 재개된 후에, 회로(1201)가 원래의 데이터를 다시 유지할 때까지의 시간을 짧게 할 수 있다.
- [0298] 또한, 회로(1202)에 있어서, 용량 소자(1208)에 의하여 유지된 신호는 트랜지스터(1210)의 게이트에 입력된다. 따라서, 기억 소자(1200)에 대한 전원 전압의 공급이 재개된 후, 용량 소자(1208)에 유지된 신호에 의하여, 트랜지스터(1210)의 도통 상태 또는 비도통 상태가 전환되어, 그 상태에 따라 신호를 회로(1202)로부터 판독할 수 있다. 따라서, 용량 소자(1208)에 유지된 신호에 대응하는 전위가 약간 변동되어 있어도, 원래의 신호를 정확하게 판독하는 것이 가능하다.
- [0299] 프로세서가 갖는 레지스터나 캐시 메모리 등의 기억 장치에 상술한 바와 같은 기억 소자(1200)를 사용함으로써, 전원 전압의 공급 정지로 인한 기억 장치 내의 데이터 소실을 방지할 수 있다. 또한, 전원 전압의 공급을 재개한 후, 단시간에 전원 공급 정지 전의 상태로 복귀할 수 있다. 따라서, 프로세서 전체, 또는 프로세서를 구성하는 하나 또는 복수의 논리 회로에서 단시간에도 전원을 정지할 수 있으므로 소비 전력을 억제할 수 있다.
- [0300] 기억 소자(1200)를 CPU에 사용하는 예에 대하여 설명하였지만, 기억 소자(1200)는, DSP(Digital Signal Processor), 커스텀 LSI, PLD(Programmable Logic Device) 등의 LSI, RF(Radio Frequency) 디바이스에도 응용 가능하다.
- [0301] <전자 기기>
- [0302] 본 발명의 일 형태에 따른 반도체 장치는, 표시 기기, 퍼스널 컴퓨터, 기록 매체를 구비한 화상 재생 장치(대표적으로는 DVD: Digital Versatile Disc 등의 기록 매체를 재생하여, 그 화상을 표시할 수 있는 디스플레이를 갖는 장치)에 사용할 수 있다. 이 외에, 본 발명의 일 형태에 따른 반도체 장치를 사용할 수 있는 전자 기기로서, 휴대 전화, 휴대형을 포함하는 게임기, 휴대 정보 단말, 전자 서적용 단말, 비디오 카메라, 디지털 스틸 카메라 등의 카메라, 고글형 디스플레이(헤드 마운트 디스플레이), 내비게이션 시스템, 음향 재생 장치(카오디오, 디지털 오디오 플레이어 등), 복사기, 팩시밀리, 프린터, 프린터 복합기, 현금 자동 입출금기(ATM), 자동 판매기 등을 들 수 있다. 이들 전자 기기의 구체적인 예를 도 20에 도시하였다.
- [0303] 도 20의 (A)는 휴대형 게임기이며, 하우징(901), 하우징(902), 표시부(903), 표시부(904), 마이크로폰(905), 스피커(906), 조작 키(907), 스타일러스(908) 등을 갖는다. 또한, 도 20의 (A)에 도시한 휴대형 게임기는 2개의 표시부(903)와 표시부(904)를 갖지만, 휴대형 게임기가 갖는 표시부의 개수는 이에 한정되지 않는다.
- [0304] 도 20의 (B)는 휴대 정보 단말이며, 하우징(911), 하우징(912), 표시부(913), 표시부(914), 접속부(915), 조작 키(916) 등을 갖는다. 표시부(913)는 하우징(911)에 제공되어 있고, 표시부(914)는 하우징(912)에 제공된다. 그리고, 하우징(911)과 하우징(912)은 접속부(915)에 의하여 접속되어 있고, 하우징(911)과 하우징(912) 사이의 각도는 접속부(915)에 의하여 변경이 가능하다. 표시부(913)에서의 영상을, 접속부(915)에서의 하우징(911)과 하우징(912) 사이의 각도에 따라 전환하는 구성으로 하여도 좋다. 또한, 표시부(913) 및 표시부(914) 중 적어도 한쪽에 위치 입력 장치로서의 기능이 부가된 표시 장치를 사용하여도 좋다. 또한, 위치 입력 장치로서의 기능은, 표시 장치에 터치 패널을 제공함으로써 부가할 수 있다. 또는, 위치 입력 장치로서의 기능은 포토 센서라고도 불리는 광전 변환 소자를 표시 장치의 화소부에 제공함으로써도 부가할 수 있다.
- [0305] 도 20의 (C)는 노트북형 퍼스널 컴퓨터이고, 하우징(921), 표시부(922), 키보드(923), 포인팅 디바이스(924) 등

을 갖는다.

[0306] 도 20의 (D)는 전기 냉동 냉장고이며, 하우징(931), 냉장실용 도어(932), 냉동실용 도어(933) 등을 갖는다.

[0307] 도 20의 (E)는 비디오 카메라이며, 하우징(941), 하우징(942), 표시부(943), 조작 키(944), 렌즈(945), 접속부(946) 등을 갖는다. 조작 키(944) 및 렌즈(945)는 하우징(941)에 제공되고, 표시부(943)는 하우징(942)에 제공된다. 그리고, 하우징(941)과 하우징(942)은 접속부(946)에 의하여 접속되어 있고, 하우징(941)과 하우징(942) 사이의 각도는 접속부(946)에 의하여 변경이 가능하다. 표시부(943)에서의 영상을, 접속부(946)에서의 하우징(941)과 하우징(942) 사이의 각도에 따라 전환하는 구성으로 하여도 좋다.

[0308] 도 20의 (F)는 자동차이며, 차체(951), 차륜(952), 대시보드(953), 라이트(954) 등을 갖는다.

부호의 설명

[0309] 100: 반도체 장치

101a: 회로

101b: 회로

101c: 회로

102a: 트랜지스터

102b: 트랜지스터

102c: 트랜지스터

103a: 트랜지스터

103b: 트랜지스터

104a: 용량 소자

104b: 용량 소자

400: 기판

402: 절연체

402a: 절연체

402b: 절연체

402c: 절연체

404: 도전체

406: 반도체

406a: 반도체

406c: 반도체

408: 절연체

411: 절연체

412: 절연체

412a: 절연체

412b: 절연체

412c: 절연체

413: 도전체

414: 도전체

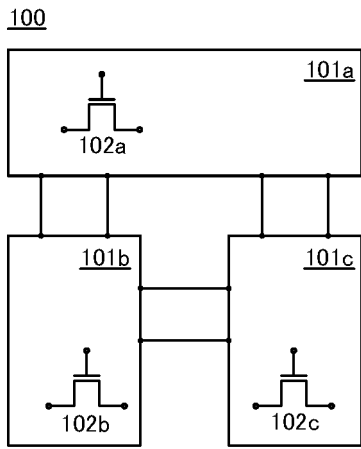
- 415: 결합 준위
- 416a: 도전체
- 416b: 도전체
- 418: 절연체
- 420: 절연체
- 423a: 저저항 영역
- 423b: 저저항 영역
- 424a: 도전체
- 424b: 도전체
- 426a: 도전체
- 426b: 도전체
- 428: 절연체
- 430: 전자
- 450: 반도체 기판
- 452: 절연체
- 454: 도전체
- 456: 영역
- 460: 영역
- 462: 절연체
- 464: 절연체
- 466: 절연체
- 468: 절연체
- 472a: 영역
- 472b: 영역
- 474a: 도전체
- 474b: 도전체
- 476a: 도전체
- 476b: 도전체
- 478a: 도전체
- 478b: 도전체
- 478c: 도전체
- 480a: 도전체
- 480b: 도전체
- 480c: 도전체
- 490: 절연체
- 492: 절연체

- 494: 절연체
- 496a: 도전체
- 496b: 도전체
- 496c: 도전체
- 496d: 도전체
- 498a: 도전체
- 498b: 도전체
- 498c: 도전체
- 498d: 도전체
- 901: 하우징
- 902: 하우징
- 903: 표시부
- 904: 표시부
- 905: 마이크로폰
- 906: 스피커
- 907: 조작 키
- 908: 스타일러스
- 911: 하우징
- 912: 하우징
- 913: 표시부
- 914: 표시부
- 915: 접속부
- 916: 조작 키
- 921: 하우징
- 922: 표시부
- 923: 키보드
- 924: 포인팅 디바이스
- 931: 하우징
- 932: 냉장실용 도어
- 933: 냉동실용 도어
- 941: 하우징
- 942: 하우징
- 943: 표시부
- 944: 조작 키
- 945: 렌즈
- 946: 접속부

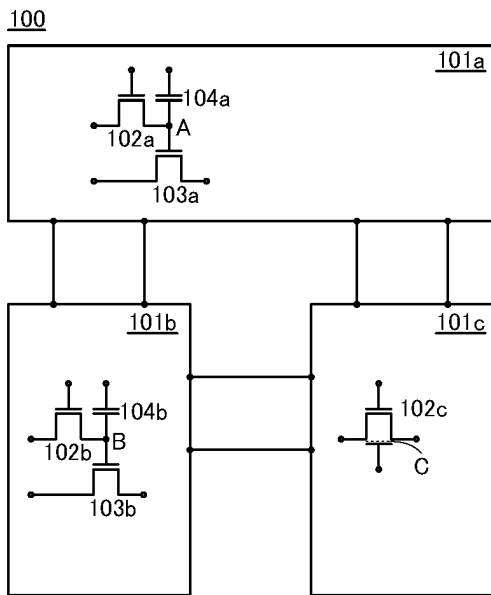
- 951: 차체
- 952: 차륜
- 953: 대시보드
- 954: 라이트
- 1189: ROM 인터페이스
- 1190: 기관
- 1191: ALU
- 1192: ALU 컨트롤러
- 1193: 인스트럭션 디코더
- 1194: 인터럽트 컨트롤러
- 1195: 타이밍 컨트롤러
- 1196: 레지스터
- 1197: 레지스터 컨트롤러
- 1198: 버스 인터페이스
- 1199: ROM
- 1200: 기억 소자
- 1201: 회로
- 1202: 회로
- 1203: 스위치
- 1204: 스위치
- 1206: 논리 소자
- 1207: 용량 소자
- 1208: 용량 소자
- 1209: 트랜지스터
- 1210: 트랜지스터
- 1213: 트랜지스터
- 1214: 트랜지스터
- 1220: 회로
- 5100: 펠릿
- 5120: 기관
- 5161: 영역

도면

도면1

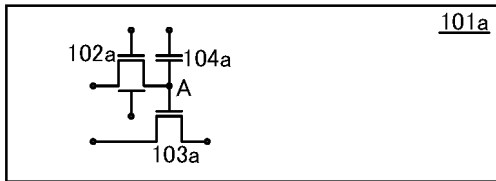


도면2

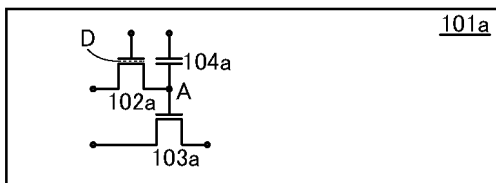


도면3

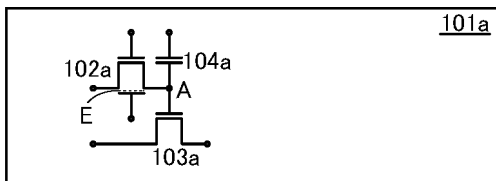
(A)



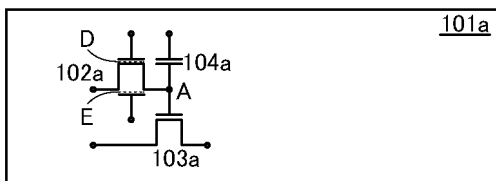
(B)



(C)

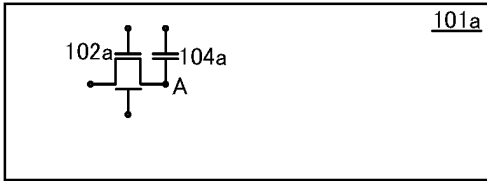


(D)

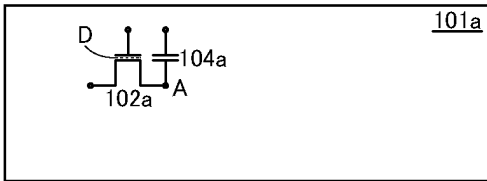


도면4

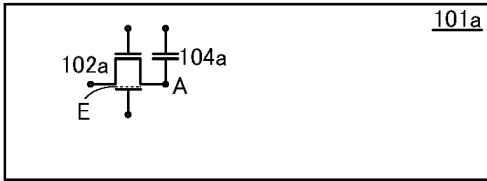
(A)



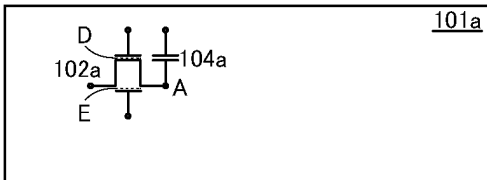
(B)



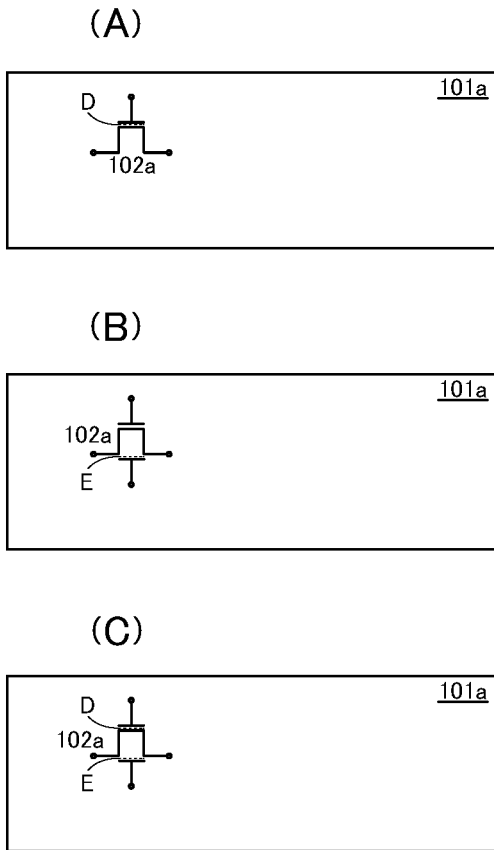
(C)



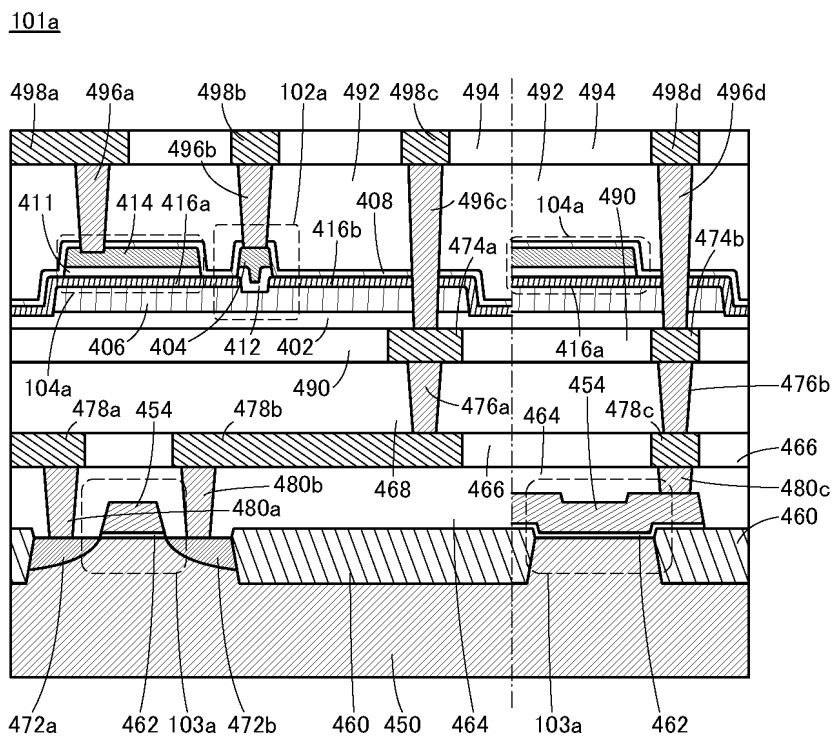
(D)



도면5

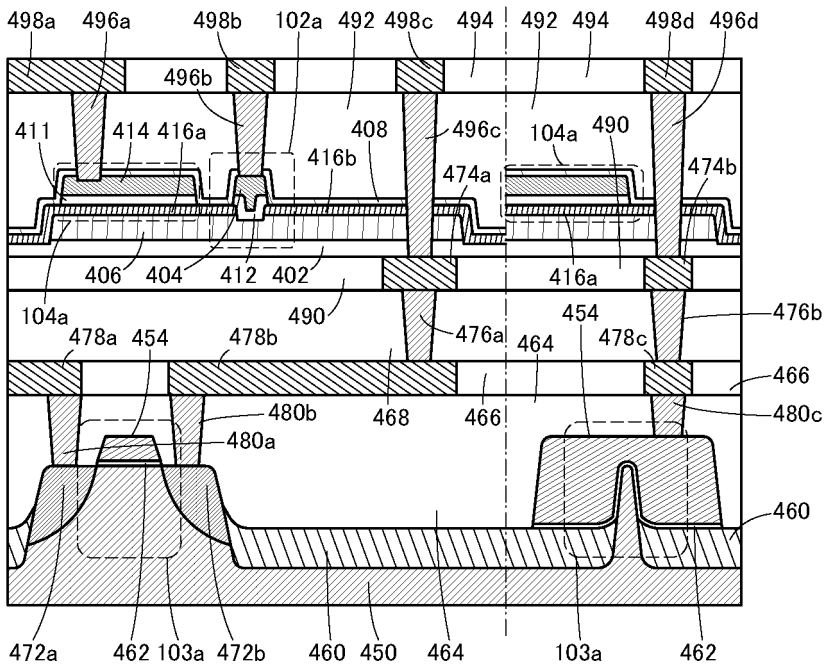


도면6



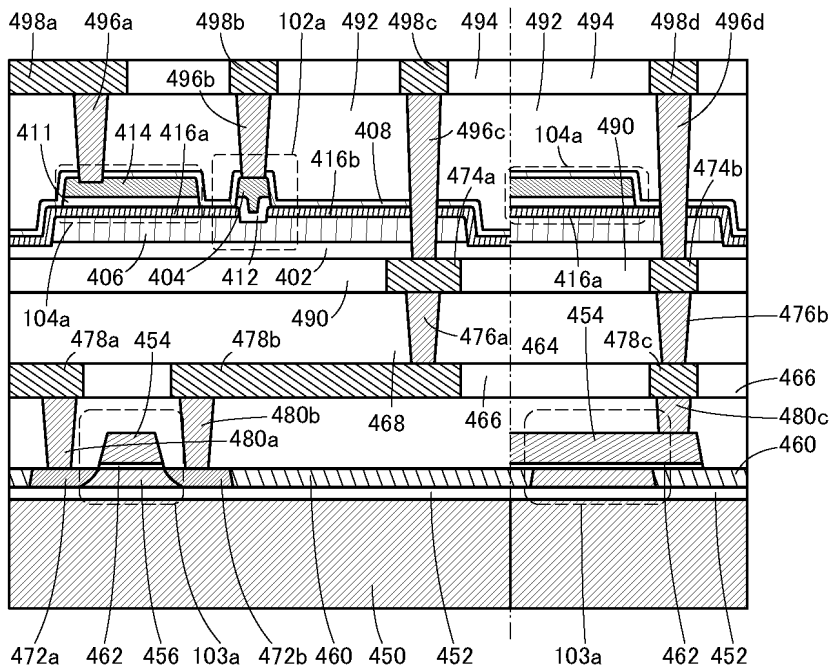
도면7

101a

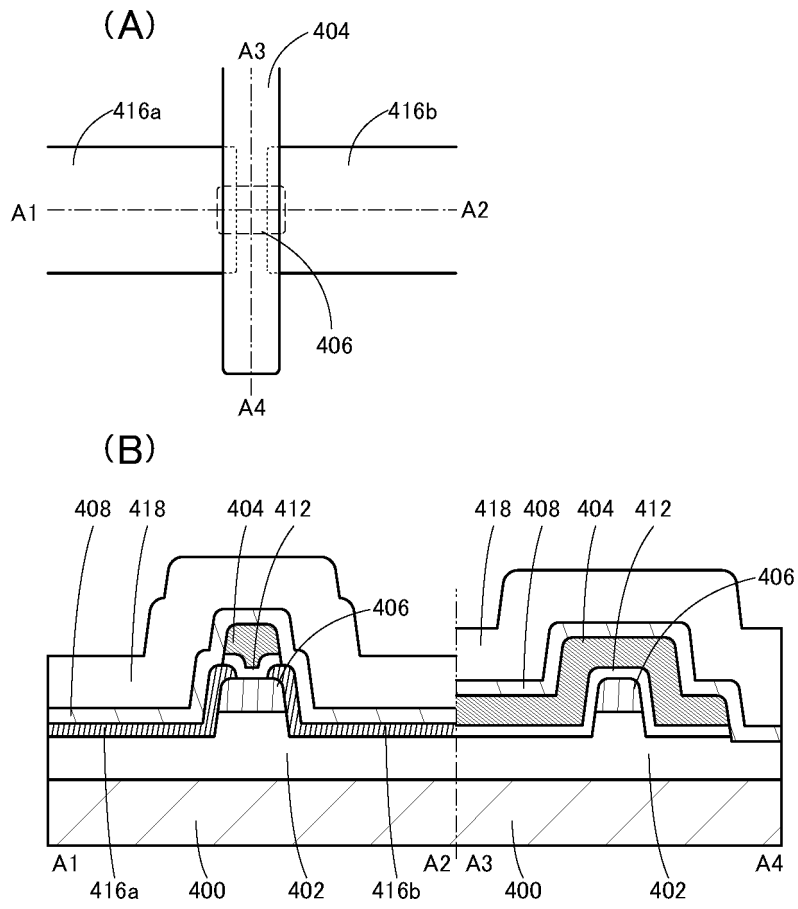


도면8

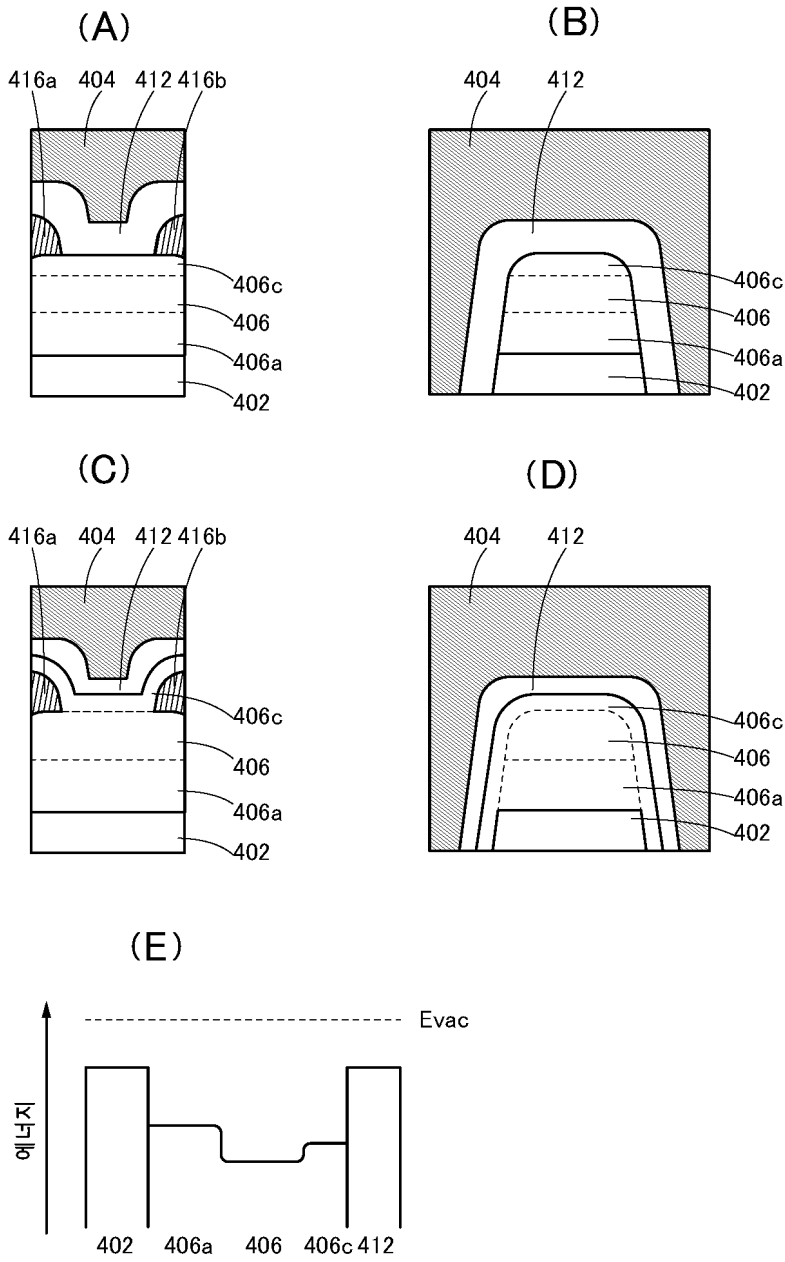
101a



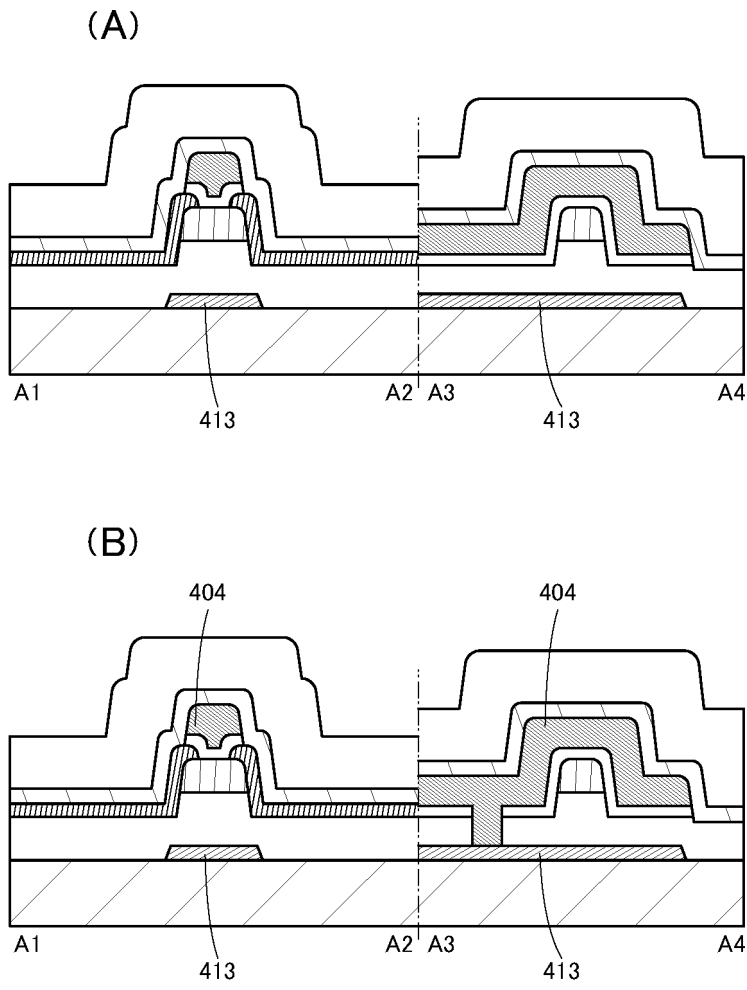
도면9



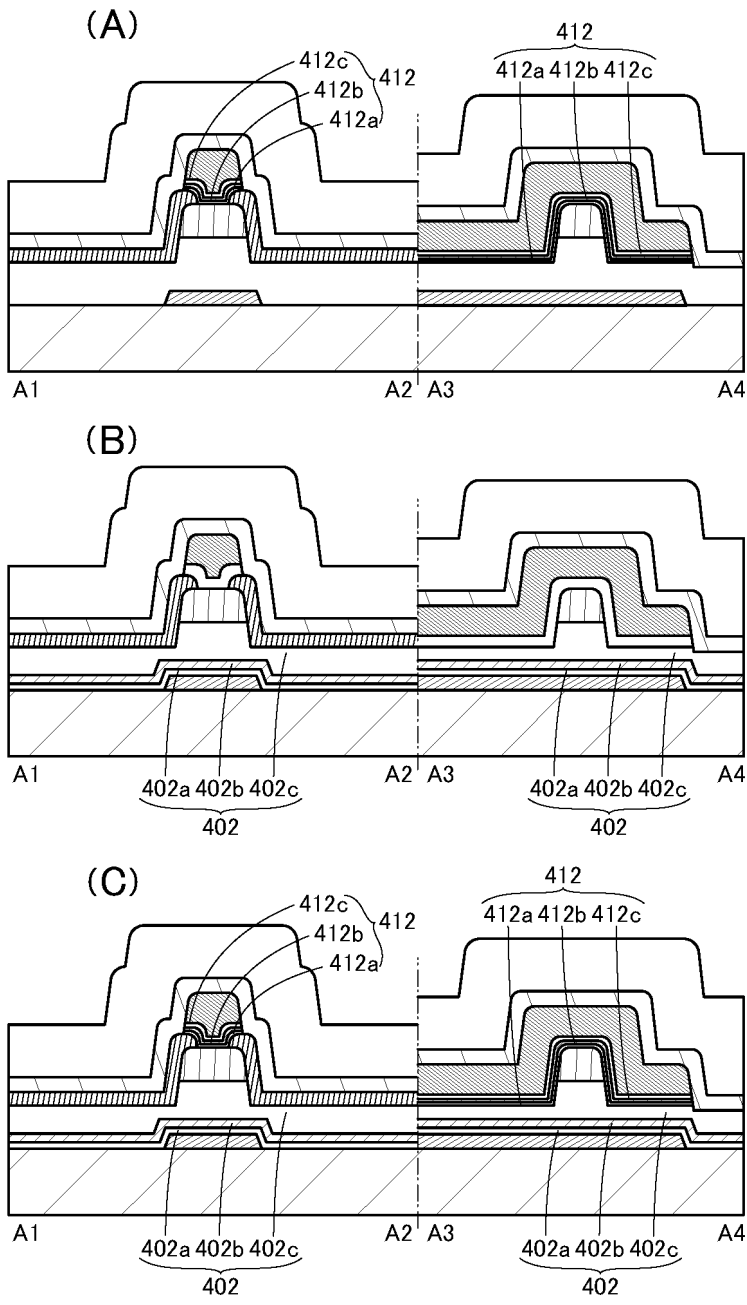
도면10



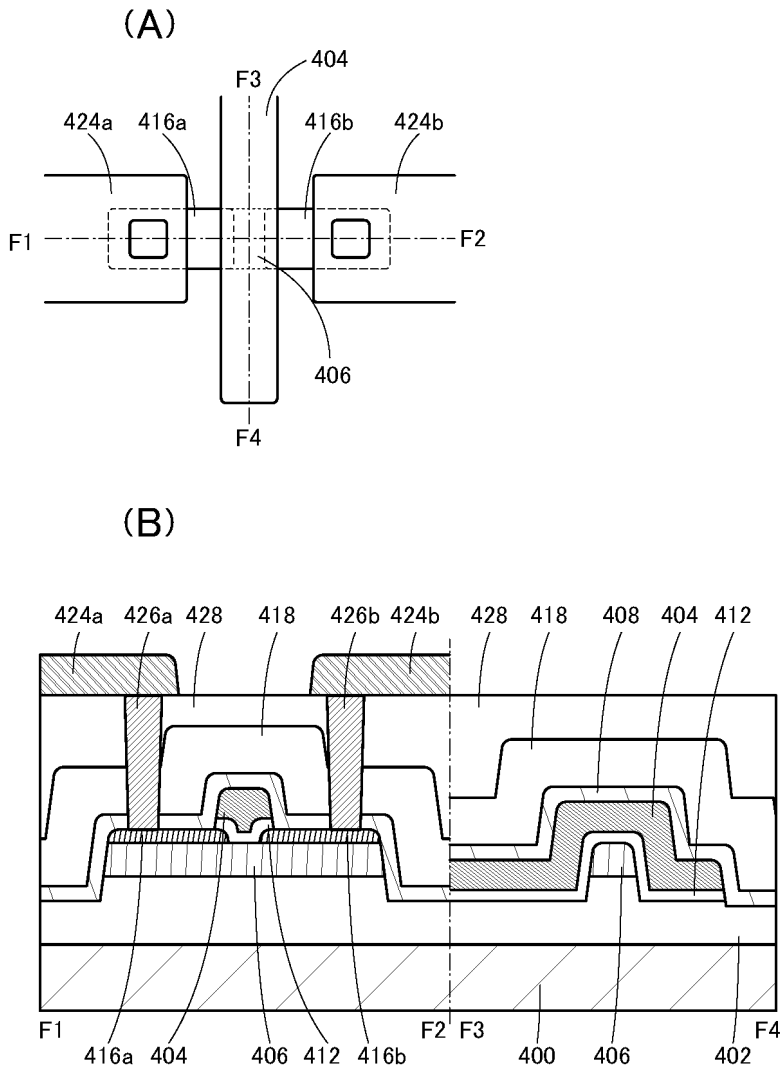
도면11



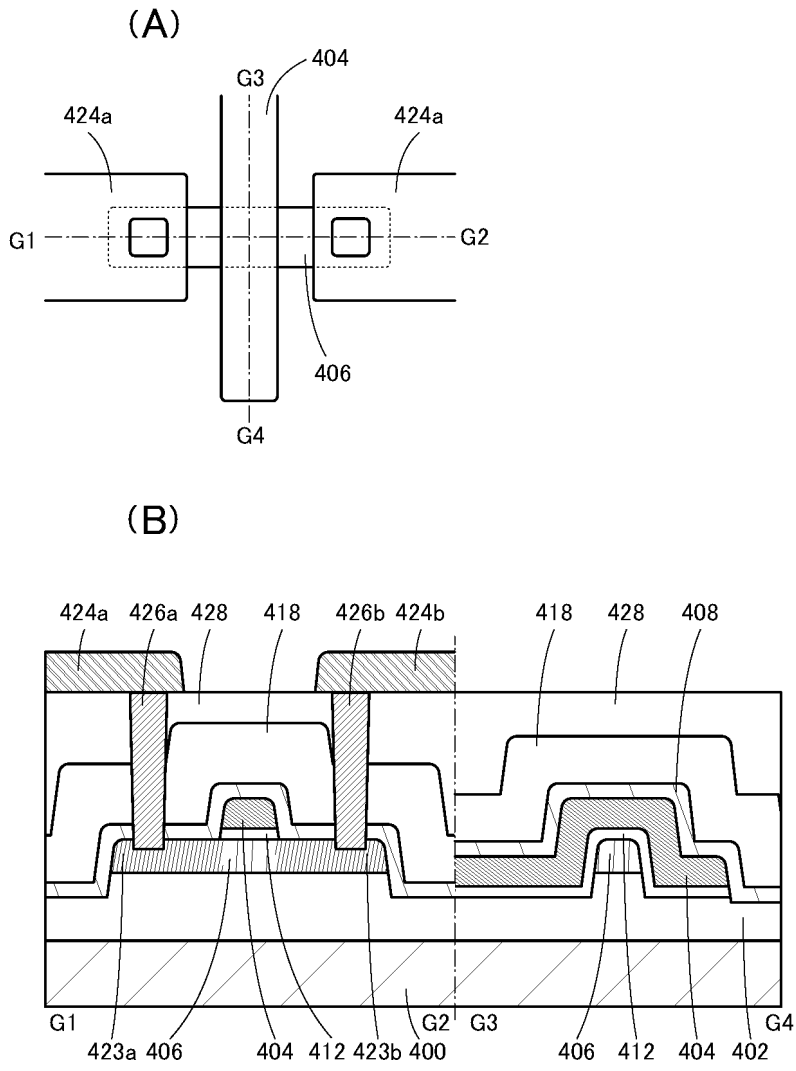
도면12



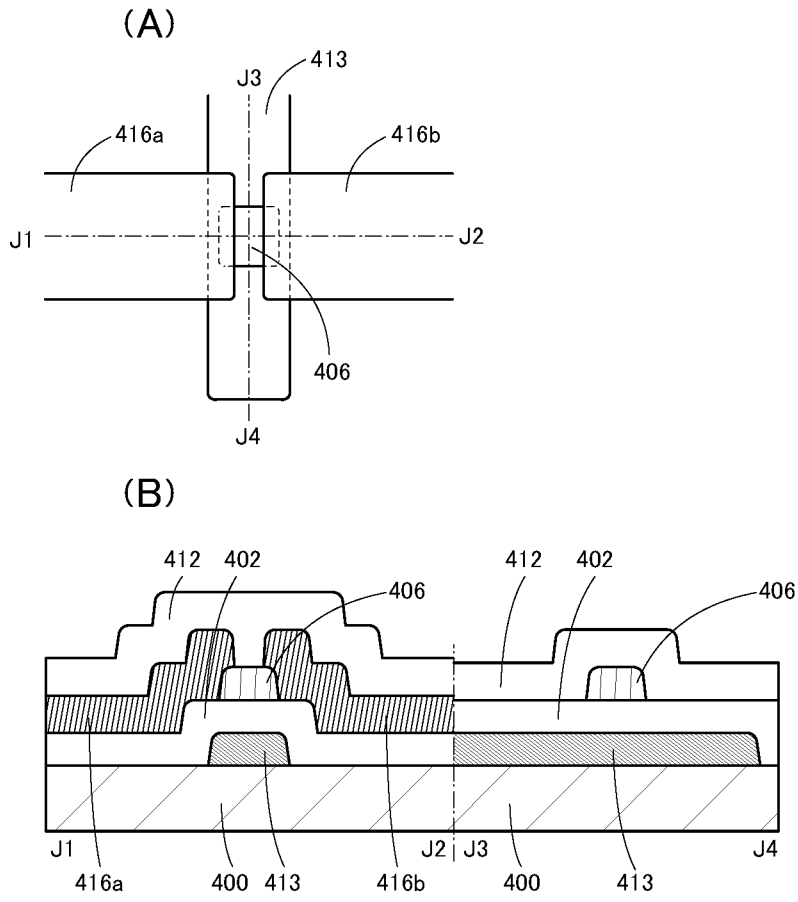
도면13



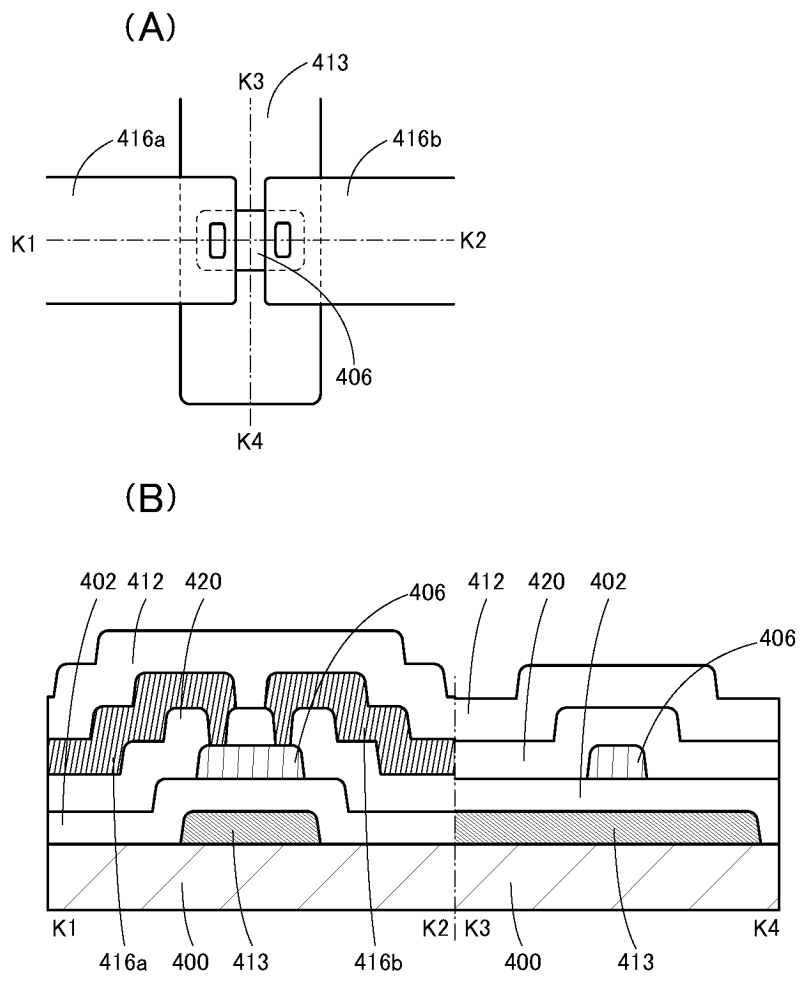
도면14



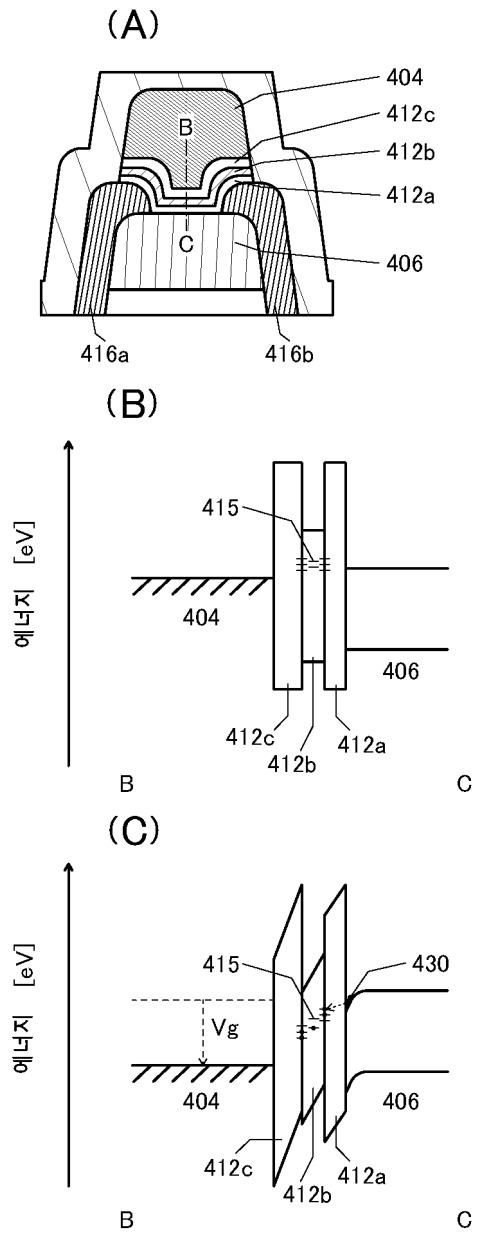
도면15



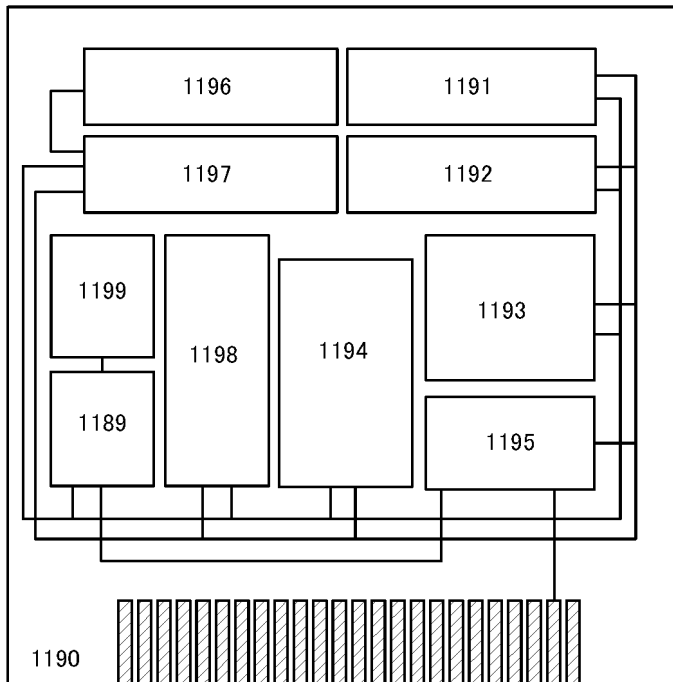
도면16



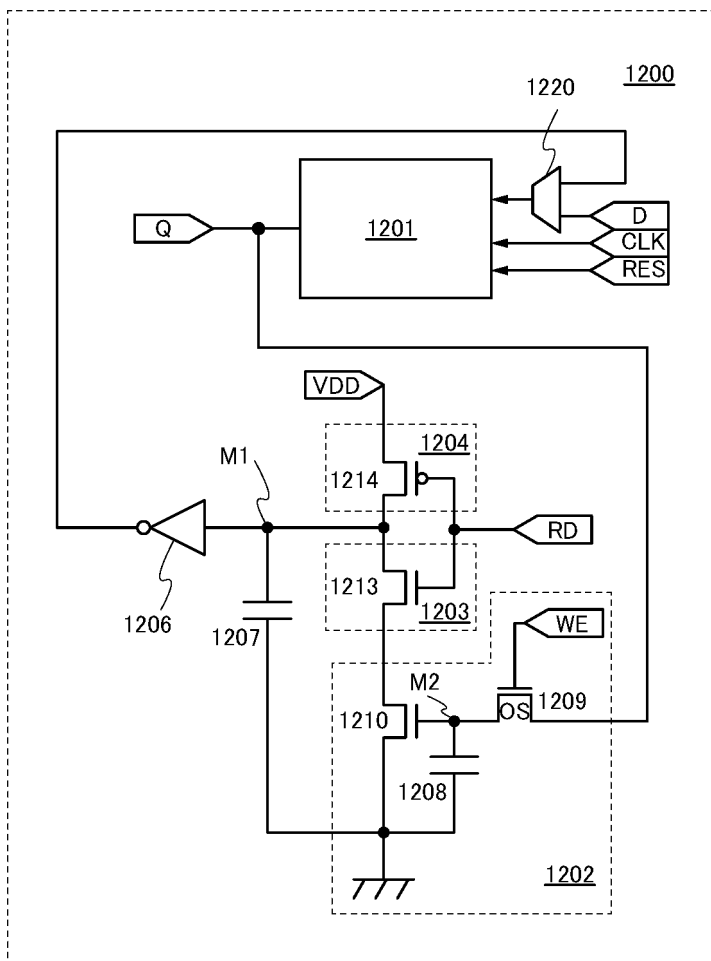
도면17



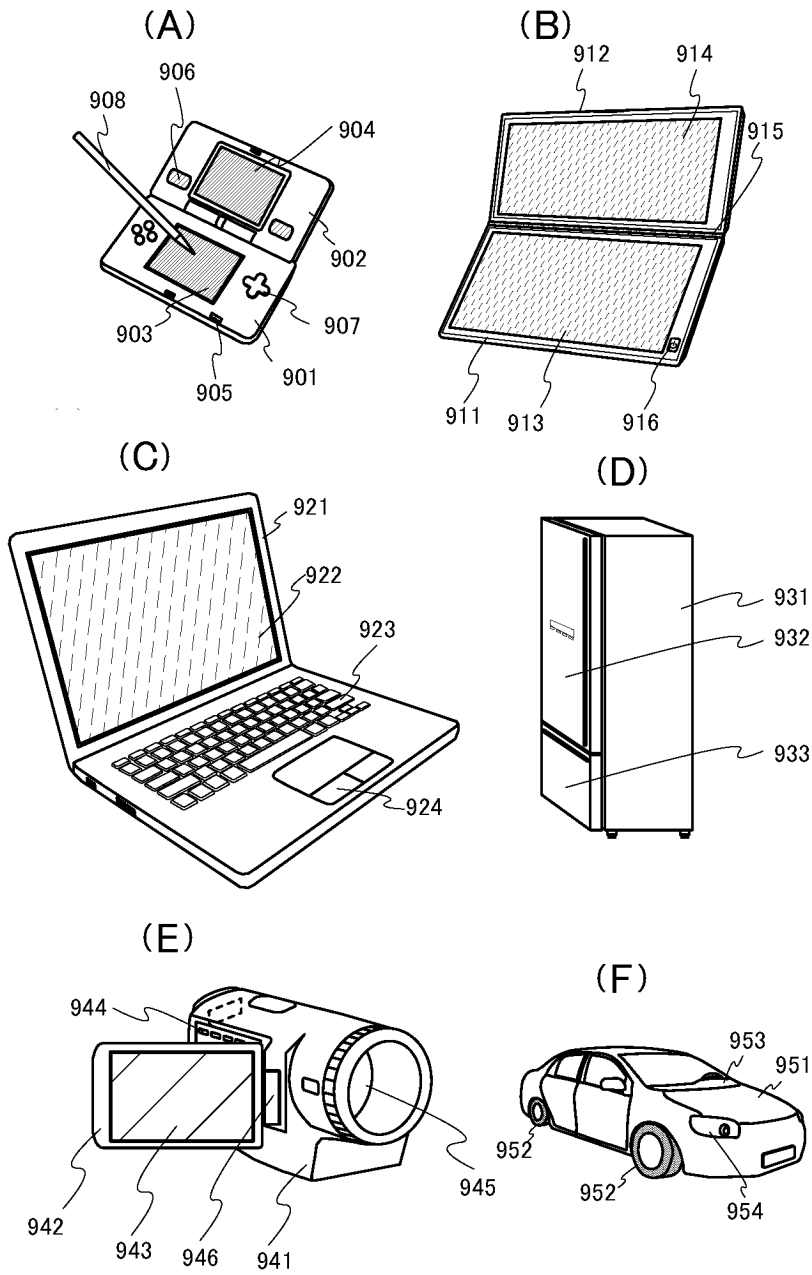
도면18



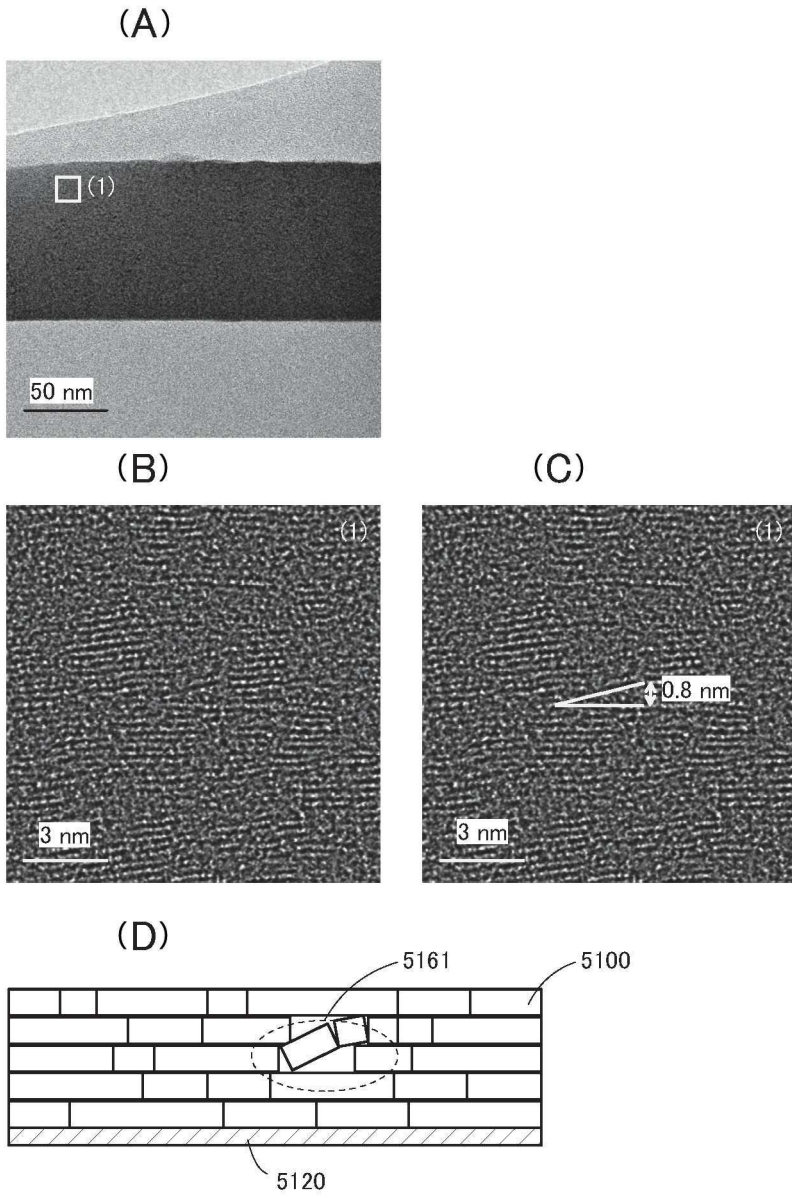
도면19



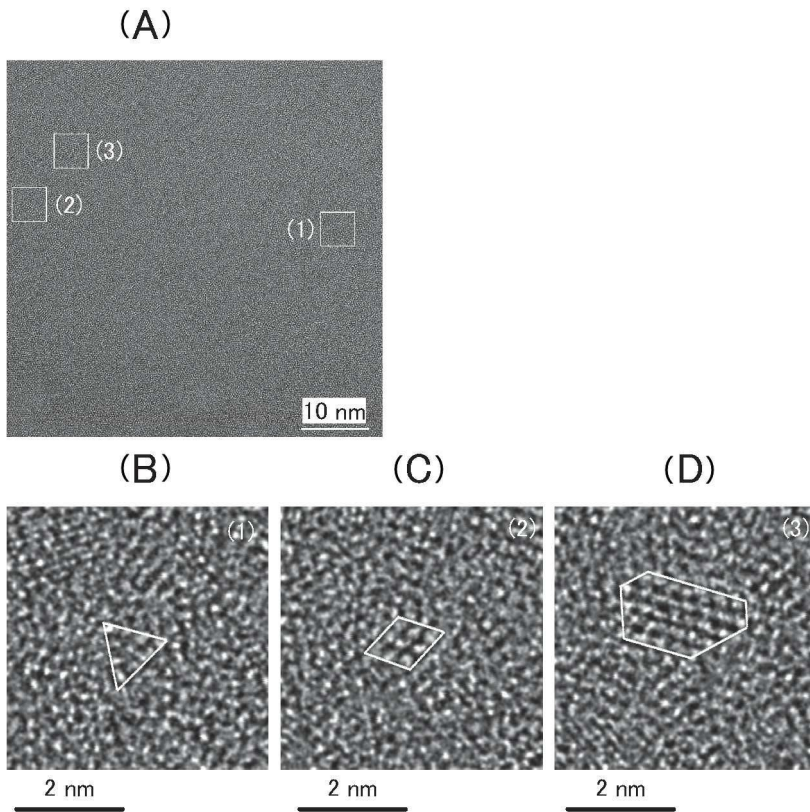
도면20



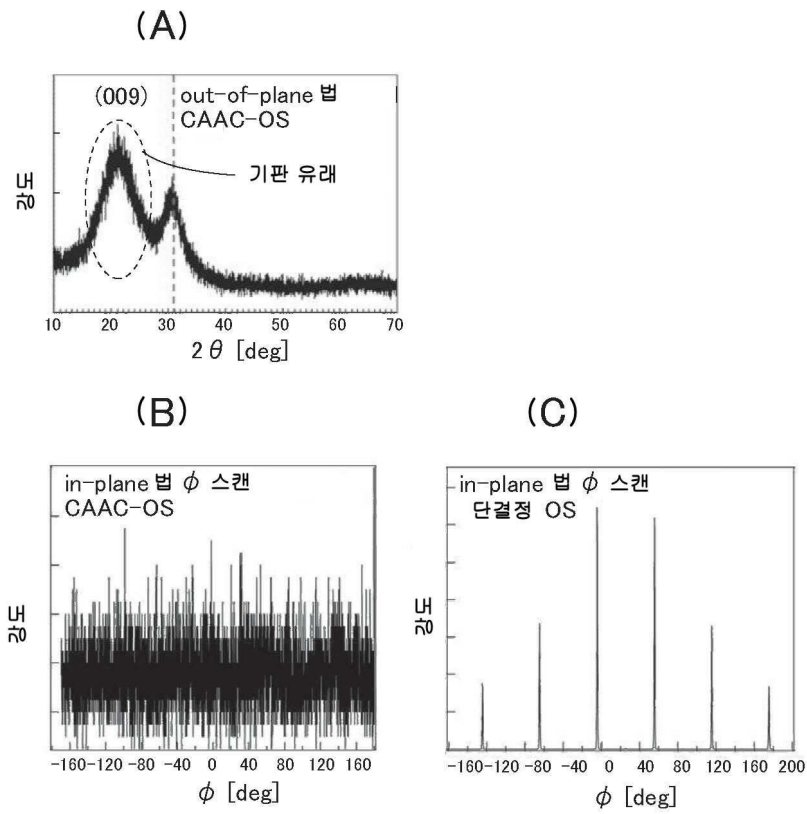
도면21



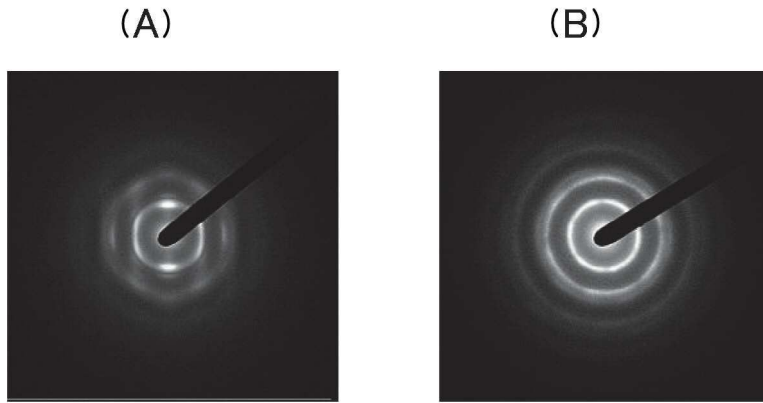
도면22



도면23



도면24



도면25

