Союз Советских Социалистических Республик

Государственный комитет СССР по делам изобретений и открытий

ОПИСАНИЕ ИЗОБРЕТЕНИЯ

К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

(11) 949823

(61) Дополнительное к авт. свид-ву —

(22) Заявлено 26.12.80 (21) 3223474/18-21

с присоединением заявки № —

(23) Приоритет —

Опубликовано 07.08.82. Бюллетень № 29

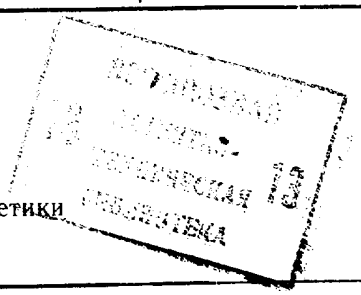
Дата опубликования описания 17.08.82

(51) М. Кл.[3] Н 03 К 27/00

(53) УДК 621.374.3(088.8)

(72) Автор изобретения В. Л. Баранов

(71) Заявитель Ордена Ленина институт кибернетики АН Украинской ССР



(54) СЧЕТЧИК

1

Изобретение относится к автоматике и вычислительной технике и может быть использовано для вычитания счета импульсов в системах с синхронной передачей сигналов.

Известен счетчик для вычитания, содержащий динамический регистр, триггер, два элемента И, элемент ИЛИ, инвертор и элемент задержки [1].

Недостаток известного счетчика для вычитания заключается в относительной сложности его реализации.

Известен также счетчик, содержащий регистр на синхронных элементах, синхронный элемент И, синхронный элемент И-ИЛИ, синхронный элемент ИЛИ и первый и второй синхронные элементы ИЛИ—НЕ, причем вход регистра соединен с выходом элемента ИЛИ, а первый вход первого синхронного элемента ИЛИ—НЕ соединен с первым входом счетчика импульсов [2].

Недостатком известного счетчика является его относительно большая сложность.

Цель изобретения — упрощение счетчика.

Поставленная цель достигается тем, что в счетчике, содержащем регистр на синхронных элементах, синхронный элемент И, синхронный элемент И—ИЛИ, синхронный элемент ИЛИ и первый и второй синхронные элементы ИЛИ—НЕ, причем вход регистра соединен с выходом элемента ИЛИ, а первый вход первого синхронного элемента ИЛИ—НЕ соединен с первым входом счетчика импульсов, выход первого синхронного элемента ИЛИ—НЕ соединен с первым входом второго синхронного элемента ИЛИ—НЕ, выход которого соединен с вторым входом первого синхронного элемента ИЛИ—НЕ и первым входом синхронного элемента ИЛИ второй вход которого соединен с выходом синхронного элемента И, первый и второй входы которого соединены с выходами соответственно первого синхронного элемента ИЛИ—НЕ и синхронного элемента И—ИЛИ, выход которого соединен с вторым входом второго синхронного элемента ИЛИ—НЕ, первый и второй входы первой группы входов по И синхронного элемента И—ИЛИ соединены соответственно с выходом регистра на синхронных элементах и вторым входом счетчика, третий и четвертый входы которого соединены соответственно с первым

2

и вторым входами второй группы входов по И синхронного элемента И—ИЛИ.

На чертеже показана структурная схема счетчика.

Счетчик содержит регистр 1 на синхронных элементах, синхронный элемент И 2, синхронный элемент И—ИЛИ 3, синхронный элемент ИЛИ 4 и первый 5 и второй 6 синхронные элементы ИЛИ—НЕ, причем вход регистра 1 соединен с выходом элемента ИЛИ 4, а первый вход первого синхронного элемента ИЛИ—НЕ 5 соединен с первым входом 7 счетчика импульсов, выход первого синхронного элемента ИЛИ—НЕ 5 соединен с первым входом второго синхронного элемента ИЛИ—НЕ 6, выход которого соединен с вторым входом первого синхронного элемента ИЛИ—НЕ 5 и первым входом синхронного элемента ИЛИ 4, второй вход которого соединен с выходом синхронного элемента И 2, первый и второй входы которого соединены с выходами соответственно первого синхронного элемента ИЛИ—НЕ 5 и синхронного элемента И—ИЛИ 3, выход которого соединен с вторым входом второго синхронного элемента ИЛИ—НЕ 6, первый и второй входы первой группы входов по И синхронного элемента И—ИЛИ 3 соединены соответственно с выходом регистра 1 на синхронных элементах и вторым входом 8 счетчика, третий 9 и четвертый 10 входы которого соединены соответственно с первым и вторым входами второй группы входов по И синхронного элемента И—ИЛИ 3.

Счетчик работает следующим образом.

На вход 8 сброса и вход 9 записи подаются сигналы логического нуля и логической единицы соответственно, а на информационный вход 10 поступает, начиная с младшего разряда, последовательно двоичный код начальной установки счетчика, который сдвигается через элементы И—ИЛИ 3 и И 2 в разряды регистра 1. По окончании записи последовательного двоичного кода начальной установки счетчика на вход 8 сброса и вход 9 записи подаются сигналы логической единицы и логического нуля соответственно. Регистр 1 переходит в режим хранения последовательного двоичного кода начальной установки счетчика. В этом режиме любой единичный логический сигнал, сдвигаемый с выхода элемента И—ИЛИ 3, поступая на второй вход элемента ИЛИ—НЕ 6, устанавливает на его выходе нулевой логический сигнал, который совместно с нулевым логическим сигналом, действующим по счетному входу 7, устанавливает на выходе элемента ИЛИ—НЕ 5 единичный логический сигнал.

Как только на счетный вход 7 поступает первый импульс входной последовательности, на выходе элемента ИЛИ—НЕ 5 формируется нулевой логический сигнал, который закрывает элемент И 2 к моменту сдвига с выхода элемента И—ИЛИ 3 младшего разряда двоичного кода начальной установки.

Если в младшем разряде содержится код единицы, то единичный логический сигнал, сдвигаемый с выхода элемента И—ИЛИ 3, на вход элемента И 2 не проходит и, поступая на второй вход элемента ИЛИ—НЕ 6, формирует на его выходе нулевой логический сигнал. Таким образом, с выхода последнего разряда (с выхода элемента И 2) и с выхода элемента ИЛИ—НЕ 6 на входы элемента ИЛИ 4 предпоследнего разряда вместо единичного логического сигнала младшего разряда двоичного кода начальной установки сдвигается нулевой логический сигнал. В следующем такте по окончании действия первого импульса на счетном входе 7 на выходе элемента ИЛИ—НЕ 5 формируется единичный логический сигнал, который открывает элемент И 2 и, поступая на первый вход элемента ИЛИ—НЕ 6, поддерживает на его выходе нулевой логический сигнал. В результате регистр 1 возвращается в режим хранения двоичного кода начальной установки, который уменьшается на единицу младшего разряда.

Если во время поступления на счетный вход 7 первого импульса в младшем разряде двоичного кода начальной установки содержится код нуля, то на выходе элемента ИЛИ—НЕ 6 формируется единичный логический сигнал, который сдвигается на второй вход элемента ИЛИ 4 предпоследнего разряда, записывая единичный логический сигнал вместо нулевого логического сигнала младшего разряда двоичного кода начальной установки. Если в следующих тактах с выхода элемента И—ИЛИ 3 сдвигаются нулевые логические сигналы второго и последующих разрядов двоичного кода начальной установки, то с выхода элемента ИЛИ—НЕ 6 сдвигается единичный логический сигнал на второй вход элемента ИЛИ 4 предпоследнего разряда регистра 1. Так продолжается до первого, начиная с младшего разряда, единичного логического сигнала, сдвигаемого с выхода элемента И—ИЛИ 3. В этом случае единичный логический сигнал, сдвигаемый с выхода элемента И—ИЛИ 3, поступает на второй вход элемента ИЛИ—НЕ 6 и формирует на его выходе нулевой логический сигнал. Поскольку в это время на выходе элемента ИЛИ—НЕ 5 также действует нулевой логический сигнал, закрывающий элемент И 2, то на входы элемента ИЛИ 4 с выходов элементов ИЛИ—НЕ 6 и И 2 поступают нулевые логические сигналы, записывающие нулевой код по месту первого единичного кода начальной установки счетчика. В следующих тактах после сдвига с выхода элемента И—ИЛИ 3 пер-

вого, начиная с младшего разряда, единичного кода начальной установки счетчика на входах элемента ИЛИ—НЕ 5 действуют нулевые логические сигналы, которые формируют на выходе элемента ИЛИ—НЕ 5 единичный логический сигнал, который открывает элемент И 2, и, поступая на первый вход элемента ИЛИ—НЕ 6, поддерживает на его выходе нулевой логический сигнал. Таким образом, и в этом случае регистр 1 возвращается в режим хранения двоичного кода начальной установки, который уменьшается на единицу младшего разряда. Например, код 10110000 начальной установки изменяется на код 10101111.

Аналогичным образом работает счетчик для вычитания во время поступления на счетный вход 7 следующих импульсов входной последовательности.

Технико-экономическое преимущество предлагаемого счетчика для вычитания заключаются в упрощении устройства.

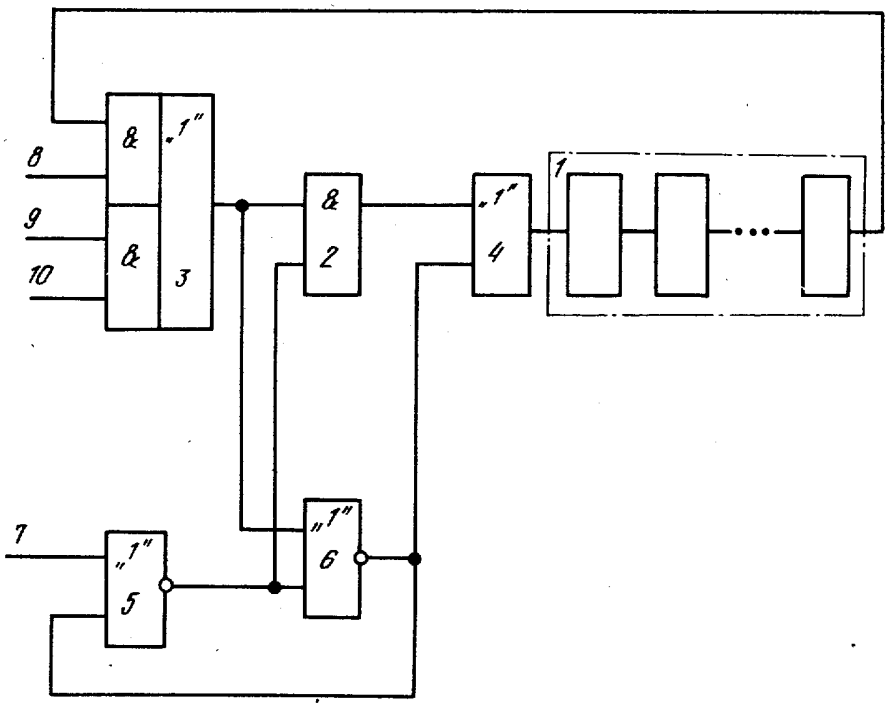
Формула изобретения

Счетчик, содержащий регистр на синхронных элементах, синхронный элемент И, синхронный элемент И—ИЛИ, синхронный элемент ИЛИ и первый и второй синхронные элементы ИЛИ—НЕ, причем вход регистра соединен с выходом элемента ИЛИ, а первый вход первого синхронного элемента ИЛИ—НЕ соединен с первым входом счетчика импульсов, *отличающийся* тем, что, с целью упрощения, выход первого синхронного элемента ИЛИ—НЕ соединен с первым входом второго синхронного элемента ИЛИ—НЕ, выход которого соединен с вторым входом первого синхронного элемента ИЛИ—НЕ и первым входом синхронного элемента ИЛИ, второй вход которого соединен с выходом синхронного элемента И, первый и второй входы которого соединены с выходами соответственно первого синхронного элемента ИЛИ— НЕ и синхронного элемента И—ИЛИ, выход которого соединен с вторым входом второго синхронного элемента ИЛИ—НЕ, первый и второй входы первой группы входов по И синхронного элемента И—ИЛИ соединены соответственно с выходом регистра на синхронных элементах и вторым входом счетчика, третий и четвертый входы которого соединены соответственно с первым и вторым входами второй группы входов по И синхронного элемента И—ИЛИ.

Источники информации,
принятые во внимание при экспертизе

1. Авторское свидетельство СССР № 485565, кл. Н 03 К 27/00, 1975.

2. Филлиппов А. Г. Белкин О. С. Проектирование логических узлов ЭВМ. М., «Сов. радио», 1974.



Составитель О. Скворцов
Редактор А. Огар Техред А. Бойкас Корректор В. Бутяга
Заказ 5497/48 Тираж 959 Подписное
ВНИИПИ Государственного комитета СССР
по делам изобретений и открытий
113035, Москва, Ж—35, Раушская наб., д. 4/5
Филиал ППП «Патент», г. Ужгород, ул. Проектная, 4