

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2013 年 12 月 12 日(12.12.2013)



(10) 国際公開番号
WO 2013/183230 A1

- (51) 国際特許分類:
G02F 1/1368 (2006.01) *H01L 21/336* (2006.01)
G02F 1/13 (2006.01) *H01L 29/786* (2006.01)
- (21) 国際出願番号: PCT/JP2013/003072
- (22) 国際出願日: 2013 年 5 月 14 日(14.05.2013)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2012-130258 2012 年 6 月 7 日(07.06.2012) JP
- (71) 出願人: パナソニック液晶ディスプレイ株式会社(PANASONIC LIQUID CRYSTAL DISPLAY CO., LTD.) [JP/JP]; 〒6728033 兵庫県姫路市飾磨区妻鹿日田町 1-6 Hyogo (JP).
- (72) 発明者: 河内 玄士朗(KAWACHI, Genshiro).
- (74) 代理人: 特許業務法人はるか国際特許事務所(HARUKA PATENT & TRADEMARK ATTORNEYS); 〒1600023 東京都新宿区西新宿三丁目 1 番 4 号 ウエル新都心ビル 4 階 Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA,

BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

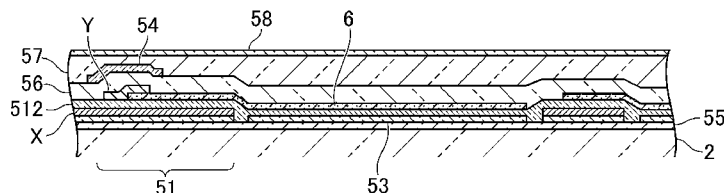
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーロパ (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 国際調査報告 (条約第 21 条(3))
- 補正された請求の範囲及び説明書 (条約第 19 条(1))

(54) Title: LIQUID CRYSTAL DISPLAY APPARATUS AND METHOD FOR MANUFACTURING LIQUID CRYSTAL DISPLAY APPARATUS

(54) 発明の名称: 液晶表示装置及び液晶表示装置の製造方法



(57) Abstract: This liquid crystal display apparatus has: an array substrate (2); a plurality of pixels demarcated by means of image signal lines (Y) and scanning signal lines (X), which are formed on the array substrate (2); a TFT (51), which is disposed on each of the pixels; and a pixel electrode, which is disposed in each of the pixels. A channel semiconductor layer of the TFT (51), and the pixel electrode are formed of one continuous oxide semiconductor layer (6), and in a state wherein a gate voltage is not applied, electric conductivity of the pixel electrode is higher than that of the channel semiconductor layer.

(57) 要約: アレイ基板 (2) と、アレイ基板 (2) 上に形成された映像信号線 Y と走査信号線 X により区画された複数の画素と、前記画素毎に配置される TFT (51) と、前記画素内に配置される画素電極と、を有し、TFT (51) のチャネル半導体層と前記画素電極は一続きに連続する酸化半導体の層 (6) であり、ゲート電圧が印加されていない状態において、前記チャネル半導体層の電気伝導率より前記画素電極の電気伝導率が大きい液晶表示装置。

WO 2013/183230 A1

明 細 書

発明の名称： 液晶表示装置及び液晶表示装置の製造方法

技術分野

[0001] 本発明は液晶表示装置及び液晶表示装置の製造方法に関する。

背景技術

[0002] 近年、TAOS (Transparent Amorphous Oxide Semiconductor) の一種であるIGZO (Indium-Gallium-Zinc-Oxide) が、その電気伝導率の高さから注目を集めており、アクティブマトリクス型の液晶表示装置や、有機EL表示装置に用いられるTFT (Thin Film Transistor) の構成材料としての検討がなされている。

[0003] 特開2010-263064号公報には、IGZOからなるTFTの半導体層の上にゲート絶縁膜を介して遮光性を備えるゲート電極を形成し、紫外線を該ゲート電極の側から該半導体層に向けて照射することにより照射前よりも導電率の高いアモルファスのソース領域及びドレイン領域を構成する薄膜トランジスタの製造方法が記載されている。

発明の概要

発明が解決しようとする課題

[0004] 液晶表示装置を製造するにあたり、TFTの構造を単純化することができれば、製造コストの低減や、TFTが占める領域を縮小することによる開口率の向上あるいは画素の高精細化といった有利な効果が期待できる。

[0005] 本発明は、IGZO或いはそれに類する材料の性質に注目することによりなされたものであり、その課題は、液晶表示装置に用いられるTFTの構造を単純化することである。

課題を解決するための手段

[0006] 本出願において開示される発明は種々の側面を有しており、それら側面の代表的なものの概要は以下のとおりである。

- [0007] (1) アレイ基板と、前記アレイ基板上に形成された映像信号線と走査信号線により区画された複数の画素と、前記画素毎に配置される T F T と、前記画素内に配置される画素電極と、を有し、前記 T F T のチャネル半導体層と前記画素電極は一続きに連続する酸化物半導体の層であり、ゲート電圧が印加されていない状態において、前記チャネル半導体層の電気伝導率より前記画素電極の電気伝導率が大きい液晶表示装置。
- [0008] (2) (1) において、前記酸化物半導体は、I n、G a、Z n、S n、C u 及び C d から選択された 1 つ乃至複数の金属元素を含む金属酸化物である液晶表示装置。
- [0009] (3) (1) 又は (2) において、平面視において、前記チャネル半導体層は、ゲート絶縁膜を介して前記走査信号線と重なり合い、前記走査信号線は、前記 T F T のゲート電極として機能する液晶表示装置。
- [0010] (4) アレイ基板を用意する工程と、前記アレイ基板上に走査信号線を形成する工程と、前記アレイ基板上にゲート絶縁膜を形成する工程と、前記アレイ基板上に酸化物半導体の層を形成する工程と、前記酸化物半導体の層の一部分と重なり合うように映像信号線を形成する工程と、前記酸化物半導体の層の一部分にエネルギー線を照射して画素電極を形成する工程と、を有する液晶表示装置の製造方法。
- [0011] (5) (4) において、前記酸化物半導体の層は、平面視において、その一部分が前記ゲート絶縁膜を介して前記走査信号線と重なり合うように形成される液晶表示装置の製造方法。
- [0012] (6) (4) 又は (5) において、前記エネルギー線を照射して画素電極を形成する工程は、前記アレイ基板とカラーフィルタ基板を液晶層を挟持するよう貼り合わせた後に実施される液晶表示装置の製造方法。
- [0013] (7) アレイ基板と、前記アレイ基板上に形成された映像信号線と走査信号線により区画された複数の画素と、前記画素内に配置された透明電極によって構成された共通電極と、前記画素毎に配置される T F T と、前記画素内に前記共通電極上に絶縁層を介して重畳するように配置された画素電極と、

前記映像信号線上に絶縁層を介して重畳する遮蔽電極を有し、前記ＴＦＴのチャネル半導体層と前記画素電極は一続きに連続する酸化物半導体の層である液晶表示装置。

発明の効果

- [0014] 上記本発明の（１）、（２）又は（７）の側面によれば、液晶表示装置においてＴＦＴの構造を単純化できる。
- [0015] 上記本発明の（３）の側面によれば、画素の開口率の向上、又は画素の開口率を低下させることなく画素の高精細化ができる。
- [0016] 上記本発明の（４）の側面によれば、ＴＦＴの構造を単純化した液晶表示装置が製造できる。
- [0017] 上記本発明の（５）の側面によれば、紫外線を遮るための別途の遮光層あるいはマスクを用意することなく、画素電極を形成することができる。
- [0018] 上記本発明の（６）の側面によれば、ＴＦＴのチャネル部分の導電率に影響を与えることなく、画素電極部の導電率だけを選択的に増大させることが可能となる。また、液晶セル組み立て後に行うことで、増大した画素電極部の導電率を安定に保つことができる。

図面の簡単な説明

- [0019] [図１]本発明の実施形態に係る液晶表示装置の外観斜視図である。
- [図２]本発明の実施形態に係る液晶表示装置のアレイ基板上に形成された回路の構成を示す図である。
- [図３]画像表示領域に形成される画素の一つを回路図により示した図である。
- [図４]アレイ基板上の画像表示領域に含まれる画素の平面構造を示す部分拡大図である。
- [図５]図４のＶ－Ｖ線による断面図である。
- [図６Ａ]液晶表示装置の製造方法を説明する図である。
- [図６Ｂ]液晶表示装置の製造方法を説明する図である。
- [図６Ｃ]液晶表示装置の製造方法を説明する図である。
- [図６Ｄ]液晶表示装置の製造方法を説明する図である。

[図6E]液晶表示装置の製造方法を説明する図である。

[図6F]液晶表示装置の製造方法を説明する図である。

[図6G]液晶表示装置の製造方法を説明する図である。

発明を実施するための形態

[0020] 以下、本発明の実施形態を図面を参照しつつ説明する。

[0021] 図1は、本発明の実施形態に係る液晶表示装置1の外観斜視図である。液晶表示装置1は、アレイ基板2とカラーフィルタ基板3の間に数マイクロメートル程度の厚みの液晶材料を挟み込んだ構造であり、カラーフィルタ基板3の外周に沿って設けられるシール材により、アレイ基板2とカラーフィルタ基板3が接着されるとともに、液晶材料が漏れ出ることが無いよう封止される。

[0022] アレイ基板2は、その前面に多数のスイッチング素子や画素電極を格子状に形成したガラス基板であり、スイッチング素子としてTFTを用いていることから、TFT基板とも呼ばれる。アレイ基板2は、図示のようにカラーフィルタ基板3より外形が大きく、その少なくとも一辺がカラーフィルタ基板3から飛び出していることにより、前面が露出している。アレイ基板2の前面の露出部分には、多数のTFTのオン／オフや、各画素電極に印加される映像信号の制御を行う制御回路であるドライバIC21が実装されているとともに、液晶表示装置1を例えばFPC(Flexible Printed Circuits)等により外部の機器と電氣的に接続するための接続端子22が形成されている。

[0023] カラーフィルタ基板3は、液晶表示装置1が画像を形成する際の単位となる画素毎に赤、緑、青に塗り分けられた色付き薄膜が形成されたガラス基板であり、かかる色付き薄膜はアレイ基板2に形成された画素電極に対応する位置に設けられる。

[0024] また、アレイ基板2の背面及びカラーフィルタ基板3の前面には、偏光フィルム4が貼り付けられる。

[0025] なお、以上示した実施形態では、液晶表示装置1は、いわゆる透過型であ

り、アレイ基板 2 及びカラーフィルタ基板 3 はガラス等の透明基板であるが、反射型とする場合には、必ずしも透明である必要はなく、その材質もガラスに限定されない。また、ここで示した実施形態では、液晶表示装置 1 はフルカラー表示が可能なものであるため、カラーフィルタ基板 3 には赤、緑及び青の色付き薄膜が設けられているが、この色の組み合わせは異なるものとしてもよく、また、液晶表示装置 1 をモノクロ表示のものとして色付き薄膜を単色のものとし、あるいは省略してもよい。

[0026] 図 2 は、本発明の実施形態に係る液晶表示装置 1 のアレイ基板 2 上に形成された回路の構成を示す図である。

[0027] アレイ基板 2 上には、多数の画素が格子状に配置された矩形の画像表示領域 5 が形成されている。なお、画像表示領域 5 の解像度や、左右方向及び上下方向の長さは、液晶表示装置 1 の用途に応じて定められる。本実施形態で例示する液晶表示装置 1 は縦長形状（左右方向の長さが上下方向の長さより短い）であるが、これは、液晶表示装置 1 がいわゆるスマートフォン等の携帯情報端末向けの表示装置としての用途を想定しているためであり、用途によっては、画像表示領域 5 が横長形状（左右方向の長さが上下方向の長さより長い）であっても、左右方向と上下方向の長さが等しくともよい。

[0028] アレイ基板 2 上には、画像表示領域 5 を貫くように複数の走査信号線 X と複数の映像信号線 Y が形成されている。走査信号線 X と映像信号線 Y は互いに直交しており、画像表示領域 5 を格子状に区画する。そして隣接する 2 つの走査信号線 X と隣接する 2 つの映像信号線 Y によって囲まれた領域が 1 つの画素となっている。

[0029] 図 3 は、画像表示領域 5 に形成される画素の一つを回路図により示した図である。図中に示した、走査信号線 X_n 及び X_{n+1} 並びに映像信号線 Y_n 及び Y_{n+1} に囲まれた領域が一つの画素となっている。ここで注目する画素は、映像信号線 Y_n 及び走査信号線 X_n により駆動されるものとする。各画素には、TFT 51 が設けられている。TFT 51 は走査信号線 X_n から入力される走査信号によってオン状態となる。映像信号線 Y_n は当該画素の

画素電極 5 2 に、オン状態の T F T 5 1 を介して電圧（各画素の階調値を表す信号）を加える。

[0030] また、画素電極 5 2 に対応して、アレイ基板 2 とカラーフィルタ基板 3 間に挟まれて封入されている液晶層を介して容量を形成するように共通電極 5 3 が形成されている。共通電極 5 3 は、共通電位に電氣的に接続される。そのため、画素電極 5 2 に印加された電圧に応じて、画素電極 5 2 と共通電極 5 3 の間の電界が変化し、それにより液晶層中の液晶の配向状態が変化し、画像表示領域 5 を透過する光線の偏光状態を制御する。この液晶層により制御される偏光方向と、アレイ基板 2 とカラーフィルタ基板 3 に貼り付けられた偏光フィルム 4 の偏光方向との関係により、液晶表示装置 1 を透過する光線の透過率が決まり、各画素は光の透過率を制御する素子として機能する。そして、各画素の光の透過率を入力された画像データに応じて制御することにより画像が表示される。従って、液晶表示装置 1 において、画素が形成されている領域が、画像が表示される画像表示領域 5 となる。

[0031] なお、共通電極 5 3 が形成される基板は、液晶の駆動方式により異なり、例えば IPS (In Plane Switching) と呼ばれる方式であればアレイ基板 2 に、また、例えば VA (Vertical alignment)、TN (Twisted Nematic) と呼ばれる方式であればカラーフィルタ基板 3 に共通電極が形成される。本発明において、液晶の駆動方式は特段限定されないが、本実施形態においては、IPS 方式を用いるものとする。

[0032] 図 2 に戻り、画像表示領域 5 の走査信号線 X と平行な辺の少なくとも一方の側、図示の例では画像表示領域の上側にドライバ IC 2 1 が設けられる。ドライバ IC 2 1 には、外部機器より電源電圧、接地電圧、タイミング信号や映像信号等の各種信号が入力される。また、ドライバ IC には映像信号駆動回路 2 1 2 が含まれており、映像信号線 Y と接続されている。なお、本実施形態では、共通電位は接地電位に等しいが、必ずしもこれに限定するものではない。また、ドライバ IC 2 1 は必ずしも図 1 に示したようなチップ型

集積回路をアレイ基板 2 上に実装したものとせずともよく、いわゆる S O G (S y s t e m O n G l a s s) の手法により、アレイ基板 2 上に直接形成したのものとしてもよい。

[0033] 走査信号駆動回路 2 1 1 は画像表示領域の映像信号線 Y と平行な辺のそれぞれの外側に設けられ、走査信号線 X と接続される。走査信号駆動回路 2 1 1 は外部機器から入力されるタイミング信号に応じたタイミングにより走査接続線 6 1 を順番に選択し、選択した走査接続線 6 1 に T F T 5 1 (図 3 参照) をオンとする電圧 (以降、オン電圧という。) を印加する。走査信号線 X にオン電圧が印加されると、当該走査信号線 X に接続された T F T 5 1 がオン状態となる。

[0034] また、映像信号駆動回路 2 1 2 は映像信号線 Y に接続されている。映像信号駆動回路 2 1 2 は走査信号駆動回路 2 1 1 による走査信号線 X の選択に合わせて、当該選択された走査信号線 X に接続される T F T 5 1 のそれぞれのソース電極に、各画素の階調値を表す映像信号に応じた電圧を印加する。

[0035] 図 4 は、アレイ基板 2 上の画像表示領域 5 に含まれる画素の平面構造を示す部分拡大図である。同図は、格子状に多数配置される画素の内の 1 つを示しており、走査信号線 X 及び映像信号線 Y に囲まれた矩形の領域が 1 つの画素となっている。なお、同図では、各部分の位置関係及び形状を明らかにするため重なり合う部分についてもその外形を示している。

[0036] 走査信号線 X は、図中横方向に連続して延びるストリップ線であり、本実施形態では、 I T O (I n d i u m - T i n - O x i d e) と銅の積層膜である。そのため、走査信号線 X は遮光性を有している。また、映像信号線 Y は、走査信号線 2 4 と直交するように図中縦方向に連続して延びる銅薄膜によるストリップ線である。

[0037] 画素内部には、画素電極 5 2 と、画素電極 5 2 に重なり合う位置に形成される共通電極 5 3 が配置される。画素電極 5 2 は、図示のように画素の中心部を映像信号線 Y と平行な方向に延びるストリップ形状であるか、又は櫛歯形状のパターンを持つ電極であり、適宜の電圧を印加された際に、共通電極

５３との間に水平電界を形成するようになっている。共通電極５３は、画素全体を覆うベタパターンのＩＴＯ薄膜であり、走査信号線Ｘと平行な方向に隣接する共通電極５３同士は互いに接続されている。また、映像信号遮蔽電極５４は、映像信号線Ｙの直上に平行かつ重畳するように形成されるＩＴＯ薄膜によるストリップ線である。映像信号遮蔽電極５４は共通電位に接続され、映像信号線Ｙからのノイズ電界が画素電極５２に到達しないように、映像信号線Ｙを電氣的に遮蔽する役割を有している。これにより、画像表示時における、映像信号のクロストークによる画像の劣化を防ぐ。なお、映像信号遮蔽電極２６は必須の構成ではなく、不要であれば省略してもよい。

[0038] また、走査信号線Ｘと重なり合う位置には、チャネル半導体層５１１が形成されている。チャネル半導体層５１１は、その一部が映像信号線Ｙと重なり合うとともに、画素電極５２に連続的に接続している。そのため、チャネル半導体層５１１の形状は、走査信号線Ｘと映像信号線Ｙが重なり合う部分から走査信号線Ｘに沿って延び、その後折れ曲がって画素電極５２に接続するよう、Ｌ字状となっている。このチャネル半導体層５１１は、電界効果トランジスタのチャネルとして働く部分である。従って、チャネル半導体層５１１の外形で示される部分がＴＦＴ５１として機能することになる。なお、後述するように、画素電極５２とチャネル半導体層５１１は一続きに連続する酸化物半導体層６であり、本実施形態では、ＴＡＯＳの一種であるＩＧＺＯである。

[0039] 図５は、図４のＶ－Ｖ線による断面図である。同図は、ＴＦＴ５１及び画素電極５２を含む断面である。アレイ基板２上に絶縁層である下地層５５を形成し、かかる下地層５５の上面にＩＴＯ等による透明導電膜により、共通電極５３及び、走査信号線Ｘの下地が形成される。走査信号線Ｘは、透明導電膜上にさらに銅を積層したものである。共通電極５３と走査信号線Ｘはゲート絶縁膜５１２により覆われ、その上部に走査信号線Ｘ及び共通電極５３と絶縁した状態で酸化物半導体層６が設けられる。この酸化物半導体層６のうち、走査信号線Ｘとゲート絶縁膜５１２をはさんで向き合う部分はチャネ

ル半導体層 5 1 1 として、また、それ以外の部分は画素電極 5 2 として機能する（図 4 参照）。さらに、酸化物半導体層 6 のうち、チャネル半導体層 5 1 1 として機能する部分の一部分に重なり合い、導電接続される状態で映像信号線 Y が設けられる。酸化物半導体層 6、映像信号線 Y は絶縁層である保護層 5 6 に覆われる。さらに、保護層 5 6 の上部に、平面視において映像信号線 Y を覆うように、ITO 等による透明導電膜により映像信号遮蔽電極 5 4 が設けられる。以上の構造の更に上部には、必要に応じて絶縁層である平坦化層 5 7 が設けられ、さらに配向膜 5 8 が設けられる。

[0040] この構造では、酸化物半導体層 6 のチャネル半導体層 5 1 1 と向き合う部分における走査信号線 X は、TFT のゲート電極として機能する。また、チャネル半導体層 5 1 1 の一部分と接続される映像信号線 Y はソース（又はドレイン）電極として機能する。そして、一般的な TFT では、チャネル半導体層 5 1 1 の他の部分にソース電極と絶縁された形でドレイン電極が設けられるのであるが、本実施形態で示した構造では、チャネル半導体層 5 1 1 に連続的に連なる酸化物半導体層 6 の画素電極 5 2 として機能する部分が、ドレイン電極としての機能を果たすことになる。かかる構造においては、映像信号線 Y とソース電極を接続するためのスルーホール及び、画素電極 5 2 とドレイン電極を接続するためのスルーホールを設ける必要がなく、画素を構成する各部材を接続するスルーホールが不要とされている。そのため、TFT 5 1 の構造が単純化され、また、スルーホールを形成するために必要とされるスペースが必要ないため、画素の開口率の向上、又は開口率を低下させることなく画素のサイズを縮小して高精細化を図ることができる。さらに、画素を形成する際に、ドレイン電極を作成する工程や、スルーホールを作成する工程が不要となるため、製造コストの低減が見込まれる。

[0041] ところで、酸化物半導体層 6 は、電界効果トランジスタのチャネルであるから、ゲート電極からの電界が作用しない状態では抵抗が大きく、キャリアを流すことができない。そして、酸化物半導体層 6 の画素電極 5 2 として機能する部分には、ゲート電極として機能する部分は存在しないため、このま

までは画素電極 5 2 としての性能を得ることができない。そこで、図 5 の下側、すなわち、アレイ基板 2 の背面から紫外線、電子線等のエネルギー線を照射することにより、酸化物半導体層 6 のエネルギー線が照射された部分にキャリアを形成し、電気伝導率を高めることにより、画素電極 5 2 として機能し得る程度に抵抗を下げるのである。このとき、走査信号線 X は銅の層を有しており、遮光性を持つため、チャネル半導体層 5 1 1 の特性が変化することはない。なお、本実施形態での酸化物半導体層 6 の材質である I G Z O は紫外線により電気伝導率を高めることができる。酸化物半導体層 6 として使用し得る材料は I G Z O に限定されないが、遮蔽可能なエネルギー線の照射によりその電気伝導率を上昇させることができる材料であることが必要である。このような材料として、I n、G a、Z n、S n、C u 及び C d から選択された 1 つ乃至複数の金属元素を含む金属酸化物が挙げられる。また、酸化物半導体層 6 として I G Z O を用いる場合には、I G Z O に接する絶縁層（本実施形態では、ゲート絶縁膜 5 1 2 及び保護層 5 6 があたる）として窒化膜を使用することができないので、S i O₂ 膜等窒素を含まない絶縁膜を用いる必要がある。

[0042] 本実施形態のように、T F T 5 1 が、ゲート電極（すなわち、走査信号線 X）が下層に配置されるボトムゲート型のものである場合にはエネルギー線をアレイ基板 2 の背面から照射し、逆の構造であるトップゲート型のものである場合にはエネルギー線をアレイ基板 2 の前面から照射するようにすると、遮光のための構造を別異に作成する必要がなく有利である。また、ボトムゲート型のものでは、アレイ基板 2 とカラーフィルタ基板 3 とを貼り合わせ、その間に液晶層を挟持させた後にエネルギー線を照射することができる。

[0043] アレイ基板 2 とカラーフィルタ基板 3 とを貼り合わせて液晶セルを組み立てた後には 2 0 0 ℃ 以上の高い温度での熱処理工程がない。I G Z O のような酸化物半導体の導電率は紫外光照射により増大し低抵抗状態となるが、熱処理工程を経ることにより元の高抵抗状態に回復する性質を持つ。したがって、画素電極の電導率を大きくした状態を安定に保つためには、紫外線照射

後に高温での熱処理工程がないことが必要である。そのため、現在一般的に用いられている液晶表示装置 1 の製造工程においては、アレイ基板 2 の製造工程後ではなく、液晶セルの組み立て工程後に紫外光照射を行うことが望ましい。

[0044] なお、図 5 で示した断面構造は、液晶表示装置 1 がいわゆる IPS 方式のものであるため共通電極 5 3 が画素電極 5 2 の下層に配置されるものとされているが、液晶の駆動方式が他の方式、例えば、VA 方式あるいは TN 方式の場合には、共通電極 5 3 はカラーフィルタ基板 3 側に作成されるため、アレイ基板 2 上には形成されない。

[0045] 続いて、液晶表示装置 1 の製造方法を、アレイ基板 2 を中心に図 6 A 乃至図 6 G を参照しつつ説明する。なお、図 6 A 乃至図 6 G は、図 5 と同じ位置における断面を示している。

[0046] まず、アレイ基板 2 を用意する。

[0047] 続いて、アレイ基板 2 上に絶縁層である下地層 5 5 を形成する（図 6 A）。

[0048] さらに、下地層 5 5 上に共通電極 5 3 と走査信号線 X を形成する（図 6 B）。この工程は、まず、透明導電膜（この場合は ITO）により共通電極 5 3 と、走査信号線 X の下地を形成し、さらに走査信号線 X となるべき部分に銅膜を積層する工程である。なお、液晶表示装置 1 の液晶の駆動方式が IPS 方式でない場合には、共通電極 5 3 の形成が省略される場合がある。

[0049] 次に、ゲート絶縁膜 5 1 2 を形成する（図 6 C）。ゲート絶縁膜 5 1 2 は共通電極 5 3 及び走査信号線 X を含む、画像表示領域 5 の全面を覆う。

[0050] さらに、ゲート絶縁膜 5 1 2 上に酸化物半導体層 6 を形成する（図 6 D）。この時点では、酸化物半導体層 6 の電気伝導率に部分による差異はない。

[0051] 続いて、酸化物半導体層 6 の一部分、特に将来的にチャネル半導体層 5 1 1 として機能する部分と重なり合うように映像信号線 Y を形成する（図 6 E）。映像信号線 Y は、銅やアルミ等の金属膜である。なお、将来的にチャネル半導体層 5 1 1 として機能する部分は、走査信号線 X と重なり合う部分で

あるから、映像信号線 Y は、酸化物半導体層 6 と走査信号線 X が重なり合う領域の一部分において、酸化物半導体層 6 と重なり合い接続されることになる。

[0052] 次に、保護層 5 6 を形成し、さらにその上部に映像信号遮蔽電極 5 4 を形成し、必要に応じて平坦化層 5 7 を設けた後、配向膜 5 8 を形成する（図 6 F）。配向膜 5 8 の配向処理は、いわゆるラビングによるものであっても、光配向処理によるものであってもよいが、光配向処理を行う場合、同処理において用いられる偏光紫外線によりチャネル半導体層 5 1 1 の特性が変化することがないように紫外線の波長や照射エネルギー総量を選択しなければならない。

[0053] 以上の処理によりアレイ基板 2 と、別の工程において制作したカラーフィルタ基板 3 とを液晶層 7 を挟んで貼り合わせた後、アレイ基板 2 の背面からエネルギー線を照射して酸化物半導体層 6 の一部の特性を変化させ、画素電極 5 2 を形成する（図 6 G）。

[0054] なお、以上の説明では、液晶表示装置 1 を製造する上で必要ではあるが本発明と直接の関係が薄い部分、例えば、液晶層の封止の工程や、走査信号駆動回路 2 1 1 等の周辺回路を形成する工程、ドライバ IC 2 1 を実装する工程等の説明は省略した。

[0055] なお、以上説明した各実施形態において化体された具体的な構成は、本発明を説明する上で例示されたものであり、本発明の技術的範囲をかかると具体的な構成に限定するものではない。当業者は、上記各実施形態において開示された内容を適宜変形乃至最適化することができ、例えば、各部材の配置位置、数、形状等は必要に応じ任意に変更してよい。

を有する液晶表示装置の製造方法。

[請求項5] 前記酸化物半導体の層は、平面視において、その一部分が前記ゲート絶縁膜を介して前記走査信号線と重なり合うように形成される請求項4記載の液晶表示装置の製造方法。

[請求項6] 前記エネルギー線を照射して画素電極を形成する工程は、前記アレイ基板とカラーフィルタ基板を液晶層を挟持するよう貼り合わせた後に実施される請求項4または5記載の液晶表示装置の製造方法。

[請求項7] アレイ基板と、
前記アレイ基板上に形成された映像信号線と走査信号線により区画された複数の画素と、
前記画素内に配置された透明電極によって構成された共通電極と、
前記画素毎に配置されるTFTと、
前記画素内に前記共通電極上に絶縁層を介して重畳するように配置された画素電極と、
前記映像信号線上に絶縁層を介して重畳する遮蔽電極を有し、
前記TFTのチャネル半導体層と前記画素電極は一続きに連続する酸化物半導体の層である液晶表示装置。

補正された請求の範囲
[2013年10月18日(18.10.2013)国際事務局受理]

- [請求項1] (補正後) アレイ基板と、
前記アレイ基板上に形成された映像信号線と走査信号線により区画された複数の画素と、
前記画素毎に配置されるTFT (Thin Film Transistor) と、
前記画素内に配置される画素電極と、
を有し、
前記TFTのチャネル半導体層と前記画素電極は一続きに連続する酸化物半導体の層であり、
ゲート電圧が印加されていない状態において、前記チャネル半導体層の電気伝導率より前記画素電極の電気伝導率が大きく、
平面視において、前記走査信号線の外形線が囲む領域内において前記チャネル半導体層と前記映像信号線とが接する液晶表示装置。
- [請求項2] 前記酸化物半導体は、In、Ga、Zn、Sn、Cu、Cdから選択された1つ乃至複数の金属元素を含む金属酸化物である請求項1記載の液晶表示装置。
- [請求項3] 平面視において、前記チャネル半導体層は、ゲート絶縁膜を介して前記走査信号線と重なり合い、
前記走査信号線は、前記TFTのゲート電極として機能する請求項1又は2記載の液晶表示装置。
- [請求項4] (補正後) アレイ基板を用意する工程と、
前記アレイ基板上に走査信号線を形成する工程と、
前記アレイ基板上にゲート絶縁膜を形成する工程と、
前記アレイ基板上に酸化物半導体の層を形成する工程と、
平面視において、前記走査信号線の外形線が囲む領域内において前記酸化物半導体の層の一部分と重なり合うように映像信号線を形成する工程と、

前記酸化物半導体の層の一部分にエネルギー線を照射して画素電極を形成する工程と、

を有する液晶表示装置の製造方法。

[請求項5] 前記酸化物半導体の層は、平面視において、その一部分が前記ゲート絶縁膜を介して前記走査信号線と重なり合うように形成される請求項4記載の液晶表示装置の製造方法。

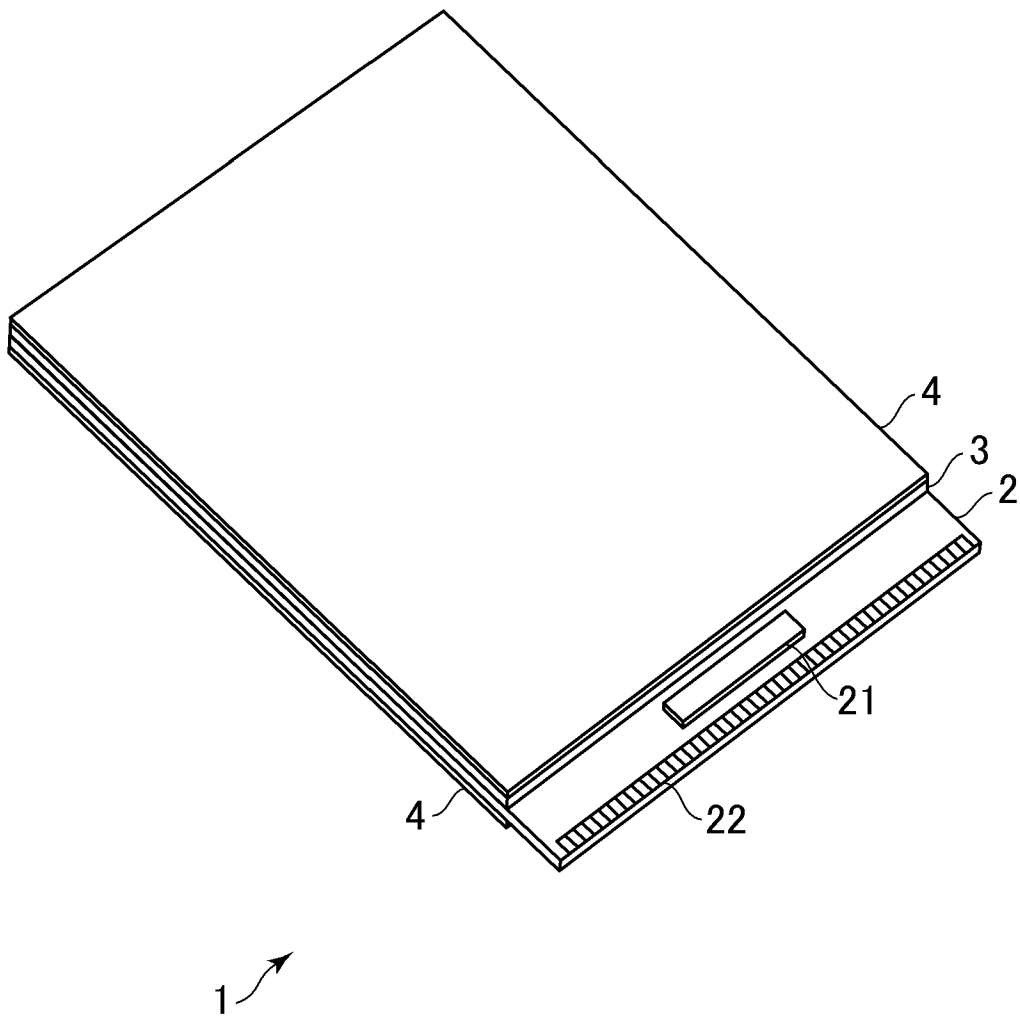
[請求項6] 前記エネルギー線を照射して画素電極を形成する工程は、前記アレイ基板とカラーフィルタ基板を液晶層を挟持するよう貼り合わせた後に実施される請求項4または5記載の液晶表示装置の製造方法。

[請求項7] (補正後) アレイ基板と、
前記アレイ基板上に形成された映像信号線と走査信号線により区画された複数の画素と、
前記画素内に配置された透明電極によって構成された共通電極と、
前記画素毎に配置されるTFTと、
前記画素内に前記共通電極上に絶縁層を介して重畳するように配置された画素電極と、
前記映像信号線上に絶縁層を介して重畳する遮蔽電極を有し、
前記TFTのチャネル半導体層と前記画素電極は一続きに連続する酸化物半導体の層であり、
平面視において、前記走査信号線の外形線が囲む領域内において前記チャネル半導体層と前記映像信号線とが接する液晶表示装置。

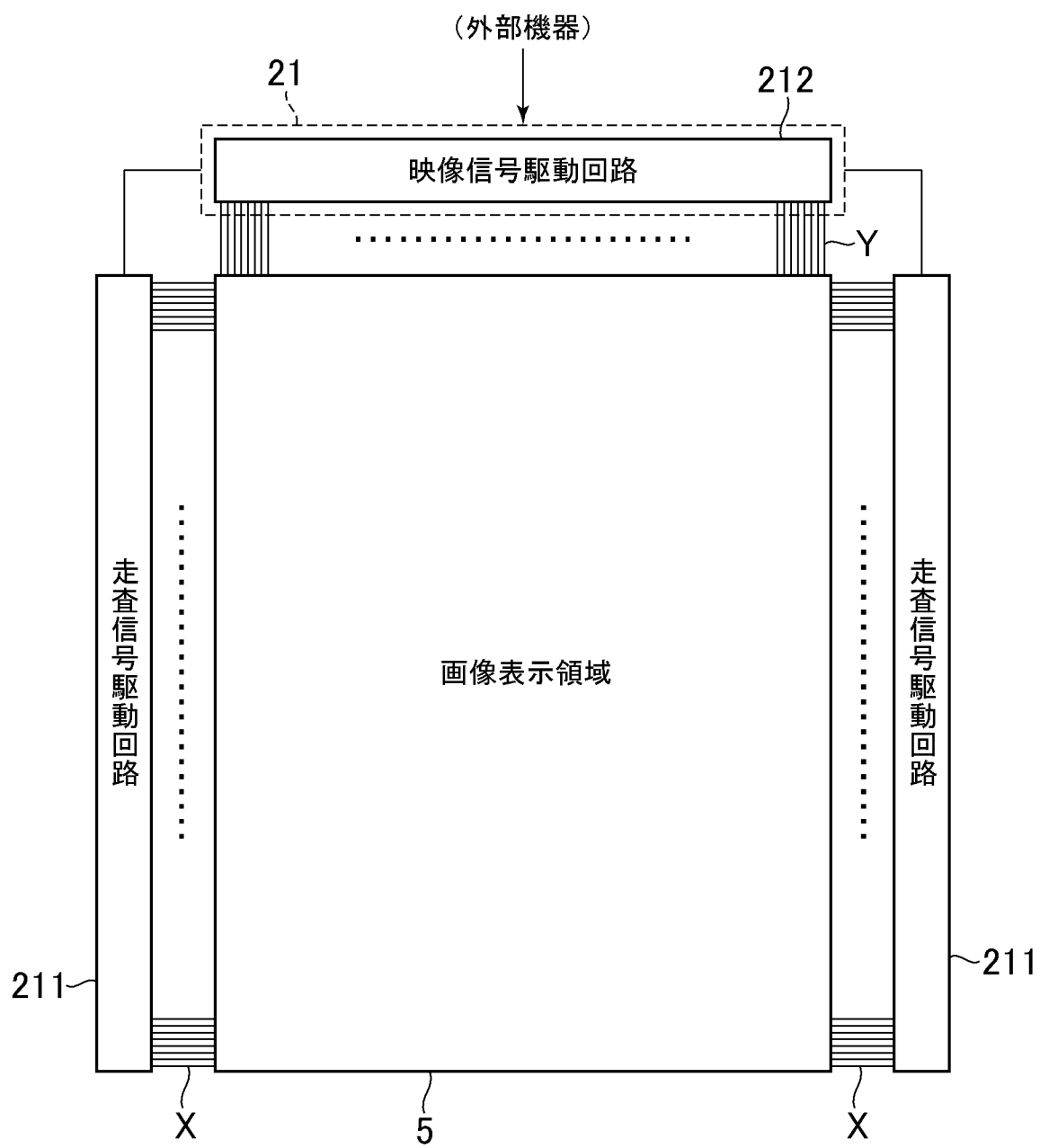
条約第19条(1)に基づく説明書

国際調査報告及び国際調査機関の見解書で引用された文献1(JP2003-50405A)及び文献2(JP2010-147351A)には、補正後の請求項1及び7に記載された「平面視において、前記走査信号線の外形線が囲む領域内において前記チャネル半導体層と前記映像信号線とが接する」についても、補正後の請求項4に記載された「平面視において、前記走査信号線の外形線が囲む領域内において前記酸化物半導体の層の一部分と重なり合うように映像信号線を形成する」についても記載も示唆もされていない。

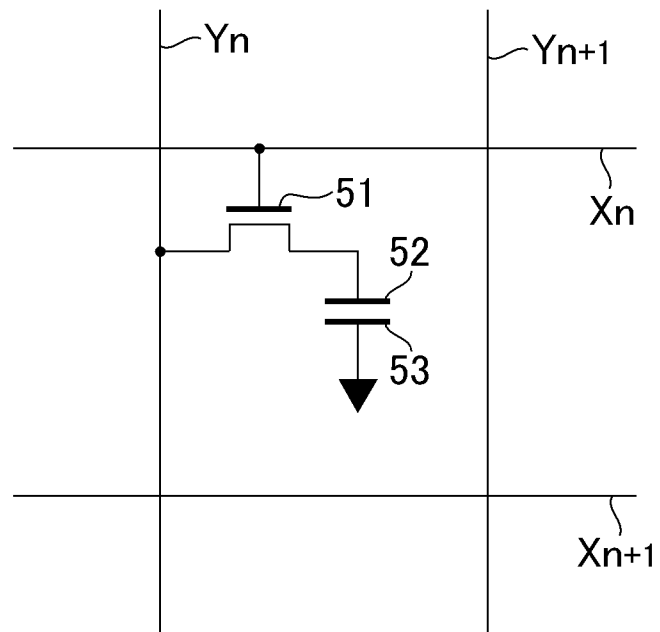
[図1]



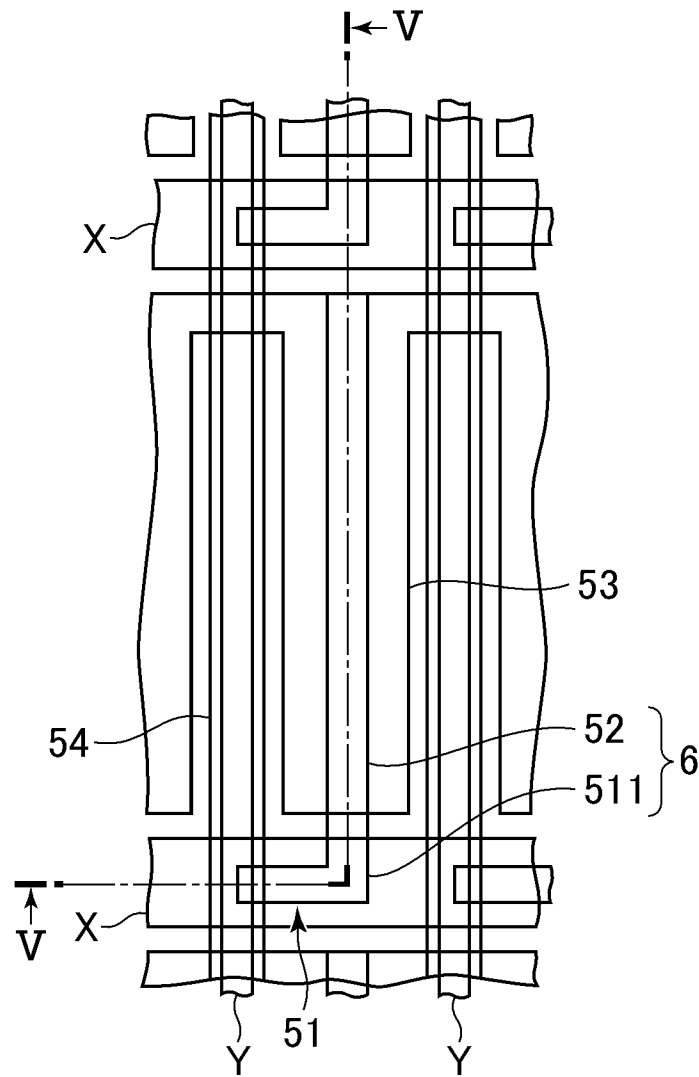
[図2]



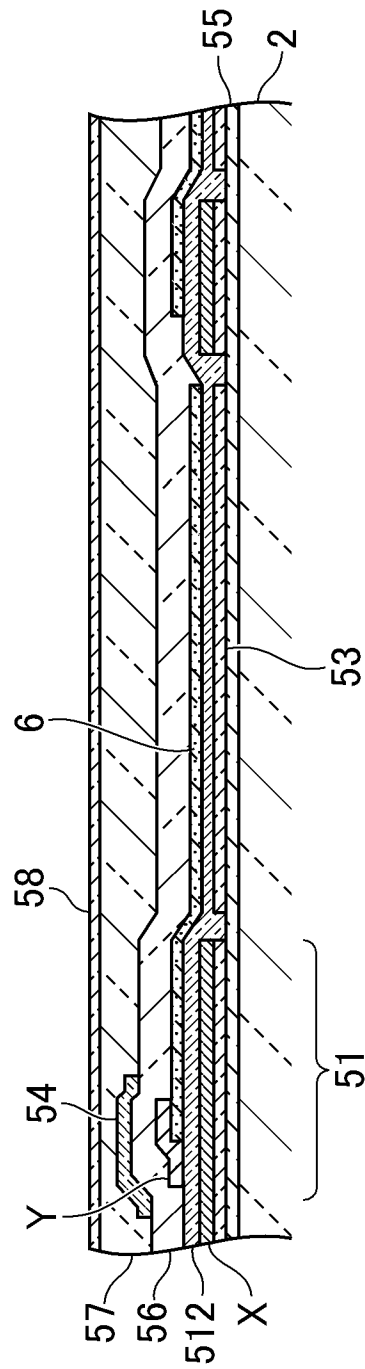
[図3]



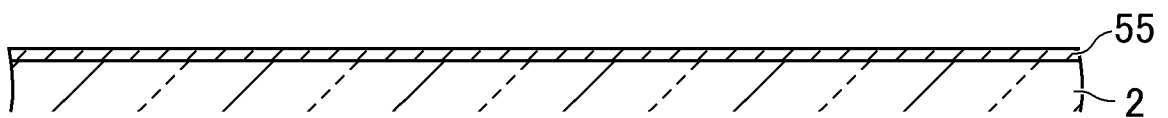
[図4]



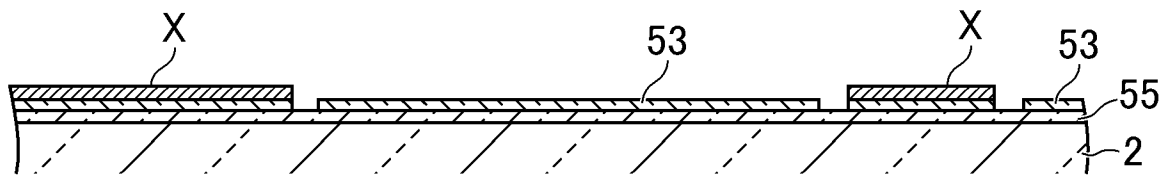
[図5]



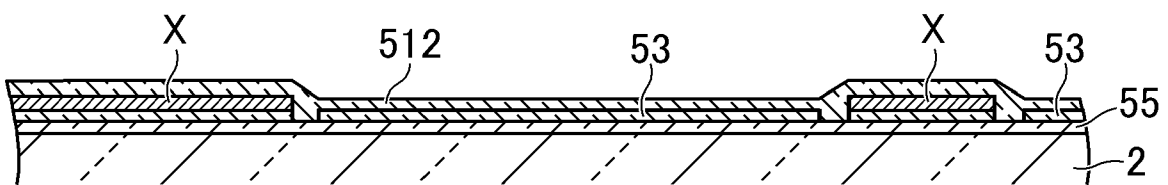
[図6A]



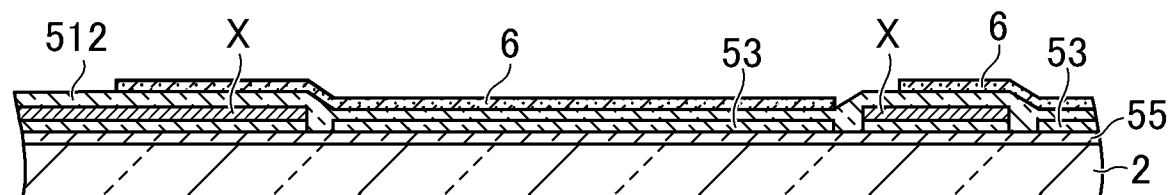
[図6B]



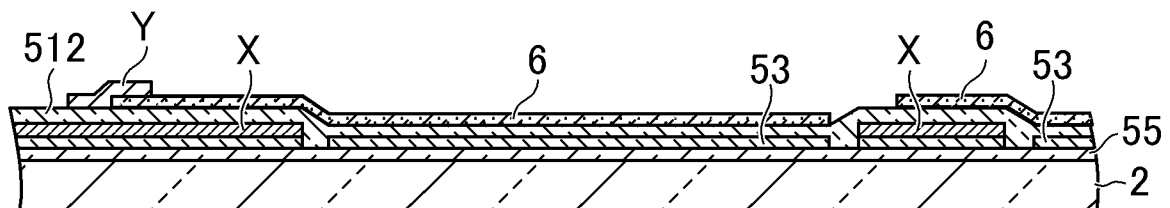
[図6C]



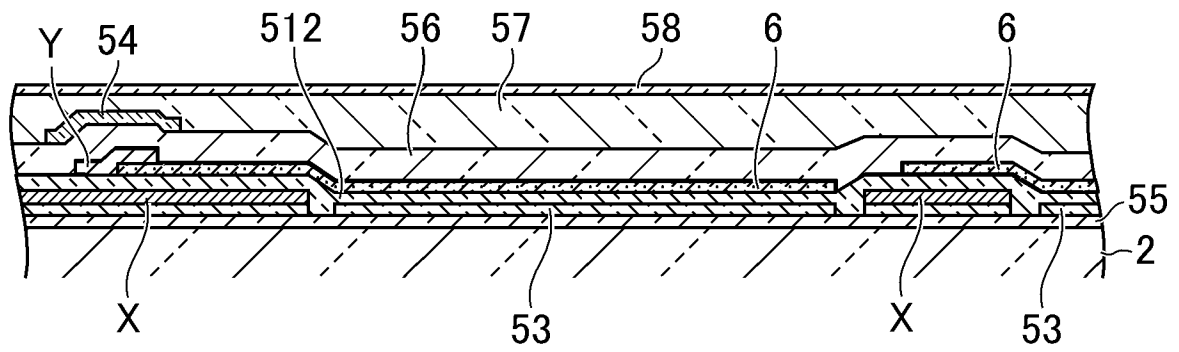
[図6D]



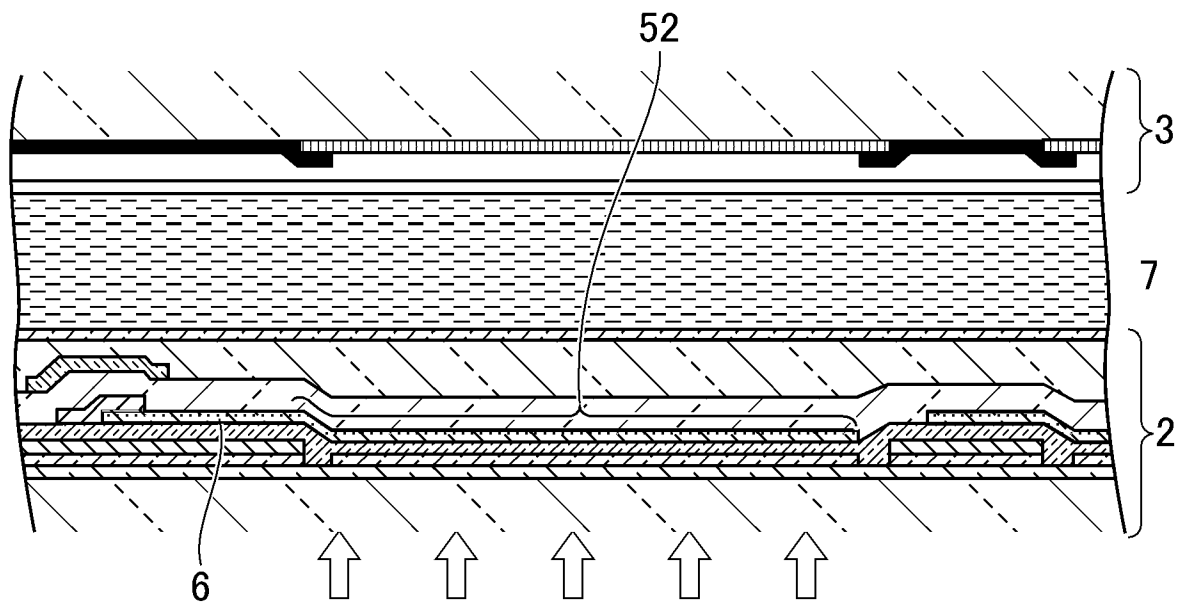
[図6E]



[図6F]



[図6G]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2013/003072

A. CLASSIFICATION OF SUBJECT MATTER

G02F1/1368(2006.01)i, G02F1/13(2006.01)i, H01L21/336(2006.01)i,
H01L29/786(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G02F1/1368, G02F1/13, H01L21/336, H01L29/786

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2013
Kokai Jitsuyo Shinan Koho	1971-2013	Toroku Jitsuyo Shinan Koho	1994-2013

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y A	JP 2003-50405 A (Matsushita Electric Industrial Co., Ltd.), 21 February 2003 (21.02.2003), paragraphs [0015], [0017], [0018], [0033] to [0060], [0080] to [0092]; fig. 15 to 21, 29 & US 2002/0056838 A1 & EP 1209748 A1 & TW 588209 B & KR 10-2002-0038482 A & CN 1353329 A & SG 102643 A	1-3 4, 5, 7 6
X Y A	JP 2010-147351 A (Videocon Gloval Ltd.), 01 July 2010 (01.07.2010), paragraphs [0029] to [0073]; fig. 1 to 3 (Family: none)	1-3 4, 5, 7 6



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
12 August, 2013 (12.08.13)

Date of mailing of the international search report
20 August, 2013 (20.08.13)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2013/003072

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 2011-154281 A (Mitsubishi Electric Corp.), 11 August 2011 (11.08.2011), paragraphs [0014] to [0050], [0062] to [0067]; fig. 1 to 8, 13 & US 2011/0181824 A1	7 1-6

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2013/003072

Box No. II Observations where certain claims were found unsearchable (Continuation of item 2 of first sheet)

This international search report has not been established in respect of certain claims under Article 17(2)(a) for the following reasons:

1. ☐ Claims Nos.:
because they relate to subject matter not required to be searched by this Authority, namely:

2. ☐ Claims Nos.:
because they relate to parts of the international application that do not comply with the prescribed requirements to such an extent that no meaningful international search can be carried out, specifically:

3. ☐ Claims Nos.:
because they are dependent claims and are not drafted in accordance with the second and third sentences of Rule 6.4(a).

Box No. III Observations where unity of invention is lacking (Continuation of item 3 of first sheet)

This International Searching Authority found multiple inventions in this international application, as follows:
(See extra sheet)

1. ☐ As all required additional search fees were timely paid by the applicant, this international search report covers all searchable claims.
2. ☒ As all searchable claims could be searched without effort justifying additional fees, this Authority did not invite payment of additional fees.
3. ☐ As only some of the required additional search fees were timely paid by the applicant, this international search report covers only those claims for which fees were paid, specifically claims Nos.:

4. ☐ No required additional search fees were timely paid by the applicant. Consequently, this international search report is restricted to the invention first mentioned in the claims; it is covered by claims Nos.:

Remark on Protest

- ☐ The additional search fees were accompanied by the applicant's protest and, where applicable, the payment of a protest fee.
- ☐ The additional search fees were accompanied by the applicant's protest but the applicable protest fee was not paid within the time limit specified in the invitation.
- ☐ No protest accompanied the payment of additional search fees.

Continuation of Box No.III of continuation of first sheet(2)

Document 1 (JP 2003-50405 A) paragraphs [0015], [0017], [0018], [0033] to [0060], [0080] to [0092]; fig. 15 to 21, 29 in Box C has disclosed a feature wherein: a substantially same material (oxide semiconductor formed of zinc oxide (ZnO), magnesium zinc oxide ($\text{Mg}_x\text{Zn}_{1-x}\text{O}$), cadmium zinc oxide ($\text{Cd}_x\text{Zn}_{1-x}\text{O}$), cadmium oxide (CdO) and the like) is used for the semiconductor layer and the pixel electrode of a TFT, and the semiconductor layer and the pixel electrode are integrally formed by means of a same step (process using a same mask); prior to or after the oxide semiconductor process, a phosphorus, i.e., an n-type impurity, of, for instance, 2×10^{17} atoms/cm² is added to the oxide semiconductor using a mask; conductivity is imparted to the oxide semiconductor due to the addition of the impurity, excluding a mask-covered region to be a channel section; and the oxide semiconductor is (as illustrated in fig. 19) functionally divided as a channel portion (23a), a source portion (23b), a drain portion (23c), and a pixel electrode (10) connected to the drain portion (23c).

Therefore, the invention of claim 1 cannot be considered to be novel in the light of the invention disclosed in the document 1, and does not have a special technical feature.

In the same manner, document 2 (JP 2010-147351 A) paragraphs [0029] to [0073]; fig. 1 to 3 in Box C has disclosed a feature wherein: a semiconductor layer (14) of a TFT (20) is configured of a semiconductor of an oxide containing In, Ga and Zn (hereinafter referred to as IGZO); the semiconductor layer has three regions, i.e., a channel region (17), a drain region (16), and a source region (15), integrally formed therein; the source region (15) includes a pixel electrode (32), and is integrally formed with the pixel electrode (32); and the source region (15) is formed with the pixel electrode (32) that is integrally formed with the source region, such that the electric conductivity of the source region is higher than that of the channel region (17) by means of ultraviolet irradiation.

Therefore, the invention of claim 1 cannot be considered to be novel in the light of the invention disclosed in the document 2, and does not have a special technical feature.

The invention of claim 2 also does not have novelty and inventiveness in the light of the document 1 and the document 2 listed in Box No. C.

With respect to details, refer to the document 1 (paragraphs [0015], [0084]) and the document 2 (paragraph [0030]).

The invention of claim 3 also does not have novelty and inventiveness in the light of the document 1 and the document 2 listed in Box No. C.

With respect to details, refer to the document 1 (paragraph [0084]; fig. 1, 18) and the document 2 (paragraphs [0030], [0052]; fig. 2, 3b).

Therefore, the inventions of claims 1-3 are lack in novelty in the light of the document 1 or the document 2, and have no special technical feature.

The inventions of claims 4-6 comprise the inventions which are deemed to be the subject on which should be covered by a search on the basis of special technical features and the inventions on which it is efficient to carry out a search altogether, and therefore are added to the subject to be covered by this search.

The invention of claim 7 is not an invention which has all of the matters to define the invention of claim 1 and has a category same as that of the invention of claim 1.

(Continued to next extra sheet)

Further, as a result of carrying out the search with respect to the inventions which are deemed to be the subject which should be covered by a search on the basis of special technical features, the invention of claim 7 is not an invention on which it is substantially possible to carry out a search without necessity for an additional prior-art search and judgment, and there is no other reason for that it can be considered that it is efficient to carry out a search on the invention of claim 7 together with the afore-said inventions.

Consequently, based on special technical features at the time of the order for payment of additional fees, the inventions are classified into two invention groups each having the following special technical feature.

(Invention group 1) claims 1-6

"A liquid crystal display apparatus, which has an array substrate, a plurality of pixels demarcated by means of image signal lines and scan signal lines, which are formed on the array substrate, a TFT (thin film transistor) disposed on each of the pixels, and a pixel electrode disposed in each of the pixels, said liquid crystal display apparatus having a channel semiconductor layer and the pixel electrode of the TFT as one continuous oxide semiconductor layer."

(Invention group 2) claim 7

"A liquid crystal display apparatus, which has an array substrate, a plurality of pixels demarcated by means of image signal lines and scan signal lines, which are formed on the array substrate, a common electrode configured of a transparent electrode disposed in each of the pixels, a TFT disposed on each of the pixels, a pixel electrode disposed on the common electrode such that the pixel electrode is superimposed with the common electrode with an insulating layer therebetween, said pixel electrode being in each of the pixels, and a blocking electrode, which is superimposed on the image signal line with an insulating layer therebetween, said liquid crystal display apparatus having a channel semiconductor layer of the TFT and the pixel electrode as one continuous oxide semiconductor layer."

A. 発明の属する分野の分類 (国際特許分類 (I P C))

Int.Cl. G02F1/1368 (2006.01) i, G02F1/13 (2006.01) i, H01L21/336 (2006.01) i, H01L29/786 (2006.01) i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (I P C))

Int.Cl. G02F1/1368, G02F1/13, H01L21/336, H01L29/786

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 3 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 3 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 3 年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X Y A	JP 2003-50405 A (松下電器産業株式会社) 2003.02.21, 【0015】 【0017】【0018】【0033】～【0060】【0080】～ 【0092】【図15】～【図21】【図29】 & US 2002/0056838 A1 & EP 1209748 A1 & TW 588209 B & KR 10-2002-0038482 A & CN 1353329 A & SG 102643 A	1-3 4, 5, 7 6
X Y A	JP 2010-147351 A (ビデオコン グローバル リミテッド) 2010.07.01, 【0029】～【0073】【図1】～【図3】 (ファ ミリーなし)	1-3 4, 5, 7 6

☒ C 欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

1 2 . 0 8 . 2 0 1 3

国際調査報告の発送日

2 0 . 0 8 . 2 0 1 3

国際調査機関の名称及びあて先

日本国特許庁 (I S A / J P)

郵便番号 1 0 0 - 8 9 1 5

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

廣田 かおり

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 2 5 5

2 L

3 8 1 2

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y A	JP 2011-154281 A (三菱電機株式会社) 2011.08.11, 【0014】 ～【0050】【0062】～【0067】【図1】～【図8】【図13】 & US 2011/0181824 A1	7 1-6

第Ⅱ欄 請求の範囲の一部の調査ができないときの意見（第1ページの2の続き）

法第8条第3項（PCT17条(2)(a)）の規定により、この国際調査報告は次の理由により請求の範囲の一部について作成しなかった。

1. ☐ 請求項 _____ は、この国際調査機関が調査をすることを要しない対象に係るものである。
つまり、
2. ☐ 請求項 _____ は、有意義な国際調査をすることができる程度まで所定の要件を満たしていない国際出願の部分に係るものである。つまり、
3. ☐ 請求項 _____ は、従属請求の範囲であってPCT規則6.4(a)の第2文及び第3文の規定に従って記載されていない。

第Ⅲ欄 発明の単一性が欠如しているときの意見（第1ページの3の続き）

次に述べるようにこの国際出願に二以上の発明があるところの国際調査機関は認めた。

第C. 欄で示す文献1（JP 2003-50405 A）【0015】【0017】【0018】【0033】～【0060】【0080】～【0092】【図15】～【図21】【図29】には、TF Tの半導体層と画素電極に本質的に同じ材料（酸化亜鉛（ ZnO ）、酸化マグネシウム亜鉛（ $Mg_xZn_{1-x}O$ ）、酸化カドミウム亜鉛（ $Cd_xZn_{1-x}O$ ）、酸化カドミウム（ CdO ）等の酸化物半導体）を用い、それらを同じ工程（同一のマスクを用いた加工）によって半導体層と画素電極を一体に形成すること、および、上記酸化物半導体の加工の前または後に、マスクを用いて、酸化物半導体にn型不純物であるリンをたとえば 2×10^{17} 個/cm²添加する。この不純物の添加により、マスクに覆われた、チャネル部となる領域を除いて、酸化物半導体に導電性が付与され、酸化物半導体は、（図19に示すように）チャネル部23a、ソース部23b、ドレイン部23cおよびドレイン部23cに接続された画素電極10（以下、「特別ページ」に続く）

1. ☐ 出願人が必要な追加調査手数料をすべて期間内に納付したので、この国際調査報告は、すべての調査可能な請求項について作成した。
2. ☒ 追加調査手数料を要求するまでもなく、すべての調査可能な請求項について調査することができたので、追加調査手数料の納付を求めなかった。
3. ☐ 出願人が必要な追加調査手数料を一部のみしか期間内に納付しなかったため、この国際調査報告は、手数料の納付のあった次の請求項のみについて作成した。
4. ☐ 出願人が必要な追加調査手数料を期間内に納付しなかったため、この国際調査報告は、請求の範囲の最初に記載されている発明に係る次の請求項について作成した。

追加調査手数料の異議の申立てに関する注意

- ☐ 追加調査手数料及び、該当する場合には、異議申立手数料の納付と共に、出願人から異議申立てがあった。
- ☐ 追加調査手数料の納付と共に出願人から異議申立てがあったが、異議申立手数料が納付命令書に示した期間内に支払われなかった。
- ☐ 追加調査手数料の納付はあったが、異議申立てはなかった。

に機能的に分化されることが記載されている。

したがって、請求項 1 に係る発明は、文献 1 に記載された発明に対して新規性が認められず、特別な技術的特徴を有しない。

同様に、第 C. 欄で示す文献 2 (JP 2010-147351 A) 【0029】～【0073】【図 1】～【図 3】には、TFT 20 の半導体層 14 は、In、Ga 及び Zn を含む酸化物（以下、IGZO という）の半導体からなり、チャンネル領域 17、ドレイン領域 16、及びソース領域 15 の 3 つの領域が一体に形成されており、このソース領域 15 は画素電極 32 を含み、画素電極 32 と一体に形成されていること、および、ソース領域 15 は、一体として形成された画素電極 32 とともに、その導電率が紫外線の照射によってチャンネル領域 17 の導電率よりも高く形成されていることが記載されている。

したがって、請求項 1 に係る発明は、文献 2 に記載された発明に対して新規性が認められず、特別な技術的特徴を有しない。

請求項 2 に係る発明も、第 C. 欄で示す文献 1 および文献 2 から新規性・進歩性を有しない。詳細には、文献 1 【0015】、【0084】、文献 2 【0030】を見られたい。

請求項 3 に係る発明も、第 C. 欄で示す文献 1 および文献 2 から新規性・進歩性を有しない。詳細には、文献 1 【0084】【図 1】【図 18】、文献 2 【0030】【0052】【図 2】【図 3(b)】を見られたい。

したがって、請求項 1 ～ 3 に係る発明は、文献 1 または文献 2 により新規性が欠如しており、特別な技術的特徴を有しない。

請求項 4 ～ 6 に係る発明は、特別な技術的特徴に基づいて審査対象となった発明と、まとめて審査を行うことが効率的である発明であり、審査対象に加える。

請求項 7 に係る発明は、請求項 1 に係る発明の発明特定事項を全て含む同一カテゴリーの発明ではない。そして、請求項 7 に係る発明は、特別な技術的特徴に基づいて審査対象とされた発明を審査した結果、実質的に追加的な先行技術調査や判断を必要とすることなく審査を行うことが可能である発明ではなく、当該発明とまとめて審査を行うことが効率的であるといえる他の事情も無い。

したがって、手数料の追加納付命令時点における特別な技術的特徴に基づくと、各々下記の特別な技術的特徴を有する 2 つの発明に区分される。

(発明 1) 請求項 1 － 6

「アレイ基板と、

前記アレイ基板上に形成された映像信号線と走査信号線により区画された複数の画素と、
前記画素毎に配置される TFT (Thin Film Transistor) と、
前記画素内に配置される画素電極と、

を有し、

前記 TFT のチャンネル半導体層と前記画素電極は一続きに連続する酸化物半導体の層である液晶表示装置」

(発明2)請求項7

「アレイ基板と、
前記アレイ基板上に形成された映像信号線と走査信号線により区画された複数の画素と、
前記画素内に配置された透明電極によって構成された共通電極と、
前記画素毎に配置されるT F Tと、
前記画素内に前記共通電極上に絶縁層を介して重畳するように配置された画素電極と、
前記映像信号線上に絶縁層を介して重畳する遮蔽電極を有し、
前記T F Tのチャネル半導体層と前記画素電極は一続きに連続する酸化物半導体の層である液晶表示装置」