



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2019년08월28일
 (11) 등록번호 10-1975746
 (24) 등록일자 2019년04월30일

(51) 국제특허분류(Int. Cl.)
G11C 7/10 (2015.01) *G11C 5/14* (2006.01)
 (21) 출원번호 10-2012-0037202
 (22) 출원일자 2012년04월10일
 심사청구일자 2017년04월10일
 (65) 공개번호 10-2012-0116863
 (43) 공개일자 2012년10월23일
 (30) 우선권주장 JP-P-2011-088815 2011년04월13일 일본(JP)
 (56) 선행기술조사문헌 JP05110392 A*
 JP2003296681 A*
 JP2011030171 A*
 *는 심사관에 의하여 인용된 문헌

(73) 특허권자 가부시키가이샤 한도오따이 에네루기 켄큐쇼
 일본국 가나가와켄 아쓰기시 하세 398
 (72) 발명자 다케무라 야스히코
 일본 243-0036 가나가와켄 아쓰기시 하세 398 가부시키가이샤 한도오따이 에네루기 켄큐쇼 내
 (74) 대리인 장훈

전체 청구항 수 : 총 5 항

심사관 : 윤석채

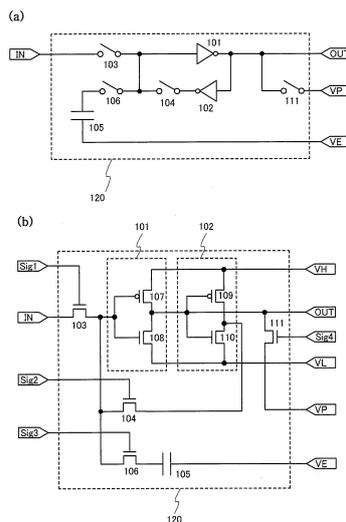
(54) 발명의 명칭 기억 장치 및 그 구동 방법

(57) 요약

소비 전력을 억제할 수 있는 기억 장치와 그 구동 방법을 제공하는 것을 목적으로 한다.

인버터 등을 사용한 기억 소자 내에, 데이터를 유지하기 위한 용량 소자와, 상기 용량 소자에 있어서의 전하의 축적 및 방출을 제어하는 용량용 스위칭 소자를 형성한다. 용량용 스위칭 소자는, 오프 전류가 충분히 낮아지도록 설계한다. 이를 위해, 용량 소자에 데이터에 상응한 전하를 유지한 후, 인버터의 전원을 정지해도 장시간에 걸쳐 데이터를 유지할 수 있다. 데이터를 회복하기 위해서는, 인버터의 출력 및 입력의 전위를 프리차지 전위로 하고, 그 후, 용량 소자의 전하를 방출하고, 인버터에 전원을 공급한다. 프리차지 전위를 공급하기 위한 스위칭 소자를 형성해도 좋다.

대표도 - 도3



명세서

청구범위

청구항 1

삭제

청구항 2

삭제

청구항 3

삭제

청구항 4

한 쌍의 인버터들로서, 상기 인버터들 중 하나의 출력 단자가 상기 인버터들 중 다른 하나의 입력 단자에 접속되고, 상기 한 쌍의 인버터들은 전원이 공급될 때 데이터를 유지하는, 상기 한 쌍의 인버터들;

용량 소자;

상기 인버터들의 적어도 하나 위에 제공된 제 1 스위칭 소자로서, 상기 인버터들 중 상기 하나의 상기 출력 단자와 상기 용량 소자 사이의 전하들의 흐름을 제어하는, 상기 제 1 스위칭 소자;

상기 한 쌍의 인버터들의 입력 단자들 사이의 제 2 스위칭 소자; 및

상기 인버터들 중 상기 하나의 입력 단자에 제 1 전위를 공급하는 회로를 포함하는 반도체 장치를 구동하는 방법에 있어서:

상기 용량 소자에, 상기 데이터에 따른 전하들을 유지하는 제 1 단계;

상기 제 1 단계 후, 상기 한 쌍의 인버터들로의 전원 공급을 정지하는 제 2 단계;

상기 제 2 단계 후, 상기 한 쌍의 인버터들의 입력 단자 및 출력 단자에 상기 제 1 전위를 공급하는 제 3 단계;

상기 제 3 단계 후, 상기 제 1 스위칭 소자를 턴 온하는 제 4 단계; 및

상기 제 4 단계 후, 상기 한 쌍의 인버터들에 전원을 공급하는 제 5 단계를 포함하는, 반도체 장치를 구동하는 방법.

청구항 5

기억 소자는;

한 쌍의 인버터들로서, 상기 인버터들 중 하나의 출력 단자가 상기 인버터들 중 다른 하나의 입력 단자에 접속되고, 상기 한 쌍의 인버터들은 전원이 공급될 때 데이터를 유지하는, 상기 한 쌍의 인버터들;

용량 소자; 및

상기 인버터들의 적어도 하나 위에 제공된 제 1 스위칭 소자로서, 상기 인버터들 중 상기 하나의 상기 출력 단자와 상기 용량 소자 사이의 전하들의 흐름을 제어하는, 상기 제 1 스위칭 소자를 포함하는, 상기 기억 소자; 및

상기 기억 소자의 출력 단자에 접속된 제 2 스위칭 소자로서, 상기 기억 소자의 상기 출력 단자의 전위를 제어하는, 상기 제 2 스위칭 소자를 포함하는 반도체 장치를 구동하는 방법에 있어서:

상기 용량 소자에, 상기 데이터에 따른 전하들을 유지하는 제 1 단계;

상기 제 1 단계 후, 상기 한 쌍의 인버터들로의 전원 공급을 정지하는 제 2 단계;

상기 제 2 단계 후, 상기 제 2 스위칭 소자를 턴 온하는 제 3 단계;

상기 제 3 단계 후, 상기 인버터들 중 상기 다른 하나의 상기 입력 단자에 제 1 전위를 공급하는 제 4 단계;

상기 제 4 단계 후, 상기 제 2 스위칭 소자를 턴 오프하는 제 5 단계;

상기 제 5 단계 후, 상기 제 1 스위칭 소자를 턴 온하는 제 6 단계; 및

상기 제 6 단계 후, 상기 한 쌍의 인버터들에 전원을 공급하는 제 7 단계를 포함하는, 반도체 장치를 구동하는 방법.

청구항 6

삭제

청구항 7

삭제

청구항 8

삭제

청구항 9

삭제

청구항 10

한 쌍의 인버터들로서, 상기 인버터들 중 하나의 출력 단자가 상기 인버터들 중 다른 하나의 입력 단자에 접속되고, 상기 한 쌍의 인버터들은 전원이 공급될 때 데이터를 유지하는, 상기 한 쌍의 인버터들;

용량 소자;

상기 인버터들 중 상기 다른 하나의 출력 단자와 상기 인버터들 중 상기 하나의 입력 단자 사이의 제 1 트랜지스터로서, 상기 인버터들 중 상기 다른 하나의 상기 출력 단자와 상기 인버터들 중 상기 하나의 상기 입력 단자 사이에 상기 데이터를 전송하는, 상기 제 1 트랜지스터;

상기 인버터들의 적어도 하나 위에 제공된 제 2 트랜지스터로서, 상기 인버터들 중 상기 하나의 상기 출력 단자와 상기 용량 소자 사이의 전하들의 흐름을 제어하는, 상기 제 2 트랜지스터; 및

상기 인버터들 중 상기 하나의 상기 출력 단자 및 상기 인버터들 중 상기 다른 하나의 상기 출력 단자를 제 1 전위로 설정하는 회로를 포함하는 반도체 장치를 구동하는 방법에 있어서:

상기 용량 소자에, 상기 데이터에 따른 전하들을 유지하는 제 1 단계;

상기 제 1 단계 후, 상기 한 쌍의 인버터들로의 전원 공급을 정지하는 제 2 단계;

상기 제 2 단계 후, 상기 한 쌍의 인버터들의 입력 단자 및 출력 단자에 상기 제 1 전위를 공급하는 제 3 단계;

상기 제 3 단계 후, 상기 제 2 트랜지스터를 턴 온하는 제 4 단계; 및

상기 제 4 단계 후, 상기 한 쌍의 인버터들에 전원을 공급하는 제 5 단계를 포함하는, 반도체 장치를 구동하는 방법.

청구항 11

삭제

청구항 12

삭제

청구항 13

제 1 데이터선;

제 2 데이터선; 및

메모리 셀로서:

제 1 스위칭 소자;

제 2 스위칭 소자;

제 3 스위칭 소자;

제 1 인버터;

제 2 인버터; 및

제 1 용량 소자를 포함하는, 상기 메모리 셀을 포함하는 전자 기기의 구동 방법으로서,

상기 제 1 인버터의 출력은 어떤 스위칭 소자도 통하지 않고 상기 제 2 인버터에 입력되고,

상기 제 2 인버터의 출력은 어떤 스위칭 소자도 통하지 않고 상기 제 1 인버터에 입력되고,

상기 제 1 데이터선의 신호는, 상기 제 1 스위칭 소자가 온 상태일 때 상기 제 1 스위칭 소자를 통하여 상기 제 1 인버터에 입력되고, 상기 제 2 스위칭 소자가 오프 상태일 때는 입력되지 않고,

상기 제 2 데이터선의 신호는, 상기 제 2 스위칭 소자가 온 상태일 때 상기 제 2 스위칭 소자를 통하여 상기 제 2 인버터에 입력되고, 상기 제 1 스위칭 소자가 오프 상태일 때는 입력되지 않고,

상기 제 2 인버터의 상기 출력은, 상기 제 3 스위칭 소자가 온 상태일 때 상기 제 3 스위칭 소자를 통하여 상기 제 1 용량 소자에 입력되고, 상기 제 3 스위칭 소자가 오프 상태일 때는 입력되지 않고,

상기 제 1 스위칭 소자 및 상기 제 2 스위칭 소자는 동시에 턴 온 및 오프되는, 상기 전자 기기의 구동 방법에 있어서:

상기 제 3 스위칭 소자가 오프 상태일 때, 상기 제 1 인버터의 입력 및 상기 제 2 인버터의 입력을 동등하게 하기 위해 상기 제 1 스위칭 소자 및 상기 제 2 스위칭 소자를 턴 온 및 오프하는 제 1 단계;

상기 제 1 단계 후, 상기 제 1 스위칭 소자 및 상기 제 2 스위칭 소자가 오프 상태일 때, 상기 제 3 스위칭 소자를 턴 온하는 제 2 단계; 및

상기 제 2 단계 후, 상기 제 1 인버터 및 상기 제 2 인버터에 전원을 공급하는 제 3 단계를 포함하는, 전자 기기의 구동 방법.

청구항 14

삭제

청구항 15

삭제

청구항 16

삭제

청구항 17

제 1 데이터선;

제 2 데이터선; 및

메모리 셀로서:

제 1 스위칭 소자;

제 2 스위칭 소자;

제 3 스위칭 소자;

제 1 인버터;

제 2 인버터; 및

제 1 용량 소자를 포함하는, 상기 메모리 셀을 포함하는 전자 기기의 구동 방법으로서,

상기 제 1 인버터의 출력 단자는 상기 제 2 인버터의 입력 단자와 직접 접속되고,

상기 제 2 인버터의 출력 단자는 상기 제 1 인버터의 입력 단자와 직접 접속되고,

상기 제 1 데이터선은 상기 제 1 스위칭 소자를 통하여 상기 제 1 인버터의 상기 입력 단자 및 상기 제 2 인버터의 상기 출력 단자와 전기적으로 접속가능하고,

상기 제 2 데이터선은 상기 제 2 스위칭 소자를 통하여 상기 제 2 인버터의 상기 입력 단자 및 상기 제 1 인버터의 상기 출력 단자와 전기적으로 접속가능하고,

상기 제 1 인버터의 상기 입력 단자 및 상기 제 2 인버터의 상기 출력 단자는 상기 제 3 스위칭 소자를 통하여 상기 제 1 용량 소자의 하나의 전극과 전기적으로 접속가능하고,

상기 제 1 스위칭 소자 및 상기 제 2 스위칭 소자는 동시에 턴 온 및 오프되는, 상기 전자 기기의 구동 방법에 있어서:

상기 제 3 스위칭 소자가 오프 상태일 때, 상기 제 1 인버터의 상기 입력 단자 및 상기 제 2 인버터의 상기 출력 단자의 양자 모두에 제 1 전위를 공급하는 제 1 단계;

상기 제 1 단계 후, 상기 제 1 스위칭 소자 및 상기 제 2 스위칭 소자가 오프 상태일 때, 상기 제 3 스위칭 소자를 턴 온하는 제 2 단계; 및

상기 제 2 단계 후, 상기 제 1 인버터 및 상기 제 2 인버터에 전원을 공급하는 제 3 단계를 포함하는, 전자 기기의 구동 방법.

청구항 18

삭제

청구항 19

삭제

청구항 20

삭제

청구항 21

삭제

청구항 22

삭제

청구항 23

삭제

청구항 24

삭제

청구항 25

삭제

발명의 설명

기술 분야

[0001] 본 발명은, 반도체 장치를 사용한 기억 장치 및 이들을 사용한 신호 처리 회로 등의 반도체 집적 회로에 관한 것이다.

배경 기술

[0002] 종래, 비정질 실리콘이나 폴리 실리콘, 미결정 실리콘 등을 사용한 트랜지스터는 액정 디스플레이 등의 표시 장치에 사용되어 왔지만, 이것을 반도체 집적 회로에 이용하는 기술이 제안되어 있다(예를 들면, 특허문헌 1 참조).

[0003] 또한, 최근, 폴리 실리콘이나 미결정 실리콘에 의해 얻어지는 높은 이동도와, 비정질 실리콘에 의해 얻어지는 균일한 소자 특성을 겸비한 새로운 반도체 재료로서, 산화물 반도체라고 불리는, 반도체 특성을 나타내는 금속 산화물이 주목되고 있다.

[0004] 금속 산화물은 여러 가지 용도로 사용되고 있으며, 예를 들면, 잘 알려진 금속 산화물인 산화인듐은, 액정 표시 장치 등에서 투명 전극 재료로서 사용되고 있다. 반도체 특성을 나타내는 금속 산화물로서는, 그 밖에도, 산화 텅스텐, 산화주석, 산화인듐, 산화아연 등이 있으며, 이러한 반도체 특성을 나타내는 금속 산화물을 채널 형성 영역에 사용하는 트랜지스터가, 이미 알려져 있다(특허문헌 2 내지 특허문헌 4 참조).

선행기술문헌

특허문헌

- [0005] (특허문헌 0001) 미국 특허 제7772053호 명세서
- (특허문헌 0002) 미국 특허출원 공개 제2007/0072439호 명세서
- (특허문헌 0003) 미국 특허출원 공개 제2011/0193078호 명세서
- (특허문헌 0004) 미국 특허출원 공개 제2011/0176357호 명세서

발명의 내용

해결하려는 과제

[0006] 그런데, 중앙 연산 처리 장치(CPU: Central Processing Unit) 등의 신호 처리 회로는, 그 용도에 따라 다종 다양한 구성을 가지고 있지만, 일반적으로, 데이터나 프로그램을 기억하기 위한 메인 메모리 이외에, 레지스터, 캐시 메모리 등, 각종 반도체 기억 장치(이하, 단순히 기억 장치라고 한다)가 제공되어 있다. 레지스터는, 연산 처리나 프로그램의 실행 상태 유지 등을 위해 일시적으로 데이터를 유지하는 역할을 담당하고 있다. 또한, 캐시 메모리는, 연산 장치와 메인 메모리 사이에 개재하여 메인 메모리로의 저속 액세스를 감소시켜 연산 처리를 고속화시키는 것을 목적으로 하여 CPU에 형성되어 있다.

[0007] 레지스터나 캐시 메모리 등의 기억 장치는, 메인 메모리보다도 고속으로 데이터의 기록을 행할 필요가 있다. 따라서, 통상적으로는 레지스터로서 플립플롭 회로가 사용되고, 캐시 메모리로서 SRAM 등이 사용된다.

[0008] 도 2a에, 레지스터를 구성하는 기억 소자의 하나를 예시한다. 도 2a에 도시하는 기억 소자(200)는, 인버터(201), 인버터(202), 스위칭 소자(203), 스위칭 소자(204)를 가진다. 그리고, 인버터(201)의 입력 단자로의 신호 IN의 입력은, 스위칭 소자(203)에 의해 제어되어 있다. 인버터(201)의 출력 단자의 전위는, 신호 OUT으로서, 후단의 회로에 주어진다. 또한, 인버터(201)의 출력 단자는 인버터(202)의 입력 단자에 접속되어 있고, 인버터(202)의 출력 단자는 스위칭 소자(204)를 통하여 인버터(201)의 입력 단자에 접속되어 있다.

[0009] 스위칭 소자(203)를 통하여 입력된 신호 IN의 전위는, 스위칭 소자(203)가 오프, 스위칭 소자(204)가 온이 됨으로써, 기억 소자(200) 내에서 유지된다.

[0010] 또한, 도 2b에 동일하게 기억 소자의 다른 예를 도시한다. 도 2b에 도시하는 기억 소자(220)는, 인버터(201),

인버터(202), 스위칭 소자(203), 스위칭 소자(204)를 가진다. 그리고, 인버터(201)의 입력 단자로의 신호 IN의 입력은, 스위칭 소자(203)에 의해 제어되어 있다. 인버터(201)의 출력 단자는 인버터(202)의 입력 단자에 접속되어 있고, 인버터(202)의 출력 단자는, 스위칭 소자(204)를 통하여 인버터(201)의 입력 단자에 접속되고, 또한, 신호 OUT으로서 후단의 회로에 주어진다.

- [0011] 스위칭 소자(203)를 통하여 입력된 신호 IN의 전위는, 스위칭 소자(203)가 오프, 스위칭 소자(204)가 온이 됨으로써, 기억 소자(220) 내에서 유지된다.
- [0012] 도 2a에 도시한 기억 소자(200)의, 보다 구체적인 회로 구성을, 도 2c에 도시한다. 도 2c에 도시하는 기억 소자(200)는, 인버터(201), 인버터(202), 스위칭 소자(203), 스위칭 소자(204)를 가지고 있으며, 이들 회로 소자의 접속 구성은 도 2a와 동일하다.
- [0013] 인버터(201)는 게이트 전극이 서로 접속된 p채널형 트랜지스터(207)와, n채널형 트랜지스터(208)를 가지고 있다. 그리고, 하이 레벨의 전위 VDD가 주어져 있는 노드와, 로우 레벨의 전위 VSS가 주어져 있는 노드간에 있어서, p채널형 트랜지스터(207)와 n채널형 트랜지스터(208)는 직렬로 접속되어 있다.
- [0014] 또한, 마찬가지로, 인버터(202)는 게이트 전극이 서로 접속된 p채널형 트랜지스터(209)와, n채널형 트랜지스터(210)를 가지고 있다. 그리고, 하이 레벨의 전위 VDD가 주어져 있는 노드와, 로우 레벨의 전위 VSS가 주어져 있는 노드간에 있어서, p채널형 트랜지스터(209)와 n채널형 트랜지스터(210)는 직렬로 접속되어 있다.
- [0015] 도 2c에 도시하는 인버터(201)는, p채널형 트랜지스터(207)의 게이트 전극과, n채널형 트랜지스터(208)의 게이트 전극에 주어지는 전위의 높이에 따라, 한쪽이 오프, 다른쪽이 온이 되도록 동작한다. 따라서, 전위 VDD가 주어져 있는 노드와, 전위 VSS가 주어져 있는 노드 사이의 전류는, 이상적으로는 0이 될 것이다.
- [0016] 그러나, 실제로는, 오프이어야 하는 트랜지스터에 약간의 오프 전류가 흐르고 있기 때문에, 이들 노드간의 전류는, 완전하게 0은 되지 않는다. 인버터(202)에 관해서도 같은 현상이 발생하기 때문에, 기억 소자(200)에는, 데이터를 유지만 하고 있는 상태에서도, 소비 전력이 발생한다.
- [0017] 예를 들면, 트랜지스터의 사이즈에 따라서도 다르지만, 벌크 실리콘을 사용하여 제작된 인버터의 경우, 실온하, 노드간의 전압이 약 1V인 상태에서, 0.1pA 정도의 오프 전류가 발생한다. 도 2a 내지 도 2c에 도시하는 기억 소자에는, 인버터(201)와 인버터(202)의, 2개의 인버터가 형성되어 있기 때문에, 0.2pA 정도의 오프 전류가 발생한다. 그리고, 기억 소자수가 약 10^7 개 정도인 레지스터의 경우, 오프 전류는 레지스터 전체에서 $2\mu\text{A}$ 가 된다.
- [0018] 또한, 미세화의 진전과 함께, 게이트 절연물도 박막화되고 있기 때문에, 게이트 절연물을 통하여 게이트와 채널간에 흐르는 게이트 전류(게이트 리크 전류)도 무시할 수 없는 크기로 되어 있다.
- [0019] 또한, 최근에는, 전원 전압의 저하에 의한 속도의 저하를 보완하기 위해서, 트랜지스터의 임계값을 저하시키는 것이 행해지고 있지만, 그 결과, 오프 전류는 1개의 인버터당 추가로 3자리수 정도 증가하는 경우도 있다.
- [0020] 이러한 결과, 레지스터의 소비 전력은 회로 선평의 축소화에 반하여 증대되고 있다. 그리고, 전력의 소비에 의한 발열이 IC칩의 온도 상승을 초래하고, 또한 소비 전력이 증가한다고 하는 악순환에 빠지고 있다.
- [0021] 또한, SRAM도 레지스터와 같이, 인버터를 사용한 구성을 가지고 있으며, 트랜지스터의 오프 전류에 의해 전력이 소비된다. 따라서, SRAM을 사용한 캐시 메모리도 레지스터의 경우와 같이, 데이터의 기록이 행해지고 있지 않은 상태에서도, 소비 전력이 커져 버린다.
- [0022] 그래서, 소비 전력을 억제하기 위해서, 데이터의 입출력이 행해지지 않는 기간에 있어서, 기억 장치로의 전위의 공급을 일시적으로 정지한다고 하는 하나의 방법이 제안되어 있다. 레지스터, 캐시 메모리에는, 전위의 공급이 끊어지면 데이터를 소실해 버리는 휘발성의 기억 장치가 사용되고 있기 때문에, 그 방법에서는, 기억 장치의 주변에 불휘발성의 기억 장치를 배치하고, 데이터를 그 불휘발성의 기억 장치로 일시적으로 옮기고 있다. 그러나, 이러한 불휘발성의 기억 장치는, 주로 자기 소자나 강유전체가 사용되고 있기 때문에, 제작 공정이 복잡하다.
- [0023] 또한, CPU에 있어서 장시간의 전원 정지를 행할 때는, 전원 정지 전에, 기억 장치 내의 데이터를 하드 디스크, 플래시 메모리 등의 외부 기억 장치로 옮김으로써, 데이터 소실을 방지할 수도 있다. 그러나, 이들 외부 기억 장치로부터 데이터를 레지스터, 캐시 메모리, 메인 메모리로 되돌리는데 시간을 필요로 한다. 따라서, 하드 디스크, 플래시 메모리 등의 외부 기억 장치에 의한 데이터의 백업은, 소비 전력의 저감을 목적으로 한 단시간(예

를 들면, 100 μ 초 내지 1분)의 전원 정지에는 적합하지 않다.

[0024] 상기의 과제를 감안하여, 본 발명은, 복잡한 제작 공정을 필요로 하지 않고, 소비 전력을 억제할 수 있는 기억 장치, 신호 처리 회로, 상기 기억 장치, 신호 처리 회로의 구동 방법의 제공을 목적의 하나로 한다. 특히, 단 시간의 전원 정지에 의해 소비 전력을 억제할 수 있는 기억 장치, 신호 처리 회로, 상기 기억 장치, 신호 처리 회로의 구동 방법의 제공을 목적의 하나로 한다.

과제의 해결 수단

[0025] 인버터 또는 클록드 인버터 등의, 입력된 신호의 위상을 반전시켜 출력하는 논리 소자(이하, 위상 반전 소자라고 한다)를 사용한 기억 소자 내에, 데이터를 유지하기 위한 용량 소자와, 상기 용량 소자에 있어서의 전하의 축적 및 방출을 제어하는 용량용 스위칭 소자를 형성한다.

[0026] 그리고, 용량용 스위칭 소자에는, 비정질 실리콘, 폴리 실리콘, 미결정 실리콘, 또는 산화물 반도체 등의 화합물 반도체(바람직하게는 와이드 밴드 갭 화합물 반도체)를 채널 형성 영역에 포함하는 트랜지스터를 사용한다. 그리고, 상기 기억 소자를, 신호 처리 회로가 갖는, 레지스터, 캐시 메모리, 메인 메모리 등의 기억 장치에 사용한다. 용량용 스위칭 소자는, 위상 반전 소자의 상방에 중첩하여 형성되는 것이 바람직하다.

[0027] 또한, 본 명세서에서는 와이드 밴드 갭 화합물 반도체란, 2전자볼트 이상의 밴드 갭을 갖는 화합물 반도체이다. 산화물 반도체 이외의 와이드 밴드 갭 화합물 반도체로서는, 황화아연 등의 황화물이나, 질화갈륨 등의 질화물을 들 수 있다. 어느 것으로 해도 고순도화합으로써, 도너나 억셉터의 농도를 매우 낮게 하는 것이 바람직하다.

[0028] 또한, 용량 소자도 위상 반전 소자의 상방에 중첩하여 형성되는 것이 바람직하며, 용량용 스위칭 소자와 동일한 층에 형성되어도 좋고, 상이한 층에 형성되어도 좋다. 동일한 층에 형성하면 용량용 스위칭 소자를 위한 영역과 용량 소자를 위한 영역을 형성할 필요가 있지만, 제작 공정을 간략화할 수 있다. 한편, 상이한 층에 형성하면, 제작 공정은 여분으로 필요하지만, 집적도를 높이거나, 용량 소자를 위해 사용되는 면적을 크게 할 수 있고, 용량 소자의 유전체를 용량용 스위칭 소자의 게이트 절연물과 상이한 것으로 함으로써, 보다 용량을 높이는 것도 가능하다.

[0029] 용량용 스위칭 소자의 온 저항과 용량 소자의 용량은, 필요로 하는 스위칭 동작의 속도에 따라 결정하면 좋다. 전원의 정지와 회복이라는 목적이면 스위칭에 필요로 하는 시간은, 100 μ 초 이하이면 충분하다. 용도에 따라서는, 100ms 이상이라도 좋다. 또한, 용량용 스위칭 소자의 오프 저항과 용량 소자의 용량은, 필요로 하는 스위칭 동작의 간격에 따라 결정하면 좋다.

[0030] 또한, 신호 처리 회로는, 상기 기억 장치에 더하여, 기억 장치와 데이터의 교환을 행하는 연산 회로 등의 각종 논리 회로를 가진다. 그리고, 기억 장치에 전원 전압의 공급을 정지하는 동시에, 상기 기억 장치와 데이터의 교환을 행하는 연산 회로로의 전원 전압의 공급을 정지하도록 해도 좋다.

[0031] 본 발명의 일 형태에서는, 기억 소자는, 2개의 위상 반전 소자와, 용량 소자와, 상기 용량 소자에 있어서의 전하의 축적 및 방출을 제어하는 용량용 스위칭 소자를 적어도 가진다. 기억 소자에 입력된 데이터를 포함하는 신호(입력 신호)는, 제 1 위상 반전 소자의 입력 단자에 주어진다. 제 1 위상 반전 소자의 출력 단자는, 제 2 위상 반전 소자의 입력 단자에 접속되어 있다. 제 2 위상 반전 소자의 출력 단자는, 제 1 위상 반전 소자의 입력 단자에 접속되어 있다. 제 1 위상 반전 소자의 출력 단자 또는 제 2 위상 반전 소자의 입력 단자의 전위가, 출력 신호로서 후단의 기억 소자, 또는 다른 회로로 출력된다. 또는, 제 2 위상 반전 소자의 출력 단자의 전위가, 출력 신호로서 후단의 기억 소자, 또는 다른 회로로 출력된다.

[0032] 이러한 위상 반전 소자는, 게이트 전극이 서로 접속된 적어도 1개의 p채널형 트랜지스터와, 적어도 1개의 n채널형 트랜지스터가, 제 1 노드와, 제 2 노드 사이에 있어서, 직렬로 접속된 구성을 가진다.

[0033] 그리고, 용량 소자는, 기억 소자에 입력된 신호의 데이터를 필요에 따라 기억할 수 있도록, 용량용 스위칭 소자를 통하여, 신호의 전위가 주어지는 노드에 접속되어 있다.

[0034] 제 1 노드와, 제 2 노드 사이에 전원 전압이 주어지는 상태에 있어서, 제 1 위상 반전 소자의 입력 단자에 데이터를 포함하는 신호가 입력되면, 제 1 위상 반전 소자 및 제 2 위상 반전 소자에 의해, 그 데이터가 유지된다. 제 1 노드와 제 2 노드 사이로의 전원 전압의 인가를 정지하는 경우, 전원 전압의 인가를 정지하기 전에, 용량용 스위칭 소자를 온으로 하여 신호의 데이터를 용량 소자에 기억시킨다. 그 결과, 위상 반전 소자로의 전

원 전압의 인가를 정지해도, 기억 소자에 데이터를 유지시키는 것이 가능하다.

- [0035] 그리고, 용량용 스위칭 소자에 사용되는 트랜지스터의 채널 형성 영역은, 비정질 실리콘, 폴리 실리콘, 미결정 실리콘, 또는 화합물 반도체(예를 들면, 고순도화된 산화물 반도체)를 포함하고 있다.
- [0036] 고순도화된 산화물 반도체를 사용한 트랜지스터는, 오프 저항이 현저하게 높다고 하는 특성을 가지고 있다. 이로 인해, 충분한 장시간에 걸쳐 용량 소자에 전하를 계속해서 유지시킬 수 있다. 또한, 그렇지 않은 반도체를 사용하는 경우에도, 채널 길이를 충분히 길게, 채널 폭을 충분히 작게 함으로써 필요로 하는 오프 저항을 얻을 수 있다.
- [0037] 또한, 데이터를 위상 반전 소자로 되돌리기 위해서는, 처음에 기억 소자 내의 2개의 위상 반전 소자의 입력 단자 및 출력 단자의 전위를 적절한 전위(프리차지 전위)로 한다. 프리차지 전위는, 용량 소자의 용량과 용량용 스위칭 소자의 게이트 용량, 및 이들에 관련되는 기생 용량 등을 고려하여 결정된다.
- [0038] 프리차지 전위는, 하이 레벨(예를 들면, VDD)의 전위, 또는 로우 레벨(예를 들면, VSS)의 전위, 또는 그 사이의 전위로 한다. 일례로서, 프리차지 전위를, 하이 레벨과 로우 레벨의 거의 중간 전위로 한다. 즉, 프리차지 전위는, 하이 레벨의 전위와 로우 레벨의 전위의 평균값의 차이가, 하이 레벨의 전위와 로우 레벨의 전위의 차이의 1/5, 바람직하게는 1/10보다 작아지는 전위를 선택한다.
- [0039] 예를 들면, 하이 레벨의 전위를 +1V, 로우 레벨의 전위를 0V로 하면, 그 평균값은 +0.5V이며, 하이 레벨의 전위와 로우 레벨의 전위의 차이의 1/5, 1/10은 각각, 0.2V, 0.1V이다. 따라서, 프리차지 전위는, +0.3V보다 크고 +0.7V보다 작게 하고, 바람직하게는 +0.4V보다 크고 +0.6V보다 작게 하면 좋다.
- [0040] 또한, 다른 예에서는, 하이 레벨의 전위를 +1V, 로우 레벨의 전위를 -1V로 한다. 그 평균값은 0V이며, 하이 레벨의 전위와 로우 레벨의 전위의 차이의 1/5, 1/10은 각각, 0.4V, 0.2V이다. 따라서, 프리차지 전위는, -0.4V보다 크고 +0.4V보다 작게 하고, -0.2V보다 크고 +0.2V보다 작게 하면 좋다.
- [0041] 그 후, 용량용 스위칭 소자를 온으로 하고, 용량 소자의 전하를 위상 반전 소자의 회로로 개방한다. 그 결과, 용량용 스위칭 소자에 입력 단자가 접속되어 있는 위상 반전 소자의 입력 단자의 전위는 용량 소자의 전하에 따라 변동된다. 한편, 용량용 스위칭 소자에 입력 단자가 접속되어 있지 않은 위상 반전 소자의 입력 단자의 전위는 거의 바뀌지 않는다.
- [0042] 그 후, 위상 반전 소자에 전원을 공급하면 각각의 위상 반전 소자의 입력 단자의 전위에 따라 출력된 전위가 다른쪽의 위상 반전 소자에 입력되기 때문에, 용량용 스위칭 소자를 온으로 한 단계에서 입력 단자의 전위가 높았던 위상 반전 소자의 입력 단자의 전위는 보다 높아지고, 낮았던 위상 반전 소자의 입력 단자의 전위는 보다 낮아지며, 최종적으로는, 각각 하이 레벨의 전위, 로우 레벨의 전위로 안정된다. 이 상태는, 전원이 정지되기 전의 위상 반전 소자의 상태와 동일하다. 즉, 데이터를 회복할 수 있다.
- [0043] 상기의 방법을 실행하기 위해서는, 기억 소자 이외에, 프리차지 전위를 생성하는 회로와, 기억 소자에 프리차지 전위를 공급하기 위한 수단이나 회로 등을 가져도 좋다. 후자에 관해서는, 예를 들면, 기억 소자의 일부에 스위칭 소자를 형성하면 좋다.
- [0044] 또는, 위상 반전 소자에 전위를 공급하는 회로는, 2개의 전원 전위(VDD, VSS) 이외에 프리차지 전위도 공급하는 것이 요구되며, 3단계 이상의 전위를 공급할 수 있는 것이 필요하다. 즉, 위상 반전 소자에 전위를 공급하는 회로는 가변 전위를 공급할 수 있는 것이 바람직하다. 이들 전위는 외부로부터 공급되어도 좋다.
- [0045] 또한, 위상 반전 소자 등에 사용되는 트랜지스터에는, 산화물 반도체 이외의, 비정질, 미결정, 다결정, 또는 단결정의, 실리콘, 갈륨비소, 갈륨인, 또는 게르마늄 등의 반도체를 사용할 수 있다. 또한, 이러한 트랜지스터에는, 박막의 반도체막을 사용하여 제작되어도 좋고, 벌크 반도체 웨이퍼를 사용하여 제작되어도 좋다.
- [0046] 산화물 반도체는, 4원계 금속 산화물인 In-Sn-Ga-Zn계 산화물 반도체나, 3원계 금속 산화물인 In-Ga-Zn계 산화물 반도체, In-Sn-Zn계 산화물 반도체, In-Al-Zn계 산화물 반도체, Sn-Ga-Zn계 산화물 반도체, Al-Ga-Zn계 산화물 반도체, Sn-Al-Zn계 산화물 반도체나, 2원계 금속 산화물인 In-Zn계 산화물 반도체, Sn-Zn계 산화물 반도체, Al-Zn계 산화물 반도체, Zn-Mg계 산화물 반도체, Sn-Mg계 산화물 반도체, In-Mg계 산화물 반도체, In-Ga계 산화물 반도체나, In계 산화물 반도체, Sn계 산화물 반도체, Zn계 산화물 반도체 등을 사용할 수 있다.
- [0047] 또한, 본 명세서에 있어서는, 예를 들면, In-Sn-Ga-Zn계 산화물 반도체란, 인듐(In), 주석(Sn), 갈륨(Ga), 아연(Zn)을 갖는 금속 산화물이라는 의미이며, 그 화학량론적 조성비는 특별히 상관하지 않는다. 또한, 이러한 산

화물 반도체는, 실리콘이나 유황, 질소 등을 함유하고 있어도 좋다.

- [0048] 또는, 산화물 반도체는, 화학식 $\text{InMO}_3(\text{ZnO})_m(m>0)$ 으로 표기할 수 있는 것을 사용할 수 있다. 여기에서, M은, Ga, Al, Mn 및 Co로부터 선택된 1개 또는 복수의 금속 원소를 나타낸다.
- [0049] 산화물 반도체는 비교적 높은 이동도($1\text{cm}^2/\text{Vs}$ 이상, 바람직하게는 $10\text{cm}^2/\text{Vs}$ 이상)의 반도체 특성을 나타내는 금속 산화물이다. 그리고, 전자 공여체(도너)가 되는 수분 또는 수소 등의 불순물이 저감되어 고순도화된 산화물 반도체(purified OS)는 I형(진성 반도체, 본 명세서에서는, 캐리어 농도가 $1 \times 10^{12}/\text{cm}^3$ 이하인 반도체를 I형이라고 한다) 또는 I형에 매우 가까운(실질적으로 I형) 반도체이다.
- [0050] 구체적으로는, 2차 이온 질량 분석법(SIMS: Secondary Ion Mass Spectrometry)에 의해 측정된 산화물 반도체에 함유되는 수소 농도의 값이, $5 \times 10^{19}/\text{cm}^3$ 이하, 바람직하게는 $5 \times 10^{18}/\text{cm}^3$ 이하, 보다 바람직하게는 $5 \times 10^{17}/\text{cm}^3$ 이하, 더욱 바람직하게는 $1 \times 10^{16}/\text{cm}^3$ 이하가 되도록, 산화물 반도체에 함유되는 수분 또는 수소 등의 불순물을 제거한다.
- [0051] 그 결과, 홀 효과 측정에 의해 측정할 수 있는 산화물 반도체막의 캐리어 밀도를, $1 \times 10^{14}/\text{cm}^2$ 미만, 바람직하게는 $1 \times 10^{12}/\text{cm}^2$ 미만, 더욱 바람직하게는 측정 한계 이하의 $1 \times 10^{11}/\text{cm}^2$ 미만으로 할 수 있다. 즉, 산화물 반도체막의 캐리어 밀도를, 매우 제로에 가깝게 할 수 있다.
- [0052] 또한, 사용하는 산화물 반도체의 밴드 갭은 2전자볼트 이상 4전자볼트 이하, 바람직하게는 2.5전자볼트 이상 4전자볼트 이하, 보다 바람직하게는 3전자볼트 이상 4전자볼트 이하로 한다. 이와 같이 밴드 갭이 넓고, 수분 또는 수소 등의 불순물 농도가 충분히 저감되어 고순도화된 산화물 반도체막을 사용함으로써, 트랜지스터의 오프 전류를 낮출 수 있다.
- [0053] 여기에서, 산화물 반도체막 중 및 도전막 중의, 수소 농도의 분석에 관해서 언급해 둔다. 산화물 반도체막 중 및 도전막 중의 수소 농도 측정은, SIMS으로 행한다. SIMS은, 그 원리상, 시료 표면 근방이나, 재질이 상이한 막과의 적층 계면 근방의 데이터를 정확하게 얻는 것이 곤란한 것이 알려져 있다.
- [0054] 그래서, 막 중에 있어서의 수소 농도의 두께 방향의 분포를 SIMS로 분석하는 경우, 대상이 되는 막이 존재하는 범위에 있어서, 값에 극단적인 변동이 없고, 거의 일정한 값이 얻어지는 영역에 있어서의 평균값을, 수소 농도로서 채용한다.
- [0055] 또한, 측정의 대상이 되는 막의 두께가 작은 경우, 인접하는 막 내의 수소 농도의 영향을 받아 거의 일정한 값이 얻어지는 영역을 찾아낼 수 없는 경우가 있다. 이 경우, 상기 막이 존재하는 영역에 있어서의, 수소 농도의 극대값 또는 극소값을, 상기 막 중의 수소 농도로서 채용한다. 또한, 상기 막이 존재하는 영역에 있어서, 극대값을 나타내는 산형의 피크, 극소값을 나타내는 골짜기형의 피크가 존재하지 않는 경우, 변곡점의 값을 수소 농도로서 채용한다.
- [0056] 또한, 스퍼터링 등으로 성막된 산화물 반도체막 중에는, 불순물인 수분 또는 수소가 다량으로 함유되어 있는 것이 판명되어 있다. 수분 또는 수소는 도너 준위를 형성하기 쉽기 때문에, 산화물 반도체에 있어서 불순물이다.
- [0057] 그래서, 본 발명의 일 형태에서는, 산화물 반도체막 중의 수분 또는 수소 등의 불순물을 저감시키기 위해서, 산화물 반도체막에 대해, 감압 분위기하, 질소나 희가스 등의 불활성 가스 분위기하, 산소 가스 분위기하, 또는 초건조 에어(CRDS(캐비티 링다운 레이저 분광법) 방식의 노점계를 사용하여 측정된 경우의 수분량이 20ppm(노점 환산으로 -55°C) 이하, 바람직하게는 1ppm 이하, 보다 바람직하게는 10ppb 이하의 공기) 분위기하에서 가열 처리를 행한다.
- [0058] 가열 처리는, 300°C 이상 850°C 이하, 바람직하게는 550°C 이상 750°C 이하의 온도 범위에서 행하는 것이 바람직하다. 또한, 이 가열 처리는, 사용하는 기관의 내열 온도를 초과하지 않는 것으로 한다. 수분 또는 수소의 가열 처리에 의한 탈리 효과에 관해서는, TDS(Thermal Desorption Spectrometry; 승온 탈리 가스 분석법)에 의해 확인이 완료된 것이다.
- [0059] 가열 처리는, 로에서의 열처리 또는 래피드 서멀 어닐법(RTA법)을 사용한다. RTA법은, 램프 광원을 사용하는 방법과, 가열된 가스 중으로 기관을 이동시켜 단시간의 열처리를 행하는 방법이 있다. RTA법을 사용하면 열처

리에 필요로 하는 시간을 0.1시간보다도 짧게 할 수도 있다.

[0060] 구체적으로, 상기한 가열 처리에 의해 고순도화된 산화물 반도체막을 활성층으로서 사용한 트랜지스터는, 매우 낮은 오프 전류(매우 높은 오프 저항)를 나타낸다. 구체적으로는, 예를 들면, 채널 폭(W)이 $1 \times 10^6 \mu\text{m}$, 채널 길이(L)가 $1 \mu\text{m}$ 인 소자에 있어서, 소스 전극과 드레인 전극간의 전압(드레인 전압)이 1V일 때의 오프 전류(게이트 전극과 소스 전극간의 전압을 0V 이하로 했을 때의 드레인 전류)를, 반도체 파라미터 애널리저의 측정 한계 이하, 즉 $1 \times 10^{-13} \text{A}$ 이하로 할 수 있다.

[0061] 이 경우, 오프 전류 밀도(채널 폭 $1 \mu\text{m}$ 당 오프 전류)는, $100 \text{zA}/\mu\text{m}$ 이하이다. 따라서, 고순도화된 산화물 반도체막을 활성층으로서 사용한 트랜지스터는, 오프 전류가, 결정성을 갖는 실리콘을 사용한 트랜지스터에 비해 현저하게 낮다.

[0062] 한편, 박막 실리콘을 사용한 트랜지스터의 오프 전류 밀도는, 실리콘을 매우 얇게 함으로써 $100 \text{zA}/\mu\text{m}$ 정도로 할 수 있으며(특허문헌 1 참조), 또한, 이것을 장채널이면서 협채널로 함으로써 충분히 낮은 오프 전류를 얻을 수 있다.

[0063] 상기 구성을 갖는 트랜지스터를, 용량 소자에 축적된 전하의 방출을 제어하기 위한 용량용 스위칭 소자로서 사용함으로써, 용량 소자로부터의 전하의 리크를 방지할 수 있기 때문에, 전원 전압의 인가가 없는 경우에도, 데이터를 소실시키지 않고 유지하는 것이 가능해진다.

[0064] 그리고, 용량 소자에 있어서 데이터를 유지하고 있는 기간은, 위상 반전 소자로의 전원 전압의 공급을 행하지 않아도 되기 때문에, 위상 반전 소자에 사용되고 있는 트랜지스터의 오프 전류에 기인하는 소비 전력의 낭비를 삭감할 수 있고, 기억 장치, 나아가서는 기억 장치를 사용한 신호 처리 회로 전체의 소비 전력을 낮게 억제하는 것이 가능해진다.

[0065] 또한, 용량용 스위칭 소자의 오프 전류는, 용량 소자의 용량과, 데이터를 유지하는 시간에 의해 결정된다. 예를 들면, 드레인 전압 1V에서 오프 전류가 1zA 이하인 트랜지스터를 용량용 스위칭 소자로서 사용하고, 용량 소자의 용량을 1fF 로 하면, 데이터는 1일 이상 유지할 수 있다.

[0066] 한편, 데이터의 유지 시간으로서 그다지 장시간이 필요하지 않는 경우도 있다. 예를 들면, 데이터를 1초만 유지하면 되는 경우라면, 용량 소자의 용량을 1fF 로 하면, 오프 전류는 0.1fA 이하이면 좋다.

[0067] 예를 들면, 비정질 실리콘, 폴리 실리콘, 미결정 실리콘 등에서는, 고순도화된 산화물 반도체와 같이 1zA 이하의 낮은 오프 전류는 실현할 수 없지만, 장채널이면서 협채널로 하거나, 특허문헌 1에 기재되어 있는 바와 같이, 반도체층을 얇게 함으로써 오프 전류를 0.1fA 이하로 할 수 있다.

[0068] 또한, 오프 전류는, 반도체의 이동도에 비례하기 때문에, 이동도가 낮을수록 오프 전류가 낮아진다. 따라서, 폴리 실리콘보다도 비정질 실리콘쪽이 오프 전류는 낮아진다. 한편, 이동도가 낮은 반도체를 사용한 트랜지스터는 스위칭 특성이 떨어지지만, 이것은 본 발명의 일 형태에서는 거의 문제가 되지 않는다. 이것에 관해서는 후술한다.

발명의 효과

[0069] 상기 구성을 갖는 기억 소자를, 신호 처리 회로가 갖는 레지스터나 캐시 메모리 등의 기억 장치에 사용함으로써, 전원 정지에 의한 기억 장치 내의 데이터의 소실을 방지할 수 있다. 또한, 전원 회복시에, 데이터를 확실하게 복원할 수 있다.

[0070] 따라서, 신호 처리 회로 전체, 또는 신호 처리 회로를 구성하는 1개 또는 복수의 논리 회로에 있어서, 짧은 시간이라도 전원 정지를 행할 수 있기 때문에, 소비 전력을 억제할 수 있는 신호 처리 회로, 소비 전력을 억제할 수 있는 상기 신호 처리 회로의 구동 방법을 제공할 수 있다.

[0071] 또한, 단결정이 아닌 반도체를 사용한 트랜지스터에서는, 이동도가 단결정 실리콘에 비하면 작기 때문에, 충분한 스위칭 성능이 얻어지지 않는 것이 우려된다. 그러나, 전원의 정지와 회복이라는 조작은, 논리 회로의 클럭과 비교하면 매우 느린 동작이라도 좋다. 즉, 스위칭에 필요로 하는 시간은 $100 \mu\text{초}$ 이하이면 충분하며, 경우에 따라서는, 1ms 초 또는 그 이상이라도 좋다.

[0072] 왜냐하면, 각 기억 소자의 플립플롭 회로에 유지되어 있던 데이터를 용량 소자로 옮기는 과정 또는 그 반대 과정은 모든 기억 소자에서 동시에 행할 수 있기 때문이다. 그러한 저속 동작이면, 장채널이면서 협채널인 트랜

지스터라도 충분하다. 또한, 이동도는 $1\text{cm}^2/\text{Vs}$ 이상이면 좋다.

[0073] 일반적으로, 트랜지스터의 온 전류 I_{on} 과 오프 전류 I_{off} , 스위칭에 필요로 하는 시간 τ_{on} 과 데이터를 유지하는 시간 τ_{off} 사이에는, 수학적 1이라는 관계가 있다.

수학적 1

[0074]
$$\tau_{off} / \tau_{on} \sim I_{on} / I_{off} \times \frac{1}{100}$$

[0075] 따라서, 온 전류 I_{on} 이 오프 전류 I_{off} 의 10^8 배이면, τ_{off} 는 τ_{on} 의 10^6 배 정도이다. 예를 들면, 용량용 스위칭 소자가 용량 소자로 전하를 도입하는데 필요로 하는 시간으로서 $1\mu\text{s}$ 필요하면, 그 용량 소자와 용량용 스위칭 소자는 1초간 데이터를 유지할 수 있다. 만약에 데이터를 유지하는 기간이 1초를 초과하는 경우에는, 유지한 데이터를 플립플롭 회로 등으로 되돌려 증폭시키고, 그 후, 다시 용량 소자로 도입하는 조작(리프레쉬)을 1초마다 반복하면 좋다.

[0076] 또한, 용량 소자에 관해서도, 용량이 큰 편이 데이터를 플립플롭 회로로 되돌릴 때의 에러가 발생하기 어렵다. 한편, 용량이 크면, 용량 소자와 용량용 스위칭 소자로 구성되는 회로의 응답 속도가 저하된다. 그러나, 상기한 바와 같이 전원의 정지와 회복이라는 조작은, 논리 회로의 클록 등과 비교하면 매우 느린 동작이라도 좋기 때문에, 용량이 1pF 이하이면 조금도 문제가 되지 않는다.

[0077] 또한, DRAM에 나타나는 바와 같이, 일반적으로 용량 소자의 용량을 크게 하는 경우에는, 용량 소자를 형성하는 것이 곤란해진다. 그러나, 본 발명의 일 형태에서는, 용량 소자는 플레너형의 용량 소자라도 좋다.

[0078] 예를 들면, 상기의 레지스터 또는 SRAM 등의 회로는 2개의 위상 반전 소자(인버터 등)가 조합된 회로(플립플롭 회로 등)를 갖지만, 그 회로가 점유하는 면적은 $50F^2$ (F는 최소 가공 선폭) 이상이며, 통상적으로는 $100F^2$ 내지 $150F^2$ 이다.

[0079] 또한, 용량용 스위칭 소자로서 사용하는 트랜지스터를 장채널이면서 협채널, 또는 고순도화된 산화물 반도체로 함으로써 트랜지스터의 오프 전류를 작게 할 수 있다. 또한, 배선의 기생 용량의 영향도 작기 때문에, 용량 소자의 용량은 DRAM에서 사용되는 것(약 $30fF$)보다 충분히 작아도 좋다. 상기와 같이 DRAM보다 충분히 넓은 영역에 DRAM보다 작은 용량을 형성하면 되기 때문에, 용량 소자는, 특수한 제작 방법이 요구되지 않는 플레너형의 용량 소자라도 좋다.

[0080] 또한, 위상 반전 소자로부터 용량 소자로 전하를 옮길 때에, 전하의 이동이 급격하게 일어나면, 위상 반전 소자의 안정성이 손상되고, 위상 반전 소자에 유지되어 있던 데이터가 파괴되어 버리는 경우가 있다. 이 때에는, 용량 소자에는 잘못된 데이터가 유지되게 된다.

[0081] 이러한 문제점을 피하기 위해서는, 용량용 스위칭 소자의 온 전류를 어느 정도 낮게 하면 좋다. 상기와 같이 장채널이면서 협채널인 트랜지스터, 또는, 이동도가 $10\text{cm}^2/\text{Vs}$ 이하인 트랜지스터는 이 목적에 적합하다.

[0082] 본 발명의 일 형태에 의해, 데이터를 용량 소자로 퇴피(退避)시켜 유지할 수 있고, 위상 반전 소자의 전원을 정지할 수 있기 때문에, 기억 소자 내의 위상 반전 소자에 사용하는 트랜지스터의 임계값을 낮게 해도 좋다. 즉, 고속이면서 전력 절약형의 기억 소자가 된다.

도면의 간단한 설명

[0083] 도 1은 기억 소자의 회로도.

도 2는 종래의 기억 소자의 회로도.

도 3은 기억 소자의 회로도.

도 4는 기억 소자의 회로도.

도 5는 기억 소자의 회로도.

- 도 6은 기억 소자의 회로도.
- 도 7은 기억 소자의 구조를 설명하는 상면도.
- 도 8은 기억 소자의 구조를 설명하는 단면도.
- 도 9는 기억 소자의 회로도.
- 도 10은 기억 소자의 동작예를 설명하는 도면.
- 도 11은 기억 소자의 동작예를 설명하는 도면.
- 도 12는 기억 소자의 회로도 와 구조를 설명하는 단면도.
- 도 13은 기억 소자의 동작예를 설명하는 도면.
- 도 14는 기억 소자의 동작예를 설명하는 도면.
- 도 15는 기억 장치를 사용한 신호 처리 회로 및 CPU의 블록도.

발명을 실시하기 위한 구체적인 내용

- [0084] 이하에서는, 본 발명의 실시형태에 관해서 도면을 사용하여 상세하게 설명한다. 단, 본 발명은 이하의 설명에 한정되지 않으며, 본 발명의 취지 및 그 범위에서 일탈하지 않고 그 형태 및 상세를 다양하게 변경할 수 있는 것은, 당업자라면 용이하게 이해된다. 따라서, 본 발명은, 이하에 나타내는 실시형태의 기재 내용으로 한정하여 해석되는 것이 아니다.
- [0085] 또한, 본 명세서에 있어서 접속이란 전기적인 접속을 의미하고 있으며, 전류, 전압 또는 전위가, 공급 가능, 또는 전송 가능한 상태에 상당한다. 따라서, 접속하고 있는 상태란, 직접 접속하고 있는 상태를 반드시 가리키는 것은 아니며, 전류, 전압 또는 전위가, 공급 가능, 또는 전송 가능하도록, 배선, 저항의 회로 소자를 통하여 간접적으로 접속하고 있는 상태도, 그 범주에 포함한다.
- [0086] 또한, 회로도상으로는 독립되어 있는 구성 요소끼리가 접속하고 있는 것처럼 도시되어 있는 경우라도, 실제로는, 예를 들면 배선의 일부가 전극으로서도 기능하는 경우 등, 하나의 도전막이, 복수의 구성 요소의 기능을 함께 가지고 있는 것뿐인 경우도 있다. 본 명세서에 있어서 접속이란, 이러한 하나의 도전막이, 복수의 구성 요소의 기능을 함께 가지고 있는 경우도, 그 범주에 포함시킨다.
- [0087] 또한, 트랜지스터가 갖는 소스 전극과 드레인 전극은, 트랜지스터의 극성 및 각 전극에 주어지는 전위의 고저차에 의해, 그 호칭이 바뀐다. 일반적으로, n채널형 트랜지스터에서는, 낮은 전위가 주어지는 전극이 소스 전극이라고 불리고, 높은 전위가 주어지는 전극이 드레인 전극이라고 불린다. 또한, p채널형 트랜지스터에서는, 낮은 전위가 주어지는 전극이 드레인 전극이라고 불리고, 높은 전위가 주어지는 전극이 소스 전극이라고 불린다.
- [0088] 본 명세서에서는, 편의상, 소스 전극과 드레인 전극이 고정되어 있는 것으로 가정하고, 트랜지스터의 접속 관계를 설명하는 경우가 있는데, 실제로는 전위의 관계에 따라서 소스 전극과 드레인 전극의 호칭이 바뀐다.
- [0089] 또한, 본 명세서에 있어서, 트랜지스터가 직렬로 접속되어 있는 상태란, 제 1 트랜지스터의 소스 전극과 드레인 전극의 어느 한쪽만이, 제 2 트랜지스터의 소스 전극과 드레인 전극 중 어느 한쪽에만 접속되어 있는 상태를 의미한다. 또한, 트랜지스터가 병렬로 접속되어 있는 상태란, 제 1 트랜지스터의 소스 전극과 드레인 전극의 어느 한쪽이, 제 2 트랜지스터의 소스 전극과 드레인 전극의 어느 한쪽에 접속되고, 제 1 트랜지스터의 소스 전극과 드레인 전극의 다른쪽이 제 2 트랜지스터의 소스 전극과 드레인 전극의 다른쪽에 접속되어 있는 상태를 의미한다.
- [0090] 또한, 마이크로 프로세서, 화상 처리 회로, DSP(Digital Signal Processor), 마이크로 컨트롤러를 포함하는 LSI(Large Scale Integrated Circuit) 등의 집적 회로가, 본 발명의 신호 처리 회로의 범주에 포함되지만 이들에 한정되지 않는다.
- [0091] (실시형태 1)
- [0092] 본 발명의 일 형태에 따르는 기억 장치는, 1비트의 데이터를 기억할 수 있는 기억 소자를, 단수 또는 복수 가진다. 도 1a에, 본 발명의 기억 장치가 갖는 기억 소자의 회로도의 일례를 도시한다. 도 1a에 도시하는 기억 소

자(100)는 입력된 신호의 위상을 반전시켜 출력하는 제 1 위상 반전 소자(101) 및 제 2 위상 반전 소자(102)와, 스위칭 소자(103)와, 스위칭 소자(104)와, 용량 소자(105)와, 용량용 스위칭 소자(106)를, 적어도 가진다.

- [0093] 기억 소자(100)에 입력된 데이터를 포함하는 신호 IN은, 스위칭 소자(103)를 통하여 제 1 위상 반전 소자(101)의 입력 단자에 주어진다. 제 1 위상 반전 소자(101)의 출력 단자는, 제 2 위상 반전 소자(102)의 입력 단자에 접속되어 있다. 제 2 위상 반전 소자(102)의 출력 단자는, 스위칭 소자(104)를 통하여, 제 1 위상 반전 소자(101)의 입력 단자에 접속되어 있다. 제 1 위상 반전 소자(101)의 출력 단자 또는 제 2 위상 반전 소자(102)의 입력 단자의 전위가, 후단의 기억 소자로 출력되고, 최종적으로는 신호 OUT으로서 출력된다.
- [0094] 또한, 도 1a에서는, 제 1 위상 반전 소자(101) 및 제 2 위상 반전 소자(102)로서 인버터를 사용하는 예를 도시하고 있지만, 제 1 위상 반전 소자(101) 또는 제 2 위상 반전 소자(102)로서, 인버터 이외에 클록드 인버터를 사용할 수도 있다.
- [0095] 용량 소자(105)는, 기억 소자(100)에 입력된 신호 IN의 데이터를 필요에 따라 기억할 수 있도록, 스위칭 소자(103) 및 용량용 스위칭 소자(106)를 통하여, 기억 소자(100)의 입력 단자, 즉 신호 IN의 전위가 주어지는 노드에 접속되어 있다. 구체적으로, 용량 소자(105)는, 한 쌍의 전극간에 유전체를 갖는 콘덴서이며, 그 한쪽의 전극은, 용량용 스위칭 소자(106)를 통하여 제 1 위상 반전 소자(101)의 입력 단자에 접속되고, 다른쪽 전극에는 접지 전위 등의 전위 VE가 주어지 있는 노드에 접속되어 있다.
- [0096] 또한, 용량용 스위칭 소자(106)에는, 고순도화된 산화물 반도체를 채널 형성 영역에 갖는 트랜지스터를 사용하고 있다.
- [0097] 또한, 기억 소자(100)는, 필요에 따라, 다이오드, 저항 소자, 인덕터, 커패시터 등의 그 밖의 회로 소자를, 또한 갖고 있어도 좋다.
- [0098] 이어서, 도 1a에 도시한 기억 소자의, 보다 구체적인 회로도인 일례를, 도 1b에 도시한다. 도 1b에 도시하는 기억 소자(100)는, 제 1 위상 반전 소자(101)와, 제 2 위상 반전 소자(102)와, 스위칭 소자(103)와, 스위칭 소자(104)와, 용량 소자(105)와, 용량용 스위칭 소자(106)를 가지고 있으며, 이들 회로 소자의 접속 구성은 도 1a와 동일하다.
- [0099] 그리고, 도 1b에 있어서 제 1 위상 반전 소자(101)는, 게이트 전극이 서로 접속된 p채널형 트랜지스터(107)와, n채널형 트랜지스터(108)가, 하이 레벨의 전위 VDD를 포함하는 전위 VH가 주어지는 제 1 노드와, 로우 레벨의 전위 VSS를 포함하는 전위 VL이 주어지는 제 2 노드 사이에 있어서, 직렬로 접속된 구성을 가진다.
- [0100] 또한, 이하의 실시형태에 있어서도, 하이 레벨의 전위 VDD를 포함하는 전위 VH가 주어지는 노드를 제 1 노드, 로우 레벨의 전위 VSS를 포함하는 전위 VL이 주어지는 노드를 제 2 노드라고 부르기로 한다. 또한, 제 1 노드를 포함하는 배선을 VH 배선, 제 2 노드를 포함하는 배선을 VL 배선이라고 부른다.
- [0101] 구체적으로는, p채널형 트랜지스터(107)의 소스 전극이 제 1 노드에 접속되고, n채널형 트랜지스터(108)의 소스 전극이 제 2 노드에 접속된다. 또한, p채널형 트랜지스터(107)의 드레인 전극과, n채널형 트랜지스터(108)의 드레인 전극이 접속되어 있고, 이들 2개의 드레인 전극의 전위는, 제 1 위상 반전 소자(101)의 출력 단자의 전위로 간주할 수 있다. 또한, p채널형 트랜지스터(107)의 게이트 전극, 및 n채널형 트랜지스터(108)의 게이트 전극의 전위는, 제 1 위상 반전 소자(101)의 입력 단자의 전위로 간주할 수 있다.
- [0102] 또한, 본 실시형태의 기억 장치에서는 전위 VH라고 해도 1개의 고정 전위가 아니며, 적어도 프리차지 전위와 전위 VDD를 공급할 수 있는 것으로 한다. 로우 레벨의 전위 VL에 관해서도 마찬가지이다. 따라서, 기억 장치의 동작 모드가 상이하면, VH도 상이한 전위가 되는 경우도 있다.
- [0103] 또한, 도 1b에 있어서 제 2 위상 반전 소자(102)는, 게이트 전극이 서로 접속된 p채널형 트랜지스터(109)와, n채널형 트랜지스터(110)가 제 1 노드와 제 2 노드 사이에 있어서, 직렬로 접속된 구성을 가진다. 구체적으로는, p채널형 트랜지스터(109)의 소스 전극이 제 1 노드에 접속되고, n채널형 트랜지스터(110)의 소스 전극이 제 2 노드에 접속된다.
- [0104] 또한, p채널형 트랜지스터(109)의 드레인 전극과, n채널형 트랜지스터(110)의 드레인 전극이 접속되어 있고, 이들 2개의 드레인 전극의 전위는, 제 2 위상 반전 소자(102)의 출력 단자의 전위로 간주할 수 있다. 또한, p채널형 트랜지스터(109)의 게이트 전극, 및 n채널형 트랜지스터(110)의 게이트 전극의 전위는, 제 2 위상 반전 소자(102)의 입력 단자의 전위로 간주할 수 있다.

- [0105] 또한, 도 1b에서는, 스위칭 소자(103)로서 1개의 트랜지스터를 사용하고 있는 경우를 예시하고 있으며, 이 트랜지스터는, 그 게이트 전극에 주어지는 신호 Sig1에 의해 스위칭이 제어된다. 또한, 스위칭 소자(104)로서 1개의 트랜지스터를 사용하고 있는 경우를 예시하고 있으며, 이 트랜지스터는 그 게이트 전극에 주어지는 신호 Sig2에 의해 스위칭이 제어된다.
- [0106] 또한, 도 1b에서는, 스위칭 소자(103), 스위칭 소자(104)가, 각각 트랜지스터를 1개만 갖는 구성을 도시하고 있지만, 본 발명은 이 구성으로 한정되지 않는다. 본 발명의 일 형태에서는, 스위칭 소자(103), 스위칭 소자(104)가 트랜지스터를 복수 갖고 있어도 좋다.
- [0107] 스위칭 소자(103), 스위칭 소자(104)가, 스위칭 소자로서 기능하는 트랜지스터를 복수 가지고 있는 경우, 이들 복수의 트랜지스터는 병렬로 접속되어 있어도 좋고, 직렬로 접속되어 있어도 좋고, 직렬과 병렬이 조합되어 접속되어 있어도 좋다.
- [0108] 또한, 복수의 트랜지스터를 병렬로 접속하는 경우, 이들의 극성을 상이한 것으로 해도 좋고, 예를 들면, n채널형 트랜지스터와 p채널형 트랜지스터를 병렬로 접속한, 소위 트랜스퍼 게이트 구조로 해도 좋다.
- [0109] 또한, 도 1b에서는, 용량용 스위칭 소자(106)로서, 산화물 반도체를 채널 형성 영역에 갖는 트랜지스터를 사용하고 있으며, 이 트랜지스터는, 그 게이트 전극에 주어지는 신호 Sig3에 의해 스위칭이 제어된다. 용량용 스위칭 소자(106)에 사용하는 트랜지스터는, 고순도화된 산화물 반도체를 채널 형성 영역에 가지기 때문에, 그 오프 전류는 상기한 바와 같이 현저하게 낮다.
- [0110] 도 1b에서는, 용량용 스위칭 소자(106)가 트랜지스터를 1개만 갖는 구성을 도시하고 있지만, 본 발명은 이 구성으로 한정되지 않는다. 본 발명의 일 형태에서는, 용량용 스위칭 소자(106)가, 트랜지스터를 복수 갖고 있어도 좋다. 용량용 스위칭 소자(106)가, 스위칭 소자로서 기능하는 트랜지스터를 복수 가지고 있는 경우, 이들 복수의 트랜지스터는 병렬로 접속되어 있어도 좋고, 직렬로 접속되어 있어도 좋고, 직렬과 병렬이 조합되어 접속되어 있어도 좋다.
- [0111] 또한, 본 발명의 일 형태에서는, 적어도, 용량용 스위칭 소자(106)에 있어서 스위칭 소자로서 사용되는 트랜지스터가, 고순도화된 산화물 반도체를 채널 형성 영역에 가지고 있으면 좋다.
- [0112] 제 1 위상 반전 소자(101), 제 2 위상 반전 소자(102), 스위칭 소자(103), 스위칭 소자(104)에 사용되는 트랜지스터는, 산화물 반도체 이외의, 비정질, 미결정, 다결정, 또는 단결정의, 실리콘, 또는 게르마늄, 비화갈륨, 인화갈륨, 인화인듐 등의 반도체를 사용할 수 있다. 또한, 이러한 트랜지스터는, 박막의 반도체막을 사용하여 제작되어도 좋고, 벌크(반도체 웨이퍼)를 사용하여 제작되어도 좋다.
- [0113] 도 7을 사용하여 본 실시형태의 기억 소자의 회로 배치를 설명한다. 도 7a에는 1개의 기억 소자(300)의 레이아웃을 도시한다. 기억 소자(300)는 도 1의 기억 소자(100)에 상당한다. 기억 소자(300)의 주요 부분인 인버터 등은 공지 기술의 반도체 기술을 사용하여 형성하면 된다. 즉, 반도체 웨이퍼 위에 소자 분리를 위한 Shallow Trench Isolation(STI) 영역, n형 영역 및 p형 영역을 형성하고, 그 위에 게이트층인 제 1 층 배선과, 또한 그 위에 제 2 층 배선을 형성한다.
- [0114] 제 1 층 배선의 일부는, 신호 Sig1을 공급하기 위한 Sig1 배선(302)이며, 또한, 일부는 신호 Sig2를 공급하기 위한 Sig2 배선(303)이다. 또한, 제 2 층 배선의 일부는 전위 VH를 공급하기 위한 VH 배선(301)이며, 또한, 일부는 신호 IN을 입력하기 위한 IN 배선(304)이다. 도 7a에는 상방에 접속하기 위한 콘택트홀의 위치도 도시한다.
- [0115] 또한, 그 상층에는, 도 7b에 도시하는 바와 같이, 제 3 층 배선이 형성되고, 그 일부는 콘택트홀을 통하여 제 2 층 배선의 일부와 접속하고, 신호 OUT을 출력하기 위한 OUT 배선(305)이 된다. 또한, 제 3 층 배선의 일부는 스위칭 소자인 산화물 반도체를 사용한 트랜지스터의 드레인 전극(306) 및 소스 전극(307)이 된다. 드레인 전극(306)은, 콘택트홀을 통하여 제 2 층 배선의 일부와 접속한다. 또한, 소스 전극(307)은 그 후, 도 1의 용량 소자(105)에 상당하는 소자의 전극의 일부가 된다.
- [0116] 제 3 층 배선 위에는, 산화물 반도체층(OS층)을 형성한다. 도 7c에 도시하는 바와 같이 산화물 반도체층의 일부는, 적어도 1개의 오목부를 가지며, 예를 들면, J자형 형상의 산화물 반도체 영역(308)으로 한다. 그 밖에도, U자형, L자형, V자형, 또는 C자형 형상의 산화물 반도체 영역(308)으로 해도 좋다. 그 밖에도 2개 이상의 오목부를 갖는 형상(예를 들면, M자형, N자형, S자형, W자형, Z자형 외), 또는 기타 접어 구부러진 형상이라도 좋다.

- [0117] 이러한 형상으로 함으로써, 산화물 반도체 영역(308)의 일단에서부터 타단까지의 길이를 기억 소자(300)의 장변보다도 길게 할 수 있다. 예를 들면, 최소 가공 선폭을 F로 할 때, 일단에서부터 타단까지의 길이를 10F 이상, 바람직하게는 20F 이상, 보다 바람직하게는 50F 이상으로 하고, 이러한 형상의 산화물 반도체 영역(308)을 사용하여 형성되는 트랜지스터(도 1의 용량용 스위칭 소자(106)에 상당한다)의 채널 길이는 10F 이상, 바람직하게는 20F 이상, 보다 바람직하게는 50F 이상으로 할 수 있다.
- [0118] 도 7c의 경우에는, 산화물 반도체 영역(308)의 일단에서부터 타단까지의 길이는 약 17F이다. 이와 같이 채널 길이를 크게 함으로써, 단채널 효과에 의한 오프 특성의 저하를 억제할 수 있다.
- [0119] 산화물 반도체층 위에는, 도 7d에 도시하는 바와 같이 제 4 층 배선이 형성된다. 제 4 층 배선의 일부는, 게이트 배선(309), 용량 배선(310)이 된다. 게이트 배선(309)의 일부는, 도 1의 용량용 스위칭 소자(106)의 게이트 전극이 된다. 또한, 게이트 배선(309)에는 신호 Sig3이 공급된다. 또한, 용량 배선(310)은 소스 전극(307)의 일부와 중첩되어 도 1의 용량 소자(105)의 일부가 된다. 도 7d의 경우, 용량 소자의 전극 면적(2개의 전극이 중첩되어 있는 부분의 면적)은 $28F^2$ 이다. 또한, 용량 배선(310)에는 전위 VE가 공급된다.
- [0120] 도 8에는, 도 7의 일점 쇄선 X-Y에 따른 기억 소자(300)의 단면 구조를 모식적으로 도시한다. 또한, 도 8의 해칭이 도 7과 동일한 경우에는, 도 8에 있어서도 동일한 것을 가리키는 것으로 한다.
- [0121] 도 8a는, 도 7b의 단계에서의 단면 구조를 도시한다. 반도체 웨이퍼 표면에 STI(311), n형 영역, p형 영역 또한, 제 1 층 배선, 제 2 층 배선으로 회로(예를 들면, VH 배선(301)이나 Sig1 배선(302))가 형성된다. n형 영역, p형 영역, 제 1 층 배선과 제 2 층 배선 사이에는, 층간 절연물(312)이 형성되고, 이들 사이에 전기적인 접속이 필요한 경우에는 콘택트 플러그(313)가 형성된다. 또한 상층에는, 제 3 층 배선에 의해 드레인 전극(306)과 소스 전극(307)이 매립 절연물(314)로 매립된 상태로 형성된다.
- [0122] 도 8b는 도 7d의 단계에서의 단면 구조를 도시한다. 도 8a에서 설명한 구조물 위에, 또한 산화물 반도체층(산화물 반도체 영역(308) 등)과 게이트 절연물(315), 및 제 4 층 배선(게이트 배선(309)이나 용량 배선(310))을 형성한다. 여기에서, 산화물 반도체층의 두께는 1nm 내지 30nm, 바람직하게는 1nm 내지 10nm, 게이트 절연물(315)의 두께는 2nm 내지 30nm, 바람직하게는 5nm 내지 10nm으로 하면 좋다.
- [0123] 또한, 특허문헌 3과 같이, 산화물 반도체층에 접하여 적절한 1개 또는 복수의 일함수가 큰 재료가 접하도록 구성해도 좋다. 이와 같이 하면, 산화물 반도체층을 공핍화할 수 있어 오프 저항을 높이는 데 효과가 있다.
- [0124] 본 실시형태에 있어서는 산화물 반도체층의 품질이 중시되기 때문에, 고순도화된 산화물 반도체(막)를 사용하면 좋다. 그러한 산화물 반도체(막)의 제작 방법의 상세한 것은 실시형태 9에서 설명한다.
- [0125] 이어서, 도 1a에 도시하는 기억 소자의 동작의 일례에 관해서 설명한다. 또한, 이하의 설명 이외의 방법으로 기억 소자를 동작시킬 수도 있다.
- [0126] 우선, 데이터의 기록시에 있어서, 스위칭 소자(103)는 온, 스위칭 소자(104)는 오프, 용량용 스위칭 소자(106)는 오프로 한다. 그리고, 제 1 노드에 전위 VDD를 주고, 제 2 노드에 전위 VSS를 준다.
- [0127] 기억 소자(100)에 주어지는 신호 IN의 전위는, 스위칭 소자(103)를 통하여 제 1 위상 반전 소자(101)의 입력 단자에 주어지기 때문에, 제 1 위상 반전 소자(101)의 출력 단자는, 신호 IN의 전위의 위상이 반전된 전위가 된다. 그리고, 스위칭 소자(104)를 온으로 하고, 제 1 위상 반전 소자(101)의 입력 단자와 제 2 위상 반전 소자(102)의 출력 단자를 접속함으로써, 제 1 위상 반전 소자(101) 및 제 2 위상 반전 소자(102)에 데이터가 기록된다.
- [0128] 이어서, 입력된 데이터의 유지를, 제 1 위상 반전 소자(101) 및 제 2 위상 반전 소자(102)에 의해 행하는 경우, 스위칭 소자(104)를 온, 용량용 스위칭 소자(106)를 오프로 한 채로, 스위칭 소자(103)를 오프로 한다. 스위칭 소자(103)를 오프로 함으로써, 입력된 데이터는, 제 1 위상 반전 소자(101) 및 제 2 위상 반전 소자(102)에 의해 유지된다. 이 때, 제 1 노드에 전위 VDD를 주고, 제 2 노드에 전위 VSS를 줌으로써, 제 1 노드와 제 2 노드 간에 전원 전압이 인가되어 있는 상태를 유지한다.
- [0129] 그리고, 제 1 위상 반전 소자(101)의 출력 단자의 전위에는, 제 1 위상 반전 소자(101) 및 제 2 위상 반전 소자(102)에 의해 유지되어 있는 데이터가 반영되어 있다. 따라서, 이 전위를 판독함으로써, 데이터를 기억 소자(100)로부터 판독할 수 있다.
- [0130] 또한, 데이터의 유지시에 있어서의 소비 전력을 삭감하기 위해서, 입력된 데이터의 유지를, 용량 소자(105)에

있어서 행하는 경우에는, 우선, 스위칭 소자(103)는 오프, 스위칭 소자(104)는 온으로 한 채, 용량용 스위칭 소자(106)를 온으로 한다. 그리고, 용량용 스위칭 소자(106)를 통하여, 제 1 위상 반전 소자(101) 및 제 2 위상 반전 소자(102)에 의해 유지되어 있는 데이터의 값에 상응하는 양의 전하가 용량 소자(105)에 축적됨으로써, 용량 소자(105)로의 데이터의 기록이 행해진다.

- [0131] 용량 소자(105)에 데이터가 기억된 후, 용량용 스위칭 소자(106)를 오프로 함으로써, 용량 소자(105)에 기억된 데이터는 유지된다. 용량용 스위칭 소자(106)를 오프로 한 후에는, 제 1 노드와 제 2 노드를 모두, 예를 들면, 전위 VSS 또는 후술하는 프리차지 전위로 한다. 특히, 제 1 노드와 제 2 노드를 모두 프리차지 전위로 하는 것이 바람직하다. 이것에 관해서는 후술한다. 또한, 용량 소자(105)에 데이터가 기억된 후에는, 스위칭 소자(104)를 오프로 해도 좋다.
- [0132] 이와 같이, 입력된 데이터의 유지를 용량 소자(105)에 있어서 행하는 경우에는, 제 1 노드와 제 2 노드 사이에 전원 전압을 인가할 필요가 없기 때문에, 제 1 위상 반전 소자(101)가 갖는 p채널형 트랜지스터(107) 및 n채널형 트랜지스터(108), 또는, 제 2 위상 반전 소자(102)가 갖는 p채널형 트랜지스터(109) 및 n채널형 트랜지스터(110)를 통하여, 제 1 노드와 제 2 노드 사이에 흐르는 오프 전류를 매우 0에 가깝게 할 수 있다.
- [0133] 따라서, 데이터의 유지시에 있어서의 기억 소자의 오프 전류에 기인하는 소비 전력을 대폭 삭감할 수 있고, 기억 장치, 나아가서는 기억 장치를 사용한 신호 처리 회로 전체의, 소비 전력을 낮게 억제하는 것이 가능해진다.
- [0134] 또한, 용량용 스위칭 소자(106)에 사용되고 있는 트랜지스터는, 고순도화된 산화물 반도체를 채널 형성 영역에 사용하고 있기 때문에, 그 오프 전류 밀도를, $100\text{zA}/\mu\text{m}$ 이하, 바람직하게는 $10\text{zA}/\mu\text{m}$ 이하, 보다 바람직하게는 $1\text{zA}/\mu\text{m}$ 이하로 할 수 있다.
- [0135] 또한, 장채널이면서 협채널인 트랜지스터이면, 오프 전류는 1zA 이하가 된다. 그 결과, 이 트랜지스터를 사용한 용량용 스위칭 소자(106)가 오프일 때, 용량 소자(105)에 축적된 전하는 거의 방전되지 않기 때문에, 데이터는 유지된다.
- [0136] 다음에, 용량 소자(105)에 기억되어 있는 데이터를 제 1 위상 반전 소자(101) 및 제 2 위상 반전 소자(102)로 옮기는 방법(데이터를 회복하는 방법)에 관해서 설명한다.
- [0137] 이하에서는, 이해를 돕기 위해서 전위에 관해서 구체적인 수치를 들지만, 물론, 이 수치 이외의 전위도 적절히 적용할 수 있다. 여기에서는, 하이 레벨의 전위 VDD를 +1V, 로우 레벨의 전위 VSS를 0V, 프리차지 전위를 +0.5V로 한다. 데이터를 회복하는 방법은, 적어도 이하의 3개의 단계를 거치는 것이 필요하다. 또한, 본 실시 형태에서는, 하기의 과정에 있어서, 전위 VE는 0V로 고정시킨다.
- [0138] <프리차지>
- [0139] 제 1 위상 반전 소자(101) 및 제 2 위상 반전 소자(102)의 입력 단자 및 출력 단자의 전위를 프리차지 전위인 +0.5V로 한다. 이를 위해서는, 제 1 노드의 전위, 제 2 노드의 전위를 +0.5V로 한다.
- [0140] 또한, 신호 IN이나 신호 OUT도 프리차지 전위로 하거나, 플로팅 전위로 한다. 바람직하게는 기억 소자(100)를 갖는 기억 장치에 접속하는 모든 단자의 전위를 프리차지 전위로 한 후, 플로팅으로 한다.
- [0141] 신호 IN이나 신호 OUT을 플로팅으로 하는 경우에는, 스위칭 소자(103)를 오프로 한다. 또한, 용량용 스위칭 소자(106)는 오프로 유지한다. 또한, 스위칭 소자(104)는 오프로 해도 온으로 해도 좋다. 수ms초 내지 수초 경과 후에는, 제 1 위상 반전 소자(101)의 입력 단자의 전위와 제 2 위상 반전 소자(102)의 출력 단자의 전위는 +0.5V가 된다.
- [0142] 상기한 바와 같이, 용량 소자(105)로 데이터를 옮긴 후, 제 1 노드의 전위, 제 2 노드의 전위를 모두 프리차지 전위로 해 두면, 이 시점에서의 전위의 변경은 불필요하며, 그대로 다음 전하 방출의 과정으로 진행될 수 있다.
- [0143] 또한, 전하 방출 과정 직전에 있어서는, 제 1 위상 반전 소자(101) 및 제 2 위상 반전 소자(102)의 입력 단자의 전위는 유지되어 있던 전위를 반영한 것으로 되어 있는 경우가 있지만, 실용상의 문제는 없다.
- [0144] 예를 들면, 제 1 위상 반전 소자(101) 및 제 2 위상 반전 소자(102)가 비액티브가 되기 전의 제 1 위상 반전 소자(101) 및 제 2 위상 반전 소자(102)의 입력 단자의 전위가, 각각 +1V 및 0V이면, 전하 방출 과정 직전에 있어서는, 각각, +0.5V 이상, +0.5V 이하이다. 예를 들면, 각각, +0.6V 및 +0.4V이거나, 각각, +0.51V 및 +0.49V

이거나 한다.

- [0145] 프리차지 전위와 전하 방출 과정 직전의 전위의 차이는, 비액티브로 되어 있는 기간에 의존하며, 기간이 짧으면, 비액티브가 되기 전의 전위에 보다 가까워진다. 그러나, 어느 것으로 해도, 전하 방출 과정 직전의 제 1 위상 반전 소자(101) 또는 제 2 위상 반전 소자(102)의 입력 단자의 전위는, 유지되어 있던 데이터에 상응하는 전위이며, 또한, 그 후의 전하 방출의 영향에 의해 데이터가 반전되는 경우는 없다.
- [0146] <전하 방출>
- [0147] 다음에, 용량용 스위칭 소자(106)를 온으로 한다. 그러자, 용량용 스위칭 소자(106)에 접속하는 회로의 전위가 변동된다. 한편, 용량용 스위칭 소자(106)에 접속하고 있지 않은 회로의 전위는 거의 변화되지 않는다. 또한, 이 조작 전(바람직하게는 프리차지 조작 전)에 스위칭 소자(104)는 온으로 해 두는 것이 바람직하다.
- [0148] 이 전위의 변동은, 용량 소자(105)의 용량과, 용량용 스위칭 소자(106)를 포함하는 용량용 스위칭 소자(106)에 접속하는 회로의 용량(이하, 기생 용량이라고 한다, 단, 용량 소자(105)의 용량을 제외한다) 등에 의해 결정된다. 용량 소자(105)의 용량이 기생 용량보다 클수록, 전위의 변동이 커진다. 그러나, 일반적으로 기생 용량은 용량 소자(105)에 대해 무시할 수 있을 만큼 작은 것이 아니며, 통상적으로는, 용량 소자의 1/3 이상이 된다.
- [0149] 예를 들면, 도 7에 도시하는 용량 소자는 $28F^2$ 의 면적이지만, $F=30nm$, 유전체로서 두께 10nm의 산화실리콘을 사용한 경우의 용량은 약 0.09fF이다. 이것에 대해, 기생 용량은 0.1fF 정도가 되는 것이 추정된다. 즉, 기생 용량이 용량 소자의 용량과 동정도가 된다. 또한, 도 7과 같이 채널 길이가 큰 트랜지스터를 용량용 스위칭 소자로서 사용하는 경우에는, 그 게이트 용량(상기의 경우, 용량 소자의 용량의 61% 정도)의 영향도 무시할 수 없다.
- [0150] 그 경우, 예를 들면, 용량 소자(105)에 하이 레벨의 데이터가 유지되어 있었다(즉, +1V의 전위가 유지되어 있었다)고 하여, 용량용 스위칭 소자(106)의 게이트의 전위를 +2V로 하고, 용량용 스위칭 소자(106)를 온으로 하고, 용량 소자(105)에 유지되어 있는 전하를 제 1 위상 반전 소자(101)로 방출하면, 용량용 스위칭 소자(106)에 접속하는 회로의 전위는 +1.02V 정도가 된다. 이것은, 용량용 스위칭 소자(106)의 게이트에 +2V의 전위가 가해져 있는 것이 크게 영향을 주고 있다.
- [0151] 또한, 용량 소자(105)에 로우 레벨의 데이터가 유지되어 있던(즉, 0V의 전위가 유지되어 있던) 경우라도, 용량용 스위칭 소자(106)를 온으로 하고, 용량 소자(105)에 유지되어 있는 전하를 제 1 위상 반전 소자(101)로 방출하면, 용량용 스위칭 소자(106)에 접속하는 회로의 전위는 +0.65V 정도로 프리차지 전위보다 높아진다. 이것도, 용량용 스위칭 소자(106)의 게이트에 +2V의 전위가 가해져 있는 것이 크게 영향을 주고 있다.
- [0152] 이와 같이 용량용 스위칭 소자(106)의 게이트 용량이 무시할 수 없는 크기인 경우(구체적으로는 용량 소자(105)의 용량의 30% 이상인 경우에는 용량용 스위칭 소자(106)의 게이트의 전위가 교란되는 요인이 되기 때문에, 전하 방출 후에는, 용량용 스위칭 소자(106)를 오프로 하는 것이 바람직하다. 또한, 용량용 스위칭 소자(106)의 게이트 용량은 용량 소자(105)의 용량의 2배 이하인 것이 바람직하다.
- [0153] 용량용 스위칭 소자(106)를 오프로 한 경우에는, 용량용 스위칭 소자(106)의 게이트 용량의 영향은 소멸되기 때문에, 예를 들면, 용량 소자(105)에 하이 레벨의 데이터가 유지되어 있는 경우에는, 제 1 위상 반전 소자(101)의 입력 단자의 전위는 프리차지 전위 +0.5V보다 높은 +0.75V 정도가 되고, 로우 레벨의 데이터가 유지되어 있는 경우에는, 프리차지 전위보다 낮은 +0.28V 정도로 한다.
- [0154] 또한, 여기에서, 프리차지 전위가 0V이었다고 하면, 각각 0.49V, 0.02V가 되고, 모두 제 2 위상 반전 소자(102)의 입력 단자의 전위(프리차지 전위인 0V)보다 높아지고, 그 후의 증폭 작용으로 에러를 발생하게 되기 때문에, 프리차지 전위를 적절하게 선택하는 것이 필요해진다.
- [0155] <증폭>
- [0156] 다음에, 제 1 노드의 전위를 +0.5V에서 +1V로, 제 2 노드의 전위를 +0.5V에서 0V로 한다. 전위의 변화는 제 1 노드와 제 2 노드에서 대칭적이 되도록 행하는 것이 바람직하고, 또한, 에러의 확률을 낮게 하기 위해서는 가능한 한 시간을 들여 행하는 것이 바람직하다.
- [0157] 이 과정에 의해, 제 1 위상 반전 소자의 입력 단자의 전위와 제 2 위상 반전 소자의 입력 단자의 전위의 차이가 증폭된다. 증폭시의 에러는, 전위의 차이가 작을수록, 또한, 증폭의 시간이 짧을수록 일어나기 쉬워진다. 전

원 회복의 조작은 통상의 메모리의 클럭 주파수와 비교하면 훨씬 긴 시간이 허용되기 때문에, 시간을 들여 증폭 시킴으로써 전위의 차이가 작더라도, 에러의 확률을 충분히 낮게 할 수 있다.

- [0158] 이상에서는, 용량용 스위칭 소자(106)로서, 고순도화된 산화물 반도체를 사용한 박막 트랜지스터를 사용하는 예를 나타냈지만, 비정질 실리콘, 폴리 실리콘, 미결정 실리콘 등을 사용한 박막 트랜지스터를 사용해도 좋다.
- [0159] 그 경우는, 오프 전류가, 고순도화된 산화물 반도체를 사용한 박막 트랜지스터보다 커지기 때문에, 데이터를 유지하는 시간은 짧아진다. 그러나, 정기적으로 데이터를 제 1 위상 반전 소자(101) 및 제 2 위상 반전 소자(102)로 출력하고, 그 후, 데이터를 용량 소자(105)로 되돌리는 조작을 반복(리프레쉬)함으로써, 데이터를 계속 해서 유지할 수 있다.
- [0160] 또한, 이 경우의 리프레쉬는, DRAM인 경우의 리프레쉬와는 달리, 1개의 칩내의 리프레쉬가 필요로 하는 모든 기억 소자에 있어서 동시에 행할 수 있다. 이로 인해, 1개의 칩에 있어서 리프레쉬에 필요로 하는 시간은 매우 짧다. 물론, 칩내의 기억 소자의 블록마다 순차적으로 리프레쉬해도 좋다.
- [0161] (실시형태 2)
- [0162] 본 실시형태에서는, 본 발명의 기억 장치가 갖는 기억 소자의, 다른 일례에 관해서 설명한다. 도 3a에, 본 실시형태의 기억 소자의 회로도들 도시한다.
- [0163] 도 3a에 도시하는 기억 소자(120)는, 입력된 신호의 위상을 반전시켜 출력하는 제 1 위상 반전 소자(101) 및 제 2 위상 반전 소자(102)와, 스위칭 소자(103)와, 스위칭 소자(104)와, 용량 소자(105)와, 용량용 스위칭 소자(106)를, 적어도 가진다.
- [0164] 또한, 기억 소자(120)는 스위칭 소자(111)도 가진다. 스위칭 소자(111)는 제 2 위상 반전 소자(102)의 입력 단자와 프리차지 전위 VP를 공급하는 노드 사이에 접속되고, 신호 Sig4에 의해 제어된다.
- [0165] 기억 소자(120)에 입력된 데이터를 포함하는 신호 IN은, 스위칭 소자(103)를 통하여 제 1 위상 반전 소자(101)의 입력 단자에 주어진다. 제 1 위상 반전 소자(101)의 출력 단자는, 제 2 위상 반전 소자(102)의 입력 단자에 접속되어 있다. 제 2 위상 반전 소자(102)의 출력 단자는, 스위칭 소자(104)를 통하여, 제 1 위상 반전 소자(101)의 입력 단자에 접속되어 있다. 제 1 위상 반전 소자(101)의 출력 단자 또는 제 2 위상 반전 소자(102)의 입력 단자의 전위는, 신호 OUT으로서 후단의 기억 소자, 또는 다른 회로로 출력된다.
- [0166] 용량 소자(105)는 기억 소자(120)에 입력된 신호 IN의 데이터를 필요에 따라 기억할 수 있도록, 스위칭 소자(103) 및 용량용 스위칭 소자(106)를 통하여, 기억 소자(120)의 입력 단자, 즉 신호 IN의 전위가 주어지는 노드에 접속되어 있다. 구체적으로, 용량 소자(105)는 한 쌍의 전극간에 유전체를 갖는 콘덴서이며, 그 한쪽 전극은, 용량용 스위칭 소자(106)를 통하여 제 1 위상 반전 소자(101)의 입력 단자에 접속되고, 다른쪽 전극에는 접지 전위 등의 전위 VE가 주어지 있는 노드에 접속되어 있다.
- [0167] 또한, 도 3a에서는, 제 1 위상 반전 소자(101), 제 2 위상 반전 소자(102)로서 인버터를 사용하는 예를 도시하고 있지만, 제 1 위상 반전 소자(101) 또는 제 2 위상 반전 소자(102)로서, 인버터 이외에, 클록드 인버터를 사용할 수도 있다.
- [0168] 또한, 용량용 스위칭 소자(106)는, 고순도화된 산화물 반도체를 채널 형성 영역에 갖는 트랜지스터를 사용하고 있다. 용량용 스위칭 소자(106)는, 실시형태 1의 용량용 스위칭 소자(106)와 같이, 제 1 위상 반전 소자(101) 및 제 2 위상 반전 소자(102)의 상방에 산화물 반도체를 사용하여 형성하고, 그 채널 길이를 10F 이상, 바람직하게는 20F 이상, 보다 바람직하게는 50F 이상으로 하면 좋다.
- [0169] 또한, 기억 소자(120)는, 필요에 따라, 다이오드, 저항 소자, 인덕터, 커패시터 등의 그 밖의 회로 소자를 또한 갖고 있어도 좋다.
- [0170] 이어서, 도 3a에 도시한 기억 소자의, 보다 구체적인 회로도의 일례를, 도 3b에 도시한다. 도 3b에 도시하는 기억 소자(120)는, 제 1 위상 반전 소자(101), 제 2 위상 반전 소자(102), 스위칭 소자(103), 스위칭 소자(104), 용량 소자(105), 용량용 스위칭 소자(106), 스위칭 소자(111)를 적어도 가지고 있으며, 이들 회로 소자의 접속 구성은 도 3a와 동일하다. 또한, 도 3b에 있어서 제 1 위상 반전 소자(101) 및 제 2 위상 반전 소자(102)의 상세한 것은 실시형태 1과 같다.
- [0171] 또한, 도 3b에서는, 스위칭 소자(103)로서 1개의 트랜지스터를 사용하고 있는 경우를 예시하고 있으며, 이 트랜지스터는, 그 게이트 전극에 주어지는 신호 Sig1에 의해 스위칭이 제어된다. 또한, 스위칭 소자(104)로서 1개

의 트랜지스터를 사용하고 있는 경우를 예시하고 있으며, 이 트랜지스터는, 그 게이트 전극에 주어지는 신호 Sig2에 의해 스위칭이 제어된다. 또한, 스위칭 소자(111)로서 1개의 트랜지스터를 사용하고 있는 경우를 예시하고 있으며, 이 트랜지스터는, 그 게이트 전극에 주어지는 신호 Sig4에 의해 스위칭이 제어된다.

- [0172] 또한, 도 3b에서는, 스위칭 소자(103), 스위칭 소자(104), 스위칭 소자(111)가, 각각 트랜지스터를 1개만 갖는 구성을 도시하고 있지만, 본 발명은 이 구성으로 한정되지 않는다. 본 발명의 일 형태에서는, 스위칭 소자(103) 또는 스위칭 소자(104), 스위칭 소자(111)가, 트랜지스터를 복수 갖고 있어도 좋다.
- [0173] 스위칭 소자(103), 스위칭 소자(104), 스위칭 소자(111)가, 스위칭 소자로서 기능하는 트랜지스터를 복수 가지고 있는 경우, 이들 복수의 트랜지스터는 병렬로 접속되어 있어도 좋고, 직렬로 접속되어 있어도 좋고, 직렬과 병렬이 조합되어 접속되어 있어도 좋다.
- [0174] 또한, 도 3b에서는, 용량용 스위칭 소자(106)로서, 산화물 반도체를 채널 형성 영역에 갖는 트랜지스터를 사용하고 있으며, 이 트랜지스터는, 그 게이트 전극에 주어지는 신호 Sig3에 의해 스위칭이 제어된다. 용량용 스위칭 소자(106)에 사용하는 트랜지스터는, 고순도화된 산화물 반도체를 채널 형성 영역에 가지기 때문에, 그 오프 전류는 상기한 바와 같이 현저하게 낮다.
- [0175] 그리고, 도 3b에서는, 용량용 스위칭 소자(106)가 트랜지스터를 1개만 갖는 구성을 도시하고 있지만, 본 발명은 이 구성으로 한정되지 않는다. 본 발명의 일 형태에서는, 용량용 스위칭 소자(106)가, 트랜지스터를 복수 갖고 있어도 좋다. 용량용 스위칭 소자(106)가, 스위칭 소자로서 기능하는 트랜지스터를 복수 가지고 있는 경우, 이들 복수의 트랜지스터는 병렬로 접속되어 있어도 좋고, 직렬로 접속되어 있어도 좋고, 직렬과 병렬이 조합되어 접속되어 있어도 좋다.
- [0176] 또한, 본 실시형태에서는, 적어도, 용량용 스위칭 소자(106)에 있어서, 스위칭 소자로서 사용되는 트랜지스터가, 화합물 반도체, 예를 들면, 고순도화된 산화물 반도체를 채널 형성 영역에 가진다.
- [0177] 한편, 제 1 위상 반전 소자(101), 제 2 위상 반전 소자(102), 스위칭 소자(103), 스위칭 소자(104), 스위칭 소자(111)에 사용되는 트랜지스터는, 산화물 반도체 이외의, 비정질, 미결정, 다결정, 또는 단결정의, 실리콘, 또는 게르마늄 등의 반도체를 사용할 수 있다. 또한, 이러한 트랜지스터는, 박막의 반도체막을 사용하여 제작되어도 좋고, 벌크 반도체 웨이퍼를 사용하여 제작되어도 좋다.
- [0178] 산화물 반도체막을 사용한 p채널형 트랜지스터를 제작하는 것이 가능하면, 기억 소자 내의 모든 트랜지스터의 활성층에 산화물 반도체막을 사용하고, 프로세스를 간략화할 수도 있다.
- [0179] 이어서, 도 3a 또는 도 3b에 도시하는 기억 소자의 동작의 일례에 관해서 설명한다. 또한, 이하의 설명 이외의 방법으로 기억 소자를 동작시킬 수도 있다. 데이터의 기록, 제 1 위상 반전 소자(101) 및 제 2 위상 반전 소자(102)에 의한 데이터의 유지, 입력된 데이터의 용량 소자(105)에서의 유지를 행하기 위해서는 스위칭 소자(111)를 오프로 한다. 이상의 동작은 실시형태 1과 같기 때문에 생략한다.
- [0180] 용량 소자(105)에 기억되어 있는 데이터를 회복하는 경우에는, 실시형태 1과 같이, 프리차지, 전하 방출, 증폭이라는 단계를 거친다. 이 중, 프리차지 과정의 일부는 실시형태 1과 상이하다. 본 실시형태의 기억 소자(120)에 있어서는, 적어도 신호 IN, 제 1 노드, 제 2 노드를 프리차지 전위로 한다.
- [0181] 그리고, 스위칭 소자(103), 스위칭 소자(104), 스위칭 소자(111)를 온으로 한다. 이 결과, 제 1 위상 반전 소자(101)의 입력 단자는 물론, 제 2 위상 반전 소자(102)의 입력 단자 및 출력 단자도 신속하게(1 μ 초 이내에) 프리차지 전위로 할 수 있다.
- [0182] 그 후, 스위칭 소자(103)를 오프로 한다. 전하 방출, 증폭은 실시형태 1에서 나타난 대로 행하면 좋다.
- [0183] 도 2에 도시하는 종래의 기억 소자(200)는, 통상, 다른 복수의 기억 소자와 직렬로 접속하여 이용된다. 이것은 도 3에 도시하는 종래의 기억 소자(120)에서도 마찬가지이다. 이하에서는 예로서, 도 3에 도시하는 기억 소자(120)와 동등한 회로 구성을 갖는 2개의 기억 소자(120a), 기억 소자(120b)가 직렬로 접속된 회로의 동작예에 관해서 도 10 및 도 11을 사용하여 설명한다.
- [0184] 또한, 도 10 및 도 11에서는, 온인 트랜지스터나 액티브한 위상 반전 회로에는, 이들 기호에 ○ 표시를 포개고, 오프인 트랜지스터나 액티브하지 않은 위상 반전 회로에는, 이들 기호에 X 표시를 포개어 표기한다.
- [0185] <도 10a>

- [0186] 처음에 기억 소자(120a), 기억 소자(120b)에 각각 데이터가 유지되어 있는 것으로 한다. 여기에서는, 기억 소자(120a)의 제 1 위상 반전 소자의 입력 단자의 전위가 +1V, 출력 단자의 전위가 0V, 기억 소자(120b)의 제 1 위상 반전 소자의 입력 단자의 전위가 0V, 출력 단자의 전위가 +1V인 것으로 한다.
- [0187] 이 때, 스위칭 소자(103a), 스위칭 소자(103b), 용량용 스위칭 소자(106a), 용량용 스위칭 소자(106b), 스위칭 소자(111a), 스위칭 소자(111b)는 오프이며, 스위칭 소자(104a), 스위칭 소자(104b)는 온이다.
- [0188] <도 10b>
- [0189] 용량용 스위칭 소자(106a), 용량용 스위칭 소자(106b)를 온으로 한다. 이 결과, 용량 소자(105a), 용량 소자(105b)에, 각각, 기억 소자(120a), 기억 소자(120b)의 데이터에 따른 전하가 축적된다.
- [0190] <도 10c>
- [0191] 그 후, 스위칭 소자(104a), 스위칭 소자(104b), 용량용 스위칭 소자(106a), 용량용 스위칭 소자(106b)를 오프로 한다. 또한, 기억 소자(120a), 기억 소자(120b)의 제 1 위상 반전 소자, 제 2 위상 반전 소자의 제 1 노드 및 제 2 노드를 등전위로 한다. 예를 들면, 프리차지 전위인 +0.5V로 한다. 또한, 스위칭 소자(104a), 스위칭 소자(104b)는 온인채로 해도 좋다.
- [0192] 이상으로, 기억 소자(120a)와 기억 소자(120b)의 제 1 위상 반전 소자와 제 2 위상 반전 소자는 비액티브가 되지만, 기억 소자(120a)와 기억 소자(120b)의 제 1 위상 반전 소자와 제 2 위상 반전 소자에 유지되어 있던 데이터는 용량 소자(105a), 용량 소자(105b)로 유지할 수 있다.
- [0193] <도 11a>
- [0194] 프리차지를 행한다. 이를 위해서는, 적어도 기억 소자(120a)의 제 1 위상 반전 소자의 입력 단자의 전위를 프리차지 전위인 +0.5V로 한다. 또한, 스위칭 소자(103a), 스위칭 소자(103b), 스위칭 소자(104a), 스위칭 소자(104b), 스위칭 소자(111a), 스위칭 소자(111b)를 온으로 한다.
- [0195] 이 결과, 기억 소자(120a)의 제 1 위상 반전 소자의 입력 단자뿐만아니라, 기억 소자(120a)의 제 1 위상 반전 소자의 출력 단자, 기억 소자(120b)의 제 1 위상 반전 소자의 입력 단자와 출력 단자의 전위도 프리차지 전위인 +0.5V가 된다.
- [0196] <도 11b>
- [0197] 스위칭 소자(103a), 스위칭 소자(103b), 스위칭 소자(111a), 스위칭 소자(111b)를 오프로 한다. 또한, 용량용 스위칭 소자(106a), 용량용 스위칭 소자(106b)를 온으로 한다. 이 결과, 기억 소자(120a)의 제 1 위상 반전 소자의 입력 단자의 전위 및, 기억 소자(120b)의 제 1 위상 반전 소자의 입력 단자의 전위가 유지되어 있던 데이터에 따라 변동된다.
- [0198] 여기에서는, 기억 소자(120a)의 제 1 위상 반전 소자의 입력 단자의 전위는 +0.7V가 되고, 기억 소자(120b)의 제 1 위상 반전 소자의 입력 단자의 전위는 +0.3V가 된 것으로 한다.
- [0199] <도 11c>
- [0200] 그 후, 기억 소자(120a), 기억 소자(120b)의 제 1 위상 반전 소자, 제 2 위상 반전 소자의 제 1 노드 및 제 2 노드를, 각각, +1V, 0V로 한다. 기억 소자(120a), 기억 소자(120b)의 제 1 위상 반전 소자, 제 2 위상 반전 소자는 액티브가 되고, 각각의 입력 단자의 전위차를 증폭시킨다. 즉, 도 10a의 상태를 재현할 수 있다.
- [0201] 또한, 이상에서는, 용량용 스위칭 소자로서, 고순도화된 산화물 반도체를 사용한 박막 트랜지스터를 사용하는 예를 나타냈지만, 비정질 실리콘, 폴리 실리콘, 미결정 실리콘 등을 사용한 박막 트랜지스터를 사용해도 좋다.
- [0202] 본 실시형태에서 개시된 사항은, 다른 실시형태에서 개시된 사항과 적절히 조합하여 실시하는 것이 가능하다.
- [0203] (실시형태 3)
- [0204] 본 실시형태에서는, 본 발명의 기억 장치가 갖는 기억 소자의, 다른 일례에 관해서 설명한다. 도 4a에, 본 실시형태의 기억 소자의 회로도, 일례로서 도시한다.
- [0205] 도 4a에 도시하는 기억 소자(130)는, 입력된 신호의 위상을 반전시켜 출력하는 제 1 위상 반전 소자(101) 및 제

2 위상 반전 소자(102)와, 스위칭 소자(103)와, 스위칭 소자(104)와, 용량 소자(105)와, 용량용 스위칭 소자(106)와, 용량 소자(112)와, 용량용 스위칭 소자(113)를, 적어도 가진다.

- [0206] 기억 소자(130)에 입력된 데이터를 포함하는 신호 IN은, 스위칭 소자(103)를 통하여 제 1 위상 반전 소자(101)의 입력 단자에 주어진다. 제 1 위상 반전 소자(101)의 출력 단자는, 제 2 위상 반전 소자(102)의 입력 단자에 접속되어 있다. 제 2 위상 반전 소자(102)의 출력 단자는, 스위칭 소자(104)를 통하여, 제 1 위상 반전 소자(101)의 입력 단자에 접속되어 있다. 제 1 위상 반전 소자(101)의 출력 단자 또는 제 2 위상 반전 소자(102)의 입력 단자의 전위는, 신호 OUT으로서 후단의 기억 소자, 또는 다른 회로로 출력된다.
- [0207] 용량 소자(105)는 기억 소자(130)에 입력된 신호 IN의 데이터를 필요에 따라 기억할 수 있도록, 스위칭 소자(103) 및 용량용 스위칭 소자(106)를 통하여, 기억 소자(130)의 입력 단자, 즉 신호 IN의 전위가 주어지는 노드에 접속되어 있다. 구체적으로, 용량 소자(105)는 한 쌍의 전극간에 유전체를 갖는 콘덴서이며, 그 한쪽 전극은, 용량용 스위칭 소자(106)를 통하여 제 1 위상 반전 소자(101)의 입력 단자에 접속되고, 다른쪽 전극은 접지 전위 등의 전위 VE가 주어지 있는 노드에 접속되어 있다.
- [0208] 용량 소자(112)는, 용량 소자(105)와 같이, 기억 소자(130)에 입력된 신호 IN의 데이터를 필요에 따라 기억할 수 있도록, 스위칭 소자(103), 제 1 위상 반전 소자(101) 및 용량용 스위칭 소자(113)를 통하여, 기억 소자(130)의 입력 단자, 즉 신호 IN의 전위가 주어지는 노드에 접속되어 있다. 구체적으로, 용량 소자(112)는, 한 쌍의 전극간에 유전체를 갖는 콘덴서이며, 그 한쪽 전극은, 용량용 스위칭 소자(113)를 통하여 제 1 위상 반전 소자(101)의 출력 단자에 접속되고, 다른쪽 전극은 접지 전위 등의 전위 VE가 주어지 있는 노드에 접속되어 있다.
- [0209] 또한, 도 4a에서는, 제 1 위상 반전 소자(101), 제 2 위상 반전 소자(102)로서 인버터를 사용하는 예를 도시하고 있지만, 제 1 위상 반전 소자(101) 또는 제 2 위상 반전 소자(102)로서, 인버터 이외에, 클록드 인버터를 사용할 수도 있다.
- [0210] 또한, 용량용 스위칭 소자(106) 및 용량용 스위칭 소자(113)는, 고순도화된 산화물 반도체를 채널 형성 영역에 갖는 트랜지스터를 사용하고 있다. 용량용 스위칭 소자(106) 및 용량용 스위칭 소자(113)는, 실시형태 1의 용량용 스위칭 소자(106)와 같이, 제 1 위상 반전 소자(101) 및 제 2 위상 반전 소자(102)의 상방에 산화물 반도체를 사용하여 형성하고, 그 채널 길이를 10F 이상, 바람직하게는 20F 이상, 보다 바람직하게는 50F 이상으로 하면 좋다.
- [0211] 또한, 기억 소자(130)는, 필요에 따라, 다이오드, 저항 소자, 인덕터, 커패시터 등의 그 밖의 회로 소자를 또한 갖고 있어도 좋다.
- [0212] 이어서, 도 4a에 도시한 기억 소자의, 보다 구체적인 회로도의 일례를, 도 4b에 도시한다. 도 4b에 도시하는 기억 소자(130)는, 제 1 위상 반전 소자(101), 제 2 위상 반전 소자(102), 스위칭 소자(103), 스위칭 소자(104), 용량 소자(105), 용량용 스위칭 소자(106), 용량 소자(112), 용량용 스위칭 소자(113)를 적어도 가지고 있으며, 이들 회로 소자의 접속 구성은 도 4a와 동일하다. 또한, 도 4b에 있어서 제 1 위상 반전 소자(101) 및 제 2 위상 반전 소자(102)의 상세한 것은 실시형태 1과 같다.
- [0213] 또한, 도 4b에서는, 스위칭 소자(103)로서 1개의 트랜지스터를 사용하고 있는 경우를 예시하고 있으며, 이 트랜지스터는, 그 게이트 전극에 주어지는 신호 Sig1에 의해 스위칭이 제어된다. 또한, 스위칭 소자(104)로서 1개의 트랜지스터를 사용하고 있는 경우를 예시하고 있으며, 이 트랜지스터는, 그 게이트 전극에 주어지는 신호 Sig2에 의해 스위칭이 제어된다.
- [0214] 또한, 도 4b에서는, 스위칭 소자(103), 스위칭 소자(104)가, 각각 트랜지스터를 1개만 갖는 구성을 도시하고 있지만, 본 발명은 이 구성으로 한정되지 않는다. 본 발명의 일 형태에서는, 스위칭 소자(103) 또는 스위칭 소자(104)가, 트랜지스터를 복수 갖고 있어도 좋다. 스위칭 소자(103) 또는 스위칭 소자(104)가, 스위칭 소자로서 기능하는 트랜지스터를 복수 가지고 있는 경우, 이들 복수의 트랜지스터는 병렬로 접속되어 있어도 좋고, 직렬로 접속되어 있어도 좋고, 직렬과 병렬이 조합되어 접속되어 있어도 좋다.
- [0215] 또한, 도 4b에서는, 용량용 스위칭 소자(106)로서, 산화물 반도체를 채널 형성 영역에 갖는 트랜지스터를 사용하고 있으며, 이 트랜지스터는, 그 게이트 전극에 주어지는 신호 Sig3에 의해 스위칭이 제어된다. 용량용 스위칭 소자(106)에 사용하는 트랜지스터는, 고순도화된 산화물 반도체를 채널 형성 영역에 가지기 때문에, 그 오프 전류는, 상기한 바와 같이 현저하게 낮다.

- [0216] 또한, 도 4b에서는, 용량용 스위칭 소자(113)로서, 산화물 반도체를 채널 형성 영역에 갖는 트랜지스터를 사용하고 있으며, 이 트랜지스터는, 그 게이트 전극에 주어지는 신호 Sig5에 의해 스위칭이 제어된다. 용량용 스위칭 소자(113)에 사용하는 트랜지스터는, 고순도화된 산화물 반도체를 채널 형성 영역에 가지며, 또한, 채널 길이가 충분히 길기 때문에, 그 오프 전류는 상기한 바와 같이 현저하게 낮다.
- [0217] 또한, 신호 Sig3과 신호 Sig5는 독립적으로 제어되어도 좋지만, 용량용 스위칭 소자(106) 및 용량용 스위칭 소자(113)는, 모두 전원을 정지하기 전과 데이터를 회복할 때에 거의 동일한 타이밍으로 동작하기 때문에, 동기하여 제어하도록 해도 좋다. 이 경우, 회로 구성도 단순화되기 때문에 바람직하다.
- [0218] 그리고, 도 4b에서는, 용량용 스위칭 소자(106) 또는 용량용 스위칭 소자(113)가 트랜지스터를 1개만 갖는 구성을 도시하고 있지만, 본 발명은 이 구성으로 한정되지 않는다. 본 발명의 일 형태에서는, 용량용 스위칭 소자(106) 또는 용량용 스위칭 소자(113)가, 트랜지스터를 복수 갖고 있어도 좋다. 용량용 스위칭 소자(106) 또는 용량용 스위칭 소자(113)가, 스위칭 소자로서 기능하는 트랜지스터를 복수 가지고 있는 경우, 이들 복수의 트랜지스터는 병렬로 접속되어 있어도 좋고, 직렬로 접속되어 있어도 좋고, 직렬과 병렬이 조합되어 접속되어 있어도 좋다.
- [0219] 또한, 본 실시형태에서는, 적어도, 용량용 스위칭 소자(106) 또는 용량용 스위칭 소자(113)에 있어서, 스위칭 소자로서 사용되는 트랜지스터가, 화합물 반도체, 예를 들면, 고순도화된 산화물 반도체를 채널 형성 영역에 가진다.
- [0220] 한편, 제 1 위상 반전 소자(101), 제 2 위상 반전 소자(102), 스위칭 소자(103), 스위칭 소자(104)에 사용되는 트랜지스터는, 산화물 반도체 이외의, 비정질, 미결정, 다결정, 또는 단결정의, 실리콘, 또는 게르마늄 등의 반도체를 사용할 수 있다.
- [0221] 또한, 이러한 트랜지스터는, 박막의 반도체막을 사용하여 제작해도 좋고, 벌크 반도체 웨이퍼를 사용하여 제작해도 좋다. 산화물 반도체막을 사용한 p채널형 트랜지스터를 제작하는 것이 가능하다면, 기억 소자 내의 모든 트랜지스터의 활성층에 산화물 반도체막을 사용하고, 프로세스를 간략화할 수도 있다.
- [0222] 이어서, 도 4a 또는 도 4b에 도시하는 기억 소자의 동작의 일례에 관해서 설명한다. 또한, 이하의 설명 이외의 방법으로 기억 소자를 동작시킬 수도 있다.
- [0223] 우선, 데이터의 기록시에 있어서, 스위칭 소자(103)는 온, 스위칭 소자(104)는 오프, 용량용 스위칭 소자(106)는 오프, 용량용 스위칭 소자(113)는 오프로 한다. 그리고, 제 1 노드에 전위 VDD를 주고, 제 2 노드에 전위 VSS를 줌으로써, 제 1 노드와 제 2 노드간에 전위 전압이 인가된다.
- [0224] 기억 소자(130)에 주어지는 신호 IN의 전위는, 스위칭 소자(103)를 통하여 제 1 위상 반전 소자(101)의 입력 단자에 주어지기 때문에, 제 1 위상 반전 소자(101)의 출력 단자는, 신호 IN의 전위의 위상이 반전된 전위가 된다. 그리고, 스위칭 소자(104)를 온으로 하고, 제 1 위상 반전 소자(101)의 입력 단자와 제 2 위상 반전 소자(102)의 출력 단자를 접속함으로써, 제 1 위상 반전 소자(101) 및 제 2 위상 반전 소자(102)에 데이터가 기록된다.
- [0225] 이어서, 입력된 데이터의 유지를, 제 1 위상 반전 소자(101) 및 제 2 위상 반전 소자(102)에 의해 행하는 경우, 스위칭 소자(104)를 온, 용량용 스위칭 소자(106)를 오프, 용량용 스위칭 소자(113)를 오프 상태로 한 채로, 스위칭 소자(103)를 오프로 한다.
- [0226] 스위칭 소자(103)를 오프로 함으로써, 입력된 데이터는, 제 1 위상 반전 소자(101) 및 제 2 위상 반전 소자(102)에 의해 유지된다. 이 때, 제 1 노드에 전위 VDD를 주고, 제 2 노드에 전위 VSS를 줌으로써, 제 1 노드와 제 2 노드간에 전위 전압이 인가되어 있는 상태를 유지한다.
- [0227] 그리고, 제 1 위상 반전 소자(101)의 출력 단자의 전위에는, 제 1 위상 반전 소자(101) 및 제 2 위상 반전 소자(102)에 의해 유지되어 있는 데이터가 반영되어 있다. 따라서, 상기 전위를 관독함으로써, 데이터를 기억 소자(130)로부터 관독할 수 있다.
- [0228] 또한, 데이터의 유지시에 있어서의 소비 전력을 삭감하기 위해서, 입력된 데이터의 유지를, 용량 소자(105), 용량 소자(112)에 있어서 행하는 경우에는, 스위칭 소자(103)를 오프, 스위칭 소자(104)를 온, 용량용 스위칭 소자(106)를 온, 용량용 스위칭 소자(113)를 온으로 한다.
- [0229] 그리고, 용량용 스위칭 소자(106)를 통하여, 제 1 위상 반전 소자(101) 및 제 2 위상 반전 소자(102)에 유지되

어 있는 데이터의 값에 상응하는 양의 전하가, 용량 소자(105)에 축적됨으로써, 용량 소자(105)로의 데이터의 기록이 행해진다. 또한, 용량용 스위칭 소자(113)를 통하여, 제 1 위상 반전 소자(101) 및 제 2 위상 반전 소자(102)에 유지되어 있는 데이터의 값에 상응하는 양의 전하가, 용량 소자(112)에 축적됨으로써, 용량 소자(112)로의 데이터의 기록이 행해진다.

[0230] 용량 소자(105)에 데이터가 기억된 후, 용량용 스위칭 소자(106)를 오프로 함으로써, 용량 소자(105)에 기억된 데이터는 유지된다. 또한, 용량 소자(112)에 데이터가 기억된 후, 용량용 스위칭 소자(113)를 오프로 함으로써, 용량 소자(112)에 기억된 데이터는 유지된다. 용량용 스위칭 소자(106), 용량용 스위칭 소자(113)를 오프로 한 후에는, 제 1 노드와 제 2 노드에, 예를 들면 전위 VSS를 주어 등전위로 함으로써, 제 1 노드와 제 2 노드간의 전원 전압의 인가를 정지한다.

[0231] 이와 같이, 입력된 데이터의 유지를 용량 소자(105) 및 용량 소자(112)에 있어서 행하는 경우에는, 제 1 노드와 제 2 노드간에 전원 전압을 인가할 필요가 없기 때문에, 제 1 위상 반전 소자(101)가 갖는 p채널형 트랜지스터(107) 및 n채널형 트랜지스터(108), 또는, 제 2 위상 반전 소자(102)가 갖는 p채널형 트랜지스터(109) 및 n채널형 트랜지스터(110)를 통하여, 제 1 노드와 제 2 노드 사이에 흐르는 오프 전류를, 매우 0에 가깝게 할 수 있다.

[0232] 따라서, 유지시에 있어서의 기억 소자의 오프 전류에 기인하는 소비 전력을 대폭 삭감할 수 있고, 기억 장치, 나아가서는 기억 장치를 사용한 신호 처리 회로 전체의, 소비 전력을 낮게 억제하는 것이 가능해진다.

[0233] 또한, 용량용 스위칭 소자(106) 및 용량용 스위칭 소자(113)에 사용되고 있는 트랜지스터는, 고순도화된 산화물 반도체를 채널 형성 영역에 사용하고 있기 때문에, 그 오프 전류 밀도를, 100zA/ μm 이하, 바람직하게는 10zA/ μm 이하, 보다 바람직하게는 1zA/ μm 이하로 할 수 있다.

[0234] 따라서, 고순도화된 산화물 반도체막을 활성층으로서 사용한 트랜지스터는, 오프 전류가, 결정성을 갖는 실리콘을 사용한 트랜지스터에 비해 현저하게 낮다. 그 결과, 상기 트랜지스터를 사용한 용량용 스위칭 소자(106)가 오프일 때, 용량 소자(105)에 축적된 전하는 거의 방전되지 않기 때문에, 데이터는 유지된다. 또한, 상기 트랜지스터를 사용한 용량용 스위칭 소자(113)가 오프일 때, 용량 소자(112)에 축적된 전하는 거의 방전되지 않기 때문에, 데이터는 유지된다.

[0235] 또한, 용량 소자(105) 및 용량 소자(112)에 기억되어 있는 데이터를 회복하는 경우에는, 실시형태 1과 같이, 프리차지, 전하 방출, 증폭이라는 단계를 거친다. 본 실시형태의 기억 소자에서는, 제 1 위상 반전 소자(101)와 제 2 위상 반전 소자(102)의 각각 용량용 스위칭 소자(106) 및 용량용 스위칭 소자(113)와 용량 소자(105) 및 용량 소자(112)가 형성되어 있고, 회로의 특성상, 각각의 용량 소자에는 상이한 데이터(한쪽이 하이이면 다른쪽이 로우가 되는 데이터)가 유지되어 있다.

[0236] 따라서, 프리차지 전위에 상관없이, 제 1 위상 반전 소자(101)의 입력 단자와 제 2 위상 반전 소자(102)의 입력 단자 사이에는, 항상 데이터에 따른 전위차가 발생한다. 이로 인해, 프리차지 전위에 관한 제약은 실시형태 1과 비교하면 적다. 예를 들면, 프리차지 전위를 0V로 할 수 있다. 단, 증폭을 단시간으로 행하기 위해서는, 적절한 전위로 프리차지하면 좋다.

[0237] 프리차지 종료후, 스위칭 소자(103)를 오프로 한다. 전하 방출, 증폭은 실시형태 1에서 나타낸 바와 같이 행하면 좋다. 또한, 이상에서는, 용량용 스위칭 소자(106), 용량용 스위칭 소자(113)로서, 고순도화된 산화물 반도체를 사용한 박막 트랜지스터를 사용하는 예를 나타냈지만, 비정질 실리콘, 폴리 실리콘, 미결정 실리콘 등을 사용한 박막 트랜지스터를 사용해도 좋다.

[0238] 본 실시형태에서 개시된 사항은, 다른 실시형태에서 개시된 사항과 적절히 조합하여 실시하는 것이 가능하다.

[0239] (실시형태 4)

[0240] 본 실시형태에서는, 본 발명의 기억 장치가 갖는 기억 소자의, 다른 일례에 관해서 설명한다. 도 5a에, 본 실시형태의 기억 소자의 회로도들, 일례로서 도시한다.

[0241] 도 5a에 도시하는 기억 소자(140)는, 입력된 신호의 위상을 반전시켜 출력하는 제 1 위상 반전 소자(101) 및 제 2 위상 반전 소자(102)와, 스위칭 소자(103)와, 스위칭 소자(104)와, 용량 소자(105)와, 용량용 스위칭 소자(106)를, 적어도 가진다.

- [0242] 또한, 기억 소자(140)는 스위칭 소자(114)도 가진다. 스위칭 소자(114)는 제 1 위상 반전 소자(101)의 입력 단자와 제 2 위상 반전 소자(102)의 입력 단자 사이에 접속되고, 신호 Sig6에 의해 제어된다.
- [0243] 기억 소자(140)에 입력된 데이터를 포함하는 신호 IN은, 스위칭 소자(103)를 통하여 제 1 위상 반전 소자(101)의 입력 단자에 주어진다. 제 1 위상 반전 소자(101)의 출력 단자는, 제 2 위상 반전 소자(102)의 입력 단자에 접속되어 있다. 제 2 위상 반전 소자(102)의 출력 단자는, 스위칭 소자(104)를 통하여, 제 1 위상 반전 소자(101)의 입력 단자에 접속되어 있다. 제 1 위상 반전 소자(101)의 출력 단자 또는 제 2 위상 반전 소자(102)의 입력 단자의 전위는, 신호 OUT으로서 후단의 기억 소자, 또는 다른 회로로 출력된다.
- [0244] 용량 소자(105)는, 기억 소자(140)에 입력된 신호 IN의 데이터를 필요에 따라 기억할 수 있도록, 스위칭 소자(103) 및 용량용 스위칭 소자(106)를 통하여, 기억 소자(140)의 입력 단자, 즉 신호 IN의 전위가 주어지는 노드에 접속되어 있다. 구체적으로, 용량 소자(105)는, 한 쌍의 전극간에 유전체를 갖는 콘덴서이며, 그 한쪽 전극은, 용량용 스위칭 소자(106)를 통하여 제 1 위상 반전 소자(101)의 입력 단자에 접속되고, 다른쪽 전극에는 접지 전위 등의 전위 VE가 주어지 있는 노드에 접속되어 있다.
- [0245] 또한, 도 5a에서는, 제 1 위상 반전 소자(101), 제 2 위상 반전 소자(102)로서 인버터를 사용하는 예를 도시하고 있지만, 제 1 위상 반전 소자(101) 또는 제 2 위상 반전 소자(102)로서, 인버터 이외에, 클록드 인버터를 사용할 수도 있다.
- [0246] 또한, 용량용 스위칭 소자(106)는, 고순도화된 산화물 반도체를 채널 형성 영역에 갖는 트랜지스터를 사용하고 있다. 용량용 스위칭 소자(106)는, 실시형태 1의 용량용 스위칭 소자(106)와 같이, 제 1 위상 반전 소자(101) 및 제 2 위상 반전 소자(102)의 상방에 산화물 반도체를 사용하여 형성하고, 그 채널 길이를 10F 이상, 바람직하게는 20F 이상, 보다 바람직하게는 50F 이상으로 하면 좋다.
- [0247] 또한, 기억 소자(140)는, 필요에 따라, 다이오드, 저항 소자, 인덕터, 커패시터 등의 그 밖의 회로 소자를 또한 갖고 있어도 좋다.
- [0248] 이어서, 도 5a에 도시한 기억 소자의, 보다 구체적인 회로도의 일례를, 도 5b에 도시한다. 도 5b에 도시하는 기억 소자(140)는, 제 1 위상 반전 소자(101), 제 2 위상 반전 소자(102), 스위칭 소자(103), 스위칭 소자(104), 용량 소자(105), 용량용 스위칭 소자(106), 스위칭 소자(114)를 적어도 가지고 있으며, 이들 회로 소자의 접속 구성은 도 5a와 동일하다. 또한, 도 5b에 있어서 제 1 위상 반전 소자(101) 및 제 2 위상 반전 소자(102)의 상세한 것은 실시형태 1과 같다.
- [0249] 또한, 도 5b에서는, 스위칭 소자(103)로서 1개의 트랜지스터를 사용하고 있는 경우를 예시하고 있으며, 이 트랜지스터는, 그 게이트 전극에 주어지는 신호 Sig1에 의해 스위칭이 제어된다. 또한, 스위칭 소자(104)로서 1개의 트랜지스터를 사용하고 있는 경우를 예시하고 있으며, 이 트랜지스터는, 그 게이트 전극에 주어지는 신호 Sig2에 의해 스위칭이 제어된다. 또한, 스위칭 소자(114)로서 1개의 트랜지스터를 사용하고 있는 경우를 예시하고 있으며, 이 트랜지스터는, 그 게이트 전극에 주어지는 신호 Sig6에 의해 스위칭이 제어된다.
- [0250] 또한, 도 5b에서는, 스위칭 소자(103), 스위칭 소자(104), 스위칭 소자(114)가, 각각 트랜지스터를 1개만 갖는 구성을 도시하고 있지만, 본 발명은 이 구성으로 한정되지 않는다. 본 발명의 일 형태에서는, 스위칭 소자(103) 또는 스위칭 소자(104), 스위칭 소자(114)가, 트랜지스터를 복수 갖고 있어도 좋다. 스위칭 소자(103), 스위칭 소자(104), 스위칭 소자(114)가, 스위칭 소자로서 기능하는 트랜지스터를 복수 가지고 있는 경우, 상기 복수의 트랜지스터는 병렬로 접속되어 있어도 좋고, 직렬로 접속되어 있어도 좋고, 직렬과 병렬이 조합되어 접속되어 있어도 좋다.
- [0251] 또한, 도 5b에서는, 용량용 스위칭 소자(106)로서, 산화물 반도체를 채널 형성 영역에 갖는 트랜지스터를 사용하고 있으며, 이 트랜지스터는, 그 게이트 전극에 주어지는 신호 Sig3에 의해 스위칭이 제어된다. 용량용 스위칭 소자(106)에 사용하는 트랜지스터는, 고순도화된 산화물 반도체를 채널 형성 영역에 가지기 때문에, 그 오프 전류는 상기한 바와 같이 현저하게 낮다.
- [0252] 또한, 도 5b에서는, 용량용 스위칭 소자(106)가 트랜지스터를 1개만 갖는 구성을 도시하고 있지만, 본 발명은 이 구성으로 한정되지 않는다. 본 발명의 일 형태에서는, 용량용 스위칭 소자(106)가, 트랜지스터를 복수 갖고 있어도 좋다. 용량용 스위칭 소자(106)가, 스위칭 소자로서 기능하는 트랜지스터를 복수 가지고 있는 경우, 상기 복수의 트랜지스터는 병렬로 접속되어 있어도 좋고, 직렬로 접속되어 있어도 좋고, 직렬과 병렬이 조합되어 접속되어 있어도 좋다.

- [0253] 또한, 본 실시형태에서는, 적어도, 용량용 스위칭 소자(106)에 있어서, 스위칭 소자로서 사용되는 트랜지스터가, 고순도화된 산화물 반도체를 채널 형성 영역에 가진다. 제 1 위상 반전 소자(101), 제 2 위상 반전 소자(102), 스위칭 소자(103), 스위칭 소자(104), 스위칭 소자(114)에 사용되는 트랜지스터는, 산화물 반도체 이외의, 비정질, 미결정, 다결정, 또는 단결정의, 실리콘, 또는 게르마늄 등의 반도체를 사용할 수 있다.
- [0254] 또한, 상기 트랜지스터는, 박막의 반도체막을 사용하여 제작되어도 좋고, 벌크 반도체 웨이퍼를 사용하여 제작되어도 좋다. 산화물 반도체막을 사용한 p채널형 트랜지스터를 제작하는 것이 가능하면, 기억 소자 내의 모든 트랜지스터의 활성층에 산화물 반도체막을 사용하고, 프로세스를 간략화할 수도 있다.
- [0255] 이어서, 도 5a 또는 도 5b에 도시하는 기억 소자의 동작의 일례에 관해서 설명한다. 또한, 이하의 설명 이외의 방법으로 기억 소자를 동작시킬 수도 있다. 데이터의 기록, 제 1 위상 반전 소자(101) 및 제 2 위상 반전 소자(102)에 의한 데이터의 유지, 입력된 데이터의 용량 소자(105)에서의 유지를 행하기 위해서는 스위칭 소자(114)를 오픈로 한다. 이상의 동작은 실시형태 1과 같기 때문에 생략한다.
- [0256] 용량 소자(105)에 기억되어 있는 데이터를 회복하는 경우에는, 실시형태 1과 같이, 프리차지, 전하 방출, 증폭이라고 하는 단계를 거친다. 이 중, 프리차지의 과정은 실시형태 1과 상이하다. 본 실시형태의 기억 소자(140)에 있어서는, 적어도 신호 IN, 제 1 노드, 제 2 노드를 프리차지 전위로 한다.
- [0257] 그리고, 스위칭 소자(103), 스위칭 소자(104), 스위칭 소자(114)를 온으로 한다. 이 결과, 제 1 위상 반전 소자(101)의 입력 단자는 물론, 제 2 위상 반전 소자(102)의 입력 단자 및 출력 단자도 조속히 (1 μ 초 이내) 프리차지 전위로 할 수 있다.
- [0258] 그 후, 스위칭 소자(103) 및 스위칭 소자(114)를 오픈로 한다. 전하 방출, 증폭은 실시형태 1에서 나타난 바와 같이 행하면 좋다. 또한, 이상에서는, 용량용 스위칭 소자(106)로서, 고순도화된 산화물 반도체를 사용한 박막 트랜지스터를 사용하는 예를 나타냈지만, 비정질 실리콘, 폴리 실리콘, 미결정 실리콘 등을 사용한 박막 트랜지스터를 사용해도 좋다.
- [0259] 본 실시형태에서 개시된 사항은, 다른 실시형태에서 개시된 사항과 적절히 조합하여 실시하는 것이 가능하다.
- [0260] (실시형태 5)
- [0261] 본 실시형태에서는, 본 발명의 기억 장치가 갖는 기억 소자의, 다른 일례에 관해서 설명한다. 도 6a에, 본 실시형태의 기억 소자의 회로도, 일례로서 도시한다.
- [0262] 도 6a에 도시하는 기억 소자(150)는, 입력된 신호의 위상을 반전시켜 출력하는 제 1 위상 반전 소자(101) 및 제 2 위상 반전 소자(102)와, 스위칭 소자(103)와, 스위칭 소자(104)와, 용량 소자(105)와, 용량용 스위칭 소자(106)와, 스위칭 소자(115)를, 적어도 가진다.
- [0263] 기억 소자(150)에 입력된 데이터를 포함하는 신호 IN은, 스위칭 소자(103)를 통하여 제 1 위상 반전 소자(101)의 입력 단자에 주어진다. 제 1 위상 반전 소자(101)의 출력 단자는, 제 2 위상 반전 소자(102)의 입력 단자에 접속되어 있다. 제 2 위상 반전 소자(102)의 출력 단자는, 스위칭 소자(104)를 통하여, 제 1 위상 반전 소자(101)의 입력 단자에 접속되어 있다. 제 1 위상 반전 소자(101)의 출력 단자 또는 제 2 위상 반전 소자(102)의 입력 단자의 전위는, 신호 OUT으로서 후단의 기억 소자, 또는 다른 회로로 출력된다.
- [0264] 또한, 제 1 위상 반전 소자(101)의 출력 단자는, 스위칭 소자(115)를 통하여, 제 2 위상 반전 소자(102)의 출력 단자에 접속한다.
- [0265] 용량 소자(105)는, 기억 소자(150)에 입력된 신호 IN의 데이터를 필요에 따라 기억할 수 있도록, 스위칭 소자(103) 및 용량용 스위칭 소자(106)를 통하여, 기억 소자(150)의 입력 단자, 즉 신호 IN의 전위가 주어지는 노드에 접속되어 있다.
- [0266] 구체적으로, 용량 소자(105)는, 한 쌍의 전극간에 유전체를 갖는 콘덴서이며, 그 한쪽 전극은, 용량용 스위칭 소자(106)를 통하여 제 1 위상 반전 소자(101)의 입력 단자에 접속되고, 다른쪽 전극은 접지 전위 등의 전위 VE가 주어지는 노드에 접속되어 있다.
- [0267] 또한, 도 6a에서는, 제 1 위상 반전 소자(101), 제 2 위상 반전 소자(102)로서 인버터를 사용하는 예를 도시하고 있지만, 제 1 위상 반전 소자(101) 또는 제 2 위상 반전 소자(102)로서, 인버터 이외에, 클록드 인버터를 사

용할 수도 있다.

- [0268] 또한, 용량용 스위칭 소자(106)는, 고순도화된 산화물 반도체를 채널 형성 영역에 갖는 트랜지스터를 사용하고 있다. 용량용 스위칭 소자(106)는, 실시형태 1의 용량용 스위칭 소자(106)와 같이, 제 1 위상 반전 소자(101) 및 제 2 위상 반전 소자(102)의 상방에 산화물 반도체를 사용하여 형성하고, 그 채널 길이를 10F 이상, 바람직하게는 20F 이상, 보다 바람직하게는 50F 이상으로 하면 좋다.
- [0269] 또한, 기억 소자(150)는, 필요에 따라, 다이오드, 저항 소자, 인덕터, 커패시터 등의 그 밖의 회로 소자를 또한 갖고 있어도 좋다.
- [0270] 이어서, 도 6a에 도시한 기억 소자의, 보다 구체적인 회로도의 일례를, 도 6b에 도시한다. 도 6b에 도시하는 기억 소자(150)는, 제 1 위상 반전 소자(101), 제 2 위상 반전 소자(102), 스위칭 소자(103), 스위칭 소자(104), 용량 소자(105), 용량용 스위칭 소자(106), 스위칭 소자(115)를 적어도 가지고 있으며, 이들 회로 소자의 접속 구성은 도 6a와 동일하다. 또한, 도 6b에 있어서 제 1 위상 반전 소자(101) 및 제 2 위상 반전 소자(102)의 상세한 것은 실시형태 1과 같다.
- [0271] 또한, 도 6b에서는, 스위칭 소자(103)로서 1개의 트랜지스터를 사용하고 있는 경우를 예시하고 있으며, 이 트랜지스터는, 그 게이트 전극에 주어지는 신호 Sig1에 의해 스위칭이 제어된다. 또한, 스위칭 소자(104)로서 1개의 트랜지스터를 사용하고 있는 경우를 예시하고 있으며, 이 트랜지스터는, 그 게이트 전극에 주어지는 신호 Sig2에 의해 스위칭이 제어된다. 또한, 스위칭 소자(115)로서 1개의 트랜지스터를 사용하고 있는 경우를 예시하고 있으며, 이 트랜지스터는, 그 게이트 전극에 주어지는 신호 Sig7에 의해 스위칭이 제어된다.
- [0272] 또한, 도 6b에서는, 스위칭 소자(103), 스위칭 소자(104), 스위칭 소자(115)가, 각각 트랜지스터를 1개만 갖는 구성을 도시하고 있지만, 본 발명은 이 구성으로 한정되지 않는다. 본 발명의 일 형태에서는, 스위칭 소자(103) 또는 스위칭 소자(104), 스위칭 소자(115)가, 트랜지스터를 복수 갖고 있어도 좋다. 스위칭 소자(103) 또는 스위칭 소자(104), 스위칭 소자(115)가, 스위칭 소자로서 기능하는 트랜지스터를 복수 가지고 있는 경우, 상기 복수의 트랜지스터는 병렬로 접속되어 있어도 좋고, 직렬로 접속되어 있어도 좋고, 직렬과 병렬이 조합되어 접속되어 있어도 좋다.
- [0273] 또한, 도 6b에서는, 용량용 스위칭 소자(106)로서, 산화물 반도체를 채널 형성 영역에 갖는 트랜지스터를 사용하고 있으며, 이 트랜지스터는, 그 게이트 전극에 주어지는 신호 Sig3에 의해 스위칭이 제어된다. 용량용 스위칭 소자(106)에 사용하는 트랜지스터는, 고순도화된 산화물 반도체를 채널 형성 영역에 가지기 때문에, 그 오프 전류는, 상기한 바와 같이 현저하게 낮다.
- [0274] 그리고, 도 6b에서는, 용량용 스위칭 소자(106)가 트랜지스터를 1개만 갖는 구성을 도시하고 있지만, 본 발명은 이 구성으로 한정되지 않는다. 본 발명의 일 형태에서는, 용량용 스위칭 소자(106)가, 트랜지스터를 복수 갖고 있어도 좋다. 용량용 스위칭 소자(106)가, 스위칭 소자로서 기능하는 트랜지스터를 복수 가지고 있는 경우, 상기 복수의 트랜지스터는 병렬로 접속되어 있어도 좋고, 직렬로 접속되어 있어도 좋고, 직렬과 병렬이 조합되어 접속되어 있어도 좋다.
- [0275] 또한, 본 실시형태에서는, 적어도, 용량용 스위칭 소자(106)에 있어서, 스위칭 소자로서 사용되는 트랜지스터가, 고순도화된 산화물 반도체를 채널 형성 영역에 가진다. 제 1 위상 반전 소자(101), 제 2 위상 반전 소자(102), 스위칭 소자(103), 스위칭 소자(104), 스위칭 소자(115)에 사용되는 트랜지스터는, 산화물 반도체 이외의, 비정질, 미결정, 다결정, 또는 단결정의, 실리콘, 또는 게르마늄 등의 반도체를 사용할 수 있다.
- [0276] 또한, 상기 트랜지스터는, 박막의 반도체막을 사용하여 제작되어도 좋고, 벌크 반도체 웨이퍼를 사용하여 제작되어도 좋다. 산화물 반도체막을 사용한 p채널형 트랜지스터를 제작하는 것이 가능하면, 기억 소자 내의 모든 트랜지스터의 활성층에 산화물 반도체막을 사용하고, 프로세스를 간략화할 수도 있다.
- [0277] 이어서, 도 6a 또는 도 6b에 도시하는 기억 소자의 동작의 일례에 관해서 설명한다. 또한, 이하의 설명 이외의 방법으로 기억 소자를 동작시킬 수도 있다. 또한, 데이터의 기록, 입력된 데이터의 유지, 용량 소자(105)로의 데이터의 기록 등에 관해서는 실시형태 1과 같기 때문에 생략하고, 이하에서는 데이터의 회복에 관해서 설명한다.
- [0278] 용량 소자(105)에 기억되어 있는 데이터를 회복하는 경우에는, 실시형태 1과 같이, 프리차지, 전하 방출, 증폭이라는 단계를 거친다. 프리차지의 과정에서는, 스위칭 소자(103), 스위칭 소자(104), 스위칭 소자(115)를 온

으로 하고, 적어도 신호 IN, 제 1 노드의 전위, 제 2 노드의 전위를 프리차지 전위로 한다.

- [0279] 여기에서, 스위칭 소자(115)가 온이기 때문에, 제 2 위상 반전 소자(102)의 입력 단자의 전위도 신속하게(1 μ 초 이내에) 프리차지 전위가 된다.
- [0280] 그 후, 스위칭 소자(103), 스위칭 소자(115)를 오프로 한다. 전하 방출, 증폭은 실시형태 1에서 나타낸 바와 같이 행하면 좋다. 또한, 이상에서는, 용량용 스위칭 소자(106)로서, 고순도화된 산화물 반도체를 사용한 박막 트랜지스터를 사용하는 예를 나타냈지만, 비정질 실리콘, 폴리 실리콘, 미결정 실리콘 등을 사용한 박막 트랜지스터를 사용해도 좋다.
- [0281] 본 실시형태에서 개시된 사항은, 다른 실시형태에서 개시된 사항과 적절히 조합하여 실시하는 것이 가능하다.
- [0282] (실시형태 6)
- [0283] 본 실시형태에서는, 본 발명의 기억 장치가 갖는 기억 소자의, 다른 일례에 관해서 설명한다. 도 9a에, 본 실시형태의 기억 소자의 회로도, 일례로서 도시한다.
- [0284] 도 9a에 도시하는 기억 소자(160)는, 입력된 신호의 위상을 반전시켜 출력하는 제 1 위상 반전 소자(101) 및 제 2 위상 반전 소자(102)와, 스위칭 소자(103)와, 스위칭 소자(104)와, 용량 소자(105)와, 용량용 스위칭 소자(106)와, 스위칭 소자(116)를, 적어도 가진다.
- [0285] 기억 소자(160)에 입력된 데이터를 포함하는 신호 IN은, 스위칭 소자(103)를 통하여 제 1 위상 반전 소자(101)의 입력 단자에 주어진다. 제 1 위상 반전 소자(101)의 출력 단자는, 제 2 위상 반전 소자(102)의 입력 단자에 접속되어 있다. 제 2 위상 반전 소자(102)의 출력 단자는, 스위칭 소자(104)를 통하여, 제 1 위상 반전 소자(101)의 입력 단자에 접속되고, 또한, 제 2 위상 반전 소자(102)의 출력 단자의 전위는, 신호 OUT으로서 후단의 기억 소자, 또는 다른 회로로 출력된다.
- [0286] 또한, 제 1 위상 반전 소자(101)의 출력 단자는, 스위칭 소자(116)를 통하여, 제 1 위상 반전 소자(101)의 입력 단자에 접속한다.
- [0287] 용량 소자(105)는, 기억 소자(160)에 입력된 신호 IN의 데이터를 필요에 따라 기억할 수 있도록, 스위칭 소자(103) 및 용량용 스위칭 소자(106)를 통하여, 기억 소자(160)의 입력 단자, 즉 신호 IN의 전위가 주어지는 노드에 접속되어 있다. 구체적으로, 용량 소자(105)는, 한 쌍의 전극간에 유전체를 갖는 콘덴서이며, 그 한쪽 전극은, 용량용 스위칭 소자(106)를 통하여 제 1 위상 반전 소자(101)의 입력 단자에 접속되고, 다른쪽 전극에는 접지 전위 등의 전위 VE가 주어질 수 있는 노드에 접속되어 있다.
- [0288] 또한, 도 9a에서는, 제 1 위상 반전 소자(101), 제 2 위상 반전 소자(102)로서 인버터를 사용하는 예를 도시하고 있지만, 제 1 위상 반전 소자(101) 또는 제 2 위상 반전 소자(102)로서, 인버터 이외에, 클록드 인버터를 사용할 수도 있다.
- [0289] 또한, 용량용 스위칭 소자(106)는, 고순도화된 산화물 반도체를 채널 형성 영역에 갖는 트랜지스터를 사용하고 있다. 용량용 스위칭 소자(106)는, 실시형태 1의 용량용 스위칭 소자(106)와 같이, 제 1 위상 반전 소자(101), 제 2 위상 반전 소자(102)의 상방에 산화물 반도체를 사용하여 형성하고, 그 채널 길이를 10F 이상, 바람직하게는 20F 이상, 보다 바람직하게는 50F 이상으로 하면 좋다.
- [0290] 또한, 기억 소자(160)는, 필요에 따라, 다이오드, 저항 소자, 인덕터, 커패시터 등의 그 밖의 회로 소자를 또한 갖고 있어도 좋다.
- [0291] 또한, 도 9a에서는, 용량용 스위칭 소자(106)로서, 고순도화된 산화물 반도체를 채널 형성 영역에 갖는 트랜지스터를 사용하고 있으며, 트랜지스터의 오프 전류는, 상기한 바와 같이 현저하게 낮다. 용량용 스위칭 소자(106)는 1개의 트랜지스터로 이루어져도 좋고, 또한, 복수의 트랜지스터로 이루어져도 좋다.
- [0292] 용량용 스위칭 소자(106)가, 스위칭 소자로서 기능하는 트랜지스터를 복수 가지고 있는 경우, 상기 복수의 트랜지스터는 병렬로 접속되어 있어도 좋고, 직렬로 접속되어 있어도 좋고, 직렬과 병렬이 조합되어 접속되어 있어도 좋다.
- [0293] 또한, 본 실시형태에서는, 적어도, 용량용 스위칭 소자(106)에 있어서, 스위칭 소자로서 사용되는 트랜지스터가, 고순도화된 산화물 반도체를 채널 형성 영역에 가진다. 제 1 위상 반전 소자(101), 제 2 위상

반전 소자(102), 스위칭 소자(103), 스위칭 소자(104), 스위칭 소자(116)에 사용되는 트랜지스터는, 산화물 반도체 이외의, 비정질, 미결정, 다결정, 또는 단결정의, 실리콘, 또는 게르마늄 등의 반도체를 사용할 수 있다.

- [0294] 또한, 상기 트랜지스터는, 박막의 반도체막을 사용하여 제작되어도 좋고, 벌크 반도체 웨이퍼를 사용하여 제작되어도 좋다. 산화물 반도체막을 사용한 p채널형 트랜지스터를 제작하는 것이 가능하면, 기억 소자 내의 모든 트랜지스터의 활성층에 산화물 반도체막을 사용하고, 프로세스를 간략화할 수도 있다.
- [0295] 이어서, 도 9a에 도시하는 기억 소자의 동작의 일례에 관해서 설명한다. 또한, 이하의 설명 이외의 방법으로 기억 소자를 동작시킬 수도 있다. 또한, 데이터의 기록, 입력된 데이터의 유지, 용량 소자(105)로의 데이터의 기록 등에 관해서는 실시형태 1과 같기 때문에 생략하고, 이하에서는 데이터의 회복에 관해서 설명한다.
- [0296] 용량 소자(105)에 기억되어 있는 데이터를 회복하는 경우에는, 실시형태 1과 같이, 프리차지, 전하 방출, 증폭이라는 단계를 거친다. 프리차지의 과정에서는 스위칭 소자(103), 스위칭 소자(104), 스위칭 소자(116)를 온으로 하고, 적어도 신호 IN, 제 1 노드 및 제 2 노드를 프리차지 전위로 한다.
- [0297] 여기에서, 스위칭 소자(116)가 온이기 때문에, 제 2 위상 반전 소자(102)의 입력 단자의 전위도 신속하게(1 μ 초 이내) 프리차지 전위가 된다. 가령, 이 회로에 있어서 스위칭 소자(116)가 형성되어 있지 않고, 또한, 제 1 위상 반전 소자(101)와 제 2 위상 반전 소자(102)의 제 1 노드와 제 2 노드가 모두 로우 레벨 전위 VSS로 유지되어 있고, 제 2 위상 반전 소자(102)의 출력 단자와 제 2 위상 반전 소자(102)의 입력 단자가 절연된 상태였다면, 제 1 노드 및 제 2 노드를 프리차지 전위로 한 후, 제 2 위상 반전 소자(102)의 입력 단자가 프리차지 전위가 될 때까지, 수ms 이상을 필요로 한다.
- [0298] 그 후, 스위칭 소자(103), 스위칭 소자(116)를 오프로 한다. 전하 방출, 증폭은 실시형태 1에서 나타낸 바와 같이 행하면 좋다. 또한, 이상에서는, 용량용 스위칭 소자(106)로서, 고순도화된 산화물 반도체를 사용한 박막 트랜지스터를 사용하는 예를 나타냈지만, 비정질 실리콘, 폴리 실리콘, 미결정 실리콘 등을 사용한 박막 트랜지스터를 사용해도 좋다.
- [0299] 본 실시형태에서 개시된 사항은, 다른 실시형태에서 개시된 사항과 적절히 조합하여 실시하는 것이 가능하다.
- [0300] (실시형태 7)
- [0301] 본 실시형태에서는, 본 발명의 다른 일례인 SRAM에 관해서 설명한다. 도 9b에, 본 실시형태의 기억 소자의 회로도를 도시한다. 도 9b에 도시하는 기억 소자(170)는, 입력된 신호의 위상을 반전시켜 출력하는 제 1 위상 반전 소자(101) 및 제 2 위상 반전 소자(102)와, 스위칭 소자(117)와, 스위칭 소자(118)와, 용량 소자(105)와, 용량용 스위칭 소자(106)를, 적어도 가진다.
- [0302] 제 1 위상 반전 소자(101)의 출력 단자는, 제 2 위상 반전 소자(102)의 입력 단자에 접속되고, 제 2 위상 반전 소자(102)의 출력 단자는, 제 1 위상 반전 소자(101)의 입력 단자에 접속되어 있다. 그리고, 기억 소자(170)의 입출력 데이터를 포함하는 신호 DATA+는, 스위칭 소자(117)를 통하여 제 1 위상 반전 소자(101)의 입력 단자에 주어지고, 또 다른 한쪽의 신호 DATA-는, 스위칭 소자(118)를 통하여, 제 2 위상 반전 소자(102)의 입력 단자에 주어진다. 반대로, 제 1 위상 반전 소자(101)의 출력 단자로부터는 스위칭 소자(118)를 통하여 신호 DATA-가 출력되고, 제 2 위상 반전 소자(102)의 출력 단자로부터는 스위칭 소자(117)를 통하여 신호 DATA+가 출력된다.
- [0303] 용량 소자(105)는, 기억 소자(170)에 입력된 데이터를 필요에 따라 기억할 수 있도록, 스위칭 소자(117) 및 용량용 스위칭 소자(106)를 통하여, 신호 DATA+의 전위가 주어지는 노드에 접속되어 있다. 구체적으로, 용량 소자(105)는, 한 쌍의 전극간에 유전체를 갖는 콘덴서이며, 그 한쪽 전극은, 용량용 스위칭 소자(106)를 통하여 제 1 위상 반전 소자(101)의 입력 단자에 접속되고, 다른쪽 전극은 접지 전위 등의 전위 VE가 주어져 있는 노드에 접속되어 있다.
- [0304] 또한, 용량용 스위칭 소자(106)는, 고순도화된 산화물 반도체를 채널 형성 영역에 갖는 트랜지스터를 사용하고 있다. 용량용 스위칭 소자(106)는, 실시형태 1의 용량용 스위칭 소자(106)와 같이, 제 1 위상 반전 소자(101), 제 2 위상 반전 소자(102)의 상방에 산화물 반도체를 사용하여 형성하고, 그 채널 길이를 10F 이상, 바람직하게는 20F 이상, 보다 바람직하게는 50F 이상으로 하면 좋다.
- [0305] 또한, 기억 소자(170)는, 필요에 따라, 다이오드, 저항 소자, 인덕터, 커패시터 등의 그 밖의 회로 소자를 또한

갖고 있어도 좋다.

- [0306] 또한, 도 9b에서는, 용량용 스위칭 소자(106)로서, 고순도화된 산화물 반도체를 채널 형성 영역에 갖는 트랜지스터를 사용하고 있으며, 트랜지스터의 오프 전류는, 상기한 바와 같이 현저하게 낮다. 용량용 스위칭 소자(106)는 1개의 트랜지스터로 이루어져도 좋고, 또한, 복수의 트랜지스터로 이루어져도 좋다.
- [0307] 용량용 스위칭 소자(106)가, 스위칭 소자로서 기능하는 트랜지스터를 복수 가지고 있는 경우, 상기 복수의 트랜지스터는 병렬로 접속되어 있어도 좋고, 직렬로 접속되어 있어도 좋고, 직렬과 병렬이 조합되어 접속되어 있어도 좋다.
- [0308] 또한, 본 실시형태에서는, 적어도, 용량용 스위칭 소자(106)에 있어서, 스위칭 소자로서 사용되는 트랜지스터가, 고순도화된 산화물 반도체를 채널 형성 영역에 가진다. 제 1 위상 반전 소자(101), 제 2 위상 반전 소자(102), 스위칭 소자(117), 스위칭 소자(118)에 사용되는 트랜지스터는, 산화물 반도체 이외의, 비정질, 미결정, 다결정, 또는 단결정의, 실리콘, 또는 게르마늄 등의 반도체를 사용할 수 있다.
- [0309] 또한, 이러한 트랜지스터는, 박막의 반도체막을 사용하여 제작되어도 좋고, 벌크 반도체 웨이퍼를 사용하여 제작되어도 좋다. 산화물 반도체막을 사용한 p채널형 트랜지스터를 제작하는 것이 가능하면, 기억 소자 내의 모든 트랜지스터의 활성층에 산화물 반도체막을 사용하고, 프로세스를 간략화할 수도 있다.
- [0310] 이어서, 도 9b에 도시하는 기억 소자의 동작의 일례에 관해서 설명한다. 또한, 이하의 설명 이외의 방법으로 기억 소자를 동작시킬 수도 있다. 데이터의 기록, 입력된 데이터의 유지에 관해서는, 용량용 스위칭 소자(106)를 오프로 해 두는 것 이외에는 공지의 SRAM의 구동 방법과 동일하다.
- [0311] 용량 소자(105)로의 데이터의 기록은, 기억 소자(170)가 데이터를 유지하고 있는 상태로 행한다. 이 때, 스위칭 소자(117), 스위칭 소자(118)는 오프이다. 그 상태에서, 적절한 기간, 용량용 스위칭 소자(106)를 온으로 함으로써, 용량 소자(105)에 데이터에 상응하는 전하를 축적한다. 그 후, 용량용 스위칭 소자(106)를 오프로 한다. 또한, 제 1 노드, 제 2 노드를 등전위로 한다.
- [0312] 다음에 데이터의 회복 방법에 관해서 설명한다. 용량 소자(105)에 기억되어 있는 데이터를 회복하는 경우에는, 실시형태 1과 같이, 프리차지, 전하 방출, 증폭이라는 단계를 거친다. 프리차지의 과정에서는 스위칭 소자(117), 스위칭 소자(118)를 온으로 하고, 적어도 신호 DATA+, 신호 DATA-, 제 1 노드, 제 2 노드를 프리차지 전위로 한다.
- [0313] 그 후, 스위칭 소자(117), 스위칭 소자(118)를 오프로 한다. 전하 방출, 증폭은 실시형태 1에서 나타낸 바와 같이 행하면 좋다. 또한, 이상에서는, 용량용 스위칭 소자(106)로서, 고순도화된 산화물 반도체를 사용한 박막 트랜지스터를 사용하는 예를 나타냈지만, 비정질 실리콘, 폴리 실리콘, 미결정 실리콘 등을 사용한 박막 트랜지스터를 사용해도 좋다.
- [0314] 본 실시형태에서 개시된 사항은, 다른 실시형태에서 개시된 사항과 적절히 조합하여 실시하는 것이 가능하다.
- [0315] (실시형태 8)
- [0316] 본 실시형태에서는, 본 발명의 기억 장치가 갖는 기억 소자의, 다른 일례에 관해서 설명한다. 도 12a에, 본 실시형태의 기억 소자의 회로도도 도시한다. 본 실시형태의 기억 소자(180)는 도 1에 도시되는 기억 소자(100)와 동등한 회로 구성을 갖지만, 용량 소자(105) 대신에 MIS형 용량 소자(119)를 사용한다. MIS형 용량 소자(119)는 게이트 전극과 반도체층 사이에 유전체를 개재한 구조이다.
- [0317] 도 12b에 본 실시형태의 기억 소자의 단면의 개념도를 도시한다. 이 단면도는 도 8b에 대응한다. 또한, 도 12b에 도시되는 기억 소자는 도 7 및 도 8에 도시되는 기억 소자와 동일한 구성물을 사용한다. 단, 소스 전극(307)과 산화물 반도체 영역(308)의 레이어아웃이 상이하다. 본 실시형태에서는, 주로 산화물 반도체 영역(308)과 용량 배선(310) 사이에서 용량을 형성한다. 한편, 도 7 및 도 8에 도시되는 기억 소자에서는, 주로 소스 전극(307)과 용량 배선(310) 사이에서 용량을 형성한다.
- [0318] MIS형 용량 소자(119)에서는, 용량을 게이트 전극(본 실시형태에서는, 용량 배선(310))의 전위에 의해 변동시킬 수 있고, 예를 들면, 전하 방출의 과정에서는 MIS형 용량 소자(119)의 용량을 매우 작게 함으로써, 축적되어 있던 전하의 대부분을 방출할 수 있다.
- [0319] 본 실시형태의 기억 소자를 형성하기 위해서는, 예를 들면, 도 7b에 있어서, 소스 전극(307)이 되는 부분의 대

부분의 부분을 형성하지 않고, 대신에 그 부분에 증착되도록, 도 7c의 산화물 반도체 영역(308)을 형성하면 좋다. 즉, 소스 전극(307)과 산화물 반도체 영역(308)의 레이아웃을 변경하는 것만으로 MIS형 용량 소자를 형성할 수 있다.

- [0320] 다음에, 본 실시형태의 기억 소자(180)의 동작의 일례에 관해서 도 13 및 도 14를 사용하여 설명한다. 또한, 이하의 설명 이외의 방법으로 기억 소자를 동작시킬 수도 있다. 또한, 도 13 및 도 14에서는, 온인 트랜지스터나 액티브한 위상 반전 회로, 용량이 최대로 되어 있는 MIS형 용량 소자에는, 이들 기호에 ○ 표시를 포개고, 오프인 트랜지스터나 액티브하지 않은 위상 반전 회로, 용량이 최소로 되어 있는 MIS형 용량 소자에는, 이들 기호에 X 표시를 포개어 표기한다.
- [0321] <도 13a>
- [0322] 처음에 기억 소자(180)에 데이터가 유지되어 있는 것으로 한다. 이 때, 스위칭 소자(103), 용량용 스위칭 소자(106)는 오프이며, 스위칭 소자(104)는 온이다. 또한, MIS형 용량 소자(119)의 용량도 최대이다.
- [0323] <도 13b>
- [0324] 용량용 스위칭 소자(106)를 온으로 한다. 이 결과, MIS형 용량 소자(119)에 데이터에 대응한 전하가 축적된다.
- [0325] <도 13c>
- [0326] 그 후, 스위칭 소자(104), 용량용 스위칭 소자(106)를 오프로 한다. 또한, 제 1 위상 반전 소자, 제 2 위상 반전 소자의 제 1 노드 및 제 2 노드를 등전위로 한다. 또한, 스위칭 소자(104)는 온인 채로 해도 좋다. 이상으로, 제 1 위상 반전 소자와 제 2 위상 반전 소자는 비액티브가 되지만, 유지되어 있던 데이터는 MIS형 용량 소자(119)로 유지할 수 있다.
- [0327] <도 14a>
- [0328] 프리차지를 행한다. 상세한 것은 실시형태 1을 참조할 수 있다.
- [0329] <도 14b>
- [0330] 스위칭 소자(103)를 오프로 한다. 또한, 용량용 스위칭 소자(106)를 온으로 한다. 이 결과, 제 1 위상 반전 소자의 입력 단자의 전위가 유지되어 있던 데이터에 따라 변동된다.
- [0331] <도 14c>
- [0332] 또한, MIS형 용량 소자(119)의 용량을 최소로 한다. 이 결과, 제 1 위상 반전 소자의 입력 단자의 전위는 더욱 크게 변동된다.
- [0333] <도 14d>
- [0334] 그 후, 제 1 위상 반전 소자, 제 2 위상 반전 소자를 액티브로 하고, 각각의 입력 단자의 전위차를 증폭시킨다. 그 결과, 도 13a의 상태를 재현할 수 있다.
- [0335] 본 실시형태의 기억 소자에서는, 전하 방출 과정에서, 제 1 위상 반전 소자의 입력 단자의 전위를, 도 3에 기재된 기억 소자의 경우보다 크게 변동시킬 수 있기 때문에, 그 후의 증폭 과정에서 에러가 일어나기 어렵다.
- [0336] 또한, 본 실시형태의 기억 소자를 제작하기 위해서, 추가 공정은 불필요하며, 산화물 반도체 영역(308)이나 소스 전극(307)의 레이아웃을 변경하는 것만으로 양호하다.
- [0337] 또한, 이상에서는, 용량용 스위칭 소자(106), MIS형 용량 소자로서, 고순도화된 산화물 반도체를 사용한 박막 트랜지스터, 박막 용량 소자를 사용하는 예를 나타냈지만, 비정질 실리콘, 폴리 실리콘, 미결정 실리콘 등을 사용한 박막 트랜지스터, 박막 용량 소자를 사용해도 좋다.
- [0338] 본 실시형태에서 개시된 사항은, 다른 실시형태에서 개시된 사항과 적절히 조합하여 실시하는 것이 가능하다.
- [0339] (실시형태 9)
- [0340] 본 실시형태에서는, 산화물 반도체막의 형성 방법에 관해서, 도 8을 참조하여 설명한다. 처음에 매립 절연물(314) 위에, 필요한 두께의 산화물 반도체막을 형성한다. 산화물 반도체막은, 희가스(대표적으로는 아르곤) 분

위기하, 산소 분위기하, 또는 희가스(예를 들면 아르곤) 및 산소 혼합 분위기 하에 있어서 스퍼터링법에 의해 형성할 수 있다. 산화물 반도체막에는, 상기한 바와 같은 산화물 반도체를 사용할 수 있다.

[0341] 또한, 산화물 반도체막을 스퍼터링법에 의해 성막하기 전에, 아르곤 가스를 도입하여 플라즈마를 발생시키는 역 스퍼터링을 행하여 매립 절연물(314)의 표면에 부착되어 있는 진애(dust)를 제거하는 것이 바람직하다. 역스퍼터링이란, 타깃측에 전압을 인가하지 않고, 아르곤 분위기하에서 기관측에 RF 전원을 사용하여 전압을 인가하여 기관 근방에 플라즈마를 형성하여 표면을 개질하는 방법이다. 또한, 아르곤 분위기 대신에 질소, 헬륨 등을 사용해도 좋다. 또한, 아르곤 분위기에 산소, 아산화질소 등을 가한 분위기에서 행해도 좋다. 또한, 아르곤 분위기에 염소, 4불화탄소 등을 가한 분위기에서 행해도 좋다.

[0342] 본 실시형태에서는, In(인듐), Ga(갈륨), 및 Zn(아연)을 함유하는 금속 산화물 타깃을 사용한 스퍼터링법에 의해 얻어지는 막 두께 5nm의 In-Ga-Zn계 산화물 비단결정막을, 산화물 반도체막으로서 사용한다. 상기 타깃으로서, 예를 들면, 각 금속의 원자의 조성비가 In:Ga:Zn=1:1:0.5, In:Ga:Zn=1:1:1, 또는 In:Ga:Zn=1:1:2인 금속 산화물 타깃을 사용할 수 있다.

[0343] 본 실시형태에서는, 나중에 가열 처리를 행하여 의도적으로 결정화시키기 위해서, 결정화가 발생하기 쉬운 금속 산화물 타깃을 사용하는 것이 바람직하다. 또한, In, Ga, 및 Zn을 함유하는 금속 산화물 타깃의 충전율은 90% 이상 100% 이하, 바람직하게는 95% 이상 99.9% 이하이다. 충전율이 높은 금속 산화물 타깃을 사용함으로써, 형성되는 산화물 반도체막 중의 불순물 농도를 저감시킬 수 있어 전기 특성 또는 신뢰성이 높은 트랜지스터를 얻을 수 있다.

[0344] 감압 상태의 처리실 내에 기관을 유지하고, 처리실 내의 잔류 수분을 제거하면서 수소 및 수분이 제거된 스퍼터링 가스를 도입하고, 금속 산화물을 타깃으로 하여 절연 표면 위에 산화물 반도체막을 성막한다. 성막시에, 기관 온도를 100℃ 이상 600℃ 이하, 바람직하게는 200℃ 이상 400℃로 이하로 해도 좋다. 기관을 가열하면서 성막함으로써, 성막한 산화물 반도체막에 함유되는 불순물 농도를 저감시키고, 또한, 결정성을 높일 수 있다. 또한, 스퍼터링에 의한 손상이 경감된다.

[0345] 처리실 내의 잔류 수분을 제거하기 위해서는, 흡착형의 진공 펌프를 사용하는 것이 바람직하다. 예를 들면, 크라이오 펌프, 이온 펌프, 티타늄 서블리메이션펌프를 사용하는 것이 바람직하다. 또한, 배기 수단으로서, 터보 펌프에 쿨드 트랩을 가한 것이라도 좋다. 크라이오 펌프를 사용하여 처리실을 배기하면, 예를 들면, 수소 원자, 물(H₂O) 등 수소 원자를 함유하는 화합물(바람직하게는 탄소 원자를 함유하는 화합물도) 등이 배기되기 때문에, 상기 처리실에서 성막한 산화물 반도체막에 함유되는 불순물의 농도를 저감시킬 수 있다.

[0346] 성막 조건의 일례로서는, 기관과 타깃간의 거리를 170mm, 압력 0.4Pa, 직류(DC) 전원 0.5kW, 산소(산소 유량비율 100%) 분위기하로 한 조건이 적용된다. 또한, 펄스 직류(DC) 전원을 사용하면, 성막시에 발생하는 파티클이라고 불리는 진애를 경감시킬 수 있고, 막 두께 분포도 균일해지기 때문에 바람직하다. 산화물 반도체막은 바람직하게는 1nm 이상 30nm 이하로 한다. 또한, 적용하는 산화물 반도체 재료에 따라 적절한 두께는 상이하며, 재료에 따라 적절히 두께를 선택하면 좋다.

[0347] 또한, 산화물 반도체막에 수소, 수산기 및 수분이 가능한 한 함유되지 않도록 하기 위해서, 성막의 전처리로서, 스퍼터링 장치의 예비 가열실에서 기관을 예비 가열하고, 기관에 흡착된 수소, 수분 등의 불순물을 탈리하여 배기하는 것이 바람직하다. 또한, 예비 가열의 온도는, 100℃ 이상 600℃ 이하, 바람직하게는 150℃ 이상 300℃ 이하이다. 또한, 예비 가열실에 설치하는 배기 수단은 크라이오 펌프가 바람직하다. 또한, 이 예비 가열 처리는 생략할 수도 있다.

[0348] 이어서, 가열 처리를 행하여 산화물 반도체막의 표면으로부터 결정을 성장시킴으로써, 적어도 일부가 결정화되거나, 또는 단결정으로 된, 산화물 반도체막을 얻는다. 가열 처리의 온도는, 450℃ 이상 850℃ 이하, 바람직하게는 600℃ 이상 700℃ 이하로 한다. 또한, 가열 시간은 1분 이상 24시간 이하로 한다.

[0349] 결정층은, 표면으로부터 내부를 향하여 결정 성장하고, 2nm 이상 10nm 이하의 평균 두께를 갖는 판상 결정이다. 또한, 표면에 형성되는 결정층은, 그 표면에 a-b면을 가지며, 표면에 대해 수직 방향으로 c축 배향을 하고 있다. 본 실시형태에서는, 가열 처리에 의해 산화물 반도체막 전체를 결정화(CG(Co-growing) 결정이라고도 한다)시켜도 좋다.

[0350] 또한, 가열 처리에 있어서는, 질소, 산소, 또는 헬륨, 네온, 아르곤 등의 희가스에, 물, 수소 등이 함유되지 않는 것이 바람직하다. 또는, 가열 처리 장치에 도입하는 질소, 산소, 또는 헬륨, 네온, 아르곤 등의 희가스의

순도를, 6N(99.9999%) 이상, 바람직하게는 7N(99.99999%) 이상(즉 불순물 농도를 1ppm 이하, 바람직하게는 0.1ppm 이하)으로 하는 것이 바람직하다. 또한, H₂O가 20ppm 이하인 건조 공기 분위기하에서 가열 처리를 행해도 좋다. 본 실시형태에서는, 건조공기 분위기하에서 700℃, 1시간의 가열 처리를 행한다.

[0351] 또한, 가열 처리 장치는 전기로로 한정되지 않고, 저항 발열체 등의 발열체로부터의 열전도 또는 열복사에 의해, 피처리물을 가열하는 장치를 구비하고 있어도 좋다. 예를 들면, GRTA(Gas Rapid Thermal Anneal) 장치, LRTA(Lamp Rapid Thermal Anneal) 장치 등의 RTA(Rapid Thermal Anneal) 장치를 사용할 수 있다.

[0352] LRTA 장치는, 할로겐 램프, 메탈할라이드 램프, 크세논 아크 램프, 카본 아크 램프, 고압 나트륨 램프, 고압 수은 램프 등의 램프로부터 발하는 광(전자파)의 복사에 의해, 피처리물을 가열하는 장치이다. GRTA 장치는, 고온의 가스를 사용하여 가열 처리를 행하는 장치이다. 기체에는, 아르곤 등의 희가스, 또는 질소와 같은, 가열 처리에 의해 피처리물과 반응하지 않는 불활성 기체가 사용된다.

[0353] 예를 들면, 가열 처리로서, 650℃ 내지 700℃의 고온으로 가열한 불활성 가스 중으로 기판을 이동시켜 넣고, 수분간 가열한 후, 기판을 이동시켜 고온으로 가열한 불활성 가스 중으로부터 내보내는 GRTA를 행해도 좋다. GRTA를 사용하면 단시간의 고온 가열 처리가 가능해진다.

[0354] 이어서, 포토리소그래피법을 사용하여 산화물 반도체 영역(308)을 형성한다. 또한, 이를 위한 레지스트 마스크를 잉크젯법으로 형성해도 좋다. 레지스트 마스크를 잉크젯법으로 형성하면 포토마스크를 사용하지 않기 때문에, 제조 비용을 저감시킬 수 있다.

[0355] 본 실시형태에서 개시된 사항은, 다른 실시형태에서 개시된 사항과 적절히 조합하여 실시하는 것이 가능하다.

[0356] (실시형태 10)

[0357] 도 15a에, 상기 실시형태에서 설명한 기억 소자를 기억 장치로서 사용한, 본 발명의 일 형태에 따르는 신호 처리 회로의 일례를 도시한다. 본 발명의 일 형태에 따르는 신호 처리 회로는, 1개 또는 복수의 연산 장치와, 1개 또는 복수의 기억 장치를 적어도 가진다. 구체적으로, 도 15a에 도시하는 신호 처리 회로(400)는, 연산 회로(401), 연산 회로(402), 기억 장치(403), 기억 장치(404), 기억 장치(405), 제어 장치(406), 전원 제어 회로(407)를 가진다.

[0358] 연산 회로(401), 연산 회로(402)는, 단순한 논리 연산을 행하는 논리 회로를 비롯하여, 가산기, 승산기, 또한 각종 연산 장치 등을 포함한다. 그리고, 기억 장치(403)는, 연산 회로(401)에 있어서의 연산 처리시에, 데이터를 일시적으로 유지하는 레지스터로서 기능한다. 기억 장치(404)는, 연산 회로(402)에 있어서의 연산 처리시에, 데이터를 일시적으로 유지하는 레지스터로서 기능한다.

[0359] 또한, 기억 장치(405)는 메인 메모리로서 사용할 수 있고, 제어 장치(406)가 실행하는 프로그램을 데이터로서 기억하거나, 또는 연산 회로(401), 연산 회로(402)로부터의 데이터를 기억할 수 있다.

[0360] 제어 장치(406)는, 신호 처리 회로(400)가 갖는 연산 회로(401), 연산 회로(402), 기억 장치(403), 기억 장치(404), 기억 장치(405)의 동작을 통괄적으로 제어하는 회로이다. 또한, 도 15a에서는, 제어 장치(406)가 신호 처리 회로(400)의 일부인 구성을 나타내고 있지만, 제어 장치(406)는 신호 처리 회로(400)의 외부에 형성되어 있어도 좋다.

[0361] 상기 실시형태에서 설명한 기억 소자를 기억 장치(403), 기억 장치(404), 기억 장치(405)의 적어도 하나에 사용함으로써, 기억 장치(403), 기억 장치(404), 기억 장치(405)로의 전원 전압의 공급의 일부 또는 전부를 정지해도, 데이터를 유지할 수 있다. 따라서, 신호 처리 회로(400) 전체로의 전원 전압의 공급의 일부 또는 전부를 정지하여 소비 전력을 억제할 수 있다.

[0362] 예를 들면, 기억 장치(403), 기억 장치(404), 또는 기억 장치(405)의 어느 하나 또는 복수로의 전원 전압의 공급을 정지하여 소비 전력을 억제할 수 있다. 또는, 예를 들면, 도 1에 도시되는 기억 소자(100)에 VH 및 VL의 공급을 정지하고, Sig3은 어떠한 인위적인 전위(특히 접지 전위보다도 0.5V 내지 1.5V 낮은 전위)로 하는 것도 소비 전력을 저감시키는데 있어서 유효하다.

[0363] Sig3을 상기의 전위로 할 때는, 얼마간의 전류가 용량용 스위칭 소자(106)의 게이트 전극과 산화물 반도체 영역의 사이를 흐를 것으로 생각되지만, 실제로는 그 값을 측정할 수 없을 정도로 미소하기 때문에, 전력의 소비로는 연결되지 않는다. 이것에 대해, 기억 소자(100)에 VH와 VL을 공급하면, 인버터의 관통 전류가 발생하고, 상

당량의 전력을 소비하게 된다. 따라서, VH 및 VL의 공급을 정지하는 것에 의한 소비 전력 삭감의 효과는 절대적이다.

- [0364] 또한, 기억 장치로의 전원 전압의 공급이 정지되는 것과 함께, 상기 기억 장치와 데이터의 교환을 행하는 연산 회로 또는 제어 회로로의, 전원 전압의 공급을 정지하도록 해도 좋다. 예를 들면, 연산 회로(401)와 기억 장치(403)에 있어서, 동작이 행해지지 않는 경우, 연산 회로(401) 및 기억 장치(403)로의 전원 전압의 공급을 정지하도록 해도 좋다.
- [0365] 또한, 전원 제어 회로(407)는, 신호 처리 회로(400)가 갖는 연산 회로(401), 연산 회로(402), 기억 장치(403), 기억 장치(404), 기억 장치(405), 제어 장치(406)로 공급하는 전원 전압의 크기를 제어한다. 전원 제어 회로는, 상기한 바와 같이, 필요에 따라, VDD, VSS 및 Sig3의 전위를 제어하여 가장 효과적으로 전력을 삭감할 수 있다.
- [0366] 전원 전압의 공급을 정지하는 경우, 전원 제어 회로(407)에 있어서 공급의 정지를 행해도 좋고, 연산 회로(401), 연산 회로(402), 기억 장치(403), 기억 장치(404), 기억 장치(405), 제어 장치(406)의 각각에 있어서 공급의 정지를 행해도 좋다.
- [0367] 즉, 전원 전압의 공급을 정지하기 위한 스위칭 소자는, 전원 제어 회로(407)에 형성되어 있어도 좋고, 연산 회로(401), 연산 회로(402), 기억 장치(403), 기억 장치(404), 기억 장치(405), 제어 장치(406)의 각각에 형성되어 있어도 좋다. 후자의 경우, 전원 제어 회로(407)는, 반드시 본 발명의 신호 처리 회로에 형성할 필요는 없다.
- [0368] 또한, 메인 메모리인 기억 장치(405)와, 연산 회로(401), 연산 회로(402), 제어 장치(406) 사이에, 캐시 메모리로서 기능하는 기억 장치를 형성해도 좋다. 캐시 메모리를 형성함으로써, 메인 메모리로서의 저속의 액세스를 감소시켜 연산 처리 등의 신호 처리를 고속화시킬 수 있다. 캐시 메모리로서 기능하는 기억 장치에도, 상기한 기억 소자를 사용함으로써, 신호 처리 회로(400)의 소비 전력을 억제할 수 있다.
- [0369] (실시형태 11)
- [0370] 본 실시형태에서는, 본 발명의 일 형태에 따르는 신호 처리 회로의 하나인, CPU의 구성에 관해서 설명한다.
- [0371] 도 15b에, 본 실시형태의 CPU의 구성을 도시한다. 도 15b에 도시하는 CPU는, 기판(410) 위에, 연산 회로(ALU: Arithmetic Logic unit)(411), 연산 회로 컨트롤러(ALU Controller)(412), 명령 디코더(Instruction Decoder)(413), 인터럽트 컨트롤러(Interrupt Controller)(414), 타이밍 컨트롤러(Timing Controller)(415), 레지스터(Register)(416), 레지스터 컨트롤러(Register Controller)(417), 버스 인터페이스(Bus I/F)(418), 재기록 가능한 ROM(419), ROM 인터페이스(ROM I/F)(420)를 주로 가지고 있다. ROM(419) 및 ROM 인터페이스(420)는, 다른 칩에 형성해도 좋다. 물론, 도 15b에 도시하는 CPU는, 그 구성을 간략화하여 나타낸 일례에 지나지 않으며, 실제 CPU는 그 용도에 따라 다종 다양한 구성을 가지고 있다.
- [0372] 버스 인터페이스(418)를 통하여 CPU에 입력된 명령은, 명령 디코더(413)에 입력되고, 디코드된 후, 연산 회로 컨트롤러(412), 인터럽트 컨트롤러(414), 레지스터 컨트롤러(417), 타이밍 컨트롤러(415)에 입력된다.
- [0373] 연산 회로 컨트롤러(412), 인터럽트 컨트롤러(414), 레지스터 컨트롤러(417), 타이밍 컨트롤러(415)는, 디코드된 명령에 기초하여 각종 제어를 행한다. 구체적으로 연산 회로 컨트롤러(412)는, 연산 회로(411)의 동작을 제어하기 위한 신호를 생성한다.
- [0374] 또한, 인터럽트 컨트롤러(414)는, CPU의 프로그램 실행 중에, 외부의 입출력 장치나, 주변 회로로부터의 인터럽트 요구를, 그 우선도나 마스크 상태로부터 판단하고, 처리한다. 레지스터 컨트롤러(417)는, 레지스터(416)의 어드레스를 생성하고, CPU의 상태에 따라 레지스터(416)의 판독이나 기록을 행한다.
- [0375] 또한 타이밍 컨트롤러(415)는, 연산 회로(411), 연산 회로 컨트롤러(412), 명령 디코더(413), 인터럽트 컨트롤러(414), 레지스터 컨트롤러(417)의 동작의 타이밍을 제어하는 신호를 생성한다. 예를 들면 타이밍 컨트롤러(415)는, 기준 클럭 신호 CLK1을 바탕으로, 내부 클럭 신호 CLK2를 생성하는 내부 클럭 생성부를 구비하고 있으며, 클럭 신호 CLK2를 상기 각종 회로에 공급한다.
- [0376] 본 실시형태의 CPU에서는, 레지스터(416)에, 상기 실시형태에서 나타낸 구성을 갖는 기억 소자를 형성하면 좋다. 레지스터 컨트롤러(417)는, 연산 회로(411)로부터의 지시에 따라, 레지스터(416)에 있어서의 유지 동작의 선택을 행한다.

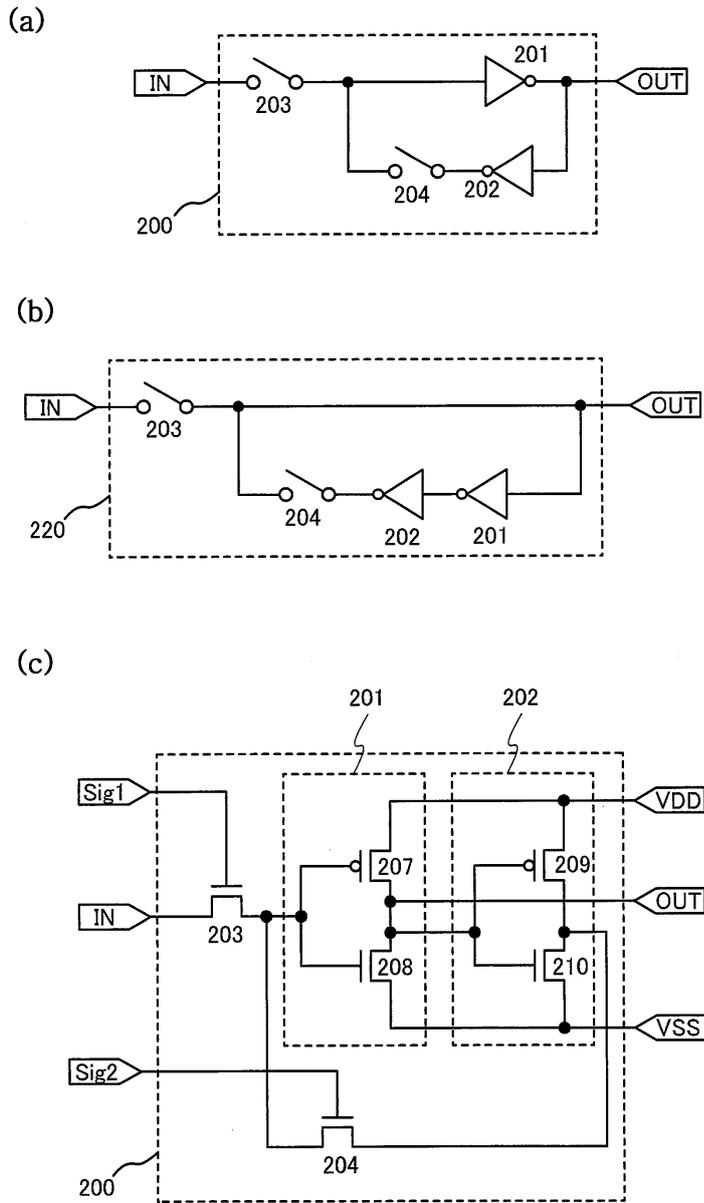
- [0377] 즉, 레지스터(416)가 갖는 기억 소자에 있어서, 위상 반전 소자에 의한 데이터의 유지를 행할지, 용량 소자에 의한 데이터의 유지를 행할지를, 선택한다. 위상 반전 소자에 의한 데이터의 유지가 선택되고 있는 경우, 레지스터(416) 내의 기억 소자로의 전원 전압의 공급이 행해진다. 용량 소자에 있어서의 데이터의 유지가 선택되고 있는 경우, 용량 소자로의 데이터의 재기록이 행해져 레지스터(416) 내의 기억 소자로의 전원 전압의 공급을 정지할 수 있다.
- [0378] 이와 같이 하여, 일시적으로 CPU의 동작을 정지하고, 전원 전압의 공급을 정지한 경우에 있어서도 데이터를 유지하는 것이 가능하여 소비 전력의 저감을 행할 수 있다. 구체적으로는, 예를 들면, PC의 유저가, 키보드 등의 입력 장치로의 정보의 입력을 정지하고 있는 동안에도, CPU를 정지할 수 있고, 그것에 의해 소비 전력을 저감시킬 수 있다.
- [0379] 본 실시형태에서는, CPU를 예로 들어 설명했지만, 본 발명의 신호 처리 회로는 CPU로 한정되지 않고, DSP, 커스텀 LSI, FPGA(Field Programmable Gate-Array) 등의 LSI에도 응용 가능하다. 또한, 본 발명에 나타내는 신호 처리 회로를 사용함으로써, 신뢰성이 높은 전자 기기, 소비 전력이 낮은 전자 기기를 제공하는 것이 가능하다.
- [0380] 특히 외부로부터 전력의 공급을 항상 받는 것이 곤란한 휴대용의 전자 기기의 경우, 본 발명의 일 형태에 따르는 소비 전력이 낮은 신호 처리 회로를 그 구성 요소에 추가함으로써, 연속 사용 시간을 길게 할 수 있는 것과 같은 장점이 얻어진다.
- [0381] 본 발명의 일 형태에 따르는 신호 처리 회로는, 표시 장치, PC, 기록 매체를 구비한 화상 재생 장치(대표적으로는 DVD: Digital Versatile Disc 등의 기록 매체를 재생하고, 그 화상을 표시할 수 있는 디스플레이를 갖는 장치)에 사용할 수 있다.
- [0382] 그 밖에, 본 발명의 일 형태에 따르는 신호 처리 회로를 사용할 수 있는 전자 기기로서, 휴대 전화, 휴대형을 포함하는 게임기, 휴대 정보 단말, 전자 서적, 비디오 카메라나 디지털 스틸 카메라 등의 카메라, 고글형 디스플레이(헤드 마운트 디스플레이), 네비게이션 시스템, 음향 재생 장치(카 오디오, 디지털오디오 플레이어 등), 복사기, 팩시밀리, 프린터, 프린터 복합기, 현금 자동 입출금기(ATM), 자동판매기 등을 들 수 있다.

부호의 설명

- | | | |
|--------|-------------------|-------------------|
| [0383] | 100; 기억 소자 | 101; 제 1 위상 반전 소자 |
| | 102; 제 2 위상 반전 소자 | 103; 스위칭 소자 |
| | 103a; 스위칭 소자 | 103b; 스위칭 소자 |
| | 104; 스위칭 소자 | 104a; 스위칭 소자 |
| | 104b; 스위칭 소자 | 105; 용량 소자 |
| | 105a; 용량 소자 | 105b; 용량 소자 |
| | 106; 용량용 스위칭 소자 | 106a; 용량용 스위칭 소자 |
| | 106b; 용량용 스위칭 소자 | 107; p채널형 트랜지스터 |
| | 108; n채널형 트랜지스터 | 109; p채널형 트랜지스터 |
| | 110; n채널형 트랜지스터 | 111; 스위칭 소자 |
| | 111a; 스위칭 소자 | 111b; 스위칭 소자 |
| | 112; 용량 소자 | 113; 용량용 스위칭 소자 |
| | 114; 스위칭 소자 | 115; 스위칭 소자 |
| | 116; 스위칭 소자 | 117; 스위칭 소자 |
| | 118; 스위칭 소자 | 119; MIS형 용량 소자 |
| | 120; 기억 소자 | 120a; 기억 소자 |

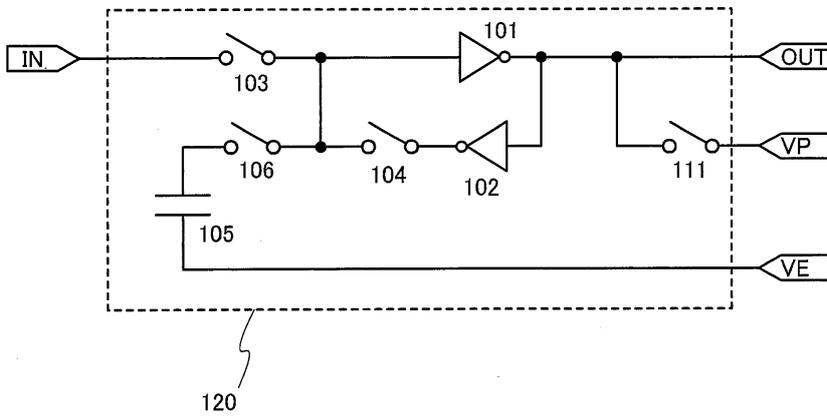
120b; 기억 소자	130; 기억 소자
140; 기억 소자	150; 기억 소자
160; 기억 소자	170; 기억 소자
180; 기억 소자	200; 기억 소자
201; 인버터	202; 인버터
203; 스위칭 소자	204; 스위칭 소자
207; p채널형 트랜지스터	208; n채널형 트랜지스터
209; p채널형 트랜지스터	210; n채널형 트랜지스터
220; 기억 소자	300; 기억 소자
301; VH 배선	302; Sig1 배선
303; Sig2 배선	304; IN 배선
305; OUT 배선	306; 드레인 전극
307; 소스 전극	308; 산화물 반도체 영역
309; 게이트 배선	310; 용량 배선
311; STI	312; 층간 절연물
313; 콘택트 플러그	314; 매립 절연물
315; 게이트 절연물	400; 신호 처리 회로
401; 연산 회로	402; 연산 회로
403; 기억 장치	404; 기억 장치
405; 기억 장치	406; 제어 장치
407; 전원 제어 회로	410; 기관
411; 연산 회로	412; 연산 회로 컨트롤러
413; 명령 디코더	414; 인터럽트 컨트롤러
415; 타이밍 컨트롤러	416; 레지스터
417; 레지스터 컨트롤러	418; 버스 인터페이스
419; ROM	420; ROM 인터페이스

도면2

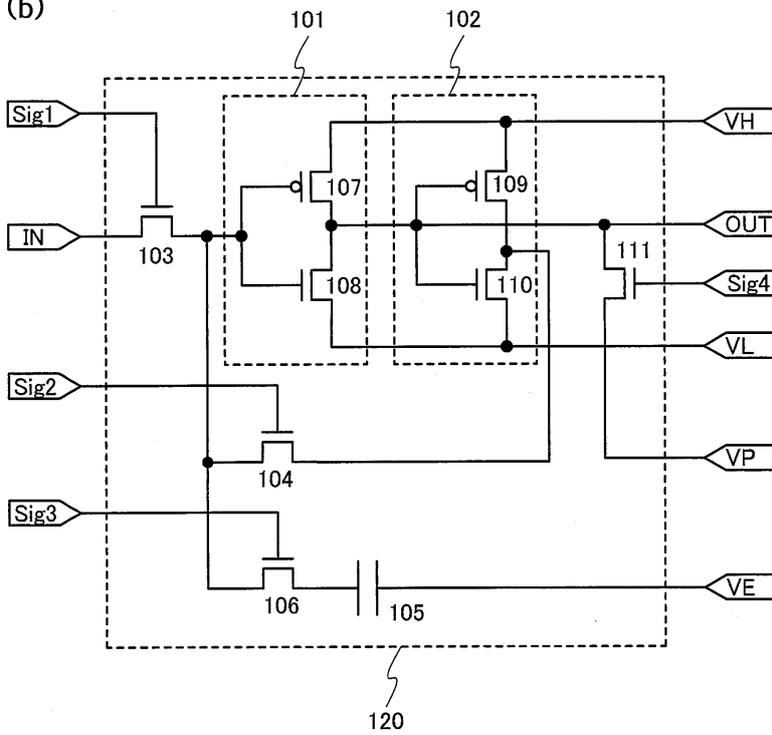


도면3

(a)

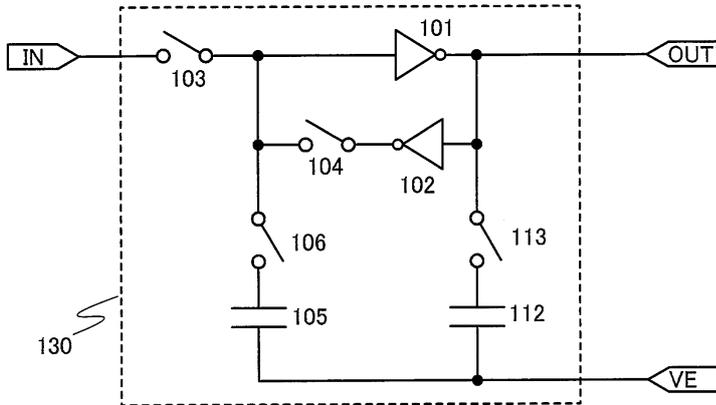


(b)

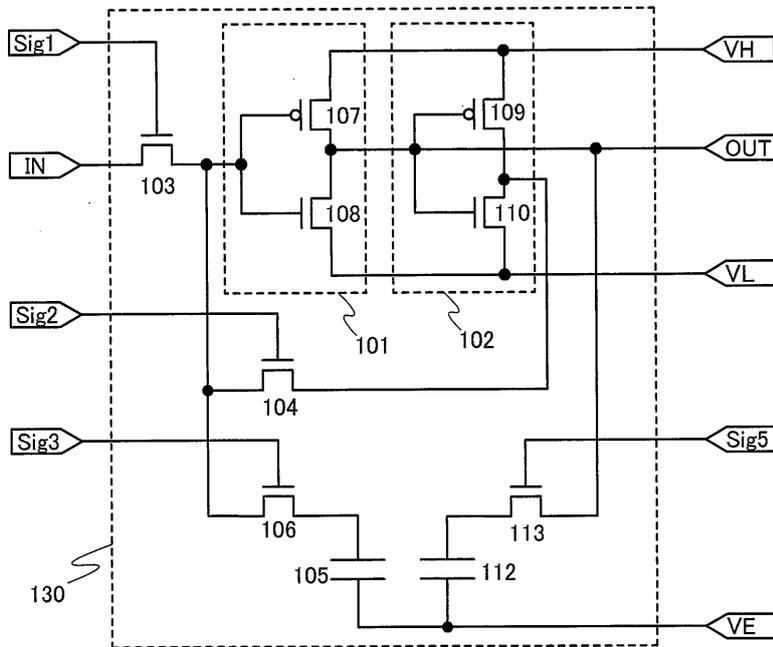


도면4

(a)

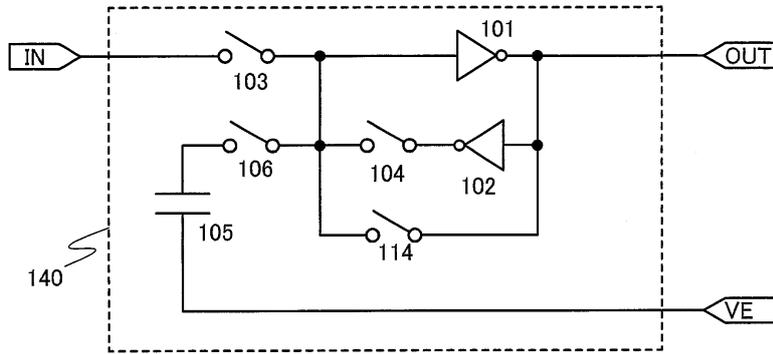


(b)

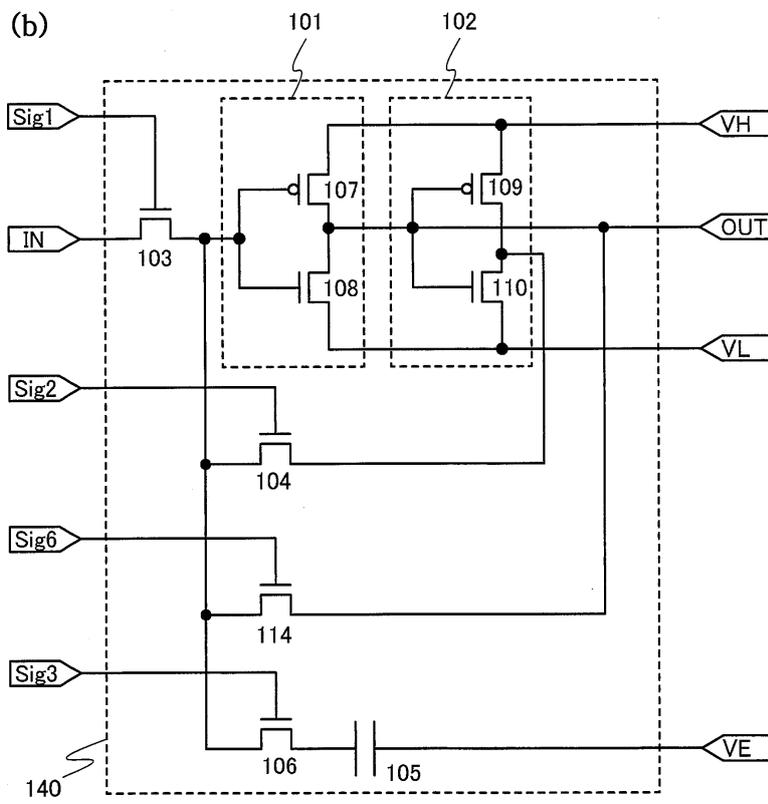


도면5

(a)

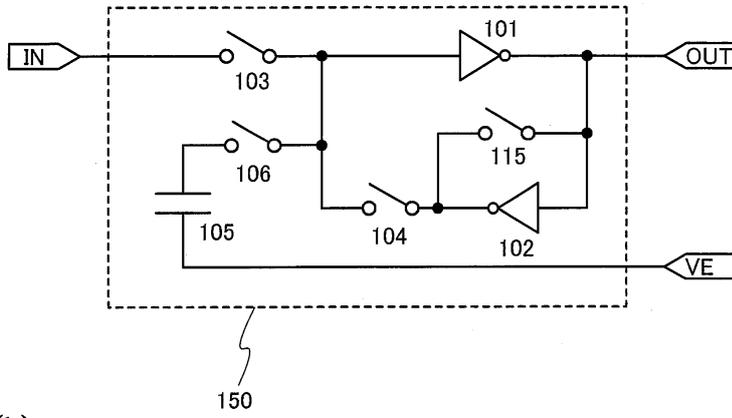


(b)

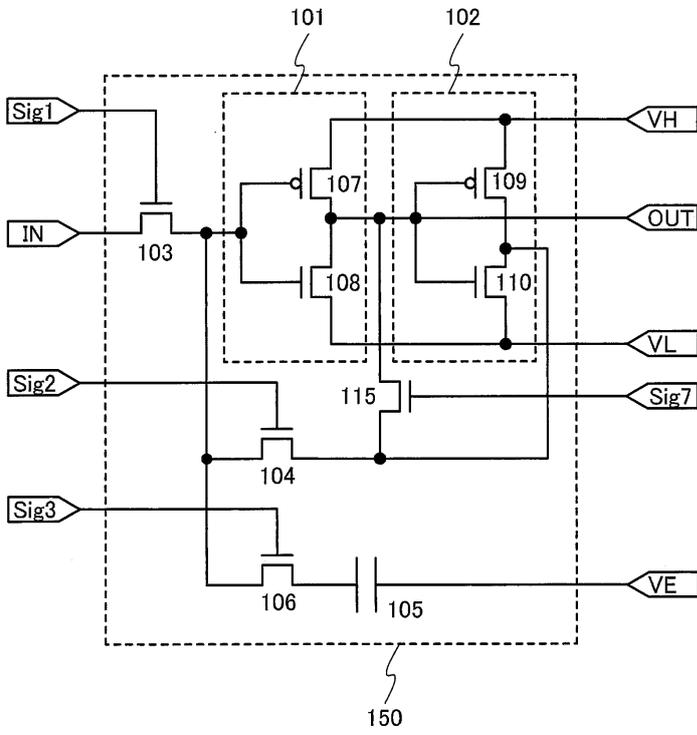


도면6

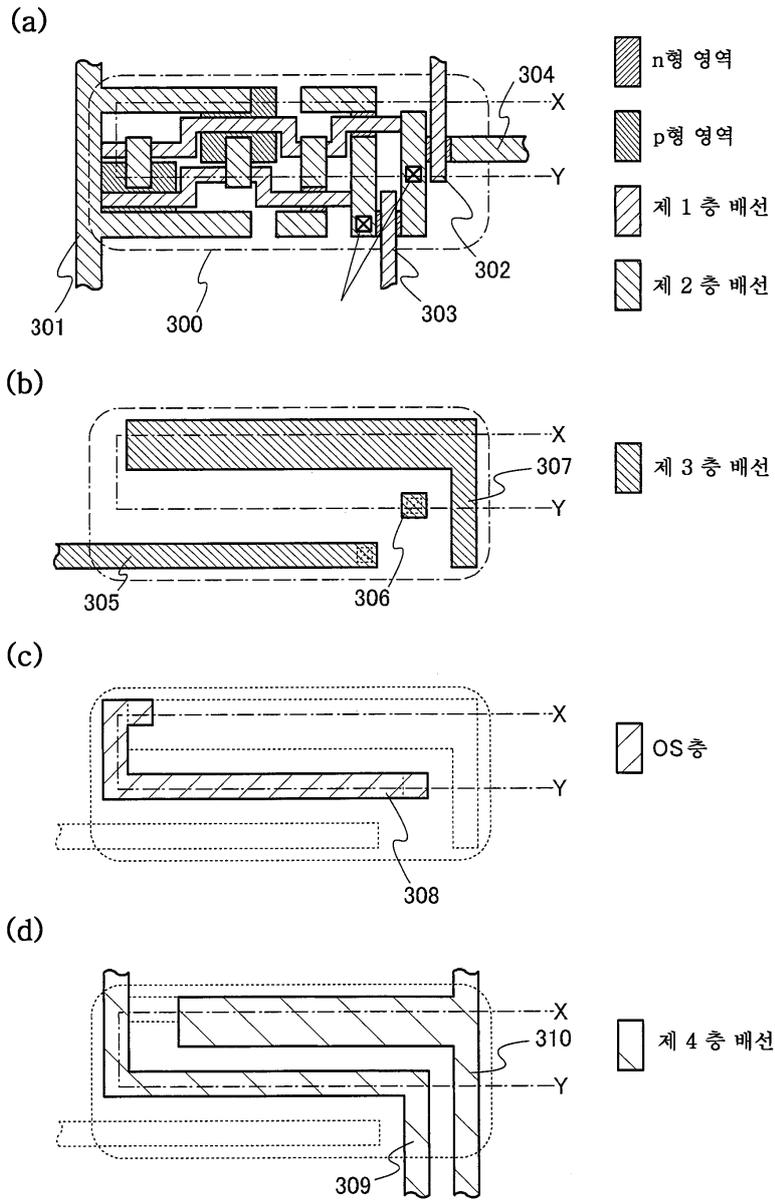
(a)



(b)

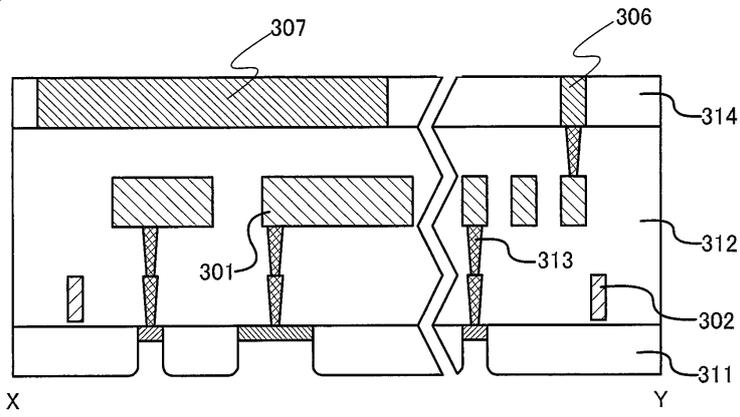


도면7

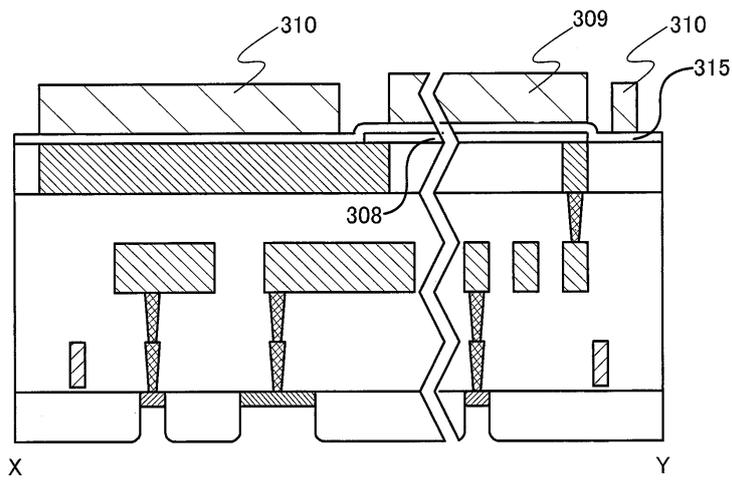


도면8

(a)

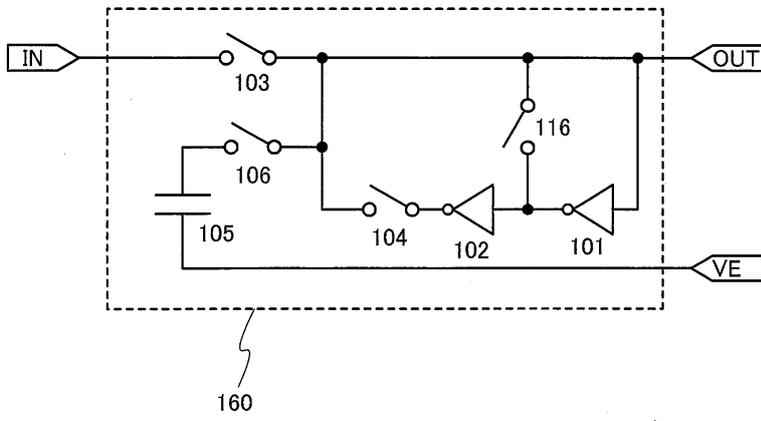


(b)

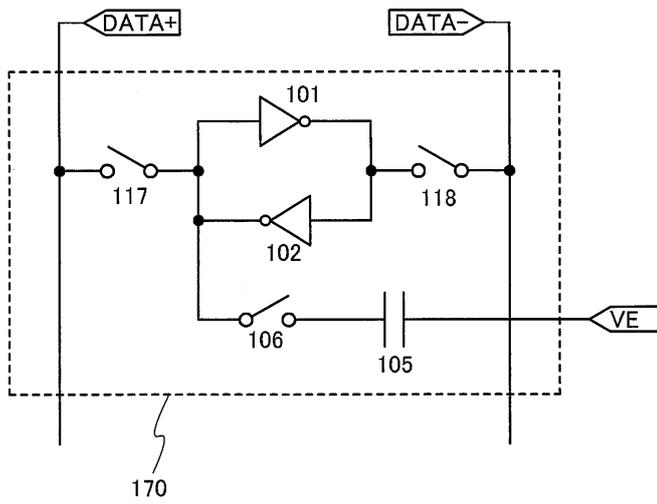


도면9

(a)

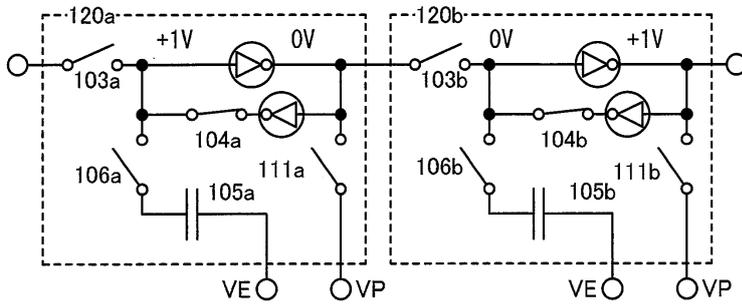


(b)

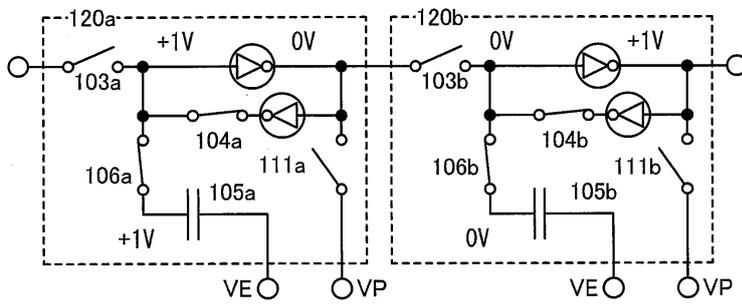


도면10

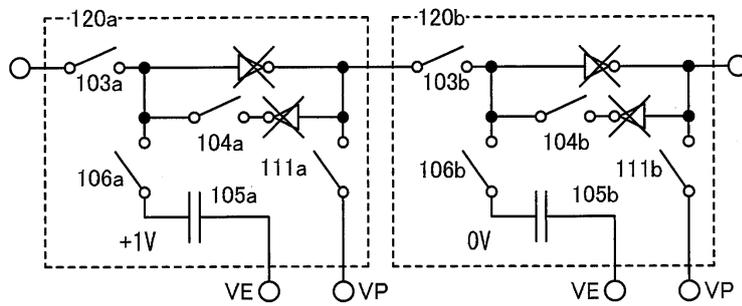
(a)



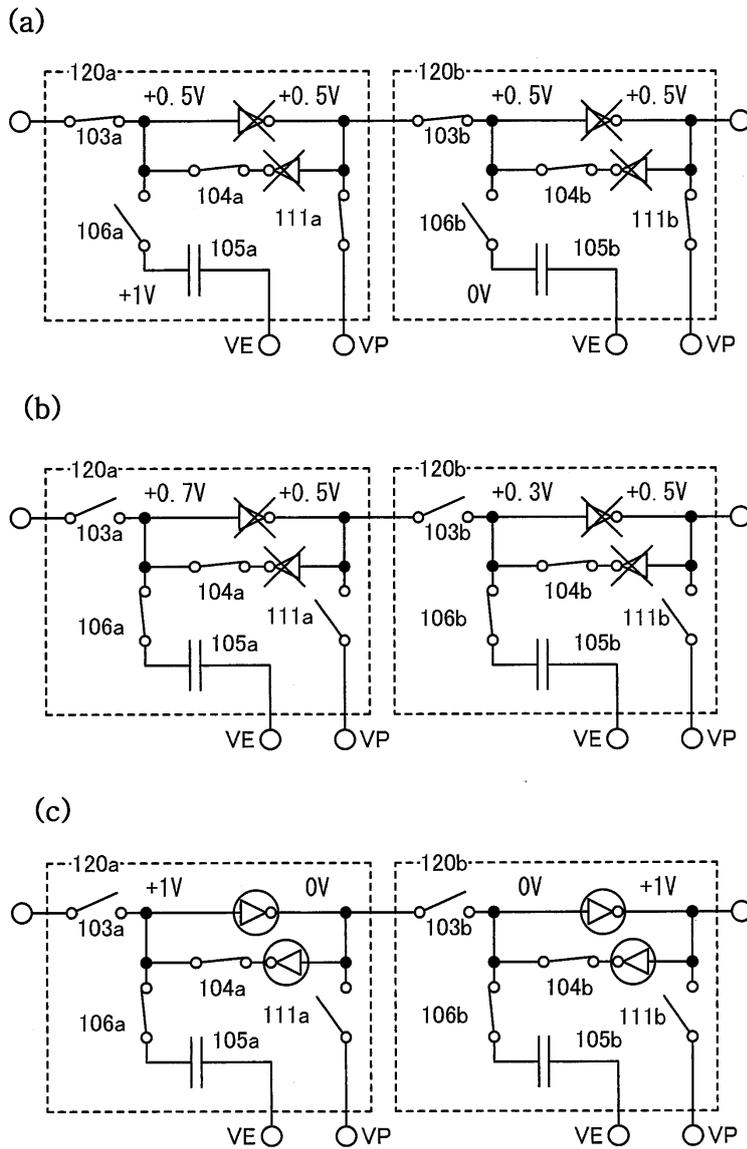
(b)



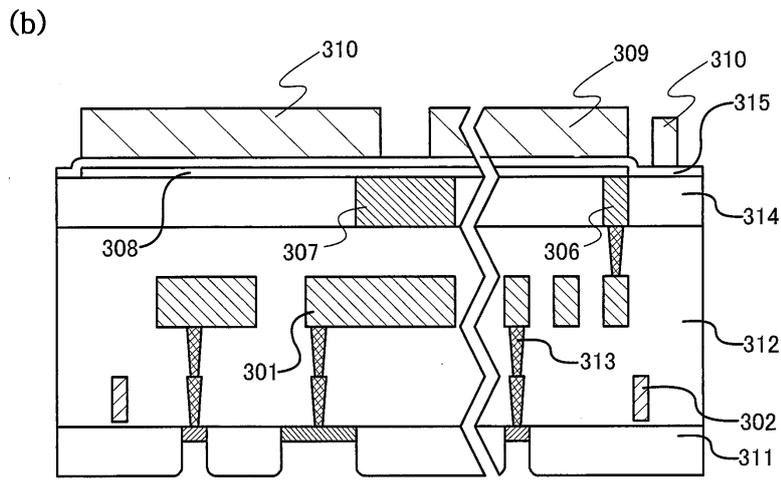
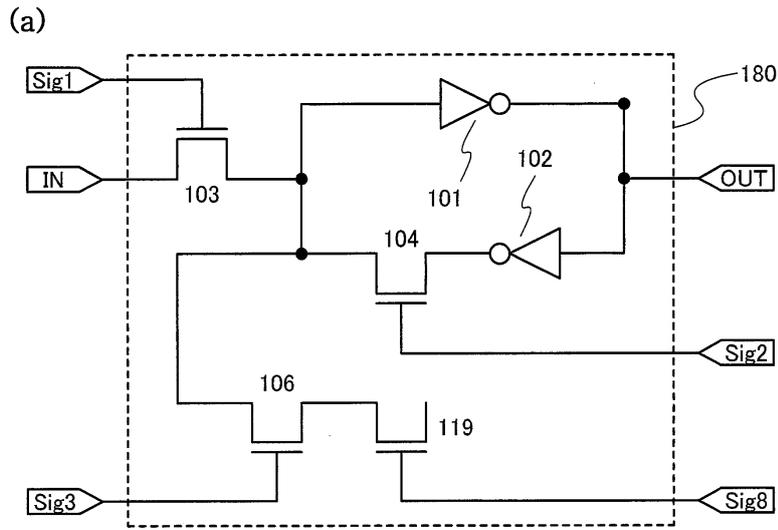
(c)



도면11

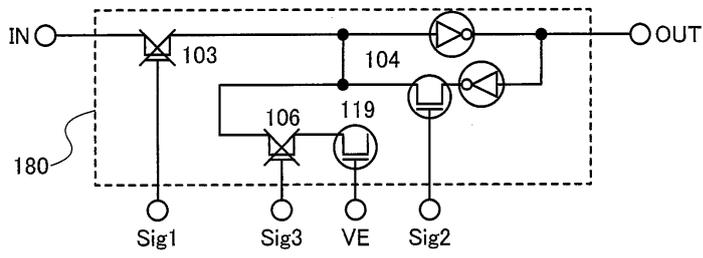


도면12

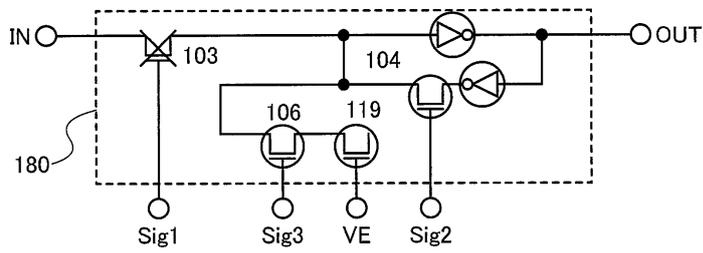


도면13

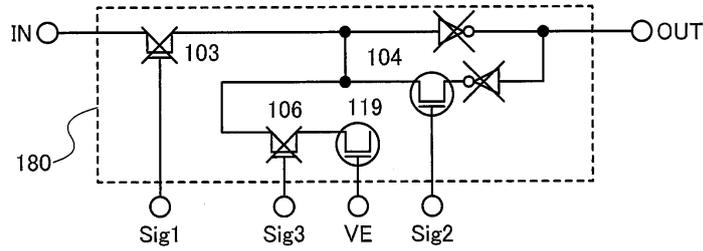
(a)



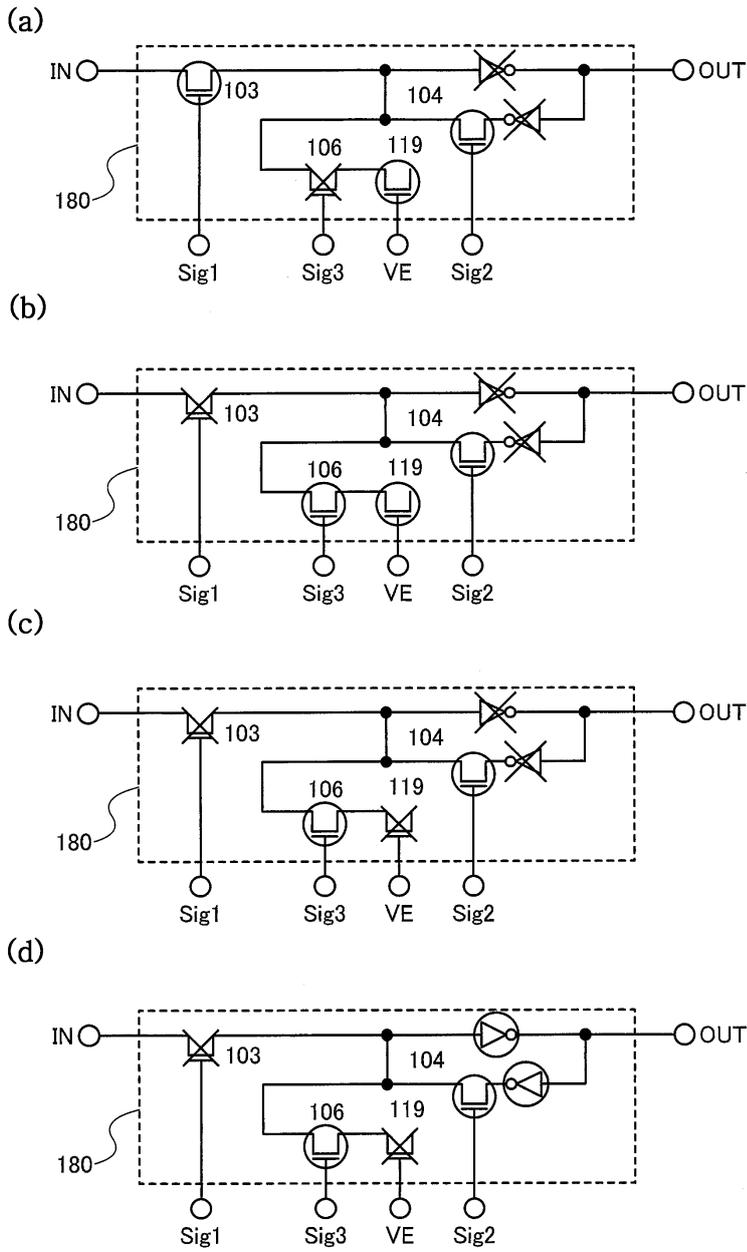
(b)



(c)

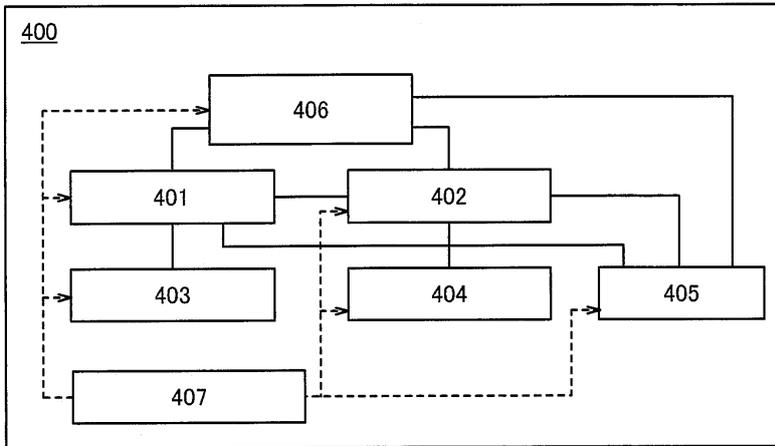


도면14

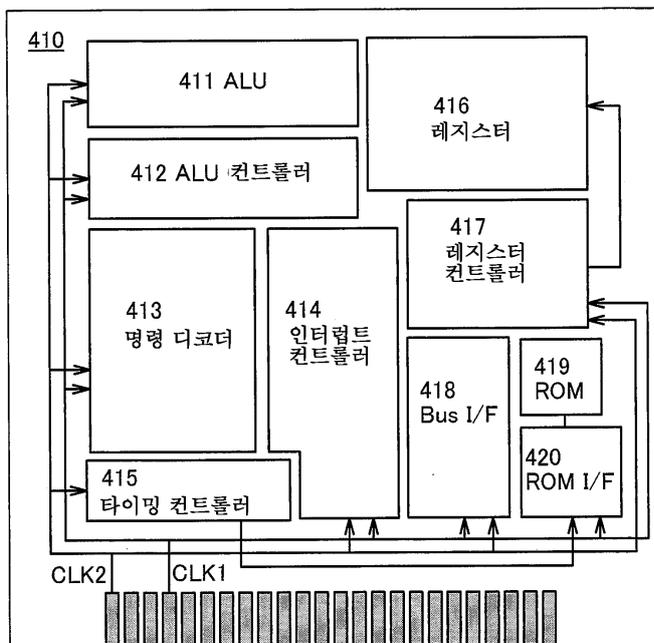


도면15

(a)



(b)



【심사관 직권보정사항】

【직권보정 1】

【보정항목】 청구범위

【보정세부항목】 청구항 5

【변경전】

기억 소자로서;

【변경후】

기억 소자는;