(19)日本国特許庁(JP)　(12)公開特許公報(A)　(11)特許出願公開番号
特開2009-129973
(P2009-129973A)
(43)公開日　平成21年6月11日(2009.6.11)

(51)Int.Cl.			F I			テーマコード（参考）
H01S	5/042	(2006.01)	H01S	5/042	612	5F173
H01S	5/343	(2006.01)	H01S	5/343	610	

審査請求 未請求　請求項の数 11　ＯＬ　（全 15 頁）

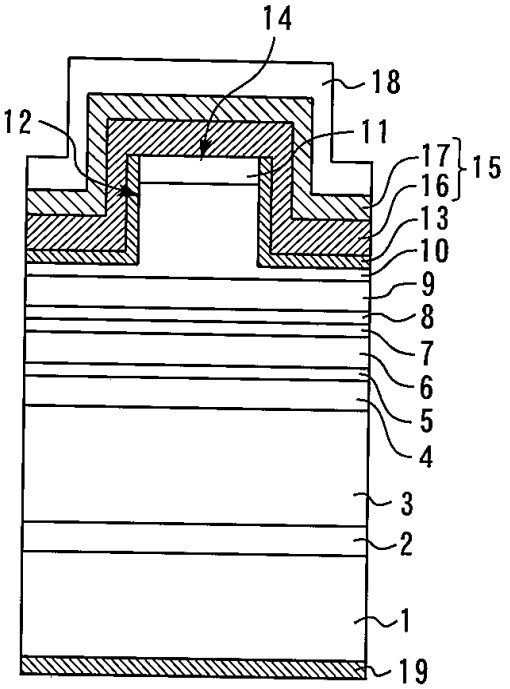
(21)出願番号　特願2007-300602 (P2007-300602)
(22)出願日　平成19年11月20日 (2007.11.20)

(71)出願人　000006013
三菱電機株式会社
東京都千代田区丸の内二丁目７番３号
(74)代理人　100082175
弁理士　高田　守
(74)代理人　100106150
弁理士　高橋　英樹
(72)発明者　金本　恭三
東京都千代田区丸の内二丁目７番３号　三菱電機株式会社内
(72)発明者　塩沢　勝臣
東京都千代田区丸の内二丁目７番３号　三菱電機株式会社内

最終頁に続く

(54)【発明の名称】窒化物半導体発光素子の製造方法

(57)【要約】
【課題】ｐ型電極のコンタクト抵抗率を小さくすることができる窒化物半導体発光素子の製造方法を得る。
【解決手段】ＧａＮ単結晶基板１上にｐ型ＧａＮコンタクト層１１等が積層された半導体積層構造を形成する。ｐ型ＧａＮコンタクト層１１上に、Ｐｄ層１６とＴａ層１７とを有するｐ型電極１５を形成する。ｐ型電極１５を形成した後に、酸素を含む雰囲気中において温度４００℃～６００℃で熱処理を行う。熱処理を行った後に、ｐ型電極１５上に、Ａｕを含むパッド電極１８を形成する。
【選択図】図１



【特許請求の範囲】
【請求項１】
基板上に、ｎ型窒化物半導体エピ層、活性層、ｐ型窒化物半導体エピ層が積層された半導体積層構造を形成する工程と、
前記ｐ型窒化物半導体エピ層上に、Ｐｄを含む第１電極層とＴａを含む第２電極層とを有するｐ型電極を形成する工程と、
前記ｐ型電極を形成した後に、酸素を含む雰囲気中において４００℃～６００℃で熱処理を行う工程と、
前記熱処理を行った後に、前記ｐ型電極上に、Ａｕを含むパッド電極を形成する工程とを備えることを特徴とする窒化物半導体発光素子の製造方法。
【請求項２】
前記熱処理を４５０～５５０℃で行うことを特徴とする請求項１に記載の窒化物半導体発光素子の製造方法。
【請求項３】
前記基板としてＧａＮ単結晶基板を用い、
前記半導体積層構造を前記ＧａＮ単結晶基板のＧａ面上に形成することを特徴とする請求項１又は２に記載の窒化物半導体発光素子の製造方法。
【請求項４】
前記第１電極層の厚みを前記第２電極層の厚みの少なくとも２倍以上とすることを特徴とする請求項１～３の何れか１項に記載の窒化物半導体発光素子の製造方法。
【請求項５】
前記第１電極層の厚みを３０ｎｍ以上とすることを特徴とする請求項４に記載の窒化物半導体発光素子の製造方法。
【請求項６】
前記第１電極層としてＰｄＴａ合金を用いることを特徴とする請求項１～５の何れか１項に記載の窒化物半導体発光素子の製造方法。
【請求項７】
前記熱処理において、温度上昇速度を１０℃／ｓｅｃ以上とすることを特徴とする請求項１～６の何れか１項に記載の窒化物半導体発光素子の製造方法。
【請求項８】
前記雰囲気として、酸素又は酸素を構成元素として含むガスと不活性ガスとの混合ガスであって、酸素含有量が５％以上５０％未満であるガスを用いることを特徴とする請求項１～７の何れか１項に記載の窒化物半導体発光素子の製造方法。
【請求項９】
前記ｐ型窒化物半導体エピ層が、キャリア濃度が２Ｅ１７ｃｍ$^{-3}$以上のコンタクト層を含み、
前記コンタクト層上に前記第１電極層を形成することを特徴とする請求項１～８の何れか１項に記載の窒化物半導体発光素子の製造方法。
【請求項１０】
前記基板の裏面にプラズマ処理を行った後にｎ型電極を形成し、４００℃以下で熱処理を行う工程を更に有することを特徴とする請求項１～９の何れか１項に記載の窒化物半導体発光素子の製造方法。
【請求項１１】
前記ｐ型電極を形成する工程の後、前記ｐ型電極と前記ｐ型窒化物半導体エピ層を異方性エッチングしてリッジを形成する工程と、
前記リッジを覆うように絶縁膜を形成する工程とを更に備えることを特徴とすることを特徴とする請求項１～１０の何れか１項に記載の窒化物半導体発光素子の製造方法。
【発明の詳細な説明】
【技術分野】
【０００１】

本発明は、ｐ型窒化物半導体エピ層上にｐ型電極を形成する窒化物半導体発光素子の製造方法に関し、特にｐ型電極のコンタクト抵抗率を小さくすることができる窒化物半導体発光素子の製造方法に関するものである。

【背景技術】

【０００２】

窒化物半導体発光素子において２００ｍＷを超えるような高出力動作を行う場合、長時間の通電試験において動作電圧の上昇が問題になる。この問題を解決するためには低抵抗で均一なコンタクト特性を備えたｐ型電極が必要である。この要求を満たす電極材料として仕事関数の大きなＰｄが有力視されている。

【０００３】

ＧａＮなどの窒化物半導体表面にＰｄを主体とした電極を形成する方法としては、例えば特許文献１～５のように、ＧａＮ上にＰｄを蒸着し、更に多層構造の電極を形成した後、熱処理を行う方法が知られている。以下において電極の層構造をＡ／Ｂ／Ｃのように表記するが、これは基板側からＡ，Ｂ，Ｃの順に積層していることを意味する。

【０００４】

特許文献１，２には、ｐ型電極に水素吸蔵金属であるＰｄを使うことが記載されている。これにより、窒化物半導体から水素を吸い出し、ｐ型キャリア濃度を増大させ、コンタクト抵抗率を低減することができる。また、Ｐｄ電極上にバリア層としてＭｏ層を形成することが記載されている。高融点金属であるＭｏでカバーすることで熱処理による不均一化を防ぐことができる。また、Ｍｏが界面反応を促進する役割を果たしているようであるが、この役割は完全には理解できていない。

【０００５】

特許文献３には、ｐ型電極としてＰｄ／ｚ／Ａｕを用い、ｚはＰｔ，Ｒｕ，Ｒｈ，Ｏｓ，Ｉｒ，Ａｇの何れかとすることが記載されている。これにより、ｐ型電極とＧａＮとの反応によって、窒素が吸いだされ、キャリア濃度の低下が抑制される。

【０００６】

特許文献４には、Ｐｄ／Ａｕ又はＡｕ／Ｐｄのｐ型電極を酸素含有雰囲気中で熱処理することが記載されている。このように酸素を含有した雰囲気での熱処理により、コンタクト抵抗率を低減することができる。

【０００７】

特許文献５には、ｐ型電極としてＰｄ／ｚ／Ａｕを用い、ｚはＭｏ，Ｐｔ，Ｗ，Ｉｒ，Ｒｈ，Ｒｕの何れかとし、Ａｕ層を形成する前に真空、$Ｎ_2$又はＡｒ雰囲気中で熱処理をすることが記載されている。このように２層構造の状態で熱処理することで、成長時にＧａＮ内に取り込まれた水素を有効に除去することができる。

【０００８】

【特許文献１】特許３５１９９５０号公報
【特許文献２】特許３５７９２９４号公報
【特許文献３】特許３２３３２５８号公報
【特許文献４】特許３３０９７４５号公報
【特許文献５】特開２００４－９５７９８号公報

【発明の開示】

【発明が解決しようとする課題】

【０００９】

従来は、ｐ型電極において１Ｅ－３Ωｃｍ^{2}よりも低いコンタクト抵抗率をウェハ全面にわたって安定に得ることが困難であった。このため、窒化物半導体発光素子、特にレーザダイオードを２００ｍＷ以上の光出力で動作させた場合、ｐ型電極に起因する劣化を招いてしまうため、ウェハ全面にわたって安定に良品を得ることが困難であった。

【００１０】

本発明は、上述のような課題を解決するためになされたもので、その目的は、ｐ型電極のコンタクト抵抗率を小さくすることができる窒化物半導体発光素子の製造方法を得るも

のである。

【課題を解決するための手段】

【００１１】

本発明に係る窒化物半導体発光素子の製造方法は、基板上に、ｎ型窒化物半導体エピ層、活性層、ｐ型窒化物半導体エピ層が積層された半導体積層構造を形成する工程と、ｐ型窒化物半導体エピ層上に、Ｐｄを含む第１電極層とＴａを含む第２電極層とを有するｐ型電極を形成する工程と、ｐ型電極を形成した後に、酸素を含む雰囲気中において４００℃～６００℃で熱処理を行う工程と、熱処理を行った後に、ｐ型電極上に、Ａｕを含むパッド電極を形成する工程とを備える。本発明のその他の特徴は以下に明らかにする。

【発明の効果】

【００１２】

本発明により、ｐ型電極のコンタクト抵抗率を小さくすることができる。この結果、高出力動作が可能な経時劣化の少ない長寿命のレーザダイオードを得ることができる。また、絶縁膜形成プロセスより先に電極メタル蒸着を行うことで、電極剥がれを抑えることができ、高出力動作が可能な経時劣化の少ない長寿命のレーザダイオードを高歩留に得ることができる。

【発明を実施するための最良の形態】

【００１３】

以下、本発明の実施の形態に係る窒化物半導体発光素子の製造方法について、窒化物半導体レーザダイオードを例にして図面を用いて説明する。なお、各図面において、同一又は相当する部分には同一符号を付し、その説明を簡略化又は省略する。

【００１４】

実施の形態１．

図１は、実施の形態１に係る窒化物半導体レーザダイオードを示す断面図である。ＧａＮ基板１（基板）の一主面であるＧａ面上に、ｎ型ＧａＮバッファ層２が形成されている。このｎ型ＧａＮバッファ層２は、ＧａＮ基板１表面の凹凸を低減し、その上層をできるだけ平坦に積層するために形成されている。そして、このｎ型ＧａＮバッファ層２上に、ｎ型ＡｌＧａＮクラッド層３が形成されている。

【００１５】

ｎ型ＡｌＧａＮクラッド層３上に、ｎ側光ガイド層として、ｎ型ＧａＮ光ガイド層４、アンドープのＩｎＧａＮ光ガイド層５が順番に積層されている。ＩｎＧａＮ光ガイド層５上に、アンドープの$In_xGa_{1-x}N$／$In_yGa_{1-y}N$（０＜ｘ，ｙ＜１）多重量子井戸構造の活性層６が形成されている。

【００１６】

活性層６上には、ｐ側光ガイド層としてのアンドープ$In_xGa_{1-x}N$（０＜ｘ＜１）光導波層７、ｐ型ＡｌＧａＮ電子障壁層８、ｐ側光ガイド層としてのｐ型ＧａＮ光ガイド層９、ｐ型ＡｌＧａＮクラッド層１０、ｐ型ＧａＮコンタクト層１１（ｐ型窒化物半導体エピ層）が順番に積層されている。

【００１７】

ここで、ｎ型ＧａＮバッファ層２は、厚さが例えば１μｍで、ｎ型不純物として例えばＳｉがドープされている。ｎ型ＡｌＧａＮクラッド層３は、厚さが例えば２．０μｍであり、ｎ型不純物として例えばＳｉがドープされ、Ａｌ組成比は例えば０．０５である。ｎ型ＧａＮ光ガイド層４は、厚さが例えば１００ｎｍである。そして、アンドープＩｎＧａＮ光ガイド層５は、厚さが例えば７ｎｍであり、Ｉｎ組成比は例えば０．０２である。

【００１８】

活性層６は、障壁層としての$In_xGa_{1-x}N$層と、井戸層としてのIn_yGa_{1-y}層とが交互に積層された構造を備えており、井戸数は例えば３である。$In_xGa_{1-x}N$層は、厚さが７ｎｍで、組成比ｘは０．０２である。そして、$In_yGa_{1-y}N$層は、厚さが３．５ｎｍで、組成比ｙは０．１４である。

【００１９】

アンドープ$In_xGa_{1-x}N$光導波層７は、厚さが例えば２．０ｎｍであり、Ｉｎ組成比ｘは例えば０．０２である。ｐ型ＡｌＧａＮ電子障壁層８は、厚さが例えば１０ｎｍであり、Ａｌ組成比は例えば０．１８である。ｐ型ＧａＮ光ガイド層９は厚さが例えば１００ｎｍである。ｐ型ＡｌＧａＮクラッド層１０は、厚さが例えば４００ｎｍであり、ｐ型不純物として例えばＭｇがドープされ、Ａｌ組成比は例えば０．０７である。ｐ型ＧａＮコンタクト層１１は、厚さが例えば１００ｎｍであり、ｐ型不純物として例えばＭｇがドープされ、十分に低いコンタクト抵抗を得るためにはキャリア濃度が$2E17cm^{-3}$以上、より好ましくは$5E17cm^{-3}$以上であればよい。

【００２０】

ｐ型ＡｌＧａＮクラッド層１０及びｐ型ＧａＮコンタクト層１１には、例えば〈１－１００〉方向に向かって、エッチングによりリッジ１２が形成されている。リッジ１２の幅は例えば２．０μｍである。ここで、リッジ１２は、ＧａＮ基板１上にストライプ状に形成された数μｍ～数十μｍ幅の高転位領域の間にある低欠陥領域に対応する位置に形成されている。

【００２１】

リッジ１２の側面部及びリッジ横底面部の表面保護と電気的絶縁のために、例えば厚さ２００ｎｍのSiO_2膜１３（絶縁膜）がリッジ１２を覆うように形成されている。このSiO_2膜１３には、リッジ１２の上面に対応する部分に開口１４が形成されている。この開口１４を介して、ｐ型電極１５がｐ型ＧａＮコンタクト層１１に電気的に接続されている。

【００２２】

ｐ型電極１５は、膜厚５０ｎｍのＰｄ層１６（第１電極層）と膜厚２０ｎｍのＴａ層１７（第２電極層）を順次積層した構造となっている。このｐ型電極１５上に、Ｔｉ／Ｔａ／Ａｕ構造のボンディング用のパッド電極１８が形成されている。なお、Ｐｄ層１６の代わりに第１電極層としてＰｄＴａ合金を用いてもよい。

【００２３】

また、ＧａＮ基板１の裏面にｎ型電極１９が形成されている。このｎ型電極１９は、例えばＴｉ／Ｐｔ／Ａｕ膜を順次積層した構造となっている。

【００２４】

次に、実施の形態１に係る窒化物半導体発光素子の製造方法について説明する。

まず、図２に示すように、予めサーマルクリーニングなどにより表面を清浄化したＧａＮ基板１のＧａ面上に、有機金属化学気相成長（ＭＯＣＶＤ）法により、例えば成長温度１０００℃でｎ型ＧａＮバッファ層２を成長させる。次に、ＭＯＣＶＤ法により、ｎ型ＡｌＧａＮクラッド層３、ｎ型ＧａＮ光ガイド層４及びアンドープＩｎＧａＮ光ガイド層５、アンドープの$In_xGa_{1-x}N$／$In_yGa_{1-y}N$多重量子井戸活性層６、アンドープＩｎＧａＮ光導波層７、ｐ型ＡｌＧａＮ電子障壁層８、ｐ型ＧａＮ光ガイド層９、ｐ型ＡｌＧａＮクラッド層１０、及びｐ型ＧａＮコンタクト層１１を順次積層する。ここで、例えば、ｎ型ＡｌＧａＮクラッド層３及びｎ型ＧａＮ光ガイド層４の成長温度を１０００℃、アンドープＩｎＧａＮ光導波層７からアンドープＩｎＧａＮ光導波層７の成長温度を７４０℃、ｐ型ＡｌＧａＮ電子障壁層８からｐ型ＧａＮコンタクト層１１の成長温度を１０００℃とする。

【００２５】

次に、図３に示すように、上記の結晶成長を行ったウェハ全面にレジストを塗布し、リソグラフィー法（写真製版技術）により所定形状のレジストパターン２１を形成する。

【００２６】

次に、図４に示すように、レジストパターン２１をマスクとして、ＲＩＥ（Reactive Ion Etching）法などにより、ｐ型窒化物半導体エピ層をｐ型ＡｌＧａＮクラッド層１０内まで異方性エッチングして、光導波構造となるリッジ１２を形成する。エッチングガスとして例えば塩素系ガスを用いる。なお、エッチングマスクとして、レジストパターン２１の代わりにSiO_2膜などの絶縁膜マスクを用いることにより、エッチング形状をより垂

直にすることができる。

【００２７】

次に、図５に示すように、レジストパターン２１を残したまま、リッジ１２を覆うように全面に例えばＣＶＤ法、真空蒸着法、スパッタリング法などにより、厚さ０．２μｍのSiO_2膜１３を形成する。

【００２８】

次に、全面にレジスト（不図示）を形成する。そして、図６に示すように、エッチバックによりリッジ１２の上面においてSiO_2膜１３とレジストパターン２１を同時に除去して開口１４を形成する。

【００２９】

次に、リソグラフィー技術等によりリッジ１２を含む領域に開口有するレジストパターン（不図示）を形成する。その後、図７に示すように、全面に例えば電子ビーム（ＥＢ）蒸着法により、ｐ型電極１５としてＰｄ層１６とＴａ層１７を順次形成する。Ｐｄ層１６の膜厚は２０～１００ｎｍ程度あればよく、Ｔａ層１７の膜厚は熱処理によりＰｄ層１６がムラになるのを防ぐバリア効果を得るために１０～２０ｎｍ程度あれば良い。ただし、Ｐｄ層１６の厚みをＴａ層１７の厚みの少なくとも２倍以上とするのが好ましく、Ｐｄ層１６の厚みを３０ｎｍ以上とするのがより好ましい。その後、レジストパターン上のＰｄ層１６及びＴａ層１７をリフトオフにより除去する。

【００３０】

次に、ＲＴＡ装置などを用いて、好ましくは温度約４００℃～６００℃の範囲内、より好ましくは温度約４５０℃～５５０℃の範囲内で熱処理を行う。ここでは５００℃とした。雰囲気として、酸素又は酸素を構成元素として含むガスと不活性ガスとの混合ガスを用いる。酸素の含有量は、好ましくは５％以上５０％未満、より好ましくは１０％以上３０％未満である。ここでは窒素８０％酸素２０％の雰囲気を用いた。また、温度上昇速度を１０℃／ｓｅｃ以上とするのが好ましい。ここでは２０℃／ｓｅｃとした。熱処理の時間は１分以上あれば良いが、ここでは２分間とした。

【００３１】

次に、転写によりパターン形成後アイソレーション用のSiO_2絶縁膜（不図示）をリフトオフで形成する。そして、図８に示すように、ｐ型電極１５上にパッド電極１８となるＴｉ／Ｔａ／Ａｕを例えば厚さ５０ｎｍ／１００ｎｍ／５００ｎｍの厚さで形成する。

【００３２】

次に、ウェハの厚さが１００μｍ程度になるまで、ＧａＮ基板１の裏面を研磨し、鏡面仕上げを行う。そして、ＧａＮ基板１の裏面に、$SiCl_4$を５％含んだＡｒの混合ガスによりプラズマ処理を行う。その後、水洗、酸素プラズマアッシャー処理を行ってＧａＮ基板１の裏面に高キャリア濃度層を形成した後、真空蒸着法によりＴｉ／Ｐｔ／Ａｕ膜を順次形成する。ウェハ全面にレジストを塗布し、リソグラフィー法により所定の形状のレジストパターン（不図示）を形成する。レジストパターンをマスクにしてイオンミリングによりＴｉ／Ｐｔ／Ａｕ膜をエッチングすることで、ｎ型電極１９を形成する。その後、４００℃以下で熱処理を行う。ただし、熱処理を行わなくてもｎ型電極１９はオーミック特性を示す。

【００３３】

次に、基板を劈開などによりバー状に加工して両共振器端面を形成する。さらに、これらの共振器端面に端面コーティングを施した後、このバーを劈開などによりチップ化する。以上の工程により、実施の形態１に係る窒化物半導体レーザダイオードを製造することができる。

【００３４】

上記のように、実施の形態では、ｐ型ＧａＮコンタクト層１１上に、ｐ型電極１５としてＰｄ層１６を形成する。ここで、Ｐｄは水素化物の生成エネルギーが負の材料であり、ＧａＮ中の残留水素レベルが高いときには水素を吸いだす。これにより、有効にキャリア濃度を高めることができるため、コンタクト抵抗率を低減することできる。ただし、Ｇａ

Ｎ中の残留水素レベルが十分に低いときには効果は薄い。また、Ｐｄの仕事関数が高いというだけでは十分に低いコンタクト抵抗率を得ることはできない。一方で、ＰｄはＡｕやＰｔよりも反応性に富むため、ＰｄがＧａＮと反応して低抵抗な反応層を形成し、ショットキーバリアを低減することができる。

【００３５】

また、熱処理時に起こる反応はプラスの効果とマイナスの効果を持つため、熱処理温度には最適な範囲が存在する。まず、界面反応の促進のために最低４００℃以上の加熱が必要である。温度が高いほど酸素の拡散、Ｇａの吸出し、水素の吸出し、Ｐｄ－Ｇａ反応が加速される。しかし、５５０℃以上の加熱は、Ｔａ層の酸化、Ｔａの界面への拡散、電極の凝縮などを招き、コンタクト抵抗率が大きくなってしまう。

【００３６】

図９に示すように、窒素：酸素＝４：１雰囲気中で熱処理を行ったところ、５００℃を中心に±２５℃辺りに最適値が存在し、５００±５０℃の範囲でレーザダイオードの高出力動作に必要な１Ｅ－３Ωｃｍ^{2}以下の値が得られることが分かった。よって、ｐ型電極１５を形成した後に、酸素を含む雰囲気中において温度４００℃～６００℃、より好ましくは４５０℃～５５０℃で熱処理を行うことで、ｐ型電極のコンタクト抵抗率を小さくすることができる。

【００３７】

また、実施の形態では、ｐ型電極１５に対する熱処理時の雰囲気として、酸素又は酸素を構成元素として含むガスと不活性ガスとの混合ガスを用いる。雰囲気中の酸素は熱処理時に電極内を拡散してＧａＮ／電極界面に到達し、ＧａＮ中のＧａの吸出してＧａ空孔の生成を促進する。Ｇａ空孔はアクセプターとして働くことが知られており、熱処理により生成されたアクセプターによりコンタクト抵抗率を低減することができる。従って、酸素の無い窒素雰囲気での熱処理では、コンタクト抵抗率を十分に低減することができない。ただし、酸素濃度は、高すぎても逆に抵抗が増大するため、最適な範囲が存在する。

【００３８】

図１０に示すように、窒素＋酸素雰囲気のような非常に敏感な熱処理温度依存性は、窒素ガス雰囲気では見られなかった。なお、酸素６０％の雰囲気での熱処理では低抵抗が得られなかった。従って、ｐ型電極１５に対する熱処理時の雰囲気として酸素含有量が５％以上５０％未満であるガスを用いることで、ｐ型電極のコンタクト抵抗率を小さくすることができる。

【００３９】

また、従来は、Ｐｄ層１６上にバリア層としてＭｏ層を形成していた。これに対し、発明者は、バリア層としてＭｏ層よりもＴａ層を用いた方が、コンタクト抵抗率を低減できることを見出した。また、Ｍｏは酸に対する耐性が十分でなく、電極形成後の薬液処理や熱処理工程で劣化することを見出した。従って、実施の形態では、Ｐｄ層１６上にバリア層としてＴａ層１７を形成する。

【００４０】

また、図１１に示すように、Ｐｄ単層電極の場合、コンタクト抵抗率は２層電極の場合の２倍程度までしか下がらない。従って、酸素含有雰囲気で熱処理を行う場合には、ｐ型電極１５をＰｄ層１６とＴａ層１７の２層電極とすることで、ｐ型電極１５のコンタクト抵抗率を小さくすることができる。

【００４１】

また、Ｐｄ層、Ｔａ層及びＡｕ層を順次形成した３層構造のｐ型電極の場合には、熱処理時に酸素の拡散が阻まれて界面反応が十分に起きなくなる。従って、図１２に示すように、３層電極の場合は２層電極の場合に比べてコンタクト抵抗率を十分に低減することができない。また、酸素の拡散を抑える働きを持つＡｕなどの層があると界面反応が起こりにくくなるため、３層電極の場合はコンタクト抵抗が低くなる温度が高温側にシフトすることが分かる。これは、Ｐｄ層とＴａ層の２層構造のｐ型電極上にパッド電極を形成し、その後に熱処理した場合でも同様である。従って、実施の形態では、ｐ型電極を熱処理し

た後にパッド電極を形成する。これにより、ｐ型電極のコンタクト抵抗率を小さくすることができる。

【００４２】

また、基板の裏面にプラズマ処理を行った後にｎ型電極を形成することで、４００℃以下の比較的低温の熱処理により基板の裏面に高濃度のキャリアを生成することができる。従って、ｎ型電極の形成プロセスによるｐ型電極の劣化が防げるため、ｐ型電極のコンタクト抵抗率を小さくすることができる。

【００４３】

以上説明したように、実施の形態では、ｐ型電極のコンタクト抵抗率を小さくすることができる。これにより、レーザの駆動電流を増やしてもｐ型電極で消費する電力を低減することができる。従って、高出力動作が可能な経時劣化の少ない長寿命のレーザダイオードを得ることができる。

【００４４】

また、上記の工程により製造した窒化物半導体レーザダイオードは、しきい値電圧３０ｍＡ、１００ｍＷの動作電圧約５Ｖであった。そして、図１３に示すように、定電流モードの連続通電試験の結果、５００時間以上に渡って動作電圧の変動が１０％以下であった。従って、高出力用の通電においてｐ型電極のコンタクト抵抗率が小さい状態を長時間維持できることが確認された。

【００４５】

実施の形態２

実施の形態２に係る窒化物半導体発光素子の製造方法について説明する。

まず、実施の形態１と同様に、図２に示すようにＧａＮ基板１上に窒化物半導体エピ層を形成する。

【００４６】

次に、図１４に示すように、電子ビーム（ＥＢ）蒸着法及びリフトオフにより、ｐ型電極１５としてＰｄ層１６とＴａ層１７を順次形成する。

次に、図１５に示すように、上記の結晶成長を行ったウェハ全面にレジストを塗布し、リソグラフィー法（写真製版技術）により所定形状のレジストパターン２１を形成する。

【００４７】

次に、図１６に示すように、レジストパターン２１をマスクとして、ＲＩＥ法などにより、ｐ型電極１５とｐ型窒化物半導体エピ層をｐ型ＡｌＧａＮクラッド層１０内まで異方性エッチングして、光導波構造となるリッジ１２を形成する。エッチングガスとして例えば塩素系ガスを用いる。なお、ｐ型電極１９のエッチングとリッジ１２形成のためのドライエッチングを同一のレジストパターン２１を用いて一度に行った。

【００４８】

次に、図１７に示すように、リッジ１２を覆うように全面に例えばＣＶＤ法、真空蒸着法、スパッタリング法などにより、厚さ０．２μｍのSiO_2膜１３を形成する。

次に、全面にレジスト（不図示）を形成する。そして、図１８に示すように、エッチバックによりリッジ１２の上面においてSiO_2膜１３を除去して開口１４を形成する。その後、実施の形態１と同様に熱処理を行う。

【００４９】

次に、図１９に示すように、ｐ型電極１９上にパッド電極１８となるＴｉ／Ｔａ／Ａｕを例えば厚さ５０ｎｍ／１００ｎｍ／５００ｎｍの厚さで形成する。その後、実施の形態１と同様にｎ型電極１９を形成し、チップ化などを行うことで、実施の形態２に係る窒化物半導体レーザダイオードを製造することができる。

【００５０】

実施の形態１ではリッジ１２及びSiO_2膜１３を形成した後に、ｐ型電極１９を形成していた。そして、Ｐｄを用いたｐ型電極１９は、SiO_2膜１３との密着性が弱いために、プロセス途中で剥がれるという問題があった。そこで、実施の形態２では、リッジ１２及びSiO_2膜１３を形成する前にｐ型電極１９を形成する。これにより、SiO_2膜

１３上にｐ型電極１９が形成されないため、ｐ型電極１９の剥がれが抑制される。従って、ウェハ全面にわたって形状のそろったｐ型電極１９を得ることができ、歩留まりを向上させることができる。

上記実施の形態では、窒化物半導体レーザダイオードを例にして説明したが、本発明はこれに限定されるものではなく、発光ダイオード（ＬＥＤ）等のレーザダイオード以外の窒化物半導体発光素子にも適応することができる。

【図面の簡単な説明】

【００５１】

【図１】実施の形態１に係る窒化物半導体レーザダイオードを示す断面図である。

【図２】実施の形態１に係る窒化物半導体発光素子の製造方法を説明するための断面図である。

【図３】実施の形態１に係る窒化物半導体発光素子の製造方法を説明するための断面図である。

【図４】実施の形態１に係る窒化物半導体発光素子の製造方法を説明するための断面図である。

【図５】実施の形態１に係る窒化物半導体発光素子の製造方法を説明するための断面図である。

【図６】実施の形態１に係る窒化物半導体発光素子の製造方法を説明するための断面図である。

【図７】実施の形態１に係る窒化物半導体発光素子の製造方法を説明するための断面図である。

【図８】実施の形態１に係る窒化物半導体発光素子の製造方法を説明するための断面図である。

【図９】コンタクト抵抗率の熱処理温度依存性の実験結果を示す図である。

【図１０】コンタクト抵抗率の熱処理温度依存性の実験結果を示す図である。

【図１１】コンタクト抵抗率の熱処理温度依存性の実験結果を示す図である。

【図１２】コンタクト抵抗率の熱処理温度依存性の実験結果を示す図である。

【図１３】動作電圧の通電時間依存性の実験結果を示す図である。

【図１４】実施の形態２に係る窒化物半導体発光素子の製造方法を説明するための断面図である。

【図１５】実施の形態２に係る窒化物半導体発光素子の製造方法を説明するための断面図である。

【図１６】実施の形態２に係る窒化物半導体発光素子の製造方法を説明するための断面図である。

【図１７】実施の形態２に係る窒化物半導体発光素子の製造方法を説明するための断面図である。

【図１８】実施の形態２に係る窒化物半導体発光素子の製造方法を説明するための断面図である。

【図１９】実施の形態２に係る窒化物半導体発光素子の製造方法を説明するための断面図である。

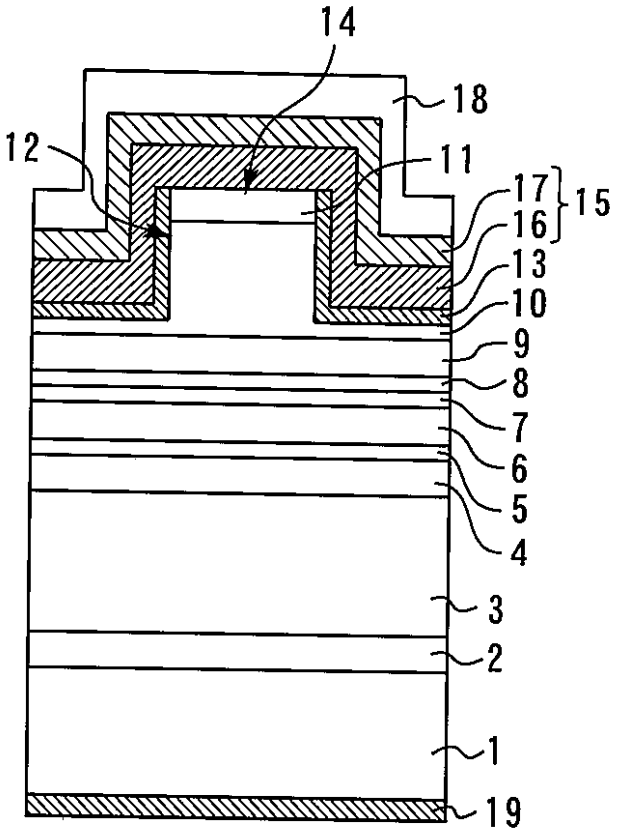
【符号の説明】

【００５２】

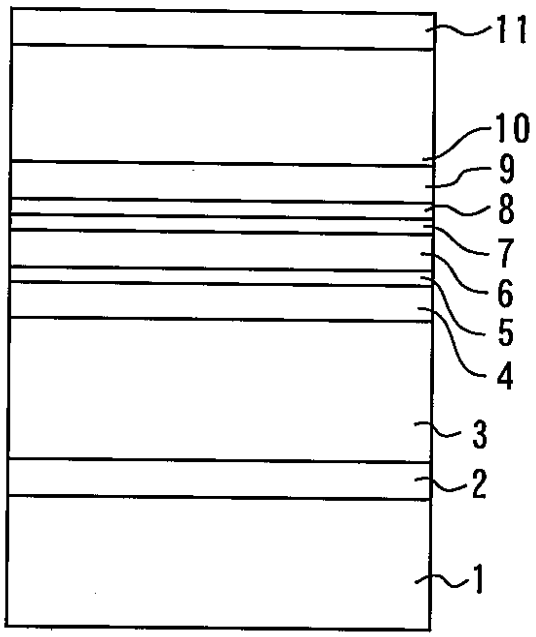
１　ＧａＮ単結晶基板（基板）
１１　ｐ型ＧａＮコンタクト層（ｐ型窒化物半導体エピ層）
１２　リッジ
１３　SiO_2膜（絶縁膜）
１４　開口
１５　ｐ型電極
１６　Ｐｄ層（第１電極層）
１７　Ｔａ層（第２電極層）

１８　パッド電極
１９　ｎ型電極

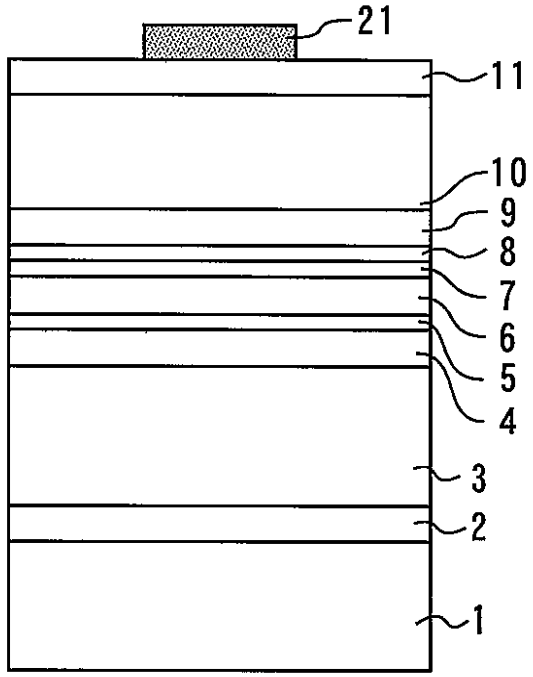
【図１】



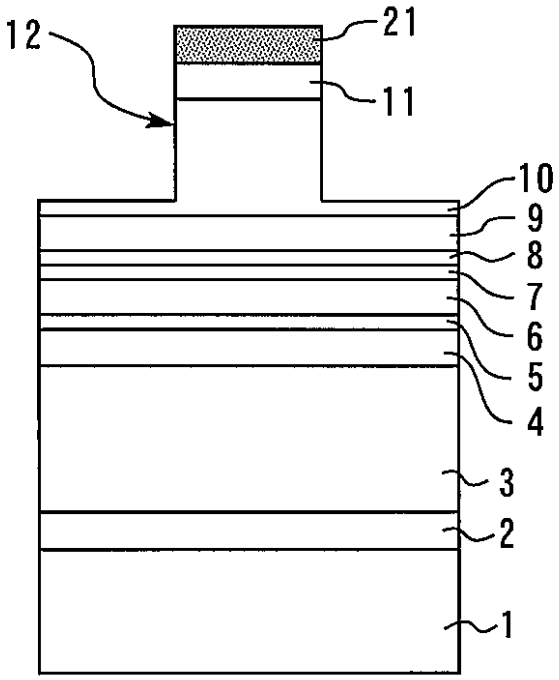
【図２】



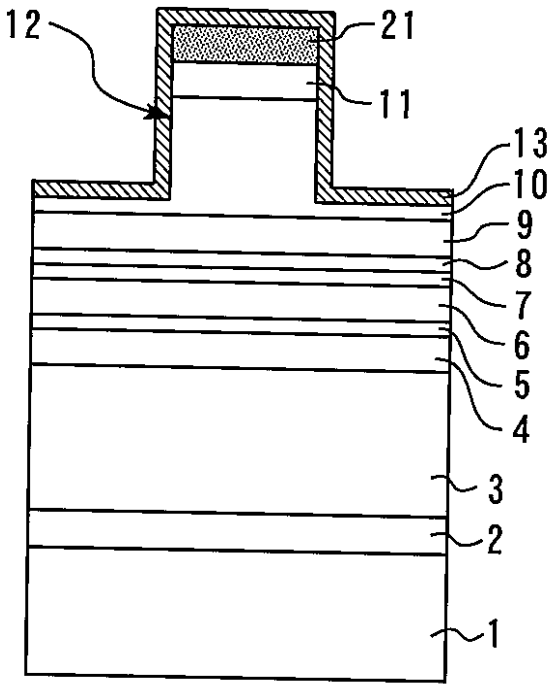
【図３】


21
11
10
9
8
7
6
5
4
3
2
1

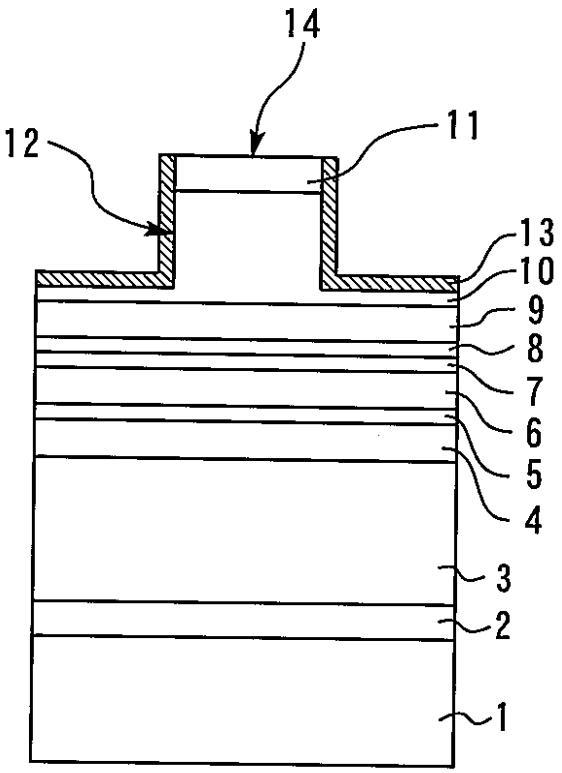
【図４】


12
21
11
10
9
8
7
6
5
4
3
2
1

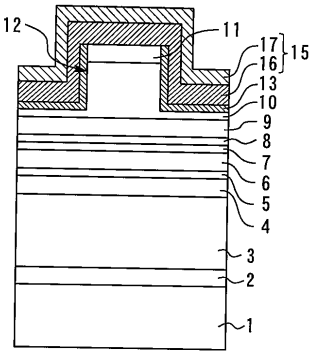
【図５】


12
21
11
13
10
9
8
7
6
5
4
3
2
1

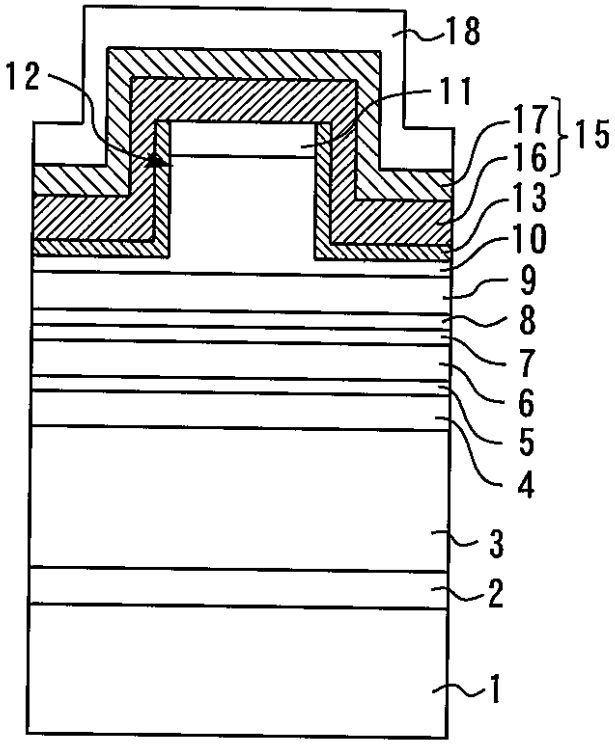
【図６】


14
12
11
13
10
9
8
7
6
5
4
3
2
1

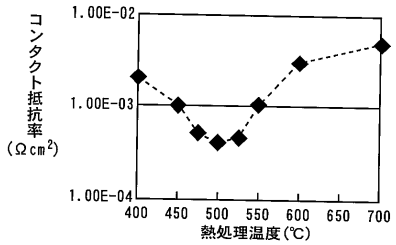
【図７】



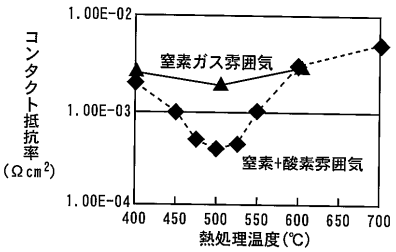
【図８】



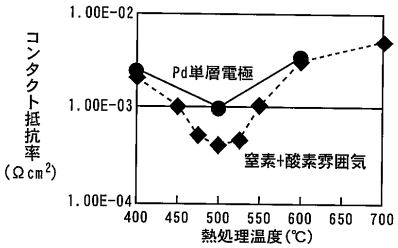
【図９】



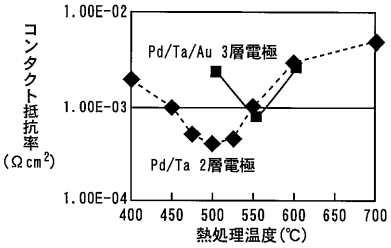
【図１０】



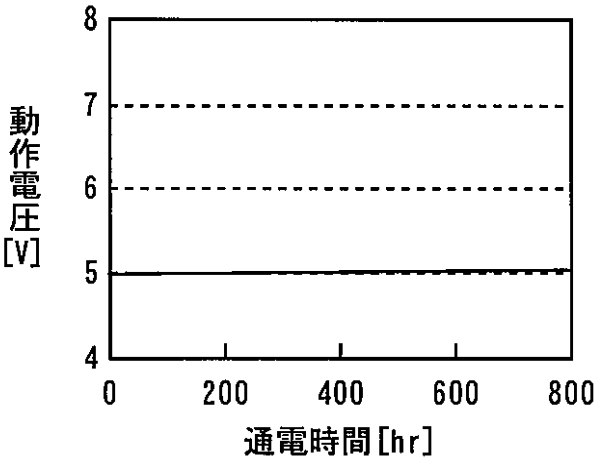
【図１１】



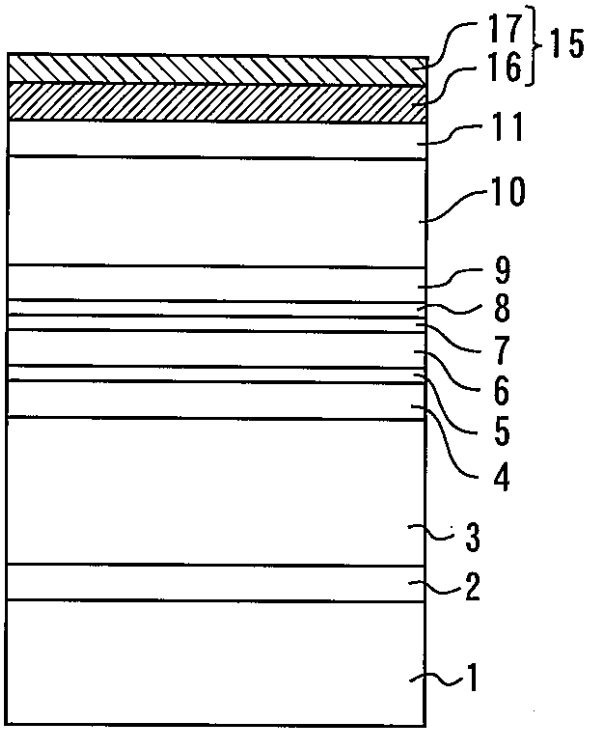
【図１２】



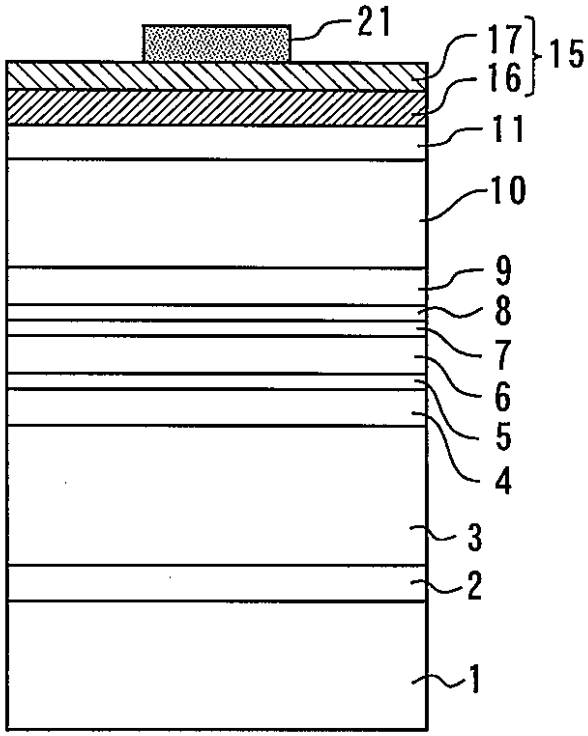
【図１３】



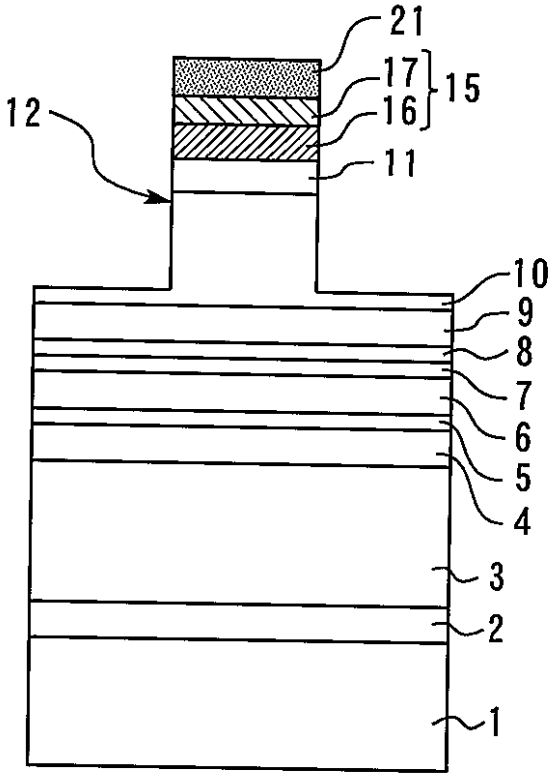
【図１４】



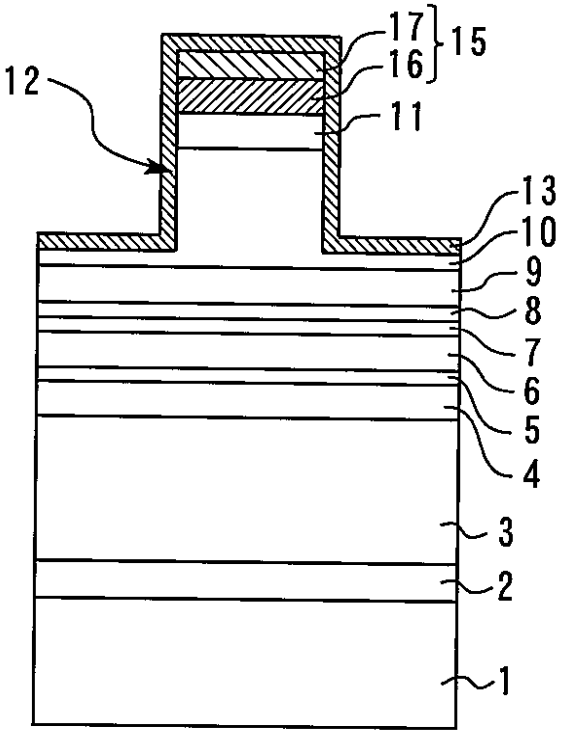
【図１５】



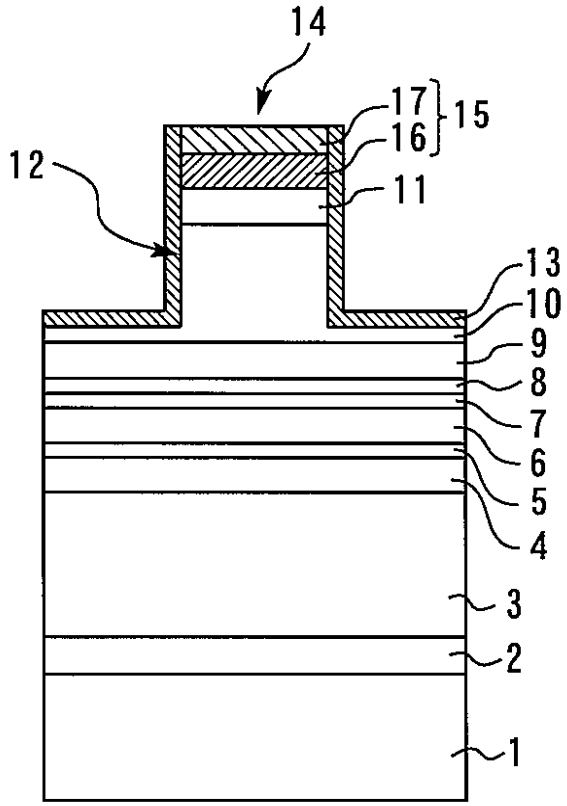
【図１６】



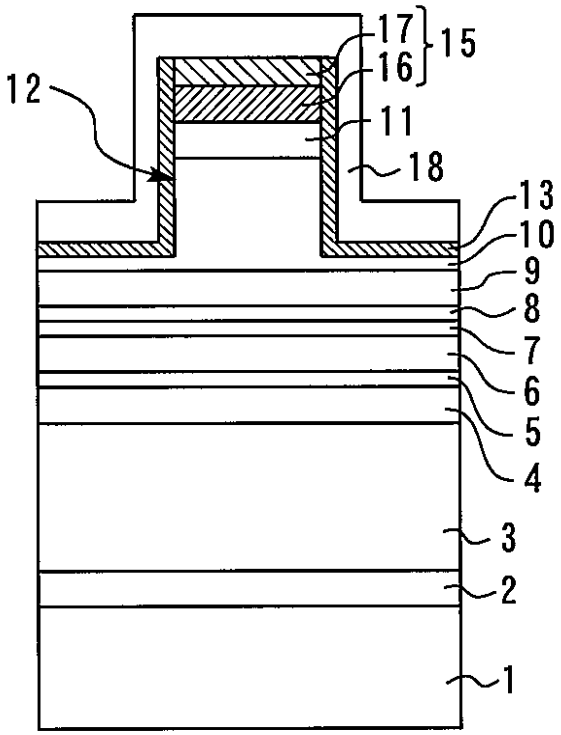
【図１７】



【図１８】


14
17
16
15
12
11
13
10
9
8
7
6
5
4
3
2
1

【図１９】


17
16
15
12
11
18
13
10
9
8
7
6
5
4
3
2
1

フロントページの続き

(72)発明者　川崎　和重
東京都千代田区丸の内二丁目７番３号　三菱電機株式会社内
(72)発明者　阿部　真司
東京都千代田区丸の内二丁目７番３号　三菱電機株式会社内
(72)発明者　佐久間　仁
東京都千代田区丸の内二丁目７番３号　三菱電機株式会社内

Ｆターム(参考) 5F173 AA08　AH22　AK08　AK13　AP05　AP33　AP64　AP71　AR63