

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4083376号
(P4083376)

(45) 発行日 平成20年4月30日(2008.4.30)

(24) 登録日 平成20年2月22日(2008.2.22)

(51) Int.Cl.		F I	
HO 1 L 25/065	(2006.01)	HO 1 L 25/08	Z
HO 1 L 25/07	(2006.01)	HO 1 L 21/60	3 1 1 S
HO 1 L 25/18	(2006.01)		
HO 1 L 21/60	(2006.01)		

請求項の数 8 (全 11 頁)

(21) 出願番号	特願2000-217840 (P2000-217840)	(73) 特許権者	000003078 株式会社東芝 東京都港区芝浦一丁目1番1号
(22) 出願日	平成12年7月18日(2000.7.18)	(74) 代理人	100077849 弁理士 須山 佐一
(65) 公開番号	特開2002-33443 (P2002-33443A)	(72) 発明者	大井田 充 神奈川県川崎市幸区小向東芝町1番地 株 式会社東芝 マイクロエレクトロニクスセ ンター内
(43) 公開日	平成14年1月31日(2002.1.31)	審査官	長谷部 智寿
審査請求日	平成17年3月3日(2005.3.3)		

最終頁に続く

(54) 【発明の名称】 半導体モジュール

(57) 【特許請求の範囲】

【請求項1】

第1の半導体チップと、

前記第1の半導体チップの背面に機能面が接合され前記第1の半導体チップより背面面積の広い第2の半導体チップと、

前記第1の半導体チップの機能面に設けられた突起電極の位置および前記第2の半導体チップの機能面であって前記第1の半導体チップとの接合に寄与しない部位に設けられた突起電極の位置に合わせてランドが設けられ前記突起電極に前記ランドが電氣的に接続する基板と、

前記基板の前記ランドが設けられた面とは反対の面に設けられ前記ランドと電氣的に導通する外部接続端子と、

前記第2の半導体チップの背面に設けられ前記第2の半導体チップの機能面であって前記第1の半導体チップとの接合に寄与しない部位に設けられたボンディングパッドとボンディングワイヤにより電氣的接続する導体を有する第2の基板と、

前記第2の基板の前記第2の半導体チップとは反対側の面に設けられ前記導体と電氣的に導通する第2の外部接続端子と

を有することを特徴とする半導体モジュール。

【請求項2】

第1の半導体チップと、

前記第1の半導体チップの背面に機能面が接合され前記第1の半導体チップより背面面

10

20

積の広い第 2 の半導体チップと、

前記第 1 の半導体チップの機能面に設けられた突起電極の位置および前記第 2 の半導体チップの機能面であって前記第 1 の半導体チップとの接合に寄与しない部位に設けられた突起電極の位置に合わせてランドが設けられ前記突起電極に前記ランドが電氣的に接続する基板と、

前記基板の前記ランドが設けられた面とは反対の面に設けられ前記ランドと電氣的に導通する外部接続端子と、

前記第 2 の半導体チップの背面に設けられ前記基板に設けられた第 1 の導体と電氣的接続する第 2 の導体を有する第 2 の基板と、

前記第 2 の基板の前記第 2 の半導体チップとは反対側の面に設けられ前記第 2 の導体と電氣的に導通する第 2 の外部接続端子と

を有することを特徴とする半導体モジュール。

【請求項 3】

前記第 1 の半導体チップと前記第 2 の半導体チップとの前記接合されたものを新たな前記第 1 の半導体チップとする請求項 1 または 2 記載の半導体モジュール。

【請求項 4】

前記突起電極と前記ランドとの前記電氣的接続は、半田材料によりなされたことを特徴とする請求項 1 または 2 記載の半導体モジュール。

【請求項 5】

前記突起電極と前記ランドとの前記電氣的接続は、金によりなされたことを特徴とする請求項 1 または 2 記載の半導体モジュール。

【請求項 6】

前記第 1 の半導体チップの機能面に設けられた第 2 のボンディングパッドと前記第 2 の半導体チップの機能面であって前記第 1 の半導体チップとの接合に寄与しない部位に設けられた第 3 のボンディングパッドとを接続する第 2 のボンディングワイヤをさらに有することを特徴とする請求項 1 ないし 5 のいずれか 1 項記載の半導体モジュール。

【請求項 7】

前記第 1 および第 2 の半導体チップと前記基板との間の空隙を充填する樹脂をさらに有することを特徴とする請求項 1 ないし 6 のいずれか 1 項記載の半導体モジュール。

【請求項 8】

前記基板の前記ランドの存在する面は、複数の配線基板の積層により形成された階段面であり、この複数の配線基板のうち前記階段面の最も低い段を形成するものを除くいずれかひとつが、該ひとつの配線基板を除く他すべての配線基板より平面方向に張り出しこの張り出した部位に第 3 の外部接続端子を有することを特徴とする請求項 1 ないし 7 のいずれか 1 項記載の半導体モジュール。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、3 次元的な高密度化を実現する半導体モジュールに係り、特に、効率的な高密度化を実現しさらに高機能化にも適する半導体モジュールに関する。

【0002】

【従来の技術】

高密度化を図る半導体モジュールとして、MCM (multi chip module)、積層モジュール等が知られている。

【0003】

図 10 を用いて MCM について説明する。同図は、MCM の外観の例を示す斜視図である。MCM は、図 10 に示すように、モジュール基板 91 にデバイス 92 ~ 98 を 2 次元的に配列し、ワイヤボンディングとモジュール基板上の配線パターンを用いてデバイス 92 ~ 98 の端子間で必要な結線を行ったものである。ここで、デバイス 92 ~ 98 は、ベアチップたる半導体チップ、受動素子などである。この手法による高密度実装は、デバイス

10

20

30

40

50

の2次元配列を基本とするので、原理的にそれらデバイスの2次元的な大きさの和よりモジュール面積を小さくすることはできない。

【0004】

次に、図11を用いて積層モジュールについて説明する。同図は、積層モジュールの外観の例を示す正面図である。このような積層モジュールでは、3次元的に半導体デバイス101~104を実装するので、実装面積は小さくなる。しかし、このように半導体デバイス101~104を積み上げることは、実装高さの増大が無視できない場合も多い。

【0005】

また、上層にある半導体デバイスへの配線を実装面の外部接続端子105から引き回すのに半導体デバイス周りにスペースを取るため、実装面積の縮小という利点を生かすためにはこのスペースをあまり大きくすることはできず、したがって多ピンパッケージの積層モジュールは、實際上、実現にさほど意味が見出せない場合が多い。このため、積層モジュールは、半導体デバイス101~104としてメモリのような多ピンとはならないデバイスに限定されるのが現状である。

【0006】

【発明が解決しようとする課題】

上記のように、現状の高密度実装半導体モジュールは、2次元配列では、デバイスの2次元的な大きさの和よりモジュール面積を小さくすることはできないという限界があり、3次元の実装では、実装高さの増大や多ピンパッケージでの実装が実際的とは言えないという改善すべき事項が存在した。

【0007】

本発明は、このような事情の考慮してなされたもので、3次元的に高密度を実現する半導体モジュールにおいて、実装高さを低く抑え、さらに半導体モジュール内での接続を可能とすることにより必要とする外部接続端子を減少することもできる半導体モジュールを提供することを目的とする。

【0008】

また、本発明は、3次元的に高密度を実現する半導体モジュールにおいて、その実装面との接続面ではなく反対の面にさらにデバイスを実装でき高密度化、高機能化を図る半導体モジュールを提供することを目的とする。

【0009】

また、本発明は、3次元的に高密度を実現する半導体モジュールにおいて、容易に半導体モジュール同士や他のデバイスと接続しさらに高機能化を図る半導体モジュールを提供することを目的とする。

【0010】

【課題を解決するための手段】

上記の課題を解決するため、本発明の一態様は、第1の半導体チップと、前記第1の半導体チップの背面に機能面が接合され前記第1の半導体チップより背面面積の広い第2の半導体チップと、前記第1の半導体チップの機能面に設けられた突起電極の位置および前記第2の半導体チップの機能面であって前記第1の半導体チップとの接合に寄与しない部位に設けられた突起電極の位置に合わせてランドが設けられ前記突起電極に前記ランドが電氣的に接続する基板と、前記基板の前記ランドが設けられた面とは反対の面に設けられ前記ランドと電氣的に導通する外部接続端子と、前記第2の半導体チップの背面に設けられ前記第2の半導体チップの機能面であって前記第1の半導体チップとの接合に寄与しない部位に設けられたボンディングパッドとボンディングワイヤにより電氣的接続する導体を有する第2の基板と、前記第2の基板の前記第2の半導体チップとは反対側の面に設けられ前記導体と電氣的に導通する第2の外部接続端子とを有することを特徴とする。

【0011】

第1および第2の半導体チップの大きさの違いを利用して、両者を重ね合わせて両者の機能面から基板への電氣的接続を行う。これにより、実装高さは半導体チップと基板の厚みに依存し、従来の積層チップより顕著に実装高さを減少することができる。また、半導

10

20

30

40

50

体モジュールの実装面との接続面ではなく反対の面にさらにデバイスを実装でき高密度化、高機能化を図ることができる。

【0012】

また、本発明の別の態様は、第1の半導体チップと、前記第1の半導体チップの背面に機能面が接合され前記第1の半導体チップより背面面積の広い第2の半導体チップと、前記第1の半導体チップの機能面に設けられた突起電極の位置および前記第2の半導体チップの機能面であって前記第1の半導体チップとの接合に寄与しない部位に設けられた突起電極の位置に合わせてランドが設けられ前記突起電極に前記ランドが電氣的に接続する基板と、前記基板の前記ランドが設けられた面とは反対の面に設けられ前記ランドと電氣的に導通する外部接続端子と、前記第2の半導体チップの背面に設けられ前記基板に設けられた第1の導体と電氣的に接続する第2の導体を有する第2の基板と、前記第2の基板の前記第2の半導体チップとは反対側の面に設けられ前記第2の導体と電氣的に導通する第2の外部接続端子とを有することを特徴とする。

10

【0013】

これによっても、半導体モジュールの実装面との接続面ではなく反対の面にさらにデバイスを実装でき高密度化、高機能化を図ることができる。

【0014】

また、前記第1の半導体チップと前記第2の半導体チップとの前記接合されたものを新たな前記第1の半導体チップとして、上記の構成をする実現することができる。すなわち、半導体チップを3層以上重ね合わせる場合も同様の効果が得られる。

20

【0015】

前記突起電極と前記ランドとの前記電氣的接続は、半田材料によりなされ得る。また、金によりなすこともできる。

【0016】

また、前記第1の半導体チップの機能面に設けられた第2のボンディングパッドと前記第2の半導体チップの機能面であって前記第1の半導体チップとの接合に寄与しない部位に設けられた第3のボンディングパッドとを接続する第2のボンディングワイヤをさらに有することもできる。

【0017】

これにより、半導体モジュール内での電氣的接続が可能となるので必要とする外部接続端子を減少することができる。

30

【0018】

前記第1および第2の半導体チップと前記基板との間の空隙には、充填樹脂を設けてもよい。放熱性、防湿性、防錆性等を向上することができる。

【0021】

また、前記基板の前記ランドの存在する面は、複数の配線基板の積層により形成された階段面であり、この複数の配線基板のうち前記階段面の最も低い段を形成するものを除くいずれかひとつが、該ひとつの配線基板を除く他すべての配線基板より平面方向に張り出しこの張り出した部位に第3の外部接続端子を有することを特徴とする。

【0022】

この第3の外部接続端子が、半導体モジュール同士や他のデバイスと接続するための端子として機能しさらに高機能化を図ることができる。

40

【0023】

【発明の実施の形態】

以下、本発明の実施形態を図面を参照しながら説明する。

【0024】

図1は、本発明の実施形態の前提となる半導体モジュールの模式的な構成を説明する断面図である。

【0025】

同図(a)は、重ね合わされるべき3枚の半導体チップ11、13、15を示している

50

。半導体チップ11、13、15は、この順序にチップ面積が大きく、また、半導体チップ15の機能面には、このチップと外部との電氣的接続のための突起電極16が設けられる。さらに、半導体チップ13の機能面であって半導体チップ15との重なりに寄与しない部位には突起電極14が設けられ、また、半導体チップ11の機能面であって半導体チップ13との重なりに寄与しない部位には突起電極12が設けられる。

【0026】

突起電極16、14、12には、例えば、共晶半田（すず鉛比63対37）、高融点半田、金を用いることができる。

【0027】

半導体チップ11、13、15は、それぞれ類似する機能を有するチップを組み合わせる場合の他、それぞれ機能の異なるチップを組み合わせることができる。

10

【0028】

機能の異なるチップの組み合わせの場合、例えば、MPU(micro processing unit)、CPU(central processing unit)やASIC(application specified integral circuit)で作られた制御回路のチップと、DRAM(dynamic random access memory)、SRAM(static RAM)、SDRAM(synchronous DRAM)などのメモリチップとを組み合わせることが考えられる。これによりひとつのシステムを構築できる。

【0029】

上記のような半導体チップ11、13、15は、図1(b)に示すように接合される。

20

【0030】

図1(c)は、図1(b)に示した接合された半導体チップと電氣的接続するための基板17、18、19を示したものである。この基板17、18、19は、接合された半導体チップ11、13、15の突起電極12、14、16と平面的・立体的に位置を合わせてランド(この図では図示省略)を有するものである。これらランドは基板17の外部接続端子110と電氣的に導通している。

【0031】

基板17、18、19は、例えば、ガラスエポキシ材のようなリジッドな基板、PIテープ(ポリイミドテープ)のようなフレキシブルな基板などの積層により形成することができる。また、上記のランドと外部接続端子110との電氣的接続には、例えば、基板17、18、19(または基板17、18、または基板17のみ)を貫通してスルーホールを設け、スルーホールの内表面に導電体を設けて基板17の外部接続端子110の存在する面まで導電体を導きさらに配線パターンにより外部接続端子110まで接続することによりなすことができる。すなわち、この場合は、基板17、18、19は、積層により一体化されたあとスルーホールを形成するものである。

30

【0032】

さらには、上記のランドと外部接続端子110との電氣的接続のため、基板17、18、19をビルドアップ基板により構成することもできる。ビルドアップ基板とすることにより基板内の層間での電氣的接続の設計はより簡単になる。このため、半導体モジュール内でこのビルドアップ基板を介して半導体チップ11、13、15間の電氣的接続が容易になる。

40

【0033】

図2は、図1(c)に示した基板17、18、19の平面図を模式的に示すものである。同図において、すでに説明した要素には同一番号を付してあり、また基板17、18、19には、ランド21、22、23がそれぞれ設けられる。この図においてスルーホールおよびランド21、22、23からスルーホールに至る配線は省略してある。

【0034】

図3は、図1(b)に示した接合された半導体チップ11、13、15と図1(c)に示したこれに対応する基板17、18、19とを接続した半導体モジュールを模式的に示す

50

断面図である。図3において、すでに説明した要素には同一番号を付してある。

【0035】

このような半導体チップ11、13、15と基板17、18、19との接続には、各種のフリップチップ方式を採用することができる。たとえば、ランド21、22、23に金の突起電極を形成しておき、半導体チップ11、13、15の突起電極12、14、16をこのランドに接続するなどの方法である。

【0036】

このようにこの半導体モジュールは、パッケージに収められていない半導体チップ11、13、15の大きさの違いを利用して、これらを重ね合わせて機能面から基板への電氣的接続を行う。これにより、実装高さは半導体チップと基板の厚みに依存し、従来の積層チップより顕著に実装高さを減少することができる。

10

【0037】

なお、ここでは半導体チップが3つの場合について説明したが2以上の複数の場合について、同様の方法で半導体モジュールを実現できる。

【0038】

図4は、図3に示した半導体モジュールにおいて、半導体チップ11、13、15と基板17、18、19との間の空隙に充填樹脂49を設けたものであり、すでに説明した要素には同一番号を付してある。このような充填樹脂49により、放熱性、防湿性、防錆性等を向上することができる。

【0039】

また、充填樹脂49は、上記の空隙だけでなく、例えば、トランスファモールドを用いて半導体チップ11、13、15をすべて覆うようにすることもできる。なお、充填樹脂には、例えば、エポキシ系樹脂を用いることができる。

20

【0040】

次に、上記で説明した形態の変形された形態について図5を参照して説明する。同図は、上記とは異なる形態を模式的に示す図であり、すでに説明した要素には同一番号を付してある。

【0041】

同図(a)は、図1ないし図4で説明した基板17、18、19に代えて用いる基板41、42、43、44の平面図を示すものである。この図に示すようにこの実施形態においては、一体的に形成される基板17、18、19ではなく、ブロックに分離した基板41、42、43、および44を用いる。このようなブロックへの分離は、同一の小規模部品による生産歩留まりの向上、基板設計の融通性を期待できる。

30

【0042】

図5(b)は、このようなブロック分離された基板41、42、43、44に半導体チップ11、13、15を接続した半導体モジュールを模式的に示す断面図である。この形態においても、実装高さは半導体チップと基板の厚みに依存し、従来の積層チップより顕著に実装高さを減少することができる。また、ブロック同士の間、図示のように間隙を設けることもでき、この場合、基板41、42、43、44と半導体チップ11、13、15との接続取り付け仕様を厳しくする必要が生じないという利点がある。

40

【0043】

次に、本発明の一実施形態について図6を参照して説明する。同図は、本発明の一実施形態に係る半導体モジュールを模式的に示す断面図であり、すでに説明した要素には同一番号を付してある。

【0044】

この実施形態では、半導体チップ15と半導体チップ13とがボンディングワイヤ51により、電氣的接続される。このような電氣的接続は、半導体チップ15と半導体チップ13とを接合させたあと、半導体チップ15および半導体チップ13の機能面に存在するボンディングパッド(図示省略)をワイヤボンディング技術により結線することによりなすことができる。また、半導体チップ13と半導体チップ11との間においても、図示のよ

50

うに、同様にボンディングワイヤにより電氣的接続することができる。

【0045】

このような半導体チップ同士の直接の結線をすることにより、半導体モジュール内での電氣的接続がより簡単になるので、必要とする外部接続端子110を減少することができる。これは、特に半導体チップを多数重ね合わせた場合に顕著な効果となって現れる。すなわち、外部接続端子110の設置密度には、あるルールの下、制限がありその制限により数が限られるので、半導体チップを多数重ね合わせる場合のひとつの限界がそこに存在するからである。

【0046】

次に、上記で説明した実施形態と異なる実施の形態について図7を参照して説明する。同図は、本発明に係る半導体モジュールの上記とは異なる実施形態を模式的に示す断面図であり、すでに説明した要素には同一番号を付してある。

10

【0047】

この実施形態は、重ね合わされた半導体チップ13、15が接続された基板17、18、19とは反対の側である半導体チップ13の背面に、もうひとつの基板61を設けたものである。基板61には外部接続端子63が半導体チップ13とは反対の面に設けられている。なお、基板61としては、リジッドな基板、フレキシブルな基板、両者とも用いることができる。

【0048】

外部接続端子63は、基板61の下面に設けられた突起電極62およびボンディングパッド(図示省略)と電氣的に導通する。このような基板61の両面間の電氣的導通は、例えば、スルーホールの内表面に設けられた導電体により実現することができる。

20

【0049】

また、ボンディングパッドは、例えば半導体チップ13と基板61とを接合したあと半導体チップ13の機能面に設けられたボンディングパッドとボンディングワイヤにより電氣的接続されるものである。

【0050】

突起電極62は、基板17、18、19との電氣的接続に供されるものである。

【0051】

すなわち、基板61のボンディングパッドおよび突起電極62により、基板61と半導体チップ13および基板17、18、19との電氣的接続ができるようになっている。このような電氣的接続は、必要に応じその一方のみを用いることにしてもよい。

30

【0052】

以上説明した構造により、半導体モジュールの実装面との接続面ではなく反対の面にさらにデバイスを実装でき高密度化、高機能化を図ることができる。

【0053】

なお、図7においては半導体チップが2つ重ねられているものについて説明したが、半導体チップが3つ以上重ねられているものについても同様の考え方で実現することができる。

【0054】

図8は、図7で説明した半導体モジュールのもうひとつの基板61にデバイス71を接続、実装した場合を示す図である。デバイス71としては、半導体チップを有する半導体パッケージ(例えば、CSP(chip scale package)などの小型パッケージ)の他、受動素子を実装することもできる。

40

【0055】

なお、図8において、すでに説明した要素には同一番号を付してある。

【0056】

次に、上記で説明した実施形態と異なる実施の形態について図9を参照して説明する。同図は、本発明に係る半導体モジュールの上記とは異なる実施形態を模式的に示す断面図であり、すでに説明した要素には同一番号を付してある。

50

【0057】

この実施形態は、図1、および図3ないし図8における基板18に相当する部分が、他の基板17、19よりも平面方向に張り出した基板81に置き代わっているところに特徴がある。この張り出した部分には、外部接続端子82が設けられている。外部接続端子82は、張り出した部分の下面に設けることもできる。

【0058】

この外部接続端子82は、他の半導体モジュールやデバイスと接続するための端子として機能する。これによりさらに高機能化を図ることができる。

【0059】

この図における外部接続端子82は、最も単純な場合はこの半導体モジュール内の半導体チップ13の突起電極14と基板81の上面の配線パターンを用いて電氣的に接続される。この接続以外にも、例えばスルーホールを用いれば他の半導体チップ15の突起電極16や基板17に設けられた外部接続端子110、もうひとつの基板61の突起電極62と電氣的に接続することができる。これは、基板17、19、81をビルドアップ基板にすることによっても達成できる。

10

【0060】

なお、このような基板81の張り出しは、一方向のみならず複数の方向に設けてもよいし、また、別の基板(例えば基板19)を張り出すようにしてもよい。例えば、基板19を張り出し、その張り出した部位の下面に外部接続端子を設ければ、図9に示すような半導体モジュールと電氣的に接続することができる。

20

【0061】

【発明の効果】

以上詳述したように、本発明によれば、複数の半導体チップの大きさの違いを利用して、両者を重ね合わせて両者の機能面から、機能面上の突起電極に平面的・立体的に位置が符合するランドを有する基板への電氣的接続を行うので、実装高さは半導体チップと基板の厚みに依存し、従来の積層チップより顕著に実装高さを減少することができる。

【図面の簡単な説明】

【図1】 本発明の実施形態の前提となる半導体モジュールの模式的な構成を説明する断面図。

【図2】 図1(c)に示した基板17、18、19の平面的形状を模式的に示す図。

30

【図3】 図1(b)に示した接合された半導体チップ11、13、15と図1(c)に示したこれに対応する基板17、18、19とを接続した半導体モジュールを模式的に示す断面図。

【図4】 図3に示した半導体モジュールにおいて、半導体チップ11、13、15と基板17、18、19との間の空隙に充填樹脂49を設けた半導体モジュールを模式的に示す断面図。

【図5】 上記とは異なる形態を模式的に示す図。

【図6】 本発明の一実施形態に係る半導体モジュールを模式的に示す断面図。

【図7】 本発明に係る半導体モジュールの上記とは異なる実施形態を模式的に示す断面図。

40

【図8】 図7で説明した半導体モジュールのもうひとつの基板61にデバイス71を接続、実装した場合を示す図。

【図9】 本発明に係る半導体モジュールの上記とは異なる実施形態を模式的に示す断面図。

【図10】 MCMの外観の例を示す斜視図。

【図11】 積層モジュールの外観の例を示す正面図。

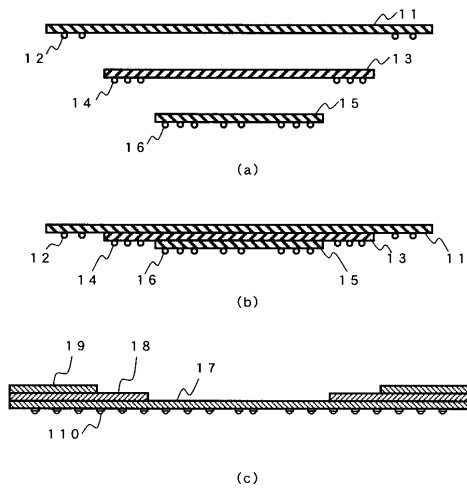
【符号の説明】

- | | |
|----------|--------|
| 11、13、15 | 半導体チップ |
| 12、14、16 | 突起電極 |
| 17、18、19 | 基板 |

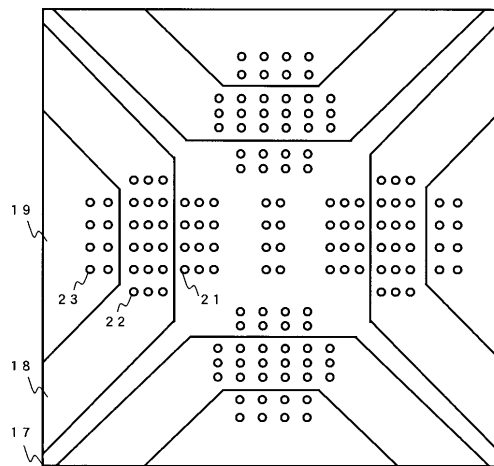
50

- 1 1 0 外部接続端子
- 2 1、2 2、2 3 ランド
- 4 1、4 2、4 3、4 4 基板
- 4 9 充填樹脂
- 5 1 ボンディングワイヤ
- 6 1 基板
- 6 2 突起電極
- 6 3 外部接続端子
- 7 1 デバイス
- 8 1 基板
- 8 2 外部接続端子

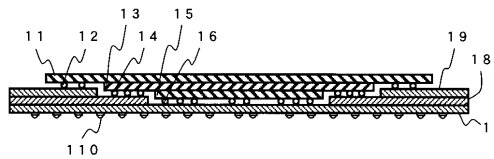
【図 1】



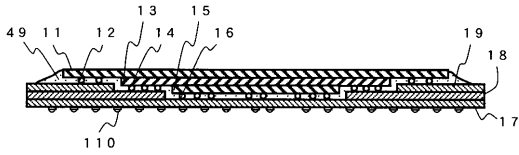
【図 2】



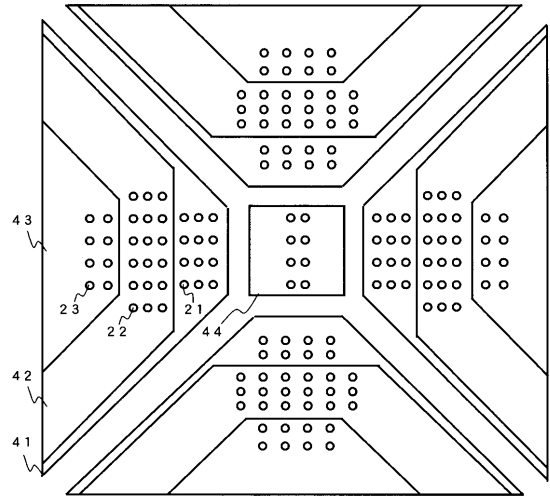
【図 3】



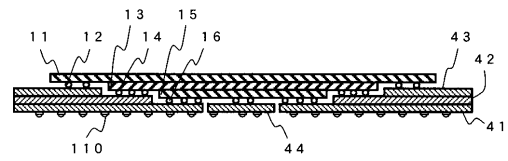
【図4】



【図5】

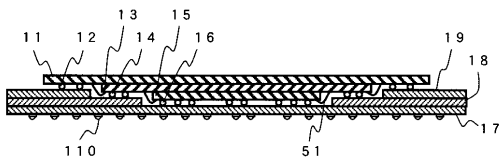


(a)

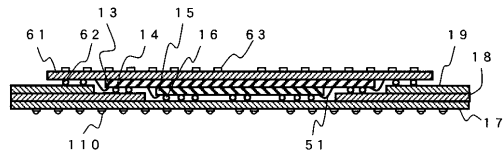


(b)

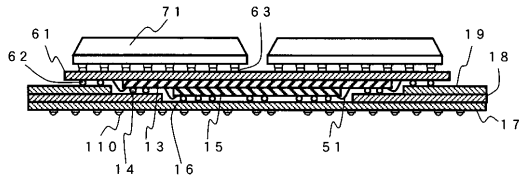
【図6】



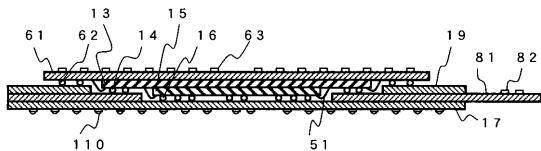
【図7】



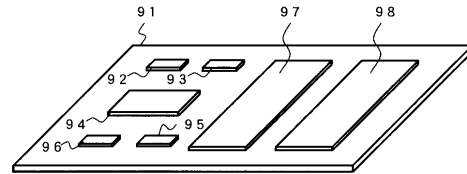
【図8】



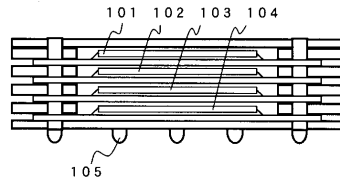
【図9】



【図10】



【図11】



フロントページの続き

- (56)参考文献 特開昭57-031166(JP,A)
特開平09-092780(JP,A)
特開平08-213425(JP,A)
特開昭58-068952(JP,A)
特開2000-174204(JP,A)
特開2001-085610(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 21/60
H01L 23/12
H01L 25/065
H01L 25/07
H01L 25/18