

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.
G09G 3/36 (2006.01)



[12] 发明专利说明书

专利号 ZL 200310122483.4

[45] 授权公告日 2006 年 8 月 30 日

[11] 授权公告号 CN 1272763C

[22] 申请日 2003.12.25

[21] 申请号 200310122483.4

[30] 优先权

[32] 2002.12.26 [33] JP [31] 377150/2002

[71] 专利权人 株式会社日立显示器

地址 日本千叶县

[72] 发明人 佐藤秀夫 西谷茂之 宫泽敏夫

审查员 孙玉梅

[74] 专利代理机构 北京市金杜律师事务所

代理人 季向冈

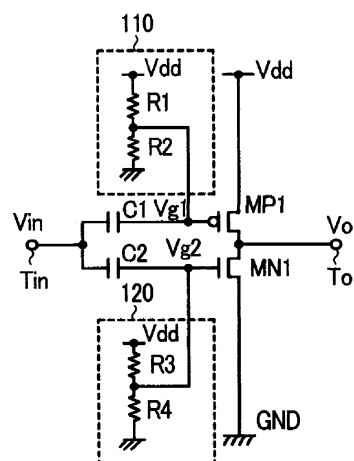
权利要求书 4 页 说明书 20 页 附图 10 页

[54] 发明名称

显示装置

[57] 摘要

提供一种可以将低振幅的输入信号取入内部的显示装置。电平变换电路具有：经第 1 电容元件在栅极电极上施加输入信号的第 1 导电型的第 1 晶体管；经第 2 电容元件在栅极电极上施加输入信号的第 2 导电型的第 2 晶体管；将第 1 偏置电压施加在上述第 1 晶体管的栅极电极上的第 1 偏置电路；以及将第 2 偏置电压施加在上述第 2 晶体管的栅极电极上的第 2 偏置电路。上述第 1 偏置电压是当加在上述第 1 晶体管的栅极电极上的电压为最大值时，上述第 1 晶体管成为截止的电压，上述第 2 偏置电压是当加在上述第 2 晶体管的栅极电极上的电压为最小值时，上述第 2 晶体管成为截止的电压。



1. 一种显示装置，具有包含形成在基板上的薄膜晶体管的电平变换电路，其特征在于：

5 上述电平变换电路将振幅在 1.2V 以下的非差动的输入信号变换成更大振幅的信号，

 上述输入信号是控制信号，

 上述电平变换电路具有：

 连接在提供有第 1 电压的第 1 电源线和输出端子之间，经第 1
10 电容元件在栅极电极上施加上述输入信号的第 1 导电型的第 1 晶体管；

 连接在上述输出端子和提供有第 2 电压的第 2 电源线之间，经第 2 电容元件在栅极电极上施加上述输入信号的第 2 导电型的第 2 晶体管；

15 将第 1 偏置电压施加在上述第 1 晶体管的栅极电极上的第 1 偏置电路；以及

 将第 2 偏置电压施加在上述第 2 晶体管的栅极电极上的第 2 偏置电路；

 上述第 1 偏置电压是当施加在上述第 1 晶体管的栅极电极上的电压为最大值时，使上述第 1 晶体管截止的电压，
20 压为最大值时，使上述第 1 晶体管截止的电压，

 上述第 2 偏置电压是当施加在上述第 2 晶体管的栅极电极上的电压为最小值时，使上述第 2 晶体管截止的电压。

2. 根据权利要求 1 所述的显示装置，其特征在于：

 上述输入信号是振幅小于上述薄膜晶体管的阈值电压的 2 倍的
25 信号。

3. 根据权利要求 2 所述的显示装置，其特征在于：

 上述输入信号是振幅在上述薄膜晶体管的阈值电压的 1.6 倍以下的信号。

4. 根据权利要求 2 所述的显示装置，其特征在于：

上述输入信号是振幅在上述薄膜晶体管的阈值电压以上、1.6 倍以下的信号。

5. 根据权利要求 1 至 4 的任意一项所述的显示装置，其特征在于：

- 5 上述第 1 偏置电压是施加在上述第 1 晶体管的栅极电极上的电压的最大值成为从上述第 1 电压减去上述第 1 晶体管的阈值电压后的电压值的电压，

 上述第 2 偏置电压是施加在上述第 2 晶体管的栅极电极上的电压的最小值成为在上述第 2 电压上加上上述第 2 晶体管的阈值电压后的电压值的电压。

10

6. 一种显示装置，具有将低振幅的控制信号变换成更大振幅的信号的第 1 电平变换电路，和将低振幅的显示数据变换成更大振幅的信号的第 2 电平变换电路，其特征在于：

 上述第 1 电平变换电路具有：

- 15 连接在提供有第 1 电压的第 1 电源线和输出端子之间，经第 1 电容元件在栅极电极上施加上述输入信号的第 1 导电型的第 1 晶体管；

 连接在上述输出端子和提供有第 2 电压的第 2 电源线之间，经第 2 电容元件在栅极电极上施加上述输入信号的第 2 导电型的第 2 晶体管；

20

 将第 1 偏置电压施加在上述第 1 晶体管的栅极电极上的第 1 偏置电路；以及

 将第 2 偏置电压施加在上述第 2 晶体管的栅极电极上的第 2 偏置电路；

- 25 上述第 1 偏置电压是当施加在上述第 1 晶体管的栅极电极上的电压为最大值时，上述第 1 晶体管成为截止的电压，

 上述第 2 偏置电压是当施加在上述第 2 晶体管的栅极电极上的电压为最小值时，上述第 2 晶体管成为截止的电压，

 上述第 2 电平变换电路具有：

- 对上述显示数据进行采样的采样保持电路；
在栅极电极上施加上述采样保持电路的输出电压的第3晶体管；
第1电极连接在上述第1电源线上的第1开关元件；
第2电极连接在上述第1开关元件的第2电极上，第1电极连接
5 在上述第3晶体管的第2电极上的第2开关元件；
与上述第2开关元件的第2电极连接的电压保持电路；
连接在上述第1电源线和上述第2电源线之间，输入上述电压保持电路的输出电压的反相器电路；以及
对上述第3晶体管的第1电极施加第3偏置电压的第3偏置电路；
10 上述第3偏置电压是当施加在上述第3晶体管的栅极电极上的电压为最小值时，上述第3晶体管成为截止的电压，
根据从上述第1电平变换电路输出的控制信号，驱动上述第2电平变换电路的上述第1开关元件和上述第2开关元件。
7. 根据权利要求6所述的显示装置，其特征在于：
15 上述第1偏置电压是施加在上述第1晶体管的栅极电极上的电压的最大值成为从上述第1电压减去上述第1晶体管的阈值电压后的电压值的电压，
上述第2偏置电压是施加在上述第2晶体管的栅极电极上的电压的最小值成为在上述第2电压上加上上述第2晶体管的阈值电压后
20 的电压值的电压，
上述第3偏置电压是从上述第2电压减去上述第3晶体管的阈值电压后的电压。
8. 根据权利要求6或权利要求7所述的显示装置，其特征在于：
上述第1电平变换电路和上述第2电平变换电路包含形成在基板
25 上的薄膜晶体管。
9. 一种显示装置，具有将低振幅的输入信号变换成更大振幅的信号的电平变换电路，其特征在于：
上述电平变换电路具有：
连接在提供有第1电压的第1电源线和输出端子之间，经第1

电容元件在栅极电极上施加上述输入信号的第1导电型的第1晶体管；

连接在上述输出端子和提供有第2电压的第2电源线之间，经第2电容元件在栅极电极上施加上述输入信号的第2导电型的第2晶体管；

将第1偏置电压施加在上述第1晶体管的栅极电极上的第1偏置电路；以及

将第2偏置电压施加在上述第2晶体管的栅极电极上的第2偏置电路；

10 上述第1偏置电压是当施加在上述第1晶体管的栅极电极上的电压为最大值时，上述第1晶体管成为截止的电压，

上述第2偏置电压是当施加在上述第2晶体管的栅极电极上的电压为最小值时，上述第2晶体管成为截止的电压。

10.根据权利要求9所述的显示装置，其特征在于：

15 上述第1偏置电压是施加在上述第1晶体管的栅极电极上的电压的最大值成为从上述第1电压减去上述第1晶体管的阈值电压后的电压值的电压，

上述第2偏置电压是施加在上述第2晶体管的栅极电极上的电压的最小值成为在上述第2电压上加上上述第2晶体管的阈值电压后的电压值的电压。

20 11.根据权利要求9或权利要求10所述的显示装置，其特征在于：上述电平变换电路包含形成在基板上的薄膜晶体管。

显示装置

5 技术领域

本发明涉及显示装置,特别是涉及具有变换从外部输入的低振幅的输入信号(例如,控制信号、显示数据)的电压电平的电平变换电路的显示装置。

10 背景技术

TFT(Thin Film Transistor)方式的液晶显示模块正作为笔记本型个人计算机等的显示装置而广泛使用着。

用该液晶显示模块,基于从外部(例如主体侧的计算机)输入的输入信号(例如显示数据、控制信号)显示图像。在这种情况下,
15 一般是在液晶显示模块的输入部分具有将输入信号变换成更大振幅的信号的电平变换电路。

作为该电平变换电路,可知有电容耦合型电平变换电路(参照专利文献1)或直接耦合型电平变换电路(参照非专利文献1)。

此外,作为与本发明有关的已有技术文献信息,如下所示。

20 [专利文献1]

日本特开 2002-251174 号公报

[非专利文献1]

SID 02 DIGEST pp.690-693

但是,在已往技术中,作为输入到作为外围电路而内置于基板上的、使用了薄膜晶体管的电平变换电路的非差动的输入信号,使用
25 比薄膜晶体管的阈值电压(一般为 0.7V 左右)足够大的约 3V 振幅的信号,没有考虑输入信号的振幅更低的情况。

在上述专利文献1所记载的电容耦合型电平变换电路中,从专利文献1的段落编号[0038]~[0059]、以及专利文献1的图1的记载可

以明确：作为非差动的输入信号 VIN，必须是振幅高于薄膜晶体管的阈值电压的 2 倍的信号，振幅小于阈值电压的 2 倍的输入信号不能进行电平变换。

5 进而，在电容耦合型电平变换电路中，存在如下问题：当输入信号的占空比发生变化时，必须进行初始化，所以无法进行显示数据那样的占空比变动剧烈的信号的电平变换。

另外，在上述非专利文献 1 所记载的直接耦合型电平变换电路中，从非专利文献 1 的图 2 所示的电路结构可以明确：因为有构成 V/I 变换电路的薄膜晶体管的源极与基准电位 (GND) 相连接的放大
10 电路，所以如果输入信号的振幅是非专利文献 1 中假定的 3V 振幅的输入信号，则没有问题，但如果振幅比 3V 低，则不能以足够的响应速度进行电平变换。另外，当输入信号的振幅处于阈值电压以下时，不能进行电平变换。

所以，在专利文献 1 和非专利文献 1 等的以往的电平变换电路中，使用非差动的输入信号时，如果考虑到由于薄膜晶体管制造上的不规则而引起的阈值电压变动或实用性的响应速度，则不能使用
15 低振幅（例如 1.2V 以下）的输入信号。

发明内容

20 本发明是在以上那样的背景下完成的，本发明的优点在于能够提供一种可以对低振幅的输入信号进行电平变换的显示装置。

在申请所公开的发明中，如果简单说明有代表性的部分的概要，则如下所述。

在本发明中，对占空比的变动较少的控制信号（例如，时钟信号、
25 水平同步信号、垂直同步信号、采样信号等中的至少一个以上）的电平变换使用电容耦合型电平变换电路。

本发明的电容耦合型电平变换电路在以下点上与上述专利文献 1 中记载的电路结构不同：具有在第 1 晶体管的栅极电极上施加偏置电压的第 1 偏置电路，和在第 2 晶体管的栅极电极上施加偏置电压

的第2偏置电路。

在本发明中,第1偏置电路当施加在第1晶体管的栅极电极上的电压为最大值时,对第1晶体管的栅极电极施加第1晶体管成为截止的电压(例如,施加在第1晶体管的栅极电极上的电压最大值成为从第1电压(V_{dd})减去第1晶体管的阈值后的电压值的电压)。

另外,第2偏置电路当施加在第2晶体管的栅极电极上的电压为最小值时,对第2晶体管的栅极电极施加第2晶体管成为截止的电压(例如,施加在第2晶体管的栅极电极上的电压最小值成为在第2电压(GND)上加上第2晶体管的阈值后的电压值的电压)。

即,在本发明中,用第1、第2偏置电路,使第1晶体管和第2晶体管的栅极电压偏置成与阈值几乎相等的电压,当输入信号的电压成为High电平(以下简单地称为H电平)或者Low电平(以下简单地称为L电平)时,在某一个晶体管的栅极电压上加上将阈值电压和输入信号的电压振幅相加后的电压,所以,即使输入信号的振幅为低振幅时也能够以足够的速度进行电平变换。

另外,在本发明中,对占空比变动激烈的显示数据的电平变换使用采样&电平变换的直接耦合型电平变换电路。

该直接耦合型电平变换电路在以下点上与上述非专利文献1中记载的电路结构不同:具有对构成V/I变换电路的源极接地的晶体管的第2电极(源极电极)施加偏置电压的偏置电路。

本发明的偏置电路,当施加在晶体管的栅极电极上的电压为最小值时,在晶体管的第2电极上施加上述晶体管成为截止的电压(例如,从第2电压(GND)减去晶体管的阈值电压后的电压)。

据此,可以提高晶体管的导通/截止的电流比,从而,即使输入信号的振幅为低振幅,也能够以足够的响应速度进行电平变换。

本发明的上述优点和其他优点,以及新的特征可以通过本说明书的记述和附图得到明确。

附图说明

图 1 是表示本发明的实施形式的显示装置的概略结构的框图。

图 2 是表示图 1 所示的电容耦合型电平变换电路的一例的电路结构的电路图。

图 3 是表示图 2 所示的电容耦合型电平变换电路的工作波形的图。

图 4 是表示图 1 所示的电容耦合型电平变换电路的其它例子的电路结构的电路图。

图 5 是表示图 4 所示的电容耦合型电平变换电路的工作波形的图。

图 6 是表示图 1 所示的电容耦合型电平变换电路的其它例子的电路结构的电路图。

图 7 是表示图 6 所示的电容耦合型电平变换电路的工作波形的图。

图 8 是表示图 1 所示的电容耦合型电平变换电路的其它例子的电路结构的电路图。

图 9 是表示在图 8 所示的电容耦合型电平变换电路中,接通电源时的栅极电压 (V_{g1}) 和栅极电压 (V_{g2}) 的电压响应的图。

图 10 是表示图 1 所示的电容耦合型电平变换电路的其它例子的电路结构的电路图。

图 11 是表示图 1 所示的电容耦合型电平变换电路的其它例子的电路结构的电路图。

图 12 是表示图 1 所示的采样保持电路和直接耦合型电平变换电路的一例的电路结构的电路图。

图 13 是表示图 12 所示的各部分的电压波形的图。

图 14 是表示图 12 所示的偏置电路的其它例子的电路结构的电路图。

图 15 是表示图 12 所示的偏置电路的其它例子的电路结构的电路图。

图 16 是表示图 12 所示的偏置电路的其它例子的电路结构的电路

图。

图 17 是表示使用了本实施形式的电容耦合型电平变换电路、采样保持电路和直接耦合型电平变换电路的显示数据输入电路的电路结构的框图。

5 图 18 是表示图 17 所示的一部分信号的时序的图。

具体实施方式

下面，参照附图详细说明本发明的实施形式。

此外，在用于说明实施形式的所有图中，对具有相同功能的部分
10 标注相同的标号，并省略对它们的重复说明。

图 1 是表示本发明的实施形式的显示装置的概略结构的框图。

本实施形式的显示装置是使用了低温多晶硅 TFT（薄膜晶体管）的液晶显示装置（以下称为 TFT-LCD），例如，由在玻璃或塑料等的绝缘基板上形成了薄膜晶体管的低温多晶硅基板（以下称为 LTPS
15 基板）10、主体侧计算机内部的系统 LSI（20）和电源电路 30 构成。

在 LTPS 基板 10 上，形成有电容耦合型电平变换电路 100、采样保持电路 200、直接耦合型电平变换电路 300、串行并行变换电路 400、定时控制电路 500、漏极线驱动电路 600、栅极线驱动电路 700 和显示单元 800。

20 形成于该 LTPS 基板 10 上的这些电路的晶体管采用 TFT。

另外，显示单元 800 中具有 TFT，形成有配置成矩阵状的多个像素、为各像素提供映像信号电压的漏极信号线、为各像素提供扫描信号电压的栅极信号线等，但这些结构是公知的，所以省略其图示。

形成于 LTPS 基板 10 上的这些电路中，除显示单元 800 之外的
25 电路都称为外围电路。

此外，在图 1 中，clk 表示时钟信号，hs 表示水平同步信号，vs 表示垂直同步信号，spl 表示采样信号，Din 表示显示数据。

在本实施形式中，对于例如时钟信号（clk）、水平同步信号（hs）、垂直同步信号（vs）、采样信号（spl）等的控制信号，使用电容耦

合型电平变换电路 100, 对于显示数据 (Din), 使用直接耦合型电平变换电路。

5 作为控制信号之一, 也可以使用无图示的显示定时信号 (DTMG)。使用哪一个信号作为控制信号要根据需要进行适当选择。

因为控制信号的占空比大致一定、无变化, 所以即便在电容耦合型电平变换电路 100 中, 偏置点的变动也较小, 可以使变换后的信号的抖动变小。

10 通过电容耦合型电平变换电路 100 将输入的低振幅的控制信号电平变换成更大振幅的信号, 输入给定时控制电路 500。

在定时控制电路 500 中, 根据这些信号来控制采样保持电路 200、直接耦合型电平变换电路 300、漏极线驱动电路 600、栅极线驱动电路 700。

15 对于显示数据 (Din), 首先由采样保持电路 200 和直接耦合型电平变换电路 300 对显示数据进行采样保持后, 进行电平变换。

这里, 在串行并行变换电路 400 中并列配置多个采样保持电路 200 和直接耦合型电平变换电路, 由各个并列配置的采样保持电路 200 错开定时地对串行输入的显示数据进行采样, 由分别与其对应的直接耦合型电平变换电路 300 进行电平变换。

20 据此, 能够确保各电平变换电路中的处理时间够长, 所以可以适应于更高速的显示数据的输入。结果, 能够减少显示数据的输入端子数, 能够实现高可靠性的显示装置。

另外, 采样保持电路 200 所需的采样脉冲和直接耦合型电平变换电路 300 的控制所需的信号由定时控制电路 500 提供。

25 这样一来, 能够分别由可以进行高速工作的电容耦合型电平变换电路 100 来对控制信号进行电平变换, 利用由此得到的信号, 由直接耦合型电平变换电路 300 对显示数据进行电平变换。

进而, 能够使系统 LSI (20) 的电压、控制信号、显示数据处于低电压, 因而能够减少显示装置的电力消耗。

图2是表示图1所示的电容耦合型电平变换电路100的一例的电路结构的电路图。

图2所示的电容耦合型电平变换电路由P型MOS晶体管(以下简单地称为PMOS)(MP1)、N型MOS晶体管(以下简单地称为NMOS)(MN1)、电容元件(C1、C2)、第1偏置电路110和第2偏置电路120构成。

PMOS(MP1)的源极电极(以下简单地称为源极)和漏极电极(以下简单地称为漏极)分别与提供电源电压(Vdd)的电源线和输出端子(To)连接,栅极电极(以下简单地称为栅极)与第1偏置电路110和电容端子(C1)连接。

NMOS(MN1)的源极和漏极分别与提供接地电压(GND)的接地线和输出端子(To)连接,栅极与第2偏置电路120和电容元件(C2)连接。

电容元件(C1、C2)的另一端与输入端子(Tin)连接。

第1偏置电路110和第2偏置电路120都由电阻分压电路构成,分别由电阻元件(R1、R2)和电阻元件(R3、R4)构成。

图3是表示图2所示的电容耦合型电平变换电路的工作波形的图,表示PMOS(MP1)和NMOS(MN1)的各栅极电压(Vg1、Vg2)、输入电压(Vin)和输出电压(Vo)的电压波形。

此外,在图3和后述的图5、图7、图9中,T表示时间,V表示电压。

栅极电压(Vg1)和栅极电压(Vg2)与输入电压(Vin)同相,它们的中心电压为由各自的电阻对电源电压(Vdd)分压而得到的电压。

第1偏置电路110设定偏置电压,使得施加在PMOS(MP1)的栅极上的电压(Vg1)的最大值为从电源电压(Vdd)减去PMOS(MP1)的阈值电压(Vthp)后得到的电压(Vdd-Vthp)。

通过该设定,栅极电压(Vg1)成为与晶体管(MP1)的阈值电压(Vthp)相当的电压,和只降低输入电压(Vin)的振幅大小的电

压, 所以根据这些电压, PMOS (MP1) 导通/截止。

同样, 第2偏置电路 120 设定偏置电压, 使得施加在 NMOS (MN1) 的栅极上的电压 (V_{g2}) 的最小值为在接地电压 (GND) 上加上 NMOS (MN1) 的阈值电压 (V_{thn}) 后得到的电压 ($GND + V_{thn} = V_{thn}$)。

5 通过该设定, 栅极电压 (V_{g2}) 成为与晶体管 (MN1) 的阈值电压 (V_{thn}) 相当的电压, 和只高出输入电压 (V_{in}) 的振幅大小的电压, 所以根据这些电压, NMOS (MN1) 导通/截止。

这里, 因为 PMOS (MP1) 和 NMOS (MN1) 互补地进行工作, 所以输出电压 (V_o) 相对输入电压 (V_{in}) 是反相的, 能够使它的振
10 幅与电源电压 (V_{dd}) 大致相等。

在图 2 所示的电容耦合型电平变换电路中, 如图 3 所示, 在栅极电压 (V_{g1} 、 V_{g2}) 的波形中产生称为下倾 (sag) 的波形畸变。

该波形畸变与耦合用的电容元件 ($C1$ 、 $C2$) 分别和第 1、第 2 偏置电路 (110、120) 的输出电阻的乘积 (时间常数) 有关, 如果
15 时间常数大则波形畸变小, 如果时间常数小则波形畸变大。因此, 使时间常数增大能够减少波形畸变。

可是, 如果增大时间常数, 则栅极电压 (V_{g1} 、 V_{g2}) 达到稳定的时间变长。这在接通电源时等就会成为问题。

图 4 是表示图 1 所示的电容耦合型电平变换电路 100 的其它例子的
20 电路结构的电路图。

图 4 所示的电容耦合型电平变换电路在以下点上与图 2 所示的电容耦合型电平变换电路 100 不同: 将二极管连接的 PMOS (MP2) 与第 1 偏置电路 110 连接, 另外, 将二极管连接的 NMOS (MN2) 与第 2 偏置电路 120 连接。

25 图 5 是表示图 4 所示的电容耦合型电平变换电路的工作波形的图, 表示 PMOS (MP1) 和 NMOS (MN1) 的各栅极电压 (V_{g1} 、 V_{g2})、以及输入电压 (V_{in}) 和输出电压 (V_o) 的电压波形。

通过二极管连接的 PMOS (MP2), 将加在 PMOS (MP1) 的栅极上的电压最大值控制在比用电阻元件 ($R1$) 和电阻元件 ($R2$) 分

压得到的电压只高出 PMOS (MP2) 的阈值电压 (V_{thp}) 大小的电压上, 最小值成为比该最大值只低输入电压 (V_{in}) 的振幅大小的电压。

因为各 PMOS 的阈值电压几乎相同, 所以通过将由电阻元件 ($R1$) 和电阻元件 ($R2$) 分压得到的电压设定在比电源电压 (V_{dd}) 只低 PMOS (MP2) 的阈值电压 (V_{thp}) 的 2 倍大小的电压上, 从而能够将加在 PMOS (MP1) 的栅极上的电压 (V_{g1}) 的最大值, 设定为从电源电压 (V_{dd}) 减去 PMOS (MP1) 的阈值电压 (V_{thp}) 后的电压 ($V_{dd}-V_{thp}$)。

另一方面, 通过二极管连接的 NMOS (MN2), 将加在 NMOS (MN1) 的栅极上的电压最小值控制在比由电阻元件 ($R3$) 和电阻元件 ($R4$) 分压得到的电压只低 NMOS (MN2) 的阈值电压 (V_{thn}) 大小的电压上, 最大值成为比该最小值只高出输入电压 (V_{in}) 的振幅大小的电压。

因为各 NMOS 的阈值电压几乎相同, 所以通过将由电阻元件 ($R3$) 和电阻元件 ($R4$) 分压得到的电压设定在 NMOS (MN2) 的阈值电压 (V_{thn}) 的 2 倍大小的电压上, 从而能够将加在 NMOS (MN1) 的栅极上的电压 (V_{g2}) 的最小值, 设定为比接地电压 (GND) 只高出 NMOS (MN2) 的阈值电压 (V_{thn}) 大小的电压 (V_{thn})。

结果, 栅极电压 (V_{g1}) 和栅极电压 (V_{g2}), 可以与图 2 所示的电容耦合型电平变换电路一样, 将输入电压 (V_{in}) 的振幅变换成电源电压 (V_{dd}) 和接地电压 (GND) 之差的振幅。

进而, 在图 4 所示的电容耦合型电平变换电路 100 中, 通过二极管连接的 MOS 晶体管 (MP2, MN2), 将使栅极电压 (V_{g1}) 的最大值和栅极电压 (V_{g2}) 的最小值偏置成恒定的电压。

因此, 在栅极电压 (V_{g1} , V_{g2}) 中, 不发生图 3 所示的那种波形畸变, 所以, 用图 4 所示的电容耦合型电平变换电路, 能够实现高速、抖动少的电平变换电路。

图 6 是表示图 1 所示的电容耦合型电平变换电路 100 的其它例子的电路结构的电路图。

图 6 所示的电容耦合型电平变换电路,其第 1 偏置电路 110 和第 2 偏置电路 120 的电路结构与图 4 所示的电容耦合型电平变换电路不同。

图 7 是表示图 6 所示的电容耦合型电平变换电路的工作波形的图,表示 PMOS (MP1) 和 NMOS (MN1) 的各栅极电压 (V_{g1} 、 V_{g2})、输入电压 (V_{in}) 和输出电压 (V_o) 的电压波形。

在图 6 所示的电容耦合型电平变换电路中,第 1 偏置电路 110 由二极管连接的 3 个 PMOS (MP2, MP3, MP4) 和电阻元件 (R5) 构成。

将 PMOS (MP3)、PMOS (MP4) 和电阻元件 (R5) 串联连接在电源电压 (V_{dd}) 与接地电压 (GND) 之间,将 PMOS (MP2) 连接在 PMOS (MP4) 的漏极与 PMOS (MP1) 的栅极之间。

通过该电路结构,加在 PMOS (MP2) 上的电压成为 $V_{dd}-(V_{thp3}+V_{thp4})$ 。

结果,加在 PMOS (MP1) 的栅极上的栅极电压 (V_{g1}) 的最大值 (V_{g1max}) 如下式 (1) 所示。

$$V_{g1max}=V_{dd}-(V_{thp3}+V_{thp4})+V_{thp2} \quad (1)$$

这里,因为各 PMOS 的阈值电压几乎相同,所以将栅极电压 (V_{g1}) 的最大值 (V_{g1max}) 设定为 ($V_{dd}-V_{thp}$)。

同样,第 2 偏置电路 120 由二极管连接的 3 个 NMOS (MN2, MN3, MN4) 和电阻元件 (R6) 构成。

将 NMOS (MN3)、NMOS (MN4) 和电阻元件 (R6) 串联连接在电源电压 (V_{dd}) 与接地电压 (GND) 之间,将 NMOS (MN2) 连接在 NMOS (MN3) 的漏极与 NMOS (MN1) 的栅极之间。

通过该电路结构,加在 NMOS (MN2) 上的电压成为 ($V_{thn3}+V_{thn4}$)。

结果,加在 NMOS (MN1) 的栅极上的栅极电压 (V_{g2}) 的最小值 (V_{g2min}) 如下式 (2) 所示。

$$V_{g2min}=(V_{thn3}+V_{thn4})-V_{thn2} \quad (2)$$

这里，因为各 NMOS 的阈值电压几乎相同，所以将栅极电压 (V_{g2}) 的最小值 (V_{g2min}) 控制在 V_{thn} 。

这样，用图 6 所示的电容耦合型电平变换电路，也能够与图 4 所示的电容耦合型电平变换电路同样地设定栅极电压 (V_{g1}) 的最大值和栅极电压 (V_{g2}) 的最小值，所以在图 6 所示的电容耦合型电平变换电路中，也能够实现高速、抖动少的电平变换电路。

进而，在图 6 所示的电容耦合型电平变换电路中，栅极电压 (V_{g1}) 的最大值和栅极电压 (V_{g2}) 的最小值不依赖于电阻元件 ($R5$, $R6$)，所以能够不需要 MOS 晶体管的阈值电压 (V_{th}) 发生变动时的调整。

图 8 是表示图 1 所示的电容耦合型电平变换电路 100 的其它例子的电路结构的电路图。

图 8 所示的电容耦合型电平变换电路在以下点上与图 6 所示的电容耦合型电平变换电路不同：取代第 1 偏置电路 110 的 PMOS ($MP2$)，而使用 PMOS ($MP5$) 和电阻元件 ($R7$)，取代第 2 偏置电路 120 的 NMOS ($MN2$)，而使用 NMOS ($MN5$) 和电阻元件 ($R8$)。

这里，将 PMOS ($MP5$) 的栅极与 PMOS ($MP4$) 的漏极连接，用 PMOS ($MP5$) 和电阻元件 ($R7$) 构成源极跟踪器电路。

当 PMOS ($MP5$) 正偏时，PMOS ($MP5$) 的栅极·漏极间电压成为 V_{thp5} ，当反偏置时，PMOS ($MP5$) 成为截止状态。

结果，栅极电压 (V_{g1}) 的最大值 (V_{g1max}) 如下式 (3) 所示。

$$V_{g1max} = V_{dd} - (V_{thp3} + V_{thp4}) + V_{thp5} \quad (3)$$

这里，因为各 PMOS 的阈值电压几乎相同，所以将栅极电压 (V_{g1}) 的最大值 (V_{g1max}) 设定为 ($V_{dd} - V_{thp}$)。

同样，NMOS ($MN5$) 的栅极与 NMOS ($MN3$) 的漏极相连接，用 NMOS ($MN5$) 和电阻元件 ($R8$) 构成源极跟踪器电路。

当 NMOS ($MN5$) 正偏时，NMOS ($MN5$) 的栅极·源极间电压成为 V_{thn5} ，反偏时，NMOS ($MN5$) 成为截止状态。

结果，栅极电压 (V_{g2}) 的最小值栅极电压 (V_{g2min}) 如下式 (4) 所示。

$$V_{g2min}=(V_{thn3}+V_{thn4})-V_{thn5} \quad (4)$$

这里，因为各 NMOS 的阈值电压几乎相同，所以将栅极电压 (V_{g2}) 的最小值 (V_{g2min}) 控制为 V_{thn} 。

这样，用图 8 所示的电容耦合型电平变换电路，也能与图 6 所示的电容耦合型电平变换电路同样地设定栅极电压 (V_{g1}) 的最大值和栅极电压 (V_{g2}) 的最小值，所以在图 8 所示的电容耦合型电平变换电路中，也能够取得与图 6 所示的电容耦合型电平变换电路相同的效果。

图 9 是表示在图 8 所示的电容耦合型电平变换电路中，接通电源时的栅极电压 (V_{g1}) 和栅极电压 (V_{g2}) 的电压响应的图。

如果将电容元件 ($C1$, $C2$) 的端子间电压的初始值设为 0V，则 PMOS ($MP5$) 成为截止状态，NMOS ($MN5$) 成为导通状态。

因此，栅极电压 (V_{g1}) 的响应时间常数用电阻元件 ($R7$) 和电容元件 ($C1$) 的乘积表示，栅极电压 (V_{g2}) 的响应时间常数用 NMOS ($MN5$) 的动态电阻 (R_{MN5}) 和电容元件 ($C2$) 的乘积表示。

栅极电压 (V_{g1}) 的响应慢，栅极电压 (V_{g2}) 的响应快，但是可以通过减小电阻元件 ($R7$) 来缩短接通电源时的响应时间。

图 10 是表示图 1 所示的电容耦合型电平变换电路 100 的其它例子的电路结构的电路图。

图 10 所示的电容耦合型电平变换电路在以下点上与图 8 所示的电容耦合型电平变换电路 100 不同：取代图 8 所示的第 1 偏置电路 110 的电阻元件 ($R7$) 而使用 PMOS ($MP6$)，取代图 8 所示的第 2 偏置电路 120 的电阻元件 ($R8$) 而使用 NMOS ($MN6$)。

PMOS ($MP6$) 和 PMOS ($MP3$) 构成电流反射镜电路，用恒定电流对 PMOS ($MP5$) 进行偏置，同样，NMOS ($MN6$) 和 NMOS ($MN4$) 构成电流反射镜电路，用恒定电流对 NMOS ($MN5$) 进行偏置。

因为在图 10 所示的电容耦合型电平变换电路中，也能够与图 8 所示的电容耦合型电平变换电路同样地设定栅极电压 (V_{g1}) 的最大

值和栅极电压 (V_{g2}) 的最小值, 所以用图 10 所示的电容耦合型电平变换电路, 也能够取得与图 8 所示的电容耦合型电平变换电路 100 相同的效果。

图 11 是表示图 1 所示的电容耦合型电平变换电路 100 的其它例子的电路结构的电路图。

图 11 所示的电容耦合型电平变换电路在以下点上与图 10 所示的电容耦合型电平变换电路不同: 在第 1 偏置电路 110 中添加 PMOS (MP7), 在第 2 偏置电路 120 中添加 NMOS (MN7)。

在图 11 所示的电容耦合型电平变换电路中, 对 PMOS (MP7) 的栅极施加 V_{ctp} 的控制信号, 另外, 对 NMOS (MN7) 的栅极施加 V_{ctn} 的控制信号, 通过这些控制信号 (V_{ctp} 、 V_{ctn}), 当接通电源时, PMOS (MP7) 和 NMOS (MN7) 成为导通状态, 其他时候, PMOS (MP7) 和 NMOS (MN7) 成为截止状态。

结果, 能够加快接通电源时的栅极电压 (V_{g1} 、 V_{g2}) 的响应, 并且能够防止接通电源后栅极电压 (V_{g1} 、 V_{g2}) 的波形畸变, 所以能够实现加快接通电源时的响应、抖动少的电平变换电路。

图 12 是表示图 1 所示的采样保持电路 200 和直接耦合型电平变换电路 300 的一例的电路结构的电路图。

采样保持电路 210 由 NMOS (MN11) 和电容元件 (C11) 构成。NMOS (MN11) 的漏极与接点 (Va) 连接, 并且对源极施加显示数据 (Din), 对栅极施加采样脉冲 (SPL)。

电容元件 (C11) 连接在接点 (Va) 与接地电位 (GND) 之间。

直接耦合型电平变换电路 280 由 V/I 变换电路 220、第 2 开关元件 230、第 1 开关元件 240、电压保持电路 250、第 3 偏置电路 260、和反相器 270 构成。

V/I 变换电路 220 由 NMOS (MN12) 构成, NMOS (MN12) 的栅极与接点 (Va) 连接, 源极与第 3 偏置电路 260 连接, 漏极与第 2 开关元件 230 连接。

第 2 开关元件 230 由 NMOS (MN13) 构成, NMOS (MN13) 的

源极与 V/I 变换电路 220 连接，漏极与接点 (Vb) 连接，并且对栅极施加信号 (CK2)。

第 1 开关元件由 PMOS (MP11) 构成，PMOS (MP11) 的漏极与接点 (Vb) 连接，并且对源极施加电源电压 (Vdd)，对栅极施加信号 (CK1)。

电压保持电路 250 由连接在接点 (Vb) 与接地电压 (GND) 之间的电容元件 (C12) 构成。

第 3 偏置电路 260 由电阻元件 (R11) 和电阻元件 (R12) 构成，NMOS (MN12) 的源极连接在电阻元件 (R11) 和电阻元件 (R12) 的连接点 (分压点) 上。

反相器 270 由 PMOS (MP12) 和 NMOS (MN14) 构成，输入接点 (Vb) 的电压，将输出电压 (Vc) 输入给 D 型触发器 (FF)。

图 13 是表示图 12 所示的各部分的电压波形的图。

Din 是低振幅的显示数据，其周期为 Tck。SPL 是采样脉冲，其周期为 $4 \times Tck$ 。

采样保持电路 210 当采样脉冲 (SPL) 为 H 电平时，对显示数据 (Din) 进行采样，在采样脉冲 (SPL) 下降沿的时刻保持显示数据 (Din)。

信号 (CK1) 是第 1 开关元件 240 的控制信号，信号 (CK2) 是第 2 开关元件 230 的控制信号。

当信号 (CK1) 成为 L 电平时，PMOS (MP11) 导通，对电容元件 (C12) 进行充电，接点 (Vb) 的电压成为 Vdd。

然后，信号 (CK1) 和信号 (CK2) 都成为 H 电平时，PMOS (MP11) 截止，NMOS (MN13) 导通。

这里，因为接点 (Va) 成为 L 电平时，NMOS (MN12) 截止，在 NMOS (MP12) 中有截止电流流过，所以接点 (Vb) 的电压值成为比 Vdd 只低 ΔVb 的电压。

另一方面，因为接点 (Va) 成为 H 电平时，NMOS (MN12) 导通，在 NMOS (MN12) 中有导通电流流过，所以接点 (Vb) 的电压

值经过 THL 期间后成为 GND。

由反相器 270 对接点 (Vb) 的电压进行波形整形, 成为输出电压 (Vc)。

如以上说明的那样, 用图 12 所示的电路, 能够将低振幅的显示
5 数据 (Din) 变换成振幅为 Vdd 的信号 (Vc)。

接点 (Va) 成为 L 电平时的接点 (Vb) 的电压变化 ΔVb 由下式
(5) 表示。

$$\Delta Vb = I_{off}(MN12) \times 2T_{ck}/C12 \quad (5)$$

另一方面, 当接点 (Va) 成为 H 电平时, 接点 (Vb) 到达 GND
10 的时间 THL 由下式 (6) 表示。

$$THL = C12 \times Vdd/I_{on}(MN12) \quad (6)$$

优选的是 ΔVb 、THL 都较小, 所以设定 NMOS (MN12) 的工作点, 使得截止电流 $I_{off}(MN12)$ 较小, 导通电流 $I_{on}(MN12)$ 较大。

15 因此, 当 NMOS (MN12) 的栅极电压为最小值时, 将第 3 偏置电路 260 的输出电压设定为 $(-V_{thn})$, 使得栅极·源极间电压成为阈值电压。

据此, 从 NMOS (MN12) 的源极来看, 栅极电压成为与晶体管
(MN12) 的阈值 (V_{thn}) 相当的电压, 和只高出显示数据 (Din)
20 振幅大小的电压, 所以根据这些电压, NMOS (MN12) 导通/截止。

结果, 能够在抑制 NMOS (MN12) 的截止电流的状态下使导通电流增大。

图 14 是表示图 12 所示的偏置电路 260 的其它例子的电路结构的电路图。

25 图 14 所示的偏置电路由 MOS 晶体管 NMOS (MN15) 和电阻元件 (R13) 构成。

NMOS (MN15) 的源极与电阻元件 (R13) 连接, 并且对栅极施加接地电压 (GND), 对漏极施加电源电压 (Vdd)。

NMOS (MN15) 作为源极跟踪器进行工作, 作为输出的源极电

压成为 ($-V_{thn}$)。

在图 14 所示的偏置电路中,通过电阻元件 (R_{13}) 来限制 NMOS (MN_{12}) 导通时的电流。

因此,需要使电阻元件 (R_{13}) 足够小,并且使 NMOS (MN_{15}) 的导通电流增大。

图 15 是表示图 12 所示的偏置电路 260 的其它例子的电路结构的电路图。

图 15 所示的偏置电路由 NMOS (MN_{16})、PMOS (MP_{13})、PMOS (MP_{14}) 和电阻元件 (R_{14}) 构成。

对 NMOS (MN_{16}) 的栅极施加接地电压 (GND),对漏极施加电源电压 (V_{dd})。

将 PMOS (MP_{13}) 连接成二极管,源极与 NMOS (MN_{16}) 的源极连接,漏极与电阻元件 (R_{14}) 连接。

PMOS (MP_{14}) 的栅极与 PMOS (MP_{13}) 的栅极连接,源极与 NMOS (MN_{12}) 的源极连接,对漏极施加负的电源电压 (V_{ss})。

通过该电路结构,NMOS (MN_{12}) 的源极电压 (V_{sn12}) 由下式 (7) 表示。

$$V_{sn12} = - (V_{thn16} + V_{thp13}) + V_{thp14} \quad (7)$$

当令 PMOS 的阈值电压为 V_{thp} ,NMOS 的阈值电压为 V_{thn} 时,NMOS (MN_{12}) 的源极电压成为 $-V_{thn}$,能够得到与图 14 所示的偏置电路相同的偏置电压。

NMOS (MN_{12}) 导通时的电流用 PMOS (MP_{14}) 的源极的动态电阻来限制,但是该动态电阻随着电流的增加而减小,所以它的影响较小。

图 16 是表示图 12 所示的偏置电路 260 的其它例子的电路结构的电路图。

图 16 所示的偏置电路是在图 14 所示的偏置电路中添加运算放大器 (OP_1) 和 PMOS (MP_{15}) 后的电路。

因为通过运算放大器 (OP_1) 和 PMOS (MP_{15}) 对 NMOS (MN_{12})

的源极电压进行负反馈控制，所以能够用较低的阻抗来驱动 NMOS (MN12) 的源极。

图 17 是表示使用了本实施形式的电容耦合型电平变换电路、采样保持电路和直接耦合型电平变换电路的显示数据输入电路的电路结构的框图。

图 17 所示的显示数据输入电路由电容耦合型电平变换电路 100、采样保持电路 200、直接耦合型电平变换电路 300、串行并行变换电路 400 和定时控制电路 500 构成。

此外，采样保持电路 200 和直接耦合型电平变换电路 300 构成串行并行变换电路 400 的一部分。

电容耦合型电平变换电路 100 使用多个在上述图 2、图 4、图 6、图 8、图 10 或图 11 中所示的电容耦合型电平变换电路。

通过该电容耦合型电平变换电路 100，变换时钟信号 (clk)、水平同步信号 (hs)、垂直同步信号 (vs)、和 8 个采样信号 (spl) 的电压电平。经过电平变换后的信号分别用符号 clk_a、hs_a、vs_a、spl_a 表示。

采样保持电路 200 是由 8 个上述的图 12 所示采样保持电路并列连接而成的，用图 18 所示的 8 个经过电平变换后的采样信号 (spl_a) 对串行输入的显示数据 (Din) 进行采样。此外，各 spl_a 与图 13 等中的采样脉冲 (SPL) 相对应。

另外，图 18 是表示图 17 所示的一部分信号的时序的图。

直接耦合型电平变换电路 300 将图 12 所示的电平变换电路 280 按每 4 个电路一组地分成 2 个系统进行配置，各个电平变换电路 280 以不同的定时对经过采样的电压 (Din_a) 进行电平变换。此外，也可以用图 14、图 15、图 16 所示的电路来取代图 12 所示的电路。

串行并行变换电路 400 使用 3 个 4 输入锁存电路 (LAT)，用这些锁存电路 (LAT) 使以不同定时进行电平变换后的显示数据 (Din_b, Din_c) 的定时一致，变换成并行，作为 Din_d 进行输出。

定时控制电路 500 根据电平变换后的时钟 (clk_a)、同步信号

(hs_a, vs_a), 生成控制信号(ck3、ck4、pr1、pr2、st1、st2)。此外, pr1 和 pr2 与图 13 等中的信号(CK1)对应、st1 和 st2 与图 13 等中的信号(CK2)对应。

如以上说明的那样, 在本实施形式的电容耦合型电平变换电路中, 用第 1 偏置电路 110 和第 2 偏置电路 120, 将 PMOS(MP1)和 NMOS(MN1)的截止状态的栅极电压控制为与 PMOS(MP1)和 NMOS(MN1)的阈值电压几乎相等的电压, 从而能够抑制截止电流、减少电力消耗。

另外, 因为第 1 偏置电路 110 和第 2 偏置电路 120 分别用 PMOS 和 NMOS 的阈值电压(V_{th})来确定偏置电压, 所以能够不依赖于阈值电压(V_{th})的变动(不规则)而稳定地保持截止状态。

另外, 因为导通状态的栅极电压成为将输入信号的电压振幅加到 PMOS(MP1)和 NMOS(MN1)的阈值电压(V_{th})上后的电压, 能够提高导通电流, 所以即便在输入信号为低振幅的情况下也能实现高工作频率的电平变换电路。

据此, 即使是比 PMOS(MP1)和 NMOS(MN1)的阈值电压(V_{th})低的输入电压, 也可以进行电平变换。

这样, 用本实施形式的电容耦合型电平变换电路, 可以对振幅在 1.2V 以下, 例如, 小于由薄膜晶体管构成的 PMOS(MP1)和 NMOS(MN1)的阈值电压的 2 倍的输入信号, 进行电平变换。

这时, 为了进一步减少电力消耗, 输入信号优选的是振幅在 PMOS(MP1)和 NMOS(MN1)的阈值电压的 1.6 倍以下的信号。

原理上, 即使是对阈值电压以下的输入信号也可以进行电平变换, 但是为了更高速地进行电平变换, 输入信号优选的是振幅在 PMOS(MP1)和 NMOS(MN1)的阈值电压以上、1.6 倍以下的信号。

用本实施形式的直接耦合型电平变换电路, 能够通过第 3 偏置电路, 使构成 V/I 变换电路的 NMOS(MN12)的栅极·源极间电压成为与 NMOS(MN12)的阈值电压(V_{th})几乎相等的电压, 进而,

在导通状态下，施加将输入信号的电压振幅加到该阈值电压（ V_{th} ）
上后的电压，所以能够得到足够高的导通/截止比，可以实现低振幅
的高速的显示数据的电平变换电路。

另外，通过分别用电容耦合型和直接耦合型实现同步信号和显示
5 数据的电平变换电路，可以实现显示装置用的高速、低振幅的信号
电平变换电路。

从而，在本实施形式的显示装置中，能够使显示装置和系统 LSI
的接口信号高速化，所以能够削减信号线的端子数，能够降低成本，
并且可以实现高可靠性的显示装置。

10 另外，通过并用显示数据的串行并行变换，能够进一步高速化，
能够大幅度地减少信号线的端子数。

进而，因为能够使显示装置和系统 LSI 的接口信号低振幅化，所
以能够将来自低电压工作的系统 LSI 的信号直接输入给显示装置，
从而能够减少部件数，并且可以降低电力消耗。

15 此外，在上述说明中，对将本发明适用于液晶显示模块的实施形
式进行了说明，但是本发明不限于此，显然本发明也可以适用于 EL
显示装置等的其它显示装置。

另外，不限于只偏置与晶体管的阈值电压几乎相同大小电压的情
况，也可以在阈值电压的一半以上并且在阈值电压以下的范围内进
20 行偏置。

以上，基于上述实施形式具体说明了由本发明者提出的发明，但
显然，本发明不限于上述实施形式，在不脱离本发明的要旨的范
围内可以进行各种改变。

简单说明由在本申请所展示的发明中具有代表性的实施例得到
25 的效果，如下所示。

（1）根据本发明，能够使显示装置和系统 LSI 的接口信号高速
化，所以能够削减信号线的端子数，降低成本，并且可以实现高可
靠性的显示装置。

（2）根据本发明，能够使显示装置和系统 LSI 的接口信号低振

幅化，所以能够将来自低电压工作的系统 LSI 的信号直接输入给显示装置，从而能够减少部件数，并且可以降低电力消耗。

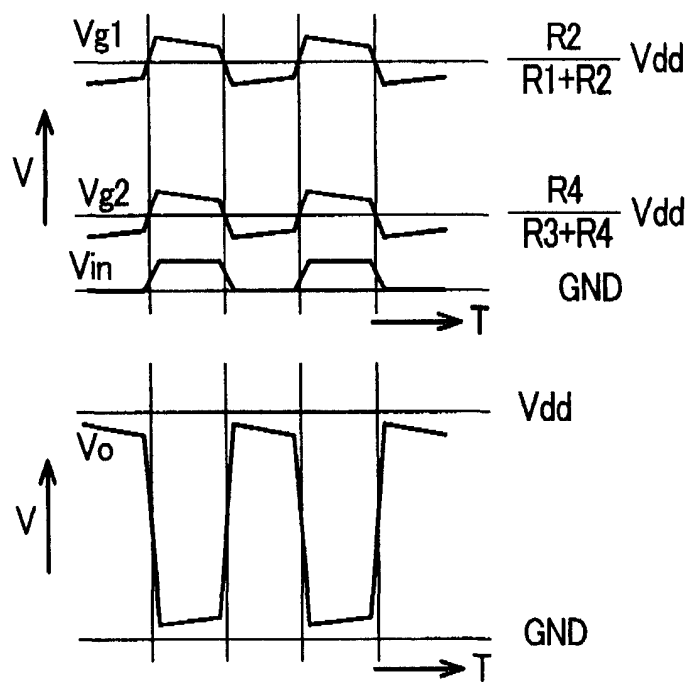


图 3

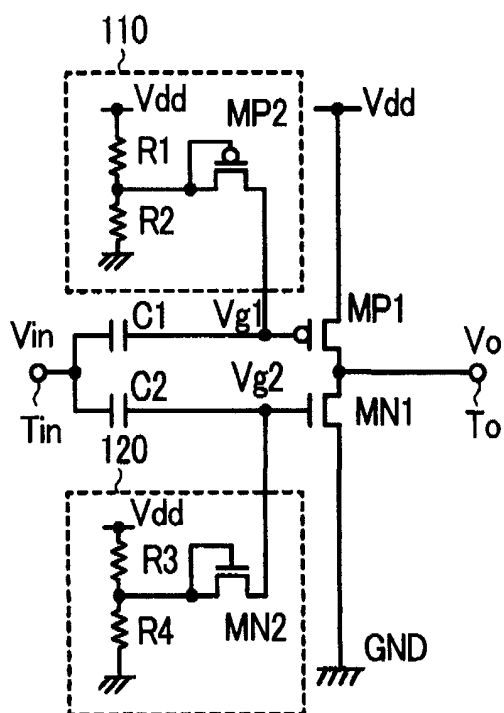


图 4

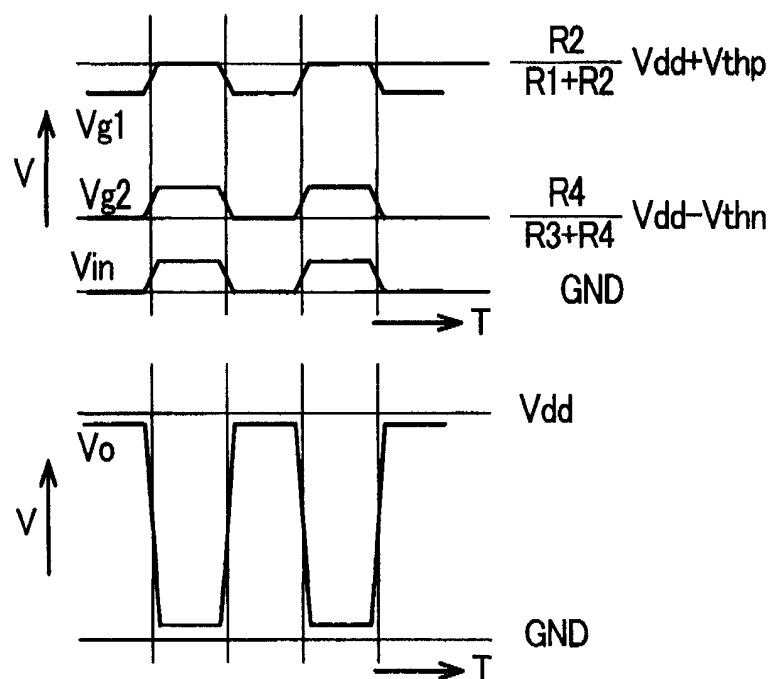


图 5

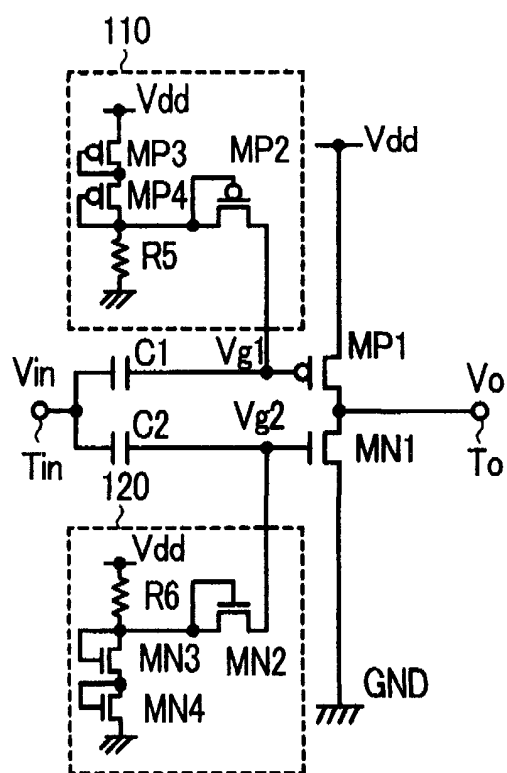


图 6

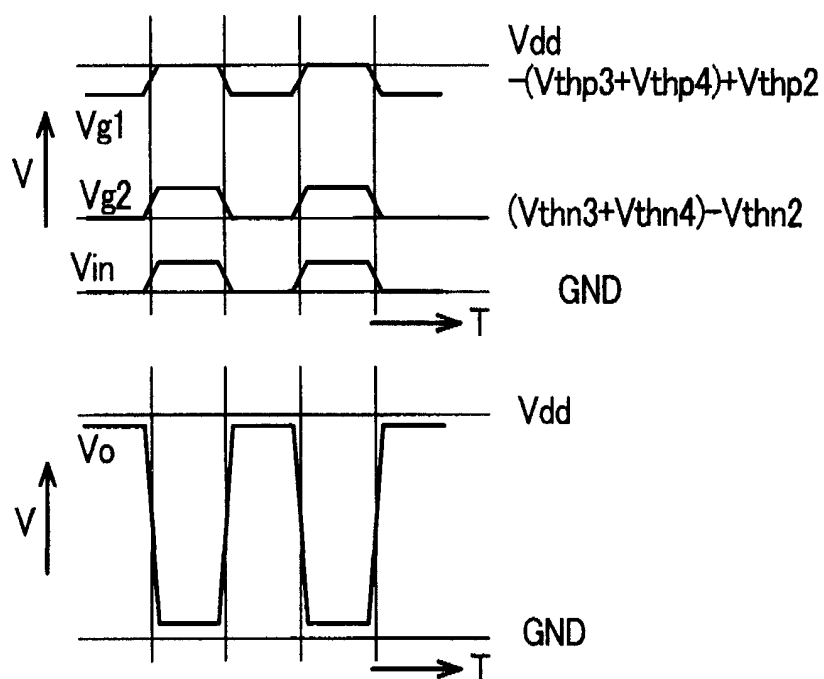


图 7

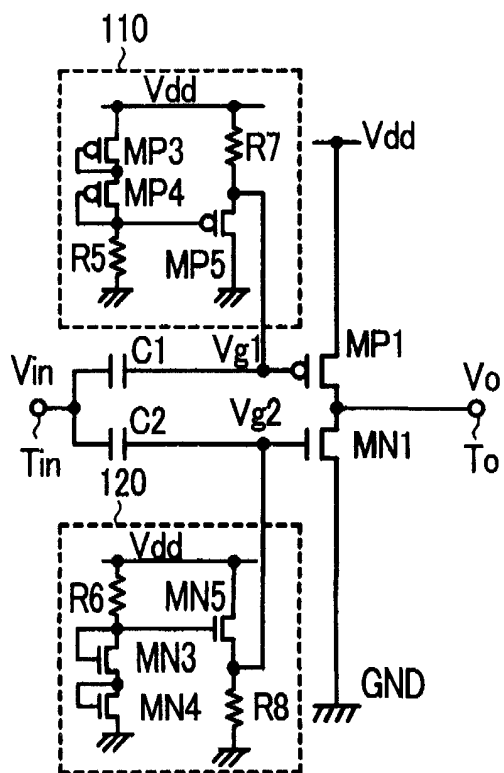


图 8

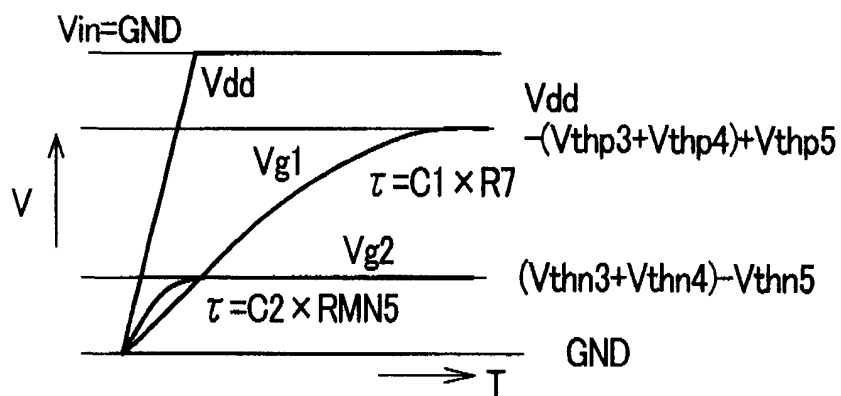


图 9

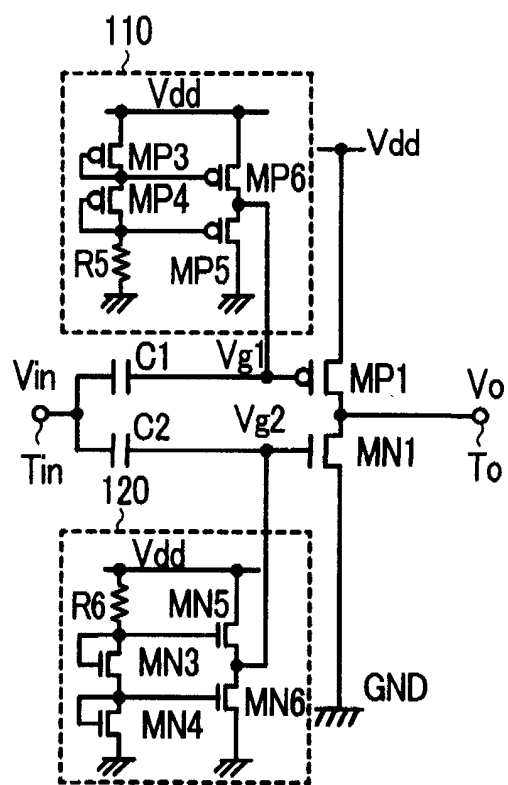


图 10

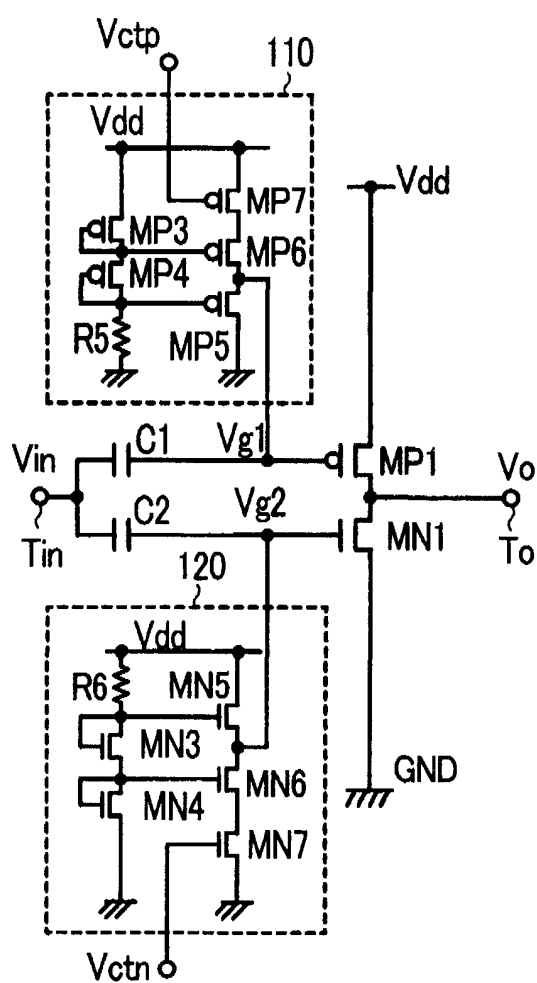


图 11

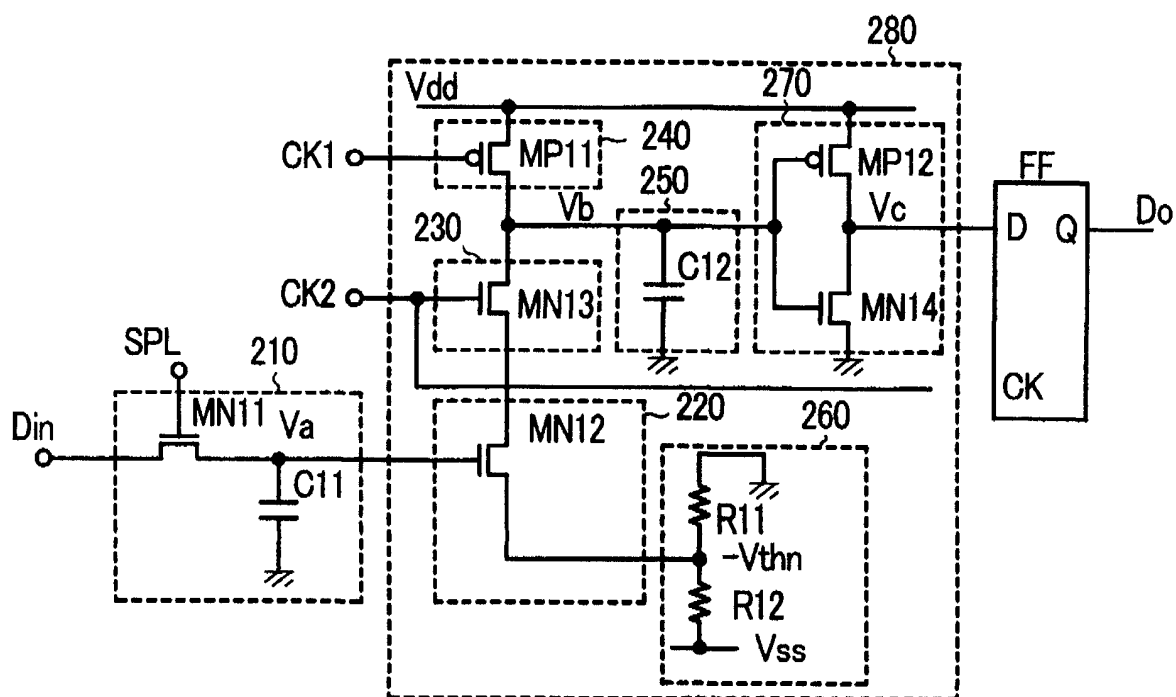


图 12

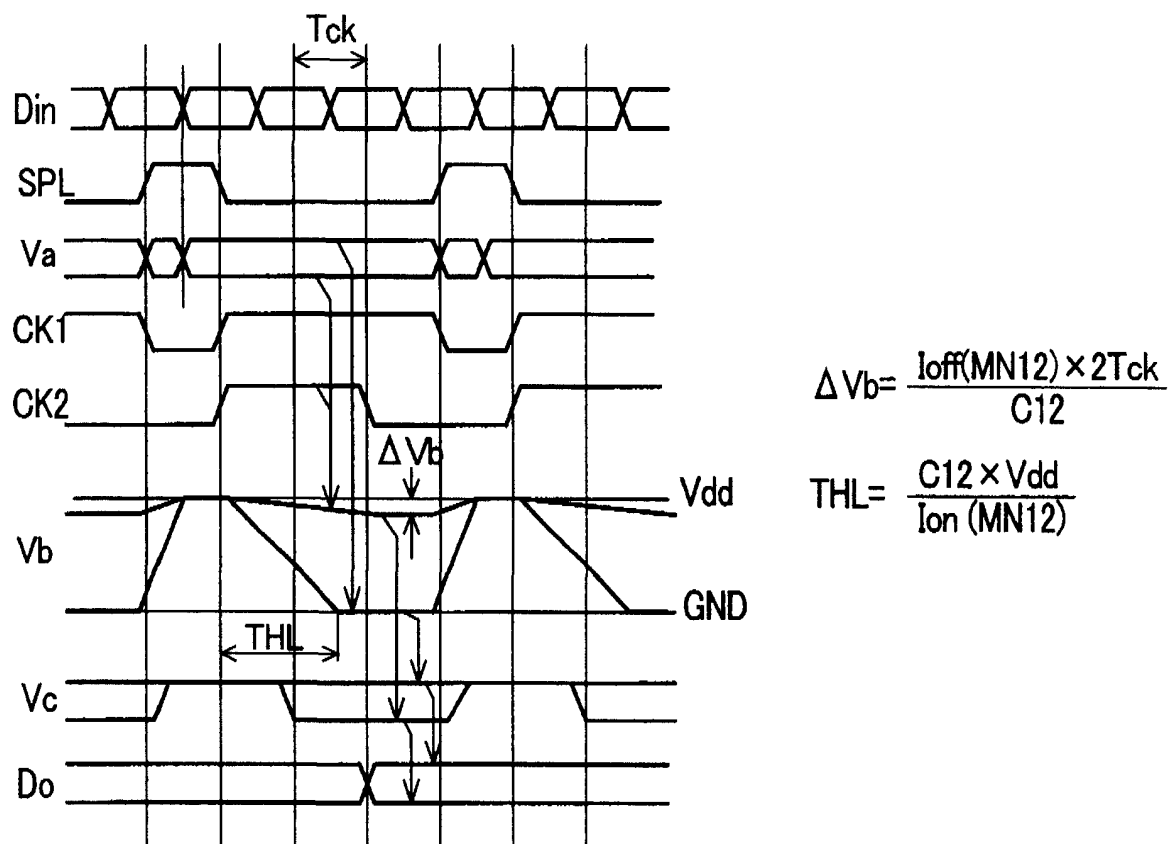


图 13

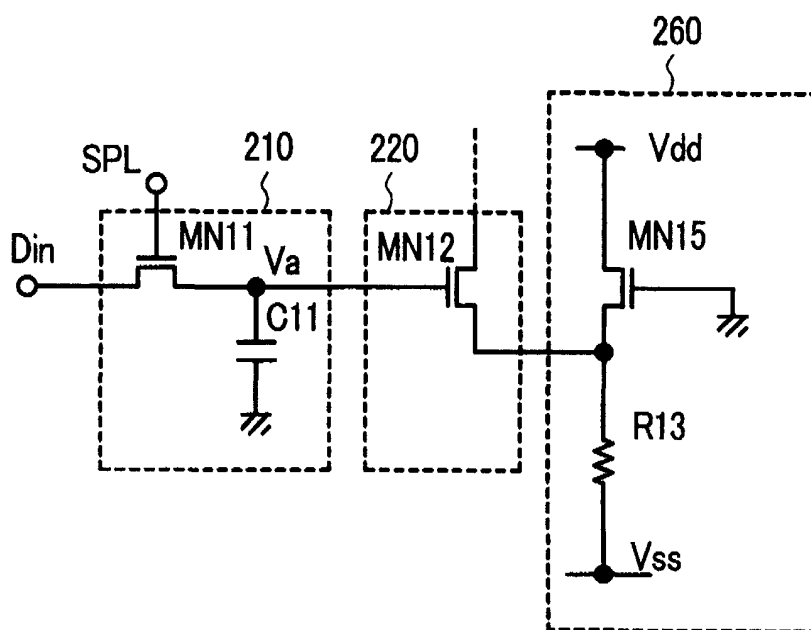


图 14

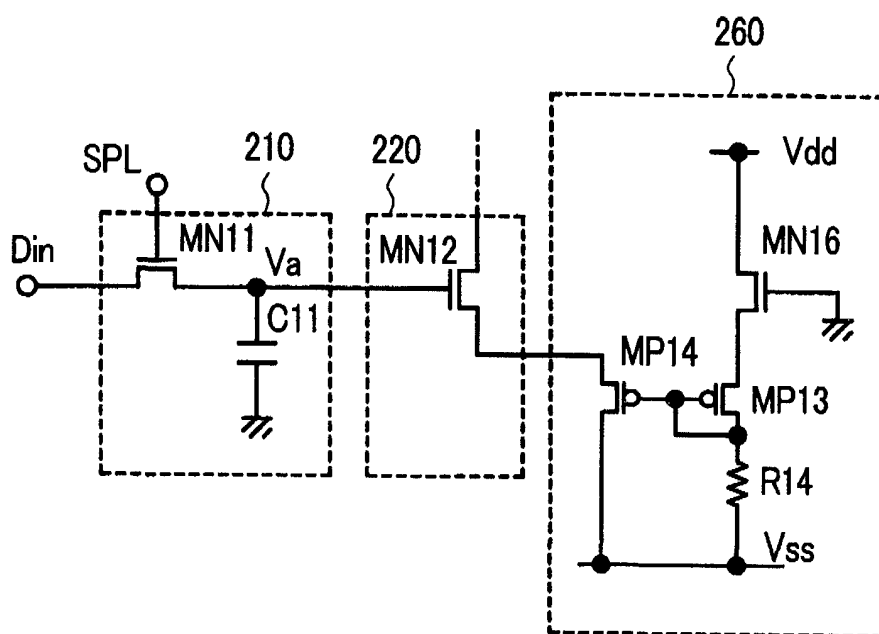


图 15

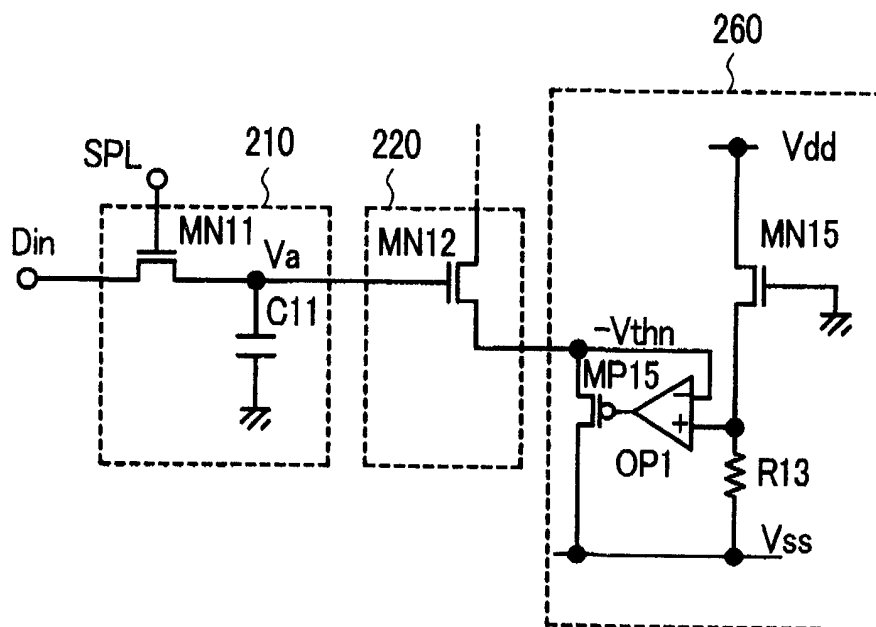


图 16

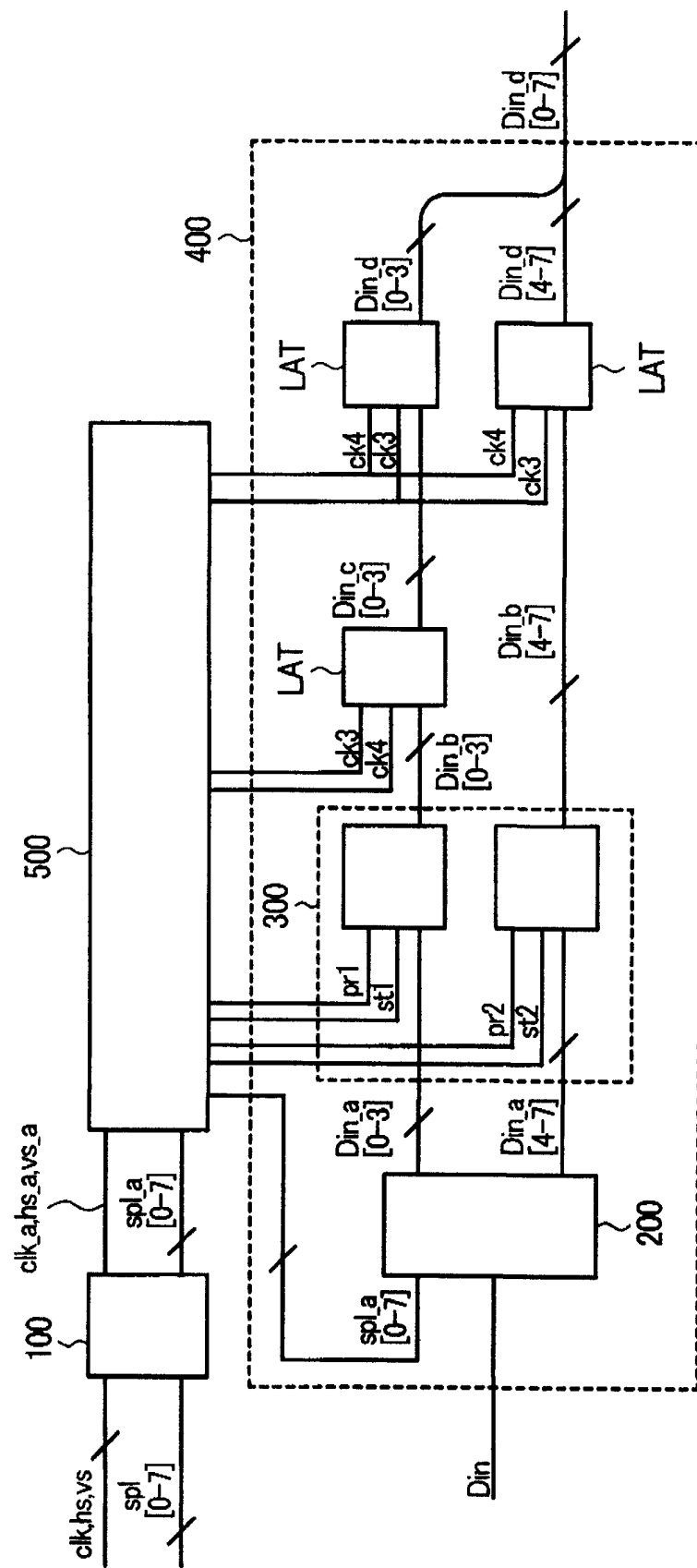


图 17

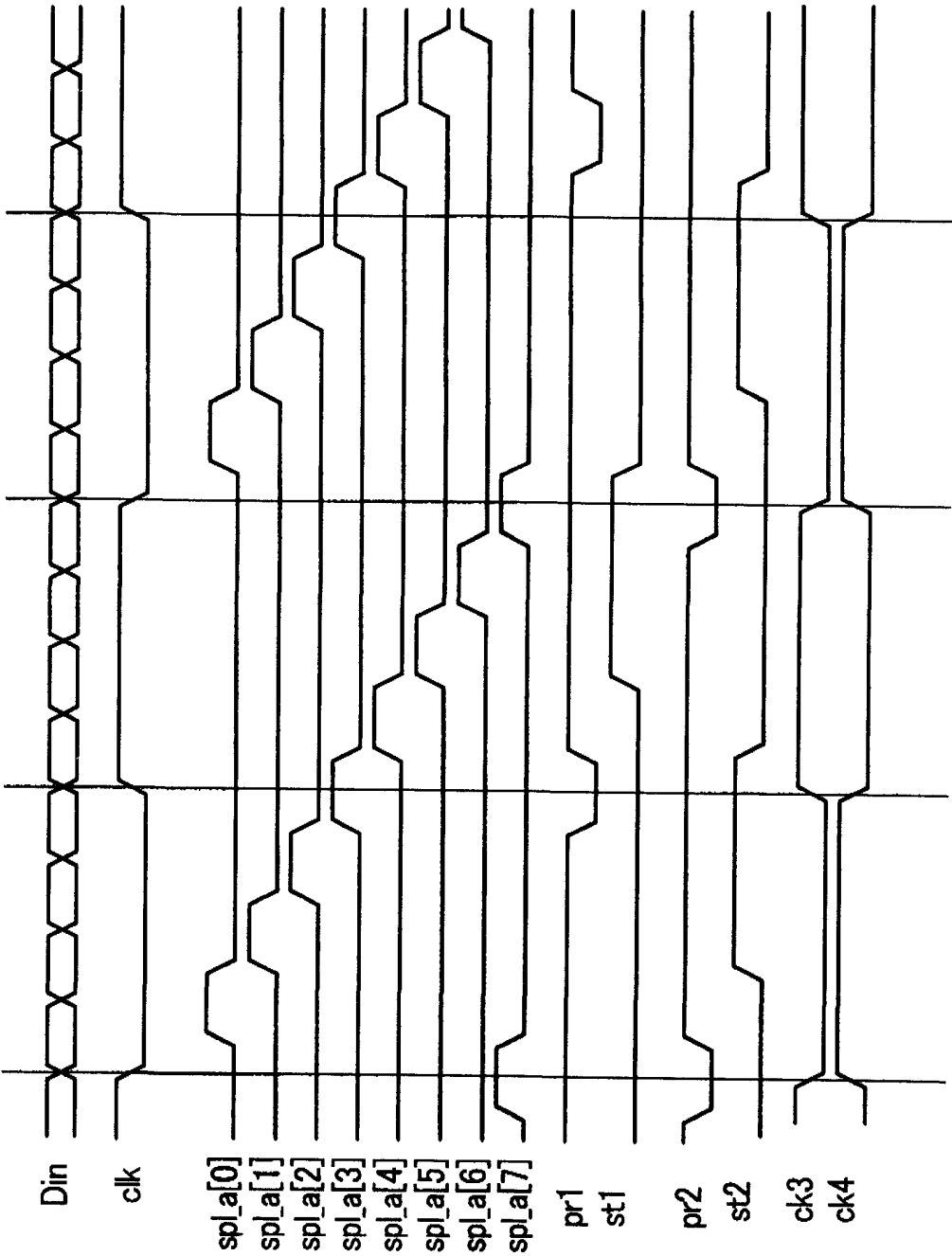


图 18