

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第3区分

【発行日】平成20年6月5日(2008.6.5)

【公開番号】特開2006-121654(P2006-121654A)

【公開日】平成18年5月11日(2006.5.11)

【年通号数】公開・登録公報2006-018

【出願番号】特願2005-176591(P2005-176591)

【国際特許分類】

H 03K 19/0185 (2006.01)

【F I】

H 03K 19/00 101D

【手続補正書】

【提出日】平成20年4月18日(2008.4.18)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

その第1の論理レベルが基準電位であり、その第2の論理レベルが第1の電源電位である第1の信号を、その第1の論理レベルが前記基準電位であり、その第2の論理レベルが第2の電源電位である第2の信号に変換して出力ノードに与えるレベル変換回路であつて、

その第1の電極が前記第2の電源電位を受け、そのゲート電極と第2の電極とが互いに接続された第1の導電形式の第1のトランジスタ、

その第1の電極が前記第2の電源電位を受け、そのゲート電極が前記第1のトランジスタのゲート電極に接続され、その第2の電極が所定のノードに接続された第1の導電形式の第2のトランジスタ、

そのゲート電極が前記第1の信号を受ける第2の導電形式の第3のトランジスタ、

前記第1のトランジスタの第2の電極と前記基準電位のラインとの間に、前記第3のトランジスタと直列接続された第1のスイッチング素子、

その第1の電極が前記所定のノードに接続され、そのゲート電極が前記第1の信号の反転信号を受け、その第2の電極が前記基準電位を受ける第2の導電形式の第4のトランジスタ、

前記第2の電源電位のラインと前記所定のノードとの間に接続された第2のスイッチング素子、および

前記所定のノードの電位が所定レベルよりも低い場合は、前記第1のスイッチング素子を導通させるとともに前記第2のスイッチング素子を非導通にして、前記出力ノードを前記基準電位にし、前記所定のノードの電位が前記所定レベルよりも高い場合は、前記第1のスイッチング素子を非導通にするとともに前記第2のスイッチング素子を導通させて、前記出力ノードを前記第2の電源電位にする出力回路を備えるレベル変換回路。

【請求項2】

前記出力回路は、

前記所定のノードの電位が前記所定レベルよりも低い場合は、前記第2の電源電位を出力し、前記所定のノードの電位が前記所定レベルよりも高い場合は、前記基準電位を出力する第1のインバータ、および

前記第1のインバータの出力電位が前記第2の電源電位の場合は、前記出力ノードを前

記基準電位にし、前記第1のインバータの出力電位が前記基準電位の場合は、前記出力ノードを前記第2の電源電位にする第2のインバータを含み、

前記第1のスイッチング素子は、そのゲート電極が前記第1のインバータの出力電位を受ける第2の導電形式の第5のトランジスタであり、

前記第2のスイッチング素子は、その第1の電極が前記第2の電源電位を受け、そのゲート電極が前記第1のインバータの出力電位を受け、その第2の電極が前記所定のノードに接続された第1の導電形式の第6のトランジスタである、請求項1に記載のレベル変換回路。

【請求項3】

前記出力回路は、

前記所定のノードの電位が前記所定レベルよりも低い場合は、前記第2の電源電位を出力し、前記所定のノードの電位が前記所定レベルよりも高い場合は、前記基準電位を出力する第1のインバータ、および

前記第1のインバータの出力電位が前記第2の電源電位の場合は、前記出力ノードを前記基準電位にし、前記第1のインバータの出力電位が前記基準電位の場合は、前記出力ノードを前記第2の電源電位にする第2のインバータを含み、

前記第1のスイッチング素子は、そのゲート電極が前記所定のノードまたは前記出力ノードのいずれかのノードに接続された第1の導電形式の第5のトランジスタであり、

前記第2のスイッチング素子は、その第1の電極が前記第2の電源電位を受け、そのゲート電極が前記第1のインバータの出力電位を受け、その第2の電極が前記所定のノードに接続された第1の導電形式の第6のトランジスタである、請求項1に記載のレベル変換回路。

【請求項4】

さらに、前記第2の電源電位のラインと前記第1および第2のトランジスタのゲート電極との間に接続された第3のスイッチング素子を備え、

前記出力回路は、前記所定のノードの電位が前記所定レベルよりも低い場合は、前記第3のスイッチング素子を導通させ、前記所定のノードの電位が前記所定レベルよりも高い場合は、前記第3のスイッチング素子を非導通にする、請求項1から請求項3までのいずれかに記載のレベル変換回路。

【請求項5】

前記第3のスイッチング素子は、その第1の電極が前記第2の電源電位を受け、そのゲート電極が前記所定のノードまたは前記出力ノードのいずれかのノードに接続され、その第2の電極が前記第1および第2のトランジスタのゲート電極に接続された第1の導電形式の第7のトランジスタである、請求項4に記載のレベル変換回路。

【請求項6】

前記第6のトランジスタの電流駆動能力は、前記第4のトランジスタの電流駆動能力よりも小さい、請求項2または請求項3に記載のレベル変換回路。

【請求項7】

前記第6のトランジスタのゲート幅は、前記第4のトランジスタのゲート幅よりも短い、請求項6に記載のレベル変換回路。

【請求項8】

前記第6のトランジスタのゲート長は、前記第4のトランジスタのゲート長よりも長い、請求項6に記載のレベル変換回路。

【請求項9】

前記第7のトランジスタの電流駆動能力は、前記第3のトランジスタの電流駆動能力よりも小さい、請求項5に記載のレベル変換回路。

【請求項10】

前記第7のトランジスタのゲート幅は、前記第3のトランジスタのゲート幅よりも短い、請求項9に記載のレベル変換回路。

【請求項11】

前記第2の電源電位は、前記第1の電源電位よりも高い、請求項1から請求項10までのいずれかに記載のレベル変換回路。

【請求項12】

その第1の論理レベルが基準電位であり、その第2の論理レベルが第1の電源電位である第1の信号を、その第1の論理レベルが前記基準電位であり、その第2の論理レベルが第2の電源電位である第2の信号に変換して出力ノードに与えるレベル変換回路であって、

その第1の電極が前記第2の電源電位を受け、そのゲート電極と第2の電極とが互いに接続された第1の導電形式の第1のトランジスタ、

その第1の電極が前記第2の電源電位を受け、そのゲート電極が前記第1のトランジスタのゲート電極に接続され、その第2の電極が所定のノードに接続された第1の導電形式の第2のトランジスタ、

そのゲート電極が前記第1の信号を受ける第2の導電形式の第3のトランジスタ、

前記第1のトランジスタの第2の電極と前記基準電位との間に、前記第3のトランジスタと直列接続された第2の導電形式の第1のスイッチング素子、

その第1の電極が前記所定のノードに接続され、そのゲート電極が前記第1の信号の反転信号を受け、その第2の電極が前記基準電位を受ける第2の導電形式の第4のトランジスタ、

前記第2の電源電位と前記所定のノードとの間に接続された第1の導電形式の第2のスイッチング素子、および

前記所定のノードの電位が所定レベルよりも低い場合は、前記第1のスイッチング素子を導通させるとともに前記第2のスイッチング素子を非導通にして、前記出力ノードを前記基準電位にし、前記所定のノードの電位が前記所定レベルよりも高い場合は、前記第1のスイッチング素子を非導通にするとともに前記第2のスイッチング素子を導通させて、前記出力ノードを前記第2の電源電位にするインバータを有する出力回路を備え、

前記インバータは第1の導電形式の第5のトランジスタと第2の導電形式の第6のトランジスタとを備え、

前記第3のトランジスタ、前記第1のスイッチング素子、前記第4のトランジスタは第1のウェル領域に配置され、

前記第1のトランジスタ、前記第2のトランジスタ、前記第2のスイッチング素子、前記第5のトランジスタは第2のウェル領域に配置され、

前記第6のトランジスタは第3のウェル領域に配置され、

前記第2のウェル領域は前記第1のウェル領域と前記第3のウェル領域との間に配置されることを特徴とするレベル変換回路。

【請求項13】

その第1の論理レベルが基準電位であり、その第2の論理レベルが第1の電源電位である第1の信号を、その第1の論理レベルが前記基準電位であり、その第2の論理レベルが第2の電源電位である第2の信号に変換して出力ノードに与えるレベル変換回路であって、

その第1の電極が前記第2の電源電位を受ける第1の導電形式の第1のトランジスタ、

その第1の電極が前記第2の電源電位を受け、その第2の電極が所定のノードに接続された第1の導電形式の第2のトランジスタ、

そのゲート電極が前記第1の信号を受ける第2の導電形式の第3のトランジスタ、

前記第1のトランジスタの第2の電極と前記基準電位との間に、前記第3のトランジスタと直列接続された第2の導電形式の第1のスイッチング素子、

その第1の電極が前記所定のノードに接続され、そのゲート電極が前記第1の信号の反転信号を受け、その第2の電極が前記基準電位を受ける第2の導電形式の第4のトランジスタ、

前記第2の電源電位と前記所定のノードとの間に接続された第1の導電形式の第2のスイッチング素子、および

前記所定のノードの電位が所定レベルよりも低い場合は、前記第1のスイッチング素子

を導通させるとともに前記第2のスイッチング素子を非導通にして、前記出力ノードを前記基準電位にし、前記所定のノードの電位が前記所定レベルよりも高い場合は、前記第1のスイッチング素子を非導通にするとともに前記第2のスイッチング素子を導通させて、前記出力ノードを前記第2の電源電位にするインバータを有する出力回路を備え、

前記インバータは第1の導電形式の第5のトランジスタと第2の導電形式の第6のトランジスタとを備え、

前記第3のトランジスタ、前記第1のスイッチング素子、前記第4のトランジスタは第1のウェル領域に配置され、

前記第1のトランジスタ、前記第2のトランジスタ、前記第2のスイッチング素子、前記第5のトランジスタは第2のウェル領域に配置され、

前記第6のトランジスタは第3のウェル領域に配置され、

前記第2のウェル領域は前記第1のウェル領域と前記第3のウェル領域との間に配置されることを特徴とするレベル変換回路。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0019

【補正方法】変更

【補正の内容】

【0019】

また好ましくは、第2の電源電位は、第1の電源電位よりも高い。

また、この発明に係わる他のレベル変換回路は、その第1の論理レベルが基準電位であり、その第2の論理レベルが第1の電源電位である第1の信号を、その第1の論理レベルが基準電位であり、その第2の論理レベルが第2の電源電位である第2の信号に変換して出力ノードに与えるレベル変換回路であって、その第1の電極が第2の電源電位を受け、そのゲート電極と第2の電極とが互いに接続された第1の導電形式の第1のトランジスタと、その第1の電極が第2の電源電位を受け、そのゲート電極が第1のトランジスタのゲート電極に接続され、その第2の電極が所定のノードに接続された第1の導電形式の第2のトランジスタと、そのゲート電極が第1の信号を受ける第2の導電形式の第3のトランジスタと、第1のトランジスタの第2の電極と基準電位との間に、第3のトランジスタと直列接続された第2の導電形式の第1のスイッチング素子と、その第1の電極が所定のノードに接続され、そのゲート電極が第1の信号の反転信号を受け、その第2の電極が基準電位を受ける第2の導電形式の第4のトランジスタと、第2の電源電位と所定のノードとの間に接続された第1の導電形式の第2のスイッチング素子と、所定のノードの電位が所定レベルよりも低い場合は、第1のスイッチング素子を導通させるとともに第2のスイッチング素子を非導通にして、出力ノードを基準電位にし、所定のノードの電位が所定レベルよりも高い場合は、第1のスイッチング素子を非導通にするとともに第2のスイッチング素子を導通させて、出力ノードを第2の電源電位にするインバータを有する出力回路を備えたものである。インバータは第1の導電形式の第5のトランジスタと第2の導電形式の第6のトランジスタとを備える。第3のトランジスタ、第1のスイッチング素子、第4のトランジスタは第1のウェル領域に配置される。第1のトランジスタ、第2のトランジスタ、第2のスイッチング素子、第5のトランジスタは第2のウェル領域に配置される。第6のトランジスタは第3のウェル領域に配置される。第2のウェル領域は第1のウェル領域と第3のウェル領域との間に配置される。

また、この発明に係わるさらに他のレベル変換回路は、その第1の論理レベルが基準電位であり、その第2の論理レベルが第1の電源電位である第1の信号を、その第1の論理レベルが基準電位であり、その第2の論理レベルが第2の電源電位である第2の信号に変換して出力ノードに与えるレベル変換回路であって、その第1の電極が第2の電源電位を受ける第1の導電形式の第1のトランジスタと、その第1の電極が第2の電源電位を受け、その第2の電極が所定のノードに接続された第1の導電形式の第2のトランジスタと、そのゲート電極が第1の信号を受ける第2の導電形式の第3のトランジスタと、第1のトランジスタの第2の電極と基準電位との間に、第3のトランジスタと直列接続された第2の導電形式の第1のスイッチング素子と、その第1の電極が所定のノードに接続され、そのゲート電極が第1の信号の反転信号を受け、その第2の電極が基準電位を受ける第2の導電形式の第4のトランジスタと、第2の電源電位と所定のノードとの間に接続された第1の導電形式の第2のスイッチング素子と、所定のノードの電位が所定レベルよりも低い場合は、第1のスイッチング素子を導通させるとともに第2のスイッチング素子を非導通にして、出力ノードを基準電位にし、所定のノードの電位が所定レベルよりも高い場合は、第1のスイッチング素子を非導通にするとともに第2のスイッチング素子を導通させて、出力ノードを第2の電源電位にするインバータを有する出力回路を備えたものである。インバータは第1の導電形式の第5のトランジスタと第2の導電形式の第6のトランジスタとを備える。第3のトランジスタ、第1のスイッチング素子、第4のトランジスタは第1のウェル領域に配置される。第1のトランジスタ、第2のトランジスタ、第2のスイッチング素子、第5のトランジスタは第2のウェル領域に配置される。第6のトランジスタは第3のウェル領域に配置される。第2のウェル領域は第1のウェル領域と第3のウェル領域との間に配置される。

ランジスタの第 2 の電極と基準電位との間に、第 3 のトランジスタと直列接続された第 2 の導電形式の第 1 のスイッチング素子と、その第 1 の電極が所定のノードに接続され、そのゲート電極が第 1 の信号の反転信号を受け、その第 2 の電極が基準電位を受ける第 2 の導電形式の第 4 のトランジスタと、第 2 の電源電位と所定のノードとの間に接続された第 1 の導電形式の第 2 のスイッチング素子と、所定のノードの電位が所定レベルよりも低い場合は、第 1 のスイッチング素子を導通させるとともに第 2 のスイッチング素子を非導通にして、出力ノードを基準電位にし、所定のノードの電位が所定レベルよりも高い場合は、第 1 のスイッチング素子を非導通にするとともに第 2 のスイッチング素子を導通させて、出力ノードを第 2 の電源電位にするインバータを有する出力回路を備えたものである。インバータは第 1 の導電形式の第 5 のトランジスタと第 2 の導電形式の第 6 のトランジスタとを備える。第 3 のトランジスタ、第 1 のスイッチング素子、第 4 のトランジスタは第 1 のウェル領域に配置される。第 1 のトランジスタ、第 2 のトランジスタ、第 2 のスイッチング素子、第 5 のトランジスタは第 2 のウェル領域に配置される。第 6 のトランジスタは第 3 のウェル領域に配置される。第 2 のウェル領域は第 1 のウェル領域と第 3 のウェル領域との間に配置される。

【手続補正 3】

【補正対象書類名】明細書

【補正対象項目名】0 0 2 4

【補正方法】変更

【補正の内容】

【0 0 2 4】

インバータ 10, 11 は、ノード N 2 と出力端子 2 との間に直列接続される。P チャネル MOS トランジスタ 5 は、電源電位 V D D H のラインとノード N 2 との間に接続される。インバータ 10 とインバータ 11 との間のノード N 3 は、P チャネル MOS トランジスタ 5 のゲートに接続されるとともに、N チャネル MOS トランジスタ 6 のゲートに接続される。インバータ 10, 11 は、ノード N 2 の電位に応じて、P チャネル MOS トランジスタ 5 および N チャネル MOS トランジスタ 6 のオン / オフ制御を行なうとともに、出力信号の論理レベルを切替える出力回路を構成する。

【手続補正 4】

【補正対象書類名】明細書

【補正対象項目名】0 0 5 2

【補正方法】変更

【補正の内容】

【0 0 5 2】

図 6 は、図 5 の V I - V I 線断面図である。図 6 を参照して、n ウェル 102 上に p + 領域であるソースおよびドレインが形成される。さらに、n ウェル 102 上には酸化膜が積層され、酸化膜上にはポリシリコンなどのゲート電極 G E が積層される。p + 領域であるソースおよびドレインの上部には、それぞれコンタクトホール C H を介して第 1 層の金属配線 M L 1 が形成される。さらに、第 1 層の金属配線 M L 1 の上部には、スルーホール T H を介して第 2 層の金属配線 M L 2 が形成される。P チャネル MOS トランジスタ 3 のゲート長 L 3 は、p + 領域であるソースとドレインの間の距離に相当する。

【手続補正 5】

【補正対象書類名】明細書

【補正対象項目名】0 0 5 7

【補正方法】変更

【補正の内容】

【0 0 5 7】

インバータ 9 を構成する P チャネル MOS トランジスタ 9 a および N チャネル MOS トランジスタ 9 b のゲート長 L 9 a, L 9 b (たとえば、0.1 μ m) は、他のトランジスタのゲート長 (たとえば、0.4 μ m) よりも短くする。好ましくは、約 0.2 ~ 0.5

倍程度にする。これは、インバータ9が、電源電位VDDHよりも低い電源電位VDDLの電源系統を使用しているからである。

【手続補正6】

【補正対象書類名】明細書

【補正対象項目名】0085

【補正方法】変更

【補正の内容】

【0085】

【図1】この発明の実施の形態1によるレベル変換回路の構成を示す回路図である。

【図2】図1に示したレベル変換回路の動作を示すタイムチャートである。

【図3】従来のレベル変換回路の構成を示す回路図である。

【図4】図1に示したレベル変換回路のレイアウトを示す平面図である。

【図5】図4に示したPチャネルMOSトランジスタ3の部分拡大図である。

【図6】図5のV_I-V_I線断面図である。

【図7】この発明の実施の形態1の変更例によるレベル変換回路の構成を示す回路図である。

【図8】この発明の実施の形態2によるレベル変換回路の構成を示す回路図である。

【図9】PチャネルMOSトランジスタ31のゲートをノードN2に接続した場合のレベル変換回路の構成を示す回路図である。

【図10】図9に示したレベル変換回路のレイアウトを示す平面図である。

【図11】この発明の実施の形態2の変更例によるレベル変換回路の構成を示す回路図である。