

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 7 部門第 3 区分

【発行日】平成20年6月5日(2008.6.5)

【公開番号】特開2006-121654(P2006-121654A)

【公開日】平成18年5月11日(2006.5.11)

【年通号数】公開・登録公報2006-018

【出願番号】特願2005-176591(P2005-176591)

【国際特許分類】

H 0 3 K 19/0185 (2006.01)

【F I】

H 0 3 K 19/00 1 0 1 D

【手続補正書】

【提出日】平成20年4月18日(2008.4.18)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

その第 1 の論理レベルが基準電位であり、その第 2 の論理レベルが第 1 の電源電位である第 1 の信号を、その第 1 の論理レベルが前記基準電位であり、その第 2 の論理レベルが第 2 の電源電位である第 2 の信号に変換して出力ノードに与えるレベル変換回路であって、

その第 1 の電極が前記第 2 の電源電位を受け、そのゲート電極と第 2 の電極とが互いに接続された第 1 の導電形式の第 1 のトランジスタ、

その第 1 の電極が前記第 2 の電源電位を受け、そのゲート電極が前記第 1 のトランジスタのゲート電極に接続され、その第 2 の電極が所定のノードに接続された第 1 の導電形式の第 2 のトランジスタ、

そのゲート電極が前記第 1 の信号を受ける第 2 の導電形式の第 3 のトランジスタ、

前記第 1 のトランジスタの第 2 の電極と前記基準電位のラインとの間に、前記第 3 のトランジスタと直列接続された第 1 のスイッチング素子、

その第 1 の電極が前記所定のノードに接続され、そのゲート電極が前記第 1 の信号の反転信号を受け、その第 2 の電極が前記基準電位を受ける第 2 の導電形式の第 4 のトランジスタ、

前記第 2 の電源電位のラインと前記所定のノードとの間に接続された第 2 のスイッチング素子、および

前記所定のノードの電位が所定レベルよりも低い場合は、前記第 1 のスイッチング素子を導通させるとともに前記第 2 のスイッチング素子を非導通にして、前記出力ノードを前記基準電位にし、前記所定のノードの電位が前記所定レベルよりも高い場合は、前記第 1 のスイッチング素子を非導通にするとともに前記第 2 のスイッチング素子を導通させて、前記出力ノードを前記第 2 の電源電位にする出力回路を備えるレベル変換回路。

【請求項 2】

前記出力回路は、

前記所定のノードの電位が前記所定レベルよりも低い場合は、前記第 2 の電源電位を出力し、前記所定のノードの電位が前記所定レベルよりも高い場合は、前記基準電位を出力する第 1 のインバータ、および

前記第 1 のインバータの出力電位が前記第 2 の電源電位の場合は、前記出力ノードを前

記基準電位にし、前記第 1 のインバータの出力電位が前記基準電位の場合は、前記出力ノードを前記第 2 の電源電位にする第 2 のインバータを含み、

前記第 1 のスイッチング素子は、そのゲート電極が前記第 1 のインバータの出力電位を受ける第 2 の導電形式の第 5 のトランジスタであり、

前記第 2 のスイッチング素子は、その第 1 の電極が前記第 2 の電源電位を受け、そのゲート電極が前記第 1 のインバータの出力電位を受け、その第 2 の電極が前記所定のノードに接続された第 1 の導電形式の第 6 のトランジスタである、請求項 1 に記載のレベル変換回路。

【請求項 3】

前記出力回路は、

前記所定のノードの電位が前記所定レベルよりも低い場合は、前記第 2 の電源電位を出力し、前記所定のノードの電位が前記所定レベルよりも高い場合は、前記基準電位を出力する第 1 のインバータ、および

前記第 1 のインバータの出力電位が前記第 2 の電源電位の場合は、前記出力ノードを前記基準電位にし、前記第 1 のインバータの出力電位が前記基準電位の場合は、前記出力ノードを前記第 2 の電源電位にする第 2 のインバータを含み、

前記第 1 のスイッチング素子は、そのゲート電極が前記所定のノードまたは前記出力ノードのいずれかのノードに接続された第 1 の導電形式の第 5 のトランジスタであり、

前記第 2 のスイッチング素子は、その第 1 の電極が前記第 2 の電源電位を受け、そのゲート電極が前記第 1 のインバータの出力電位を受け、その第 2 の電極が前記所定のノードに接続された第 1 の導電形式の第 6 のトランジスタである、請求項 1 に記載のレベル変換回路。

【請求項 4】

さらに、前記第 2 の電源電位のラインと前記第 1 および第 2 のトランジスタのゲート電極との間に接続された第 3 のスイッチング素子を備え、

前記出力回路は、前記所定のノードの電位が前記所定レベルよりも低い場合は、前記第 3 のスイッチング素子を導通させ、前記所定のノードの電位が前記所定レベルよりも高い場合は、前記第 3 のスイッチング素子を非導通にする、請求項 1 から請求項 3 までのいずれかに記載のレベル変換回路。

【請求項 5】

前記第 3 のスイッチング素子は、その第 1 の電極が前記第 2 の電源電位を受け、そのゲート電極が前記所定のノードまたは前記出力ノードのいずれかのノードに接続され、その第 2 の電極が前記第 1 および第 2 のトランジスタのゲート電極に接続された第 1 の導電形式の第 7 のトランジスタである、請求項 4 に記載のレベル変換回路。

【請求項 6】

前記第 6 のトランジスタの電流駆動能力は、前記第 4 のトランジスタの電流駆動能力よりも小さい、請求項 2 または請求項 3 に記載のレベル変換回路。

【請求項 7】

前記第 6 のトランジスタのゲート幅は、前記第 4 のトランジスタのゲート幅よりも短い、請求項 6 に記載のレベル変換回路。

【請求項 8】

前記第 6 のトランジスタのゲート長は、前記第 4 のトランジスタのゲート長よりも長い、請求項 6 に記載のレベル変換回路。

【請求項 9】

前記第 7 のトランジスタの電流駆動能力は、前記第 3 のトランジスタの電流駆動能力よりも小さい、請求項 5 に記載のレベル変換回路。

【請求項 10】

前記第 7 のトランジスタのゲート幅は、前記第 3 のトランジスタのゲート幅よりも短い、請求項 9 に記載のレベル変換回路。

【請求項 11】

前記第 2 の電源電位は、前記第 1 の電源電位よりも高い、請求項 1 から請求項 10 までのいずれかに記載のレベル変換回路。

【請求項 12】

その第 1 の論理レベルが基準電位であり、その第 2 の論理レベルが第 1 の電源電位である第 1 の信号を、その第 1 の論理レベルが前記基準電位であり、その第 2 の論理レベルが第 2 の電源電位である第 2 の信号に変換して出力ノードに与えるレベル変換回路であって

、
その第 1 の電極が前記第 2 の電源電位を受け、そのゲート電極と第 2 の電極とが互いに接続された第 1 の導電形式の第 1 のトランジスタ、

その第 1 の電極が前記第 2 の電源電位を受け、そのゲート電極が前記第 1 のトランジスタのゲート電極に接続され、その第 2 の電極が所定のノードに接続された第 1 の導電形式の第 2 のトランジスタ、

そのゲート電極が前記第 1 の信号を受ける第 2 の導電形式の第 3 のトランジスタ、

前記第 1 のトランジスタの第 2 の電極と前記基準電位との間に、前記第 3 のトランジスタと直列接続された第 2 の導電形式の第 1 のスイッチング素子、

その第 1 の電極が前記所定のノードに接続され、そのゲート電極が前記第 1 の信号の反転信号を受け、その第 2 の電極が前記基準電位を受ける第 2 の導電形式の第 4 のトランジスタ、

前記第 2 の電源電位と前記所定のノードとの間に接続された第 1 の導電形式の第 2 のスイッチング素子、および

前記所定のノードの電位が所定レベルよりも低い場合は、前記第 1 のスイッチング素子を導通させるとともに前記第 2 のスイッチング素子を非導通にして、前記出力ノードを前記基準電位にし、前記所定のノードの電位が前記所定レベルよりも高い場合は、前記第 1 のスイッチング素子を非導通にするとともに前記第 2 のスイッチング素子を導通させて、前記出力ノードを前記第 2 の電源電位にするインバータを有する出力回路を備え、

前記インバータは第 1 の導電形式の第 5 のトランジスタと第 2 の導電形式の第 6 のトランジスタとを備え、

前記第 3 のトランジスタ、前記第 1 のスイッチング素子、前記第 4 のトランジスタは第 1 のウェル領域に配置され、

前記第 1 のトランジスタ、前記第 2 のトランジスタ、前記第 2 のスイッチング素子、前記第 5 のトランジスタは第 2 のウェル領域に配置され、

前記第 6 のトランジスタは第 3 のウェル領域に配置され、

前記第 2 のウェル領域は前記第 1 のウェル領域と前記第 3 のウェル領域との間に配置されることを特徴とするレベル変換回路。

【請求項 13】

その第 1 の論理レベルが基準電位であり、その第 2 の論理レベルが第 1 の電源電位である第 1 の信号を、その第 1 の論理レベルが前記基準電位であり、その第 2 の論理レベルが第 2 の電源電位である第 2 の信号に変換して出力ノードに与えるレベル変換回路であって、

その第 1 の電極が前記第 2 の電源電位を受ける第 1 の導電形式の第 1 のトランジスタ、

その第 1 の電極が前記第 2 の電源電位を受け、その第 2 の電極が所定のノードに接続された第 1 の導電形式の第 2 のトランジスタ、

そのゲート電極が前記第 1 の信号を受ける第 2 の導電形式の第 3 のトランジスタ、

前記第 1 のトランジスタの第 2 の電極と前記基準電位との間に、前記第 3 のトランジスタと直列接続された第 2 の導電形式の第 1 のスイッチング素子、

その第 1 の電極が前記所定のノードに接続され、そのゲート電極が前記第 1 の信号の反転信号を受け、その第 2 の電極が前記基準電位を受ける第 2 の導電形式の第 4 のトランジスタ、

前記第 2 の電源電位と前記所定のノードとの間に接続された第 1 の導電形式の第 2 のスイッチング素子、および

前記所定のノードの電位が所定レベルよりも低い場合は、前記第 1 のスイッチング素子

を導通させるとともに前記第 2 のスイッチング素子を非導通にして、前記出力ノードを前記基準電位にし、前記所定のノードの電位が前記所定レベルよりも高い場合は、前記第 1 のスイッチング素子を非導通にするとともに前記第 2 のスイッチング素子を導通させて、前記出力ノードを前記第 2 の電源電位にするインバータを有する出力回路を備え、

前記インバータは第 1 の導電形式の第 5 のトランジスタと第 2 の導電形式の第 6 のトランジスタとを備え、

前記第 3 のトランジスタ、前記第 1 のスイッチング素子、前記第 4 のトランジスタは第 1 のウェル領域に配置され、

前記第 1 のトランジスタ、前記第 2 のトランジスタ、前記第 2 のスイッチング素子、前記第 5 のトランジスタは第 2 のウェル領域に配置され、

前記第 6 のトランジスタは第 3 のウェル領域に配置され、

前記第 2 のウェル領域は前記第 1 のウェル領域と前記第 3 のウェル領域との間に配置されることを特徴とするレベル変換回路。

【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】0 0 1 9

【補正方法】変更

【補正の内容】

【0 0 1 9】

また好ましくは、第 2 の電源電位は、第 1 の電源電位よりも高い。

また、この発明に係わる他のレベル変換回路は、その第 1 の論理レベルが基準電位であり、その第 2 の論理レベルが第 1 の電源電位である第 1 の信号を、その第 1 の論理レベルが基準電位であり、その第 2 の論理レベルが第 2 の電源電位である第 2 の信号に変換して出力ノードに与えるレベル変換回路であって、その第 1 の電極が第 2 の電源電位を受け、そのゲート電極と第 2 の電極とが互いに接続された第 1 の導電形式の第 1 のトランジスタと、その第 1 の電極が第 2 の電源電位を受け、そのゲート電極が第 1 のトランジスタのゲート電極に接続され、その第 2 の電極が所定のノードに接続された第 1 の導電形式の第 2 のトランジスタと、そのゲート電極が第 1 の信号を受ける第 2 の導電形式の第 3 のトランジスタと、第 1 のトランジスタの第 2 の電極と基準電位との間に、第 3 のトランジスタと直列接続された第 2 の導電形式の第 1 のスイッチング素子と、その第 1 の電極が所定のノードに接続され、そのゲート電極が第 1 の信号の反転信号を受け、その第 2 の電極が基準電位を受ける第 2 の導電形式の第 4 のトランジスタと、第 2 の電源電位と所定のノードとの間に接続された第 1 の導電形式の第 2 のスイッチング素子と、所定のノードの電位が所定レベルよりも低い場合は、第 1 のスイッチング素子を導通させるとともに第 2 のスイッチング素子を非導通にして、出力ノードを基準電位にし、所定のノードの電位が所定レベルよりも高い場合は、第 1 のスイッチング素子を非導通にするとともに第 2 のスイッチング素子を導通させて、出力ノードを第 2 の電源電位にするインバータを有する出力回路を備えたものである。インバータは第 1 の導電形式の第 5 のトランジスタと第 2 の導電形式の第 6 のトランジスタとを備える。第 3 のトランジスタ、第 1 のスイッチング素子、第 4 のトランジスタは第 1 のウェル領域に配置される。第 1 のトランジスタ、第 2 のトランジスタ、第 2 のスイッチング素子、第 5 のトランジスタは第 2 のウェル領域に配置される。第 6 のトランジスタは第 3 のウェル領域に配置される。第 2 のウェル領域は第 1 のウェル領域と第 3 のウェル領域との間に配置される。

また、この発明に係わるさらに他のレベル変換回路は、その第 1 の論理レベルが基準電位であり、その第 2 の論理レベルが第 1 の電源電位である第 1 の信号を、その第 1 の論理レベルが基準電位であり、その第 2 の論理レベルが第 2 の電源電位である第 2 の信号に変換して出力ノードに与えるレベル変換回路であって、その第 1 の電極が第 2 の電源電位を受ける第 1 の導電形式の第 1 のトランジスタと、その第 1 の電極が第 2 の電源電位を受け、その第 2 の電極が所定のノードに接続された第 1 の導電形式の第 2 のトランジスタと、そのゲート電極が第 1 の信号を受ける第 2 の導電形式の第 3 のトランジスタと、第 1 のト

ランジスタの第2の電極と基準電位との間に、第3のトランジスタと直列接続された第2の導電形式の第1のスイッチング素子と、その第1の電極が所定のノードに接続され、そのゲート電極が第1の信号の反転信号を受け、その第2の電極が基準電位を受ける第2の導電形式の第4のトランジスタと、第2の電源電位と所定のノードとの間に接続された第1の導電形式の第2のスイッチング素子と、所定のノードの電位が所定レベルよりも低い場合は、第1のスイッチング素子を導通させるとともに第2のスイッチング素子を非導通にして、出力ノードを基準電位にし、所定のノードの電位が所定レベルよりも高い場合は、第1のスイッチング素子を非導通にするとともに第2のスイッチング素子を導通させて、出力ノードを第2の電源電位にするインバータを有する出力回路を備えたものである。インバータは第1の導電形式の第5のトランジスタと第2の導電形式の第6のトランジスタとを備える。第3のトランジスタ、第1のスイッチング素子、第4のトランジスタは第1のウェル領域に配置される。第1のトランジスタ、第2のトランジスタ、第2のスイッチング素子、第5のトランジスタは第2のウェル領域に配置される。第6のトランジスタは第3のウェル領域に配置される。第2のウェル領域は第1のウェル領域と第3のウェル領域との間に配置される。

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0024

【補正方法】変更

【補正の内容】

【0024】

インバータ10, 11は、ノードN2と出力端子2との間に直列接続される。PチャネルMOSトランジスタ5は、電源電位VDDHのラインとノードN2との間に接続される。インバータ10とインバータ11との間のノードN3は、PチャネルMOSトランジスタ5のゲートに接続されるとともに、NチャネルMOSトランジスタ6のゲートに接続される。インバータ10, 11は、ノードN2の電位に応じて、PチャネルMOSトランジスタ5およびNチャネルMOSトランジスタ6のオン/オフ制御を行なうとともに、出力信号の論理レベルを切替える出力回路を構成する。

【手続補正4】

【補正対象書類名】明細書

【補正対象項目名】0052

【補正方法】変更

【補正の内容】

【0052】

図6は、図5のVI-VI線断面図である。図6を参照して、nウェル102上にp+領域であるソースおよびドレインが形成される。さらに、nウェル102上には酸化膜が積層され、酸化膜上にはポリシリコンなどのゲート電極GEが積層される。p+領域であるソースおよびドレインの上部には、それぞれコンタクトホールCHを介して第1層の金属配線ML1が形成される。さらに、第1層の金属配線ML1の上部には、スルーホールTHを介して第2層の金属配線ML2が形成される。PチャネルMOSトランジスタ3のゲート長L3は、p+領域であるソースとドレインの間の距離に相当する。

【手続補正5】

【補正対象書類名】明細書

【補正対象項目名】0057

【補正方法】変更

【補正の内容】

【0057】

インバータ9を構成するPチャネルMOSトランジスタ9aおよびNチャネルMOSトランジスタ9bのゲート長L9a, L9b(たとえば、0.1 μ m)は、他のトランジスタのゲート長(たとえば、0.4 μ m)よりも短くする。好ましくは、約0.2~0.5

倍程度にする。これは、インバータ 9 が、電源電位 V_{DDH} よりも低い電源電位 V_{DDL} の電源系統を使用しているからである。

【手続補正 6】

【補正対象書類名】明細書

【補正対象項目名】0085

【補正方法】変更

【補正の内容】

【0085】

【図 1】この発明の実施の形態 1 によるレベル変換回路の構成を示す回路図である。

【図 2】図 1 に示したレベル変換回路の動作を示すタイムチャートである。

【図 3】従来のレベル変換回路の構成を示す回路図である。

【図 4】図 1 に示したレベル変換回路のレイアウトを示す平面図である。

【図 5】図 4 に示した P チャネル MOS トランジスタ 3 の部分拡大図である。

【図 6】図 5 の $V_I - V_I$ 線断面図である。

【図 7】この発明の実施の形態 1 の変更例によるレベル変換回路の構成を示す回路図である。

【図 8】この発明の実施の形態 2 によるレベル変換回路の構成を示す回路図である。

【図 9】P チャネル MOS トランジスタ 3 1 のゲートをノード N 2 に接続した場合のレベル変換回路の構成を示す回路図である。

【図 10】図 9 に示したレベル変換回路のレイアウトを示す平面図である。

【図 11】この発明の実施の形態 2 の変更例によるレベル変換回路の構成を示す回路図である。