

이 발명을 지원한 국가연구개발사업

과제고유번호	201150002
부처명	지식경제부
연구사업명	ITRC 사업
연구과제명	차세대 융복합 시스템용 아날로그 IP핵심설계기술 개발(2차년도)
주관기관	서강대학교 산학협력단
연구기간	2011.01.01 ~ 2011.12.31

특허청구의 범위

청구항 1

P+ 콜렉터 영역에 접하는 콜렉터 전극;

P+ 에미터 영역과 N+ 에미터 영역에 접하는 제 1 에미터 전극; 및

N 드리프트 층에 접하는 수평 게이트 전극을 포함하고,

상기 수평 게이트 전극은 2개의 수평 게이트 서브 전극들로 나뉘고, 상기 수평 게이트 서브 전극들에 nMOS가 연결되어 있으며,

상기 콜렉터 전극에 접하는 P+ 콜렉터 영역은 적어도 하나 이상의 산화막으로 분리되는 것을 특징으로 하는 수평 게이트 IGBT 소자.

청구항 2

제 1 항에 있어서,

상기 수평 게이트 서브 전극 사이에 위치하고, 상기 nMOS에 연결되는 제 2 에미터 전극을 포함하는 것을 특징으로 하는 수평 게이트 IGBT 소자.

청구항 3

제 1 항에 있어서,

상기 N 드리프트 층에 접하고, 상기 P+ 콜렉터 영역과 산화막으로 분리되는 N+ 영역을 더 포함하는 것을 특징으로 하는 수평 게이트 IGBT 소자.

청구항 4

제 1 항에 있어서,

상기 nMOS는 상기 P+ 에미터 영역 및 상기 N+ 에미터 영역과 소정의 거리를 두고 이격하여 위치하고, 산화막 및 N-well로 상기 N 드리프트 층과 분리되어 있는 것을 특징으로 하는 수평 게이트 IGBT 소자.

청구항 5

제 4 항에 있어서,

상기 nMOS와 상기 N 드리프트 층을 분리시키는 산화막은 LOCOS(Local Oxidation of Silicon) 인 것을 특징으로 하는 수평 게이트 IGBT 소자.

청구항 6

제 1 항에 있어서,

상기 제 1 에미터 전극과 접하는 P+ 에미터 영역 및 N+ 에미터 영역은 상기 N 드리프트 층과 P 베이스 영역으로 분리되어 있는 것을 특징으로 하는 수평 게이트 IGBT 소자.

청구항 7

제 1 항에 있어서,

상기 nMOS는 P+ 영역과 N++ 영역으로 형성되는 것을 특징으로 하는 수평 게이트 IGBT 소자.

청구항 8

제 1 항에 있어서,

상기 수평 게이트 전극은 폴리게이트인 것을 특징으로 하는 수평 게이트 IGBT 소자.

청구항 9

P+ 콜렉터 영역에 접하는 콜렉터 전극;

P+ 에미터 영역과 N+ 에미터 영역에 접하는 제 1 에미터 전극; 및

N 드리프트 층에 접하는 게이트 전극을 포함하고,

상기 수평 게이트 전극은 2개의 게이트 서브 전극들로 나뉘고, 상기 수평 게이트 서브 전극들에 nMOS가 연결되어 있으며,

상기 콜렉터 전극에 접하는 P+ 콜렉터 영역은 적어도 하나 이상의 산화막으로 분리되는 것을 특징으로 하는 수평 게이트 IGBT 소자를 포함하는 인버터.

청구항 10

제 9 항에 있어서,

상기 N 드리프트 층에 접하고, 상기 P+ 콜렉터 영역과 산화막으로 분리되는 N+ 영역을 더 포함하는 것을 특징으로 하는 수평 게이트 IGBT 소자를 포함하는 인버터.

청구항 11

제 9 항에 있어서,

상기 수평 게이트 서브 전극 사이에 위치하고, 상기 nMOS에 연결되는 제 2 에미터 전극을 포함하는 것을 특징으로 하는 수평 게이트 IGBT 소자를 포함하는 인버터.

청구항 12

제 9 항에 있어서,

상기 nMOS는 상기 P+ 에미터 영역 및 상기 N+ 에미터 영역과 소정의 거리를 두고 이격하여 위치하고, 산화막 및 N-well로 상기 N 드리프트 층과 분리되어 있는 것을 특징으로 하는 수평 게이트 IGBT 소자를 포함하는 인버터.

청구항 13

콜렉터 전극, 에미터 전극, 수평 게이트 전극을 포함하는 수평 게이트 IGBT 소자를 제조하는 방법에 있어서,

상기 수평 게이트 전극은 2 개의 수평 게이트 서브 전극들로 나누고, 상기 수평 게이트 서브 전극들에 연결되는 nMOS를 삽입하는 단계;

상기 수평 게이트 서브 전극 사이에 상기 nMOS에 연결되는 제 2 에미터 전극을 형성하는 단계;

상기 콜렉터 전극에 연결되는 P+ 콜렉터 영역을 적어도 하나 이상의 산화막으로 분리되도록 형성하는 단계; 및

N 드리프트 층과 접하고 상기 P+ 콜렉터 영역과 산화막으로 분리되는 N+ 영역을 형성하는 단계를 포함하고,

상기 nMOS는 P+ 에미터 영역 및 N+ 에미터 영역과 소정의 거리를 두고 이격하여 위치하고, 산화막 및 N-well로 상기 N 드리프트 층과 분리되어 있는 것을 특징으로 하는 수평 게이트 IGBT 소자 제조방법.

명세서

기술분야

[0001] 본 발명은 수평 게이트 IGBT 소자에 관한 것으로서, 더욱 상세하게는 수평 게이트 중앙에 nMOS를 삽입하여 낮은 순방향 전압강하와 빠른 턴-오프 시간을 갖는 수평 게이트 IGBT 소자, 수평 게이트 IGBT 소자를 포함하는 인버터, 및 수평 게이트 IGBT 소자 제조방법에 관한 것이다.

배경기술

[0002] 일반적으로, IGBT(Insulated Gate Bipolar Transistor)는 MOSFET(Metal Oxide Semiconductor Field Effect Transistor)과 BJT(Bipolar Junction Transistor)의 장점을 취합한 스위칭 소자로서 BJT의 복잡한 전류 제어

회로와 느린 스위칭 스피드 문제 그리고 MOSFET의 낮은 항복 특성과 빈약한 전류 제어능력을 극복할 수 있는 대체 소자로써 주목 받아왔다.

[0003] 하지만 이러한 IGBT의 장점에도 불구하고 수평 게이트 IGBT의 경우, JFET(Junction Field Effect Transistor) 영역이 온-저항(On-resistance)을 증가시킴으로써 높은 순방향 전압강하 문제와 턴-오프 시 정공전류에 의한 턴-오프 시간 지연의 문제점이 있다. 또한, 에미터영역의 P-base를 통과하는 정공 전류에 의해 IGBT가 가지는 기생 사이리스터가 동작하는 래치-업 현상이 발생하면 게이트로 스위칭 동작을 제어할 수 없기 때문에 IGBT의 래치-업 면역성을 높일 필요가 있다.

발명의 내용

해결하려는 과제

[0004] 본 발명이 해결하고자 하는 첫 번째 과제는 낮은 순방향 전압강하와 빠른 턴-오프 시간을 갖는 수평 게이트 IGBT 소자를 제공하는 것이다.

[0005] 본 발명이 해결하고자 하는 두 번째 과제는 낮은 순방향 전압강하와 빠른 턴-오프 시간을 갖는 수평 게이트 IGBT 소자를 포함하는 인버터를 제공하는 것이다.

[0006] 본 발명이 해결하고자 하는 세 번째 과제는 낮은 순방향 전압강하와 빠른 턴-오프 시간을 갖는 수평 게이트 IGBT 소자 제조방법을 제공하는 것이다.

과제의 해결 수단

[0007] 본 발명은 상기 첫 번째 과제를 달성하기 위하여, P+ 콜렉터 영역에 접하는 콜렉터 전극, P+ 에미터 영역과 N+ 에미터 영역에 접하는 제 1 에미터 전극, 및 N 드리프트 층에 접하는 수평 게이트 전극을 포함하고, 상기 수평 게이트 전극은 2개의 수평 게이트 서브 전극들로 나뉘고, 상기 수평 게이트 서브 전극들에 nMOS가 연결되어 있으며, 상기 콜렉터 전극에 접하는 P+ 콜렉터 영역은 적어도 하나 이상의 산화막으로 분리되는 것을 특징으로 하는 수평 게이트 IGBT 소자를 제공한다.

[0008] 본 발명의 일 실시예에 의하면, 상기 수평 게이트 서브전극 사이에 위치하고, 상기 nMOS에 연결되는 제 2 에미터 전극을 포함하는 것을 특징으로 하는 수평 게이트 IGBT 소자일 수 있으며, 상기 N 드리프트 층에 접하고, 상기 P+ 콜렉터 영역과 산화막으로 분리되는 N+ 영역을 더 포함하는 것을 특징으로 하는 수평 게이트 IGBT 소자일 수 있다.

[0009] 본 발명의 다른 실시예에 의하면, 상기 nMOS는 상기 P+ 에미터 영역 및 상기 N+ 에미터 영역과 소정의 거리를 두고 이격하여 위치하고, 산화막 및 N-well로 상기 N 드리프트 층과 분리되어 있는 것을 특징으로 하는 수평 게이트 IGBT 소자일 수 있다.

[0010] 본 발명은 상기 두 번째 과제를 달성하기 위하여, P+ 콜렉터 영역에 접하는 콜렉터 전극, P+ 에미터 영역과 N+ 에미터 영역에 접하는 제 1 에미터 전극, 및 N 드리프트 층에 접하는 수평 게이트 전극을 포함하고, 상기 수평 게이트 전극은 2개의 수평 게이트 서브 전극들로 나뉘고, 상기 수평 게이트 서브 전극들에 nMOS가 연결되어 있으며, 상기 콜렉터 전극에 접하는 P+ 콜렉터 영역은 적어도 하나 이상의 산화막으로 분리되는 것을 특징으로 하는 수평 게이트 IGBT 소자를 포함하는 인버터를 제공한다.

[0011] 본 발명은 상기 세 번째 과제를 달성하기 위하여, 콜렉터 전극, 에미터 전극, 수평 게이트 전극을 포함하는 수평 게이트 IGBT 소자를 제조하는 방법에 있어서, 상기 수평 게이트 전극은 2 개의 수평 게이트 서브 전극들로 나누고, 상기 수평 게이트 서브 전극들에 연결되는 nMOS를 삽입하는 단계, 상기 수평 게이트 서브 전극 사이에 상기 nMOS에 연결되는 제 2 에미터 전극을 형성하는 단계, 상기 콜렉터 전극에 연결되는 P+ 콜렉터 영역을 적어도 하나 이상의 산화막으로 분리되도록 형성하는 단계, 및 N 드리프트 층과 접하고 상기 P+ 콜렉터 영역과 산화막으로 분리되는 N+ 영역을 형성하는 단계를 포함하고, 상기 nMOS는 P+ 에미터 영역 및 N+ 에미터 영역과 소정의 거리를 두고 이격하여 위치하고, 산화막 및 N-well로 상기 N 드리프트 층과 분리되어 있는 것을 특징으로 하는 수평 게이트 IGBT 소자 제조방법을 제공한다.

발명의 효과

[0012] 본 발명에 따르면, 수평 게이트에 nMOS를 삽입함으로써 전자의 주입효율을 높일 수 있으며, 산화막에 의해 이격

된 P+ 콜렉터 영역에 의해 정공의 주입효율 또한 증가하게되어 더 높은 주입효율에 의해 낮은 순방향 전압 강하 특성을 얻을 수 있다. 또한, nMOS를 삽입한 수평 게이트와 산화막에 의해 이격된 P+ 콜렉터 영역에 의해 순방향 특성과 턴-오프 특성 모두 높일 수 있다. 나아가, 수평 게이트에 삽입된 nMOS를 산화막과 N-well로 이격함으로써 JFET 효과를 억제하고, 래치-업 특성을 높일 수 있다.

도면의 간단한 설명

- [0013] 도 1은 본 발명의 일 실시예에 따른 수평 게이트 IGBT 소자이다.
- 도 2는 본 발명의 실시예에 따른 nMOS가 삽입된 수평 게이트이다.
- 도 3은 본 발명의 일 실시예에 따른 수평 게이트 IGBT 소자의 등가회로도이다.
- 도 4는 본 발명의 일 실시예에 따른 수평 게이트 IGBT 소자 제조방법의 흐름도이다.

발명을 실시하기 위한 구체적인 내용

- [0014] 본 발명에 관한 구체적인 내용의 설명에 앞서 이해의 편의를 위해 본 발명이 해결하고자 하는 과제의 해결 방안의 개요 혹은 기술적 사상의 핵심을 우선 제시한다.
- [0015] 본 발명의 일 실시예에 따른 수평 게이트 IGBT 소자는 P+ 콜렉터 영역에 접하는 콜렉터 전극, P+ 에미터 영역과 N+ 에미터 영역에 접하는 제 1 에미터 전극, 및 N 드리프트 층에 접하는 수평 게이트 전극을 포함하고, 상기 수평 게이트 전극은 2개의 수평 게이트 서브 전극들로 나뉘고, 상기 수평 게이트 서브 전극들에 nMOS가 연결되어 있으며, 상기 콜렉터 전극에 접하는 P+ 콜렉터 영역은 적어도 하나 이상의 산화막으로 분리되는 것을 특징으로 한다.
- [0016] 이하 첨부된 도면을 참조하여 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 본 발명을 용이하게 실시할 수 있는 실시 예를 상세히 설명한다. 그러나 이들 실시예는 본 발명을 보다 구체적으로 설명하기 위한 것으로, 본 발명의 범위가 이에 의하여 제한되지 않는다는 것은 당업계의 통상의 지식을 가진 자에게 자명할 것이다.
- [0017] 본 발명이 해결하고자 하는 과제의 해결 방안을 명확하게 하기 위한 발명의 구성을 본 발명의 바람직한 실시예에 근거하여 첨부 도면을 참조하여 상세히 설명하되, 도면의 구성요소들에 참조번호를 부여함에 있어서 동일 구성요소에 대해서는 비록 다른 도면상에 있더라도 동일 참조번호를 부여하였으며 당해 도면에 대한 설명시 필요한 경우 다른 도면의 구성요소를 인용할 수 있음을 미리 밝혀둔다. 아울러 본 발명의 바람직한 실시예에 대한 동작 원리를 상세하게 설명함에 있어 본 발명과 관련된 공지 기능 혹은 구성에 대한 구체적인 설명 그리고 그 이외의 제반 사항이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우, 그 상세한 설명을 생략한다. 본 명세서에서, 단수형은 문구에서 특별히 언급하지 않는 한 복수형도 포함한다. 명세서에서 사용되는 "포함한다 (comprises)" 또는 "포함하는 (comprising)"은 언급된 구성요소, 단계, 동작 및/또는 소자 이외의 하나 이상의 다른 구성요소, 단계, 동작 및/또는 소자의 존재 또는 추가를 배제하지 않는다.
- [0018] 도 1은 본 발명의 일 실시예에 따른 수평 게이트 IGBT 소자이다.
- [0019] 수평 게이트 IGBT 소자는 제 1 에미터 전극(50)이 접하고 있는 P+ 에미터 영역과 N+ 에미터 영역 아래의 P 베이스(51)에 반전층이 형성될 정도의 전압이 수평 게이트 서브 전극(60)에 인가되면, N 드리프트 층(10)과 제 1 에미터 전극(50)이 접하고 있는 N+ 에미터 영역을 연결하는 채널이 형성되며, 이 때를 IGBT의 순방향 전도 상태라고 한다. 상기 채널을 통해 N 드리프트 층(10)으로 주입되는 전자전류에 의해서 N 드리프트 층(10)의 전위가 낮아지게 되고 N 드리프트 층(10)과 P+ 콜렉터 영역(20) 사이는 순방향 바이어스가 된다. N 드리프트 층(10)과 P+ 콜렉터 영역(20) 사이가 순방향 바이어스가 되면, P+ 콜렉터 영역(20)으로부터 N 드리프트 층(10)으로 정공이 주입되고 P 베이스를 통과하여 제 1 에미터 전극(50)으로 빠져나간다. 즉, 수평 게이트 서브 전극(60)에 바이어스 전압이 인가되면, P+ 콜렉터 영역(20)에서 제 1 에미터 전극(50)으로 정공이 이동하게 되고, 전류가 흐르게 된다. 이는 BJT(Bipolar Junction Transistor)와 동일한 원리로 동작하는 것으로, MOSFET(MOS field-effect transistor)에 비해 낮은 순방향 전압강하 특성을 보인다. 또한, 저농도의 N 드리프트 층(10)을 가지고 있어 높은 항복전압(Zener voltage)을 가지고 있다. 수평 게이트 IGBT 소자는 구조상 N+ 에미터 영역, P 베이스 영역, 및 N 드리프트 층에 의해 구성되는 기생 사이리스터인 NPN 바이폴라 트랜지스터가 존재하는바, 래치-업 현상을 발생시킨다. 즉, 온 동작시 PNP 트랜지스터로부터 주입된 높은 전류 레벨에 의해 NPN 트랜지스터가 동작함으로써 래치-업 현상이 발생한다.

- [0020] 본 발명의 일 실시예에 따른 수평 게이트 IGBT 소자는 N 드리프트 층(10), P+ 콜렉터 영역(20), N+ 영역(40), 제 1 에미터 전극(50), 수평 게이트 서브 전극(60), 및 제 2 에미터 전극(70)을 포함한다.
- [0021] P+ 콜렉터 영역(20)은 N 드리프트 층(10) 하단에 위치하고, 콜렉터 전극과 N 드리프트 층(10)에 접하는 면 이외에는 산화막(30)으로 둘러 쌓여있다. P+ 콜렉터 영역(20)은 하나 이상일 수 있으며, 각각의 P+ 콜렉터 영역(20)은 하나 이상의 산화막(30)에 의해 분리되어 있다. P+ 콜렉터 영역(20)이 산화막(30)으로 분리되어 있어, P+ 콜렉터 영역(20)으로부터 주입되는 정공이 N 드리프트 층(10) 이외의 다른 영역으로 이동하는 것을 산화막(30)이 방지하므로, P+ 콜렉터 영역(20)로부터 N 드리프트 층(10)으로의 정공주입 효율이 높아진다.
- [0022] 또한, N+ 영역(40)은 산화막(30)으로 P+ 콜렉터 영역(20)과 분리되어 N 드리프트 층(10) 하단 양쪽에 위치한다. N+ 영역(40)은 턴-오프시 N 드리프트 층(10)에 남아있는 정공에 의한 턴-오프 지연시간을 단축시킨다. 산화막으로 분리된 P+ 콜렉터 영역(20)과 제 2 에미터 전극(70)에 의해 정공주입 효율이 상승하고, 이로 인해 순방향 특성이 향상되면, IGBT 스위칭 소자가 턴-오프 될 때 N 드리프트 층(10) 내에 축적되어 있는 정공 또한 증가하게 된다. N 드리프트 층(10) 내에 축적되어 있는 정공은 천천히 외부로 이동하게 되어 턴-오프 시 꼬리 전류(Current tail)를 형성한다. 수평 게이트 바이어스가 온 상태에서 오프상태로 전환될 때, 오프가 되었음에도 상기 꼬리 전류에 의해 일정 시간동안 전류가 흐르게 된다. 상기 꼬리 전류는 전력손실을 발생시켜 전력효율이 나빠지게 된다. 하지만, 산화막(30)으로 P+ 콜렉터 영역(20)과 분리되어 N 드리프트 층(10) 하단 양쪽에 위치한 N+ 영역(40)으로 인해 N 드리프트 층(10) 내에 축적되어 있는 정공이 쉽게 재결합하게 되어 상기 꼬리 전류의 생성을 줄일 수 있다. 즉, N+ 영역(40)은 턴-오프 특성을 높이는 역할을 한다.
- [0023] 제 1 에미터 전극(50)은 N 드리프트 층(10) 상단 양쪽에 위치한다. 제 1 에미터 전극(50)은 전류가 흐를 수 있는 통로의 역할을 한다. 수평 게이트 서브 전극(60)에 전압이 인가되어 바이어스 상태가 되면 N 드리프트 층(10)과 채널이 형성되어 P+ 콜렉터 영역(20)에서 N 드리프트 층(10)으로 주입된 정공이 빠져나가는 통로가 된다. 제 1 에미터 전극(50)에 접하고 있는 P+ 에미터 영역과 N+ 에미터 영역은 P 베이스 영역(51)으로 N 드리프트 층(10)과 분리되어 있다.
- [0024] 수평 게이트 서브 전극(60)은 N 드리프트 층(10) 상단 및 제 1 에미터 전극(50) 사이에 위치한다. 또한, 수평 게이트 서브 전극(60) 사이에는 제 2 에미터 전극(70)이 위치한다. 제 2 에미터 전극(70)이 삽입된 수평 게이트(60)에 대한 상세한 설명은 도 2에 대한 상세한 설명에서 자세히 다루도록 한다.
- [0025] 도 2는 본 발명의 실시예에 따른 nMOS가 삽입된 수평 게이트이다.
- [0026] 보다 구체적으로, 제 1 에미터 전극(50) 사이에 2 개의 수평 게이트 서브 전극(60)으로 나뉜 수평 게이트가 위치하고, 수평 게이트 서브 전극(60) 사이에 제 2 에미터 전극(70)이 위치한다. 제 2 에미터 전극(70)이 연결되는 nMOS가 수평 게이트 서브 전극(60) 사이에 위치함으로써, IGBT 소자의 온, 오프 동작 상태에서의 전자, 정공의 주입효율이 높아진다. nMOS에 의해 전자, 정공의 주입량이 증가됨으로써, 온-저항이 낮아지고, 그로 인해 순방향 전압강하 특성 또한 낮아진다.
- [0027] 제 2 에미터 전극(70)은 P+ 영역(72)과 N++ 영역(73)으로 형성되는 nMOS를 수평 게이트 서브 전극(60) 사이에 삽입함으로써 형성된다. 제 1 에미터 전극(50)은 P+ 에미터 영역과 N+ 에미터 영역으로 형성되는 것에 반해, 제 2 에미터 전극(70)에 연결되는 nMOS는 P+ 영역(72)과 N++ 영역(73)으로 형성된다. 제 2 에미터 전극(70)의 양쪽으로 수평 게이트 서브 전극과 접하는 두 개의 N++ 영역(73)이 위치하고, 두 개의 N++ 영역(73)을 P+ 영역(72)이 둘러싸는 형태로 형성된다. 또한, 제 2 에미터 전극(70)과 연결되는 nMOS는 산화막과 N-well(74)로 N 드리프트 층(10)과 분리되어 있다. 상기 제 2 에미터 전극(70)을 N 드리프트 층(10)과 분리시키는 산화막으로 LOCOS(Local Oxidation of Silicon)를 이용할 수 있다. 제 2 에미터 전극(70)의 nMOS는 상기 P+ 에미터 영역 및 상기 N+ 에미터 영역과 JFET 효과를 방지할 수 있는 거리 이상 이격하여 위치한다. 제 2 에미터 전극(70)의 nMOS는 상기와 같이 일정 거리이상 상기 P+ 에미터 영역 및 상기 N+ 에미터 영역과 이격하여 위치하고, 산화막과 N-well(74)로 둘러싸임으로써 두 nMOS 구조 사이에서 발생할 수 있는 JFET 효과를 억제할 수 있다. JFET 효과에 따른 저항을 줄일 수 있어, 낮은 순방향 전압 강하의 효과를 갖는다.
- [0028] 제 2 에미터 전극(70)을 형성하는 nMOS의 P+ 영역(72)은 턴-오프 시 N 드리프트 층(10)에 축적되어 있는 정공이 이동할 수 있는 통로가 되므로, 턴-오프 특성을 높이는 역할을 한다. 턴-오프 시 발생하는 전력손실이 있는바, nMOS의 P+ 영역(72) 턴-오프 특성이 높임으로써 전력효율을 높일 수 있다. P+ 영역(72)에 의해 P+ 에미터 영역에 기생하는 저항(Rs)이 작아지므로, 래치업 특성 또한 개선된다.
- [0029] 도 3은 본 발명의 일 실시예에 따른 수평 게이트 IGBT 소자의 등가회로도이다.

- [0030] 종래의 수평 게이트 IGBT 소자의 등가회로와 동작원리는 동일하나, 본 발명의 일 실시예에 따른 수평 게이트 IGBT 소자의 등가회로도 수평 게이트(60) 사이에 삽입된 제 2 에미터 전극과 연결되는 nMOS, 즉 M2(130)와 산화막으로 서로 이격된 P+ 콜렉터 영역(20)에 해당하는 Q3(150)가 추가되었다. M2(130)와 Q3(150)가 추가됨으로써, 이동하는 전자, 정공의 양이 증가한다.
- [0031] 보다 구체적으로, 제 2 에미터 전극과 연결되는 nMOS의 삽입으로 추가된 M2(130)가 전자전류의 양을 증가시킨다. M2(130)에 의해 증가된 전자전류는 콜렉터 영역으로 주입되는 정공전류 I3(160)의 양을 증가시켜 N 드리프트 층(10)의 온-저항을 낮추고, I3(160)는 각각 M1(100), M2(130)의 정공전류 I1(180), I2(140)으로 주입된다. 또한, 산화막으로 이격된 P+ 콜렉터 영역(20)로부터 N 드리프트 층(10)에 주입되는 정공전류는 Q1(170)과 Q2(150)으로 주입되는 정공전류 즉, I3(160)를 증가시켜 낮은 순방향 전압강하 특성을 유도한다.
- [0032] 또한, 제 2 에미터 전극(70)과 연결되는 nMOS의 P+ 영역(72)은 구조적으로 기생하는 저항인 Rs(110)를 낮추는 역할을 하여 래치업 특성을 향상시킨다.
- [0033] IGBT 소자에 있어서, 정공의 주입효율 즉, 순방향 특성이 좋아지게 되면, 턴-오프 시 꼬리 전류에 의해 턴-오프 특성이 나빠지게 된다. 따라서, 순방향 특성과 턴-오프 특성은 상반된 관계에 있다고 할 수 있다. 하지만, 본 발명의 일 실시예에 따른 수평 게이트 IGBT 소자는 상기 순방향 특성과 턴-오프 특성 모두를 향상시킬 수 있다.
- [0034] 상기 효과를 구성과 함께 알아보기 위하여 우선 본 발명의 일 실시예에 따른 수평 게이트 IGBT 소자를 정리하면 다음과 같다. 상기 소자의 N 드리프트 층(10) 하단을 콜렉터를 산화막으로 이격된 P+ 콜렉터 영역(20)과 N+ 영역(40)으로 형성하고, N 드리프트 층(10) 상단은 수평 게이트(60) 사이에 nMOS를 삽입하는 형태로 형성하게 된다.
- [0035] 산화막(30)으로 이격되어 N 드리프트 층(10) 하단에 위치한 P+ 콜렉터 영역(20)와 제 2 에미터 전극(70)을 형성하는 nMOS를 삽입함으로써, 순방향 특성이 향상된다. 또한, 두꺼운 산화막과 N-well(74)로 둘러싸인 nMOS를 P+ 에미터 영역 및 N+ 에미터 영역과 일정 거리이상 이격시킴으로써, JFET효과를 줄어든게 되고, JFET효과가 줄어들므로써 순방향 특성이 향상된다.
- [0036] 또한, 산화막(30)으로 P+ 콜렉터 영역(20)와 이격된 N+ 영역(40)과 nMOS를 삽입함으로써, 턴-오프시 N 드리프트 층(10)에 축적된 정공이 빠르게 외부로 이동할 수 있도록 하여 턴-오프 특성이 향상된다.
- [0037] 나아가, nMOS의 P+ 영역(74)은 온-저항인 도 3의 등가회로도 Rs(110) 저항을 줄이는 역할을 하므로, 래치업 특성 또한 줄일 수 있다.
- [0038] 인버터의 성능을 높이기 위하여 도 1 내지 도 3에서 설명한 수평 게이트 IGBT 소자를 이용할 수 있다. 상기 인버터에 이용되는 수평 게이트 IGBT 소자에 대한 상세한 설명은 도 1 내지 도 3의 수평 게이트 IGBT 소자에 대한 상세한 설명에 대응하는바, 도 1 내지 도 3의 수평 게이트 IGBT 소자에 대한 상세한 설명으로 대신한다.
- [0039] 도 4는 본 발명의 일 실시예에 따른 수평 게이트 IGBT 소자 제조방법의 흐름도이다.
- [0040] 410단계는 수평 게이트 전극은 2 개의 수평 게이트 서브 전극들로 나누고, 상기 게이트 서브 전극들에 연결되는 nMOS를 삽입하는 단계이다.
- [0041] 보다 구체적으로, 게이트 전극 사이에 제 2 에미터 전극을 형성하기 위하여 수평 게이트 전극은 2 개의 수평 게이트 서브 전극들로 나누고, 상기 게이트 서브 전극들에 연결되는 nMOS를 삽입한다. 본 단계의 수평 게이트 서브 전극 사이에 삽입된 nMOS에 대한 상세한 설명은 도 1 내지 도 2의 수평 게이트 서브 전극 사이에 삽입된 nMOS에 대한 상세한 설명에 대응하는바, 도 1 내지 도 2의 수평 게이트 서브 전극 사이에 삽입된 nMOS에 대한 상세한 설명으로 대신한다.
- [0042] 420단계는 상기 수평 게이트 서브 전극 사이에 상기 nMOS에 연결되는 제 2 에미터 전극을 형성하는 단계이다.
- [0043] 보다 구체적으로, 상기 수평 게이트 서브 전극 사이에 410단계에서 삽입된 nMOS와 연결하여 제 2 에미터 전극을 형성한다. 본 단계의 상기 P+ 에미터 영역 및 상기 N+ 에미터 영역에 대한 상세한 설명은 도 1의 상기 P+ 에미터 영역 및 상기 N+ 에미터 영역에 대한 상세한 설명에 대응하는바, 도 1의 상기 P+ 에미터 영역 및 상기 N+ 에미터 영역에 대한 상세한 설명으로 대신한다.
- [0044] 430단계는 콜렉터 전극에 연결되는 P+ 콜렉터 영역을 적어도 하나 이상의 산화막으로 분리되도록 형성하는 단계이다.

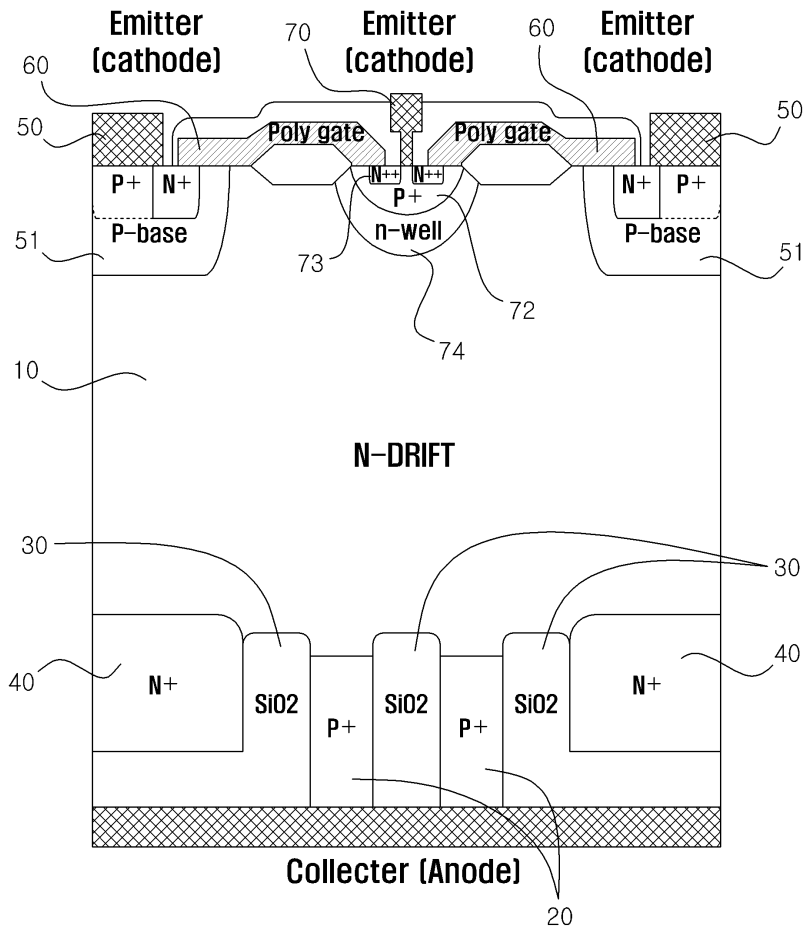
- [0045] 보다 구체적으로, 콜렉터 전극에 연결되는 P+ 콜렉터 영역을 콜렉터 전극 및 N 드리프트 층과 접하는 면 이외의 면을 산화막으로 둘러쌓아 분리되도록 형성한다. 본 단계의 P+ 콜렉터 영역에 대한 상세한 설명은 도 1의 P+ 콜렉터 영역에 대한 상세한 설명에 대응하는바, 도 1의 P+ 콜렉터 영역에 대한 상세한 설명으로 대신한다.
- [0046] 440단계는 N 드리프트 층과 접하고 상기 P+ 콜렉터 영역과 산화막으로 분리되는 N+ 영역을 형성하는 단계이다.
- [0047] 보다 구체적으로, 430단계에서 형성한 P+ 콜렉터 영역과 산화막으로 분리되는 N+ 영역을 형성한다. 본 단계의 N+ 영역에 대한 상세한 설명은 도 1의 N+ 영역에 대한 상세한 설명에 대응하는바, 도 1의 N+ 영역에 대한 상세한 설명으로 대신한다.
- [0048] 이상과 같이 본 발명에서는 구체적인 구성 요소 등과 같은 특정 사항들과 한정된 실시예 및 도면에 의해 설명되었으나 이는 본 발명의 보다 전반적인 이해를 돕기 위해서 제공된 것일 뿐, 본 발명은 상기의 실시예에 한정되는 것은 아니며, 본 발명이 속하는 분야에서 통상적인 지식을 가진 자라면 이러한 기재로부터 다양한 수정 및 변형이 가능하다.
- [0049] 따라서, 본 발명의 사상은 설명된 실시예에 국한되어 정해져서는 아니되며, 후술하는 특허청구범위뿐 아니라 이 특허청구범위와 균등하거나 등가적 변형이 있는 모든 것들은 본 발명 사상의 범주에 속한다고 할 것이다.

부호의 설명

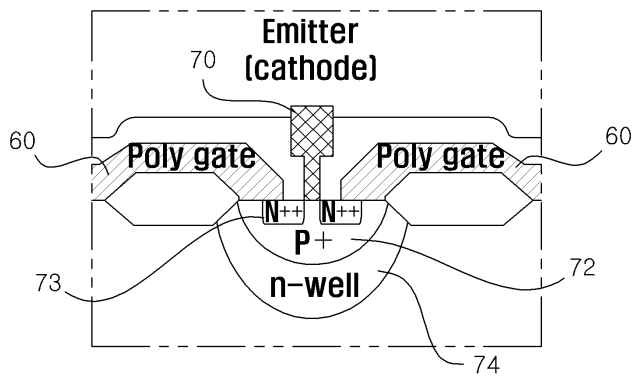
- [0050] 10: N드리프트
 20: P+ 콜렉터 영역
 30: 산화막
 40: N+ 영역
 50: 제 1 에미터 전극
 51: P 베이스 영역
 60: 게이트 서브 전극
 70: 제 2 에미터 전극
 72: P+ 영역
 73: N++ 영역
 74: N-well

도면

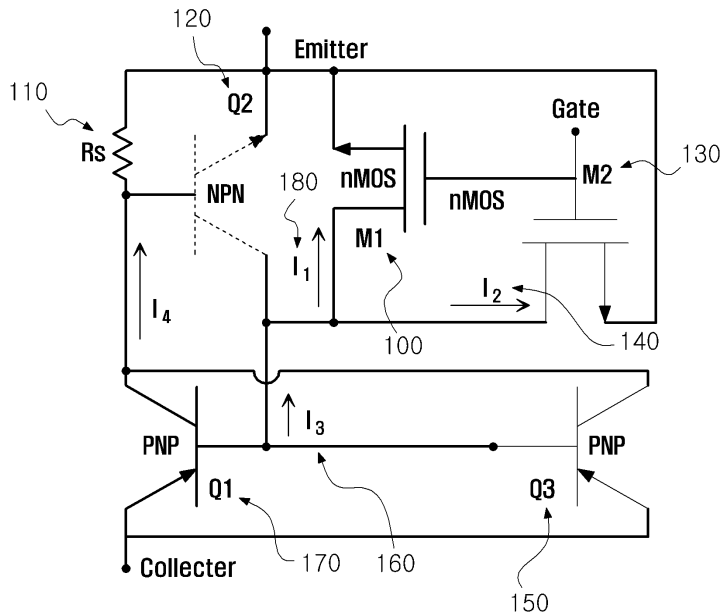
도면1



도면2



도면3



도면4

