

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2009-100607

(P2009-100607A)

(43) 公開日 平成21年5月7日(2009.5.7)

(51) Int.Cl.

H02M 3/155 (2006.01)

F I

H02M 3/155

H

テーマコード (参考)

5H730

審査請求 未請求 請求項の数 11 O L (全 13 頁)

(21) 出願番号 特願2007-271928 (P2007-271928)
 (22) 出願日 平成19年10月19日 (2007.10.19)

(71) 出願人 000233033
 日立コンピュータ機器株式会社
 神奈川県足柄上郡中井町境781番地
 (74) 代理人 100100310
 弁理士 井上 学
 (74) 代理人 100098660
 弁理士 戸田 裕二
 (72) 発明者 高橋 史一
 茨城県日立市大みか町七丁目1番1号
 株式会社日立製作所
 日立研究所内
 (72) 発明者 濱荻 昌弘
 神奈川県足柄上郡中井町境781
 日立コンピュータ機
 器株式会社内
 最終頁に続く

(54) 【発明の名称】 デジタル制御電源装置

(57) 【要約】

【課題】

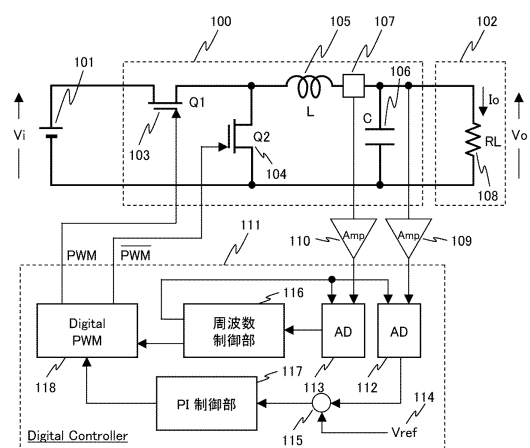
本発明の目的は、PWM制御を行う電源装置において、負荷全域での出力リップル電流を一定に制御するデジタル制御電源装置を提供することにある。

【解決手段】

本発明では、PWM信号を発生するデジタルコントローラを備え、前記PWM信号によりスイッチング素子をオン・オフし、入力された電圧から負荷用の出力電圧を得るデジタル制御電源装置において、前記デジタルコントローラは、前記電源装置のアナログ出力電流を取込みデジタル値に変換し、デジタル出力電流値を出力するADコンバータと、前記ADコンバータのサンプリング周波数、又は前記PWM信号を得るための基準となるキャリア周波数の1周期毎にパルス幅の演算を行う演算手段と、前記ADコンバータから出力されるデジタル出力電流値に応じて前記キャリア周波数及びサンプリング周波数をそれぞれ可変制御する周波数制御手段を備えたことを特徴とするものである。

【選択図】 図1

図 1



【特許請求の範囲】

【請求項 1】

PWM 信号を発生するデジタルコントローラを備え、
前記 PWM 信号によりスイッチング素子をオン・オフし、入力された電圧から負荷用の出力電圧を得るデジタル制御電源装置において、
前記デジタルコントローラは、前記電源装置のアナログ出力電流を取込みデジタル値に変換し、デジタル出力電流値を出力する A/D コンバータと、
前記 A/D コンバータのサンプリング周波数、又は前記 PWM 信号を得るための基準となるキャリア周波数の 1 周期毎にパルス幅の演算を行う演算手段と、
前記 A/D コンバータから出力されるデジタル出力電流値に応じて前記キャリア周波数及びサンプリング周波数をそれぞれ可変制御する周波数制御手段を備えたことを特徴とするデジタル制御電源装置。

10

【請求項 2】

請求項 1 のデジタル制御電源装置において、
前記キャリア周波数及びサンプリング周波数は互いに同期し、同一周期であることを特徴とするデジタル制御電源装置。

【請求項 3】

請求項 1 のデジタル制御電源装置において、
前記周波数制御手段は、前記キャリア周波数を 1 サンプリング周波数内において複数パルスに逡倍して出力することを特徴とするデジタル制御電源装置。

20

【請求項 4】

請求項 1 のデジタル制御電源装置において、
前記デジタル制御電源装置は、チョークコイルを有する平滑回路を備え、
該チョークコイルは、負荷電流増加に応じてインダクタンス値が減少する直流重畳特性を有し、該直流重畳特性による出力電流のリプル変動を前記周波数制御手段により一定に制御することを特徴とするデジタル制御電源装置。

【請求項 5】

請求項 1 のデジタル制御電源装置において、
前記デジタルコントローラは、前記 A/D コンバータと、予め内部メモリに格納されたりファレンス値から前記 A/D コンバータのデジタル出力電圧値を減算する減算器と、
前記減算器の出力から前記キャリア周波数とデジタル比較し PWM 信号を得るためのコンペア値を生成する演算部と、
前記 A/D コンバータから出力される出力電流値に応じて前記キャリア周波数及びサンプリング周波数を可変する周波数制御手段が同一の半導体集積回路上に形成されたことを特徴とするデジタル制御電源装置。

30

【請求項 6】

PWM 信号を発生するデジタルコントローラを備え、
前記 PWM 信号によりスイッチング素子をオン・オフし、入力された電圧から負荷用の出力電圧を得るデジタル制御電源装置において、
前記デジタルコントローラは、前記電源装置のアナログ出力電流、電圧を取込みデジタル値に変換し、デジタル出力電流値、出力電圧値を出力する A/D コンバータと、
前記 A/D コンバータのサンプリング周波数、又は前記 PWM 信号を得るための基準となるキャリア周波数の 1 周期毎に前記 A/D コンバータから出力されるデジタル出力値及び出力電圧値に基づいて、前記パルス幅のデューティを演算する演算手段と、
前記 A/D コンバータから出力されるデジタル出力電流値に応じて前記キャリア周波数及びサンプリング周波数をそれぞれ可変制御する周波数制御手段
を備えたことを特徴とするデジタル制御電源装置。

40

【請求項 7】

請求項 6 のデジタル制御電源装置において、
前記 A/D コンバータから出力されるデジタル出力電流値及び出力電圧値に応じて、前記

50

パルス幅を最大、又は最小デューティ状態、又は前記演算手段から得られるデューティを選択的に切換え、設定することを特徴とするデジタル制御電源装置。

【請求項 8】

PWM 信号を発生するデジタルコントローラを備え、

前記 PWM 信号によりスイッチング素子をオン・オフし、入力された電圧から負荷用の出力電圧を得るデジタル制御電源装置において、

前記デジタルコントローラは、前記電源装置のアナログ出力電流を取込みデジタル値に変換し、デジタル出力電流値を出力する AD コンバータと、

前記 AD コンバータのサンプリング周波数、又は前記 PWM 信号を得るための基準となるキャリア周波数の 1 周期毎にパルス幅の演算を行う演算手段と、

前記 AD コンバータから出力されるデジタル出力電流値に応じて前記キャリア周波数及び前記演算手段のクロック周波数をそれぞれ可変制御する周波数制御手段を備えたことを特徴とするデジタル制御電源装置。

10

【請求項 9】

請求項 8 のデジタル制御電源装置において、

前記 AD コンバータのサンプリング周波数を一定にしたことを特徴とするデジタル制御電源装置。

【請求項 10】

PWM 信号を発生するデジタルコントローラを備え、

前記 PWM 信号によりスイッチング素子をオン・オフし、入力された電圧から負荷用の出力電圧を得るデジタル制御電源装置において、

前記電源装置のアナログ出力電流を取込みデジタル値に変換し、デジタル出力電流値を出力する AD コンバータを備え、

前記デジタルコントローラは、前記 AD コンバータのサンプリング周波数、又は前記 PWM 信号を得るための基準となるキャリア周波数の 1 周期毎にパルス幅の演算を行う演算手段と、

前記 AD コンバータから出力されるデジタル出力電流値に応じて前記キャリア周波数及びサンプリング周波数をそれぞれ可変制御する周波数制御手段が同一の半導体集積回路上に形成されたことを特徴とするデジタル制御電源装置。

20

【請求項 11】

請求項 10 のデジタル制御電源装置において、

前記デジタルコントローラは、前記 AD コンバータと、予め内部メモリに格納されたりファレンス値から前記 AD コンバータのデジタル出力電圧値を減算する減算器と、

前記減算器の出力から前記キャリア周波数とデジタル比較し PWM 信号を得るためのコンペア値を生成する演算部と、

前記 AD コンバータから出力される出力電流値に応じて前記キャリア周波数及びサンプリング周波数を可変する周波数制御手段が同一の半導体集積回路上に形成されたことを特徴とするデジタル制御電源装置。

30

【発明の詳細な説明】

【技術分野】

40

【0001】

本発明は、PWM 信号によりスイッチング素子をオン・オフし、入力された電圧から負荷が必要とする出力電圧を得るデジタル制御電源装置に関する。

【背景技術】

【0002】

近年、半導体微細加工技術の進展によりマイクロプロセッサの高性能・高機能化が著しく進んでいる。また、動作電圧の低圧化、クロック動作周波数向上により、プロセッサ内部での消費電流及びその単位時間当りの変化率が増大している。この低電圧・大電流化は、プロセッサへの電源供給において非常に深刻な問題となってきた。この問題に対応するため、通常は POL (point-of-load) コンバータを用いている。

50

【 0 0 0 3 】

P O L コンバータは、電源と負荷間のラインインピーダンスを最小化する目的で、負荷直近に配置される超小型電源のことである。P O L コンバータの設計や実装を行う上で、周囲温度や負荷の変動などによって引き起される、各種パラメータの変動を十分考慮して検討する必要がある。パラメータ変動の一つに良く知られているチョークコイルの直流重畳特性がある。これは、チョークコイルに直流電流が流れるとインダクタンスが低下する現象で、インダクタンスが下がると更に電流が流れてしまうことで、出力リップル電圧が増加し回路の不安定動作や効率低下、最悪の場合は出力コンデンサや I C 回路などの部品破壊につながる可能性もある。

【 0 0 0 4 】

このような問題を解決するには、コアに高い飽和磁束密度を持つ材料を用いたチョークコイルを用いる方法がある。また、このように直流重畳特性に優れるコイルを用いるのと同時に、直流重畳特性を逆に利用し電源の効率を向上させる技術が開示されている（例えば、〔特許文献 1 〕）。ここでは、軽負荷時にスイッチング周波数を低く設定しつつ、軽負荷時に大きくインダクタンスが上昇する特殊な直流重畳特性を有するコイルを用いることで出力リップル電圧を低く抑え、軽負荷時の更なる効率向上を図っている。

【 0 0 0 5 】

【特許文献 2】特開平 6 - 3 1 9 2 6 0 号公報

【発明の開示】

【発明が解決しようとする課題】

【 0 0 0 6 】

チョークコイルのコアに高い飽和磁束密度を持つ材料を用いた場合、値段が高価だけでなく、電流が流れやすくなることもあり加わった交流電圧により渦電流を生じ大きなロスを生じることもある。よって、設計が難しいといった課題もある。また、上記〔特許文献 1 〕に記載の技術では、軽負荷時の効率向上のためスイッチング周波数を低くすることは開示されているが、負荷電流が増大した際の動作については触れられていない。この場合、重負荷の領域では、インダクタンスが低下しリップル電流が増加するため、回路の制御系が不安定になり、また、効率低下の可能性もあるといった問題がある。

【 0 0 0 7 】

本発明の目的は、P W M 制御を行う電源装置において、負荷全域での出力リップル電流をなるべく一定に制御するデジタル制御電源装置を提供することにある。

【課題を解決するための手段】

【 0 0 0 8 】

上記目的を達成するため、本発明は P W M 信号を発生するデジタルコントローラを備え、前記 P W M 信号によりスイッチング素子をオン・オフし、入力された電圧から負荷用の出力電圧を得るデジタル制御電源装置において、前記電源装置のアナログ出力電流を取込みデジタル値に変換し、デジタル出力電流値を出力する A D コンバータと、前記デジタルコントローラは、前記 A D コンバータのサンプリング周波数、又は前記 P W M 信号を得るための基準となるキャリア周波数の 1 周期毎にパルス幅の演算を行う演算手段と、前記 A D コンバータから出力されるデジタル出力電流値に応じて前記キャリア周波数及びサンプリング周波数をそれぞれ可変制御する周波数制御手段を備えたことを特徴とするものである。

【 0 0 0 9 】

また、本発明のデジタル制御電源装置は、前記キャリア周波数及びサンプリング周波数は互いに同期し、同一の周期であることを特徴とするものである。

【 0 0 1 0 】

更に、本発明のデジタル制御電源装置は、前記周波数制御手段は、前記キャリア周波数を 1 サンプリング周波数内において複数パルスに通倍して出力することを特徴とするものである。

【 0 0 1 1 】

更に、本発明のデジタル制御電源装置は、前記デジタル制御電源装置は、チョークコイルを有する平滑回路を備え、該チョークコイルは、負荷電流増加に応じてインダクタンス値が減少する直流重畳特性を有し、該直流重畳特性による出力電流のリプル変動を前記周波数制御手段により一定に制御することを特徴とするものである。

【 0 0 1 2 】

更に、本発明のデジタル制御電源装置は、前記デジタルコントローラは、前記 A/D コンバータと、予め内部メモリに格納されたリファレンス値から前記 A/D コンバータのデジタル出力電圧値を減算する減算器と、前記減算器の出力から前記キャリア周波数とデジタル比較し P W M 信号を得るためのコンペア値を生成する演算部と、前記 A/D コンバータから出力される出力電流値に応じて前記キャリア周波数及びサンプリング周波数を可変する周波数制御手段が同一の半導体集積回路上に形成されたことを特徴とするものである。

10

【 0 0 1 3 】

また、上記目的を達成するため、本発明は P W M 信号を発生するデジタルコントローラを備え、前記 P W M 信号によりスイッチング素子をオン・オフし、入力された電圧から負荷用の出力電圧を得るデジタル制御電源装置において、前記電源装置のアナログ出力電流、電圧を取込みデジタル値に変換し、デジタル出力電流値、出力電圧値を出力する A/D コンバータと、前記デジタルコントローラは、前記 A/D コンバータのサンプリング周波数、又は前記 P W M 信号を得るための基準となるキャリア周波数の 1 周期毎に前記 A/D コンバータから出力されるデジタル出力電流値及び出力電圧値に基づいて、前記パルス幅のデューティを演算する演算を行う演算手段と、前記 A/D コンバータから出力されるデジタル出力電流値に応じて前記キャリア周波数及びサンプリング周波数をそれぞれ可変制御する周波数制御手段と、演算手段を備えたことを特徴とするものである。

20

【 0 0 1 4 】

また、上記目的を達成するため、本発明は P W M 信号を発生するデジタルコントローラを備え、前記 P W M 信号によりスイッチング素子をオン・オフし、入力された電圧から負荷用の出力電圧を得るデジタル制御電源装置において、前記電源装置のアナログ出力電流を取込みデジタル値に変換し、デジタル出力電流値を出力する A/D コンバータと、前記デジタルコントローラは、前記 A/D コンバータのサンプリング周波数、又は前記 P W M 信号を得るための基準となるキャリア周波数の 1 周期毎にパルス幅の演算を行う演算手段と、前記 A/D コンバータから出力されるデジタル出力電流値に応じて前記キャリア周波数及び前記演算手段のクロック周波数をそれぞれ可変制御する周波数制御手段を備えたことを特徴とするものである。

30

【 0 0 1 5 】

また、上記目的を達成するため、本発明は P W M 信号を発生するデジタルコントローラを備え、前記 P W M 信号によりスイッチング素子をオン・オフし、入力された電圧から負荷用の出力電圧を得るデジタル制御電源装置において、前記電源装置のアナログ出力電流を取込みデジタル値に変換し、デジタル出力電流値を出力する A/D コンバータを備え、前記デジタルコントローラは、前記 A/D コンバータのサンプリング周波数、又は前記 P W M 信号を得るための基準となるキャリア周波数の 1 周期毎にパルス幅の演算を行う演算手段と、前記 A/D コンバータから出力されるデジタル出力電流値に応じて前記キャリア周波数及びサンプリング周波数をそれぞれ可変制御する周波数制御手段が同一の半導体集積回路上に形成されたことを特徴とするものである。

40

【 発明の効果 】

【 0 0 1 6 】

本発明によれば、P W M 制御を行うデジタル制御電源装置において、高い信頼性で負荷全域での出力リプル電流を一定に制御するデジタル制御電源装置を提供することが出来る。

【 発明を実施するための最良の形態 】

【 0 0 1 7 】

以下、本発明の実施の形態について図面を参照しながら説明する。

50

【実施例 1】

【0018】

図 1 に、本発明の第 1 の実施例であるデジタル制御電源装置を示す。

【0019】

本デジタル制御電源装置は、電源回路 100、デジタルコントローラ 111、及び増幅器 109、110 より構成される。電源回路 100 は、入力電圧 101 を入力し負荷装置 102 に必要な電圧に変換して出力する。電源回路 100 はハイサイドの MOSFET 103、ローサイドの MOSFET 104、そして、平滑回路を形成するチョークコイル 105、平滑用コンデンサ 106、チョークコイル 105 の電流検出回路 107 より構成される。なお、電流検出回路にはホール素子やシャント抵抗などを用いることができる。

10

【0020】

デジタルコントローラ 111 は、上記平滑回路の出力電圧を増幅器 109 によって増幅されたアナログ電圧値を、所定のビット数のデジタル値に変換して出力する電圧変換用 AD コンバータ 112、上記チョークコイルの電流検出値を所定のビット数のデジタル値に変換して出力する電流変換用 AD コンバータ 113、出力電圧リファレンス信号 114 から前記電圧変換用 AD コンバータの出力値を減算する減算器 115、減算器出力の誤差量に対して主に PI（比例・積分）演算を行う PI 制御手段 117、前記電流変換用 AD コンバータの出力値に応じて AD コンバータ 112、113 のサンプリング周波数とデジタル PWM 回路 118 の内部のキャリア周波数を可変制御する周波数制御部 116、前記 PI 制御手段の演算結果を入力し内部キャリア周波数とデジタル比較し、前記ハイサイド MOSFET 及びローサイド MOSFET の駆動信号である、PWM 信号を出力するデジタル PWM 回路 118 より構成される。なお、出力電圧リファレンス信号は、コントローラ内部に予め設定し保持されているものである。また、増幅器 109、110 は抵抗分圧回路やフィルタ回路、ゲイン 1 のバッファアンプなどで構成される他、これら回路の組合せで構成してもよい。上記デジタルコントローラを構成する各手段のうち、部品の小型・低コスト化を図る上では、減算器及び PI 制御手段、周波数制御部、PWM 回路は同一の半導体集積回路上に形成された方が望ましい。必要に応じてアナログ回路部である AD コンバータも同一の半導体集積回路上に形成されることは言うまでもない。

20

【0021】

図 2 に、本デジタル制御電源装置で用いるチョークコイルの直流重畳特性について示す。コア材として、ダストコアとフェライトコアを用いた場合の特性について示してある。何れも、コイルに流す電流値に応じてインダクタンスが低下していることが分かる。ダストコアを用いた場合、フェライトコアよりも負荷電流によるインダクタンス低下の割合が大きい、非常に安価といった特徴がある。一方、フェライトコアを用いた場合は、ダストコアよりも負荷電流によるインダクタンス低下の割合を小さく抑えることができるが、その分、高コストといった特徴がある。従来は、制御系の安定性を確保し効率低下を抑えるため、直流重畳特性に優れたフェライトコアを用いていた。しかし、本発明では、直流重畳特性に劣るコア材を用いた場合でも、デジタル制御によりその特性をカバーし、低コストで高効率な電源装置を実現している。

30

【0022】

本実施例では、電源回路に非絶縁型の降圧コンバータを用いており、入力電圧を V_i 、出力電圧を V_o 、スイッチング周波数を f_{sw} 、インダクタンスを L とすると、出力のリップル電流 ΔI_L は以下の式で表すことができる。

40

【0023】

$$\Delta I_L = (1 - D) \times (V_o / L) \times (1 / f_{sw}) \quad \dots \dots (1)$$

ここで、 D は PWM 信号のオンデューティ比を表しており、降圧コンバータの場合は入出力電圧との間で以下の関係式を満足する。

【0024】

$$D = V_o / V_i \quad \dots \dots (2)$$

(1) 式から分かるとおり、負荷電流が増え直流重畳特性によりインダクタンス L が小

50

さくなった時、スイッチング周波数 f_{sw} を上げることによりリップル電流 ΔI_L の増加を抑えることが可能である。また、逆に負荷電流が減少しインダクタンス L が大きくなった時は、スイッチング周波数 f_{sw} を下げることで軽負荷時の効率低下を抑えることが可能となり、結果的に負荷電流の全域に亘りリップル電流を一定に保つことが可能となる。

【0025】

次に、本実施例の動作を図3により説明する。負荷電流 I_o は、時刻 t_1 に軽負荷から重負荷に変化し、時刻 t_3 に重負荷から軽負荷へと変化する。デジタルPWM回路の内部にはタイマカウンタがあり、与えられたビット数とクロック信号により離散三角波（キャリア波）が生成されている。図3の例ではキャリア波はダウカウンタで生成されており、例えばカウンタに12ビットの計数が指示されている場合、最大値 $4095 (2^{12} - 1)$ からクロック周期の幅で1ずつカウントダウンを行いカウント値が0になると再度4095からカウントダウンを開始する。図3では1回のカウントダウン開始から終了までの期間がスイッチング周期となっている。コンペア値はPI制御手段より出力される演算結果であり、デジタルPWM回路内でキャリア波と比較される。コンペア値とカウント値が等しくなったところでPWM回路よりハイレベルの信号が出力され、カウント値が0になった時点でロウレベルの信号が出力される。このようにしてPWM信号が生成される。

【0026】

更に図3の例では、サンプリング周期がスイッチング周期と同等に設定されており、サンプリングの1区間内でコンペア値の演算が完了するように設定されている。時刻 t_1 で負荷が重負荷に変化した時、 t_1 以降のサンプリング区間内でその変化分に応じた誤差量に対しての演算が実行されるため、 t_1 以降々サンプリング開始時（時刻 t_2 ）にコンペア値が大きく変化している。これにより、PWM出力のオン期間が広げられ、重負荷時の電力を補償している。

【0027】

また、時刻 t_1 直後のサンプリング時には電流変換用ADコンバータから重負荷時の電流情報が取込まれており、周波数制御手段はこの情報に基づきキャリア周波数及びサンプリング周波数を変更するか否かの判断を行っている。周波数を上げると判断した場合、デジタルPWM回路へはカウンタのビット計数を減らす指示、ADコンバータへはサンプリング周波数を上げる指示を行う。時刻 t_2 以降はキャリア周波数ならびにサンプリング周波数が、それ以前よりも高くなっている。即ち、重負荷の場合、チョークコイルのインダクタンスが低下し出力リップル電流が増加するのを抑制しリップル電流を一定とするため、スイッチング周波数を高める制御を行っている。時刻 t_3 で負荷が軽負荷に変化した時、今度は逆に周波数を下げる制御を行っている。この場合も基本的には上述した動作、設定と逆のような動作を行えばよく、ここでは説明を省略する。

【0028】

図4に上記実施例の効果について模式的に示した。横軸は負荷電流、縦軸は出力リップル電流を表す。スイッチング周波数 F_{sw} を 200kHz 及び 300kHz 固定とした場合と、 200kHz から 300kHz の間で上述したような周波数制御を行った場合について示してある。 200kHz 固定の場合よりも 300kHz 固定の場合が電流リップルを小さくすることができるが、周波数を高めた場合スイッチング損失の増加を招き、効率が悪くなるといったデメリットがある。これに対し、負荷電流に応じて 200kHz から 300kHz の間で適切に周波数可変制御を行った場合、図示のようにリップル電流をなるべく一定にでき全体としての効率も 300kHz 固定の場合よりも向上することができる。よって、回路の安定性を確保すると共に平滑回路の体積も小さくすることが可能になる。また、安価なチョークコイルを使用でき、小型で低コストな電源装置を実現できる。

【実施例2】

【0029】

図5に本発明の第2の実施例を示す。上記第1の実施例と重複する部分の説明は省略する。本実施例は、PI制御手段117の構成、動作例について詳細に示したものである。PI制御手段は、判定部500、Max.デューティ発生部501、Min.デューティ発生部

10

20

30

40

50

502, 演算部503, セレクタ504より構成する。Max.デューティ生成部は、予めオンデューティが最大となるようなコンペア値を内部に有しておりその値は固定値である。逆に、Min.デューティ生成部は予めオンデューティが最小となるようなコンペア値を内部に有している。即ち、減算器出力の誤差量に対し演算部503で所定の演算を行いコンペア値を出力するような演算による処理のオーバーヘッドは有していない。判定部は電圧変換用ADコンバータと電流変換用ADコンバータの各出力を入力し、その値を基に、Max.デューティかMin.デューティ、或いは演算部によって得られた、どのコンペア値を用いるかを判断し、セレクタ回路へ制御信号を出力する。セレクタ回路は入力された制御信号によって、デジタルPWM回路へ上記何れかのコンペア値を出力する。

【0030】

次に、本実施例の動作を図6により説明する。前記第1の実施例と同様に、負荷電流 I_o は時刻 t_1 に軽負荷から重負荷に変化し、時刻 t_3 において重負荷から軽負荷へと変化するものとする。第1の実施例と動作が大きく異なるのは、時刻 t_1 直後のサンプリング時からコンペア値が変化しPWM出力のオン期間が大きく広げられている点と、同様に時刻 t_3 直後のサンプリング時からコンペア値が変化し、PWM出力のオン期間が大きく縮められている点である。従って本実施例は、上記第1の実施例よりも、負荷急変に対して即座に応答を開始していることが分かる。本動作では、負荷変動が起こった t_1 または t_3 直後の電圧・電流のサンプリングにより、判定部がMax.デューティまたはMin.デューティをコンペア値として用いることを判断しており、処理オーバーヘッドの大きい演算部出力のコンペア値を使用しないようにすることで、負荷変動に対する速応性を実現している。

【0031】

また、Max.デューティがコンペア値として選択されている間のスイッチング周波数は軽負荷時のスイッチング周波数と同等であり、この期間は周波数可変制御を行ってない。よって、チョークコイルのインダクタンスは直流重畳特性により低下した状態であり、高速応答をより加速する方向に働く。時刻 t_2 以降、キャリア周波数ならびにサンプリング周波数が高くなっている点は第1の実施例と同様であり、目的や効果も上記実施例と同様に説明することができる。

【0032】

このように、負荷変動が生じた直後の過渡状態では高速応答を重視した制御、また、出力変動が所定値に整定した定常状態ではリップル電流を一定に保つような効率重視の制御を行うことで、応答性に優れた小型・低コストな電源装置を実現することが可能となる。

【実施例3】

【0033】

図7に本発明の第3の実施例を示す。上述した実施例と重複する部分の説明は省略する。

【0034】

本実施例は、サンプリング周波数を固定とし、周波数制御手段はクロック周波数のみ可変することの特徴とする。即ち、周波数制御手段は、デジタルPWM回路ならびにPI制御手段のクロック周波数を、電流変換用ADコンバータの出力結果を基に最適な周波数に可変制御する。

【0035】

本実施例の動作を図8により説明する。時刻 t_1 で、負荷が軽負荷から重負荷に変化するものとする。サンプリングは常に一定の周期で平滑回路の電圧・電流を取込んでいる。時刻 t_1 で負荷が重負荷に変化した時、 t_1 以降次のサンプリング区間内でその変化分に応じた誤差量に対しての演算が実行され、 t_1 以降次々サンプリング開始時にコンペア値が変化している。

【0036】

また、時刻 t_1 直後のサンプリング時には電流変換用ADコンバータから重負荷時の電流情報が取込まれており、周波数制御手段はこの情報に基づきクロック周波数を上げると

判断しているため、上記コンペア値の変化と同様、スイッチング周波数も高くなっている。上記第 1 の実施例では、PWM 回路内カウンタのビット計数指令でスイッチング周波数を可変していたが、本実施例では計数指令は固定でクロック周波数を上げることでスイッチング周波数を高めている。本動作例では、負荷変動後に 1 サンプル遅れてクロック周波数が 2 倍になっている様子が示されている。このようにスイッチング周波数を高めることで、負荷が重負荷の場合にチョークコイルのインダクタンスが低下して出力リップル電流が増加するのを抑制し、リップル電流を一定に制御している。よって、第 1 の実施例で述べた内容と同様の効果を本実施例についても得ることが可能となる。

【 0 0 3 7 】

以上の実施例では、出力電流を電流変換用 A/D コンバータにより取込み、その情報に基づいて可変周波数制御を実施してきたが、電流変換用 A/D コンバータの出力結果を P/I 制御手段にも入力し、内部リファレンス信号と電圧変換用 A/D コンバータ出力の誤差量と併せて演算を行うことも可能である。

10

【 0 0 3 8 】

また、上述の実施例ではデジタル制御の対象を降圧コンバータの電源回路に適用したものを示したが、その他各種コンバータへも同様の制御技術が適用できることは言うまでもない。

【 0 0 3 9 】

以上のような実施例により、小型・低コスト、且つ高い信頼性で負荷に安定した直流電力を供給可能な、デジタル制御電源装置を提供することができる。

20

【産業上の利用可能性】

【 0 0 4 0 】

本発明によれば、例えば、マイクロプロセッサを搭載した電子機器用のデジタル制御電源装置などに適用出来る。

【図面の簡単な説明】

【 0 0 4 1 】

【図 1】第 1 の実施例。

【図 2】チョークコイルの特性図。

【図 3】第 1 の実施例の動作図。

【図 4】第 1 の実施例の効果。

30

【図 5】第 2 の実施例。

【図 6】第 2 の実施例の動作図。

【図 7】第 3 の実施例。

【図 8】第 3 の実施例の動作図。

【符号の説明】

【 0 0 4 2 】

1 0 0 電源回路

1 0 1 入力電圧

1 0 2 負荷装置

1 0 3 ハイサイド MOSFET

40

1 0 4 ローサイド MOSFET

1 0 5 チョークコイル

1 0 6 平滑用コンデンサ

1 0 7 電流検出回路

1 0 8 負荷

1 0 9 電圧増幅器

1 1 0 電流増幅器

1 1 1 デジタルコントローラ

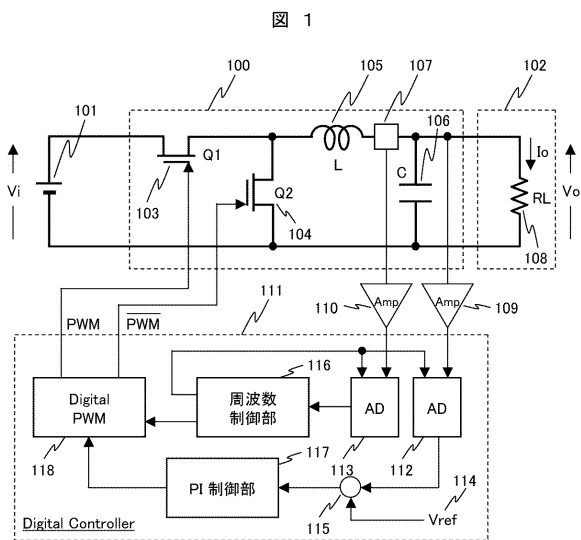
1 1 2 , 1 1 3 A/D コンバータ

1 1 4 リファレンス信号

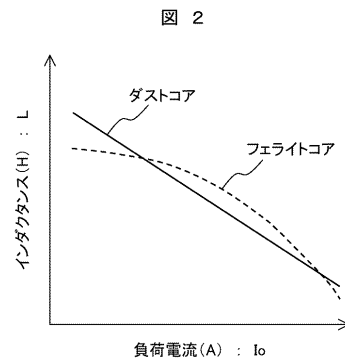
50

- 1 1 5 減算器
- 1 1 6 周波数制御部
- 1 1 7 P I 制御手段
- 1 1 8 デジタル P W M 回路
- 5 0 0 判定部
- 5 0 1 Max. デューティ発生部
- 5 0 2 Min. デューティ発生部
- 5 0 3 演算部
- 5 0 4 セレクタ

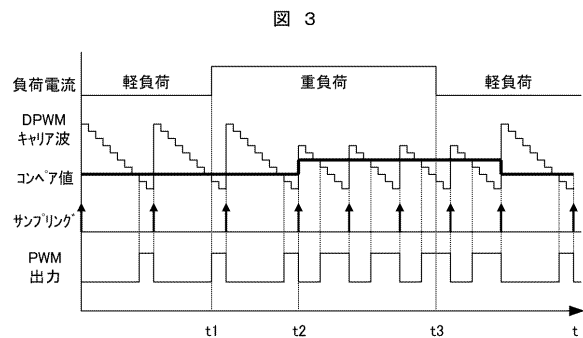
【図 1】



【図 2】

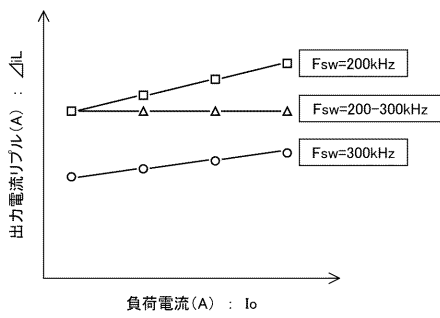


【図 3】



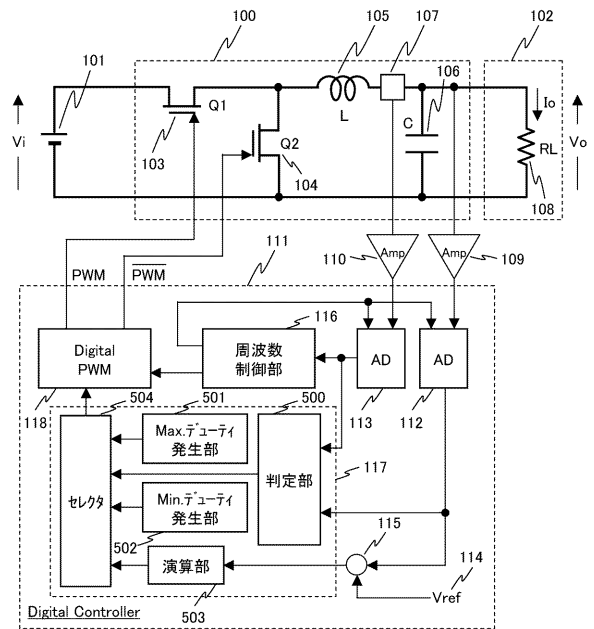
【図 4】

図 4



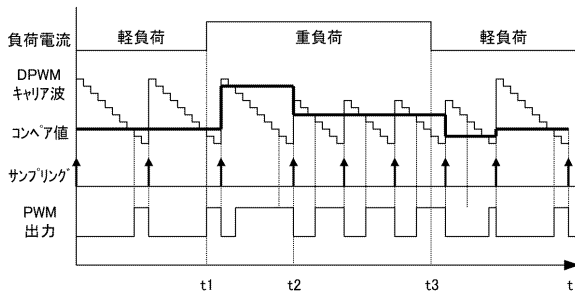
【図 5】

図 5



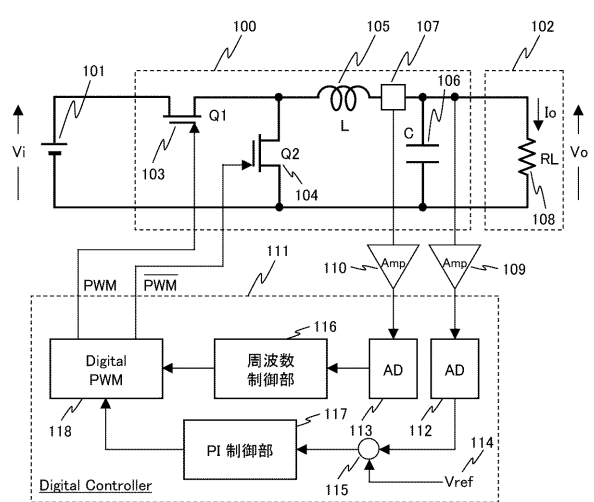
【図 6】

図 6



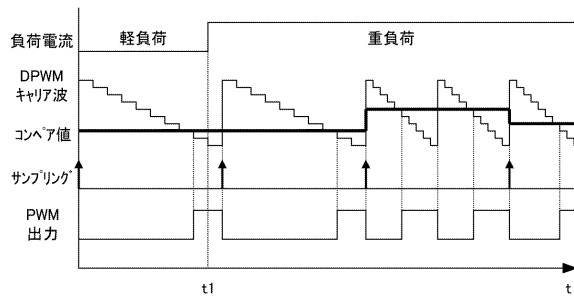
【図 7】

図 7



【 図 8 】

図 8



フロントページの続き

Fターム(参考) 5H730 AA15 AA19 AS01 BB13 DD04 EE13 FD03 FD33 FG05 XX35