(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2018년11월01일
(11) 등록번호 10-1914323
(24) 등록일자 2018년10월26일

(51) 국제특허분류(Int. Cl.)
H01L 31/04 (2014.01) *H01L 31/0224* (2006.01)
H01L 31/18 (2006.01)
(21) 출원번호 10-2013-7033483
(22) 출원일자(국제) 2012년05월25일
심사청구일자 2017년03월08일
(85) 번역문제출일자 2013년12월17일
(65) 공개번호 10-2014-0042815
(43) 공개일자 2014년04월07일
(86) 국제출원번호 PCT/EP2012/002274
(87) 국제공개번호 WO 2012/163517
국제공개일자 2012년12월06일
(30) 우선권주장
1111302.4 2011년05월27일 영국(GB)
61/490,955 2011년05월27일 미국(US)
(56) 선행기술조사문헌
JP2010080888 A*
JP2010080887 A*
KR1020100075045 A
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
알이씨 솔라르 피티이. 엘티디.
싱가포르 싱가포르 사우스 애비뉴 14 투아스 20 (우: 637312)
(72) 발명자
키르켄젠, 마틴
노르웨이 엔-1176 오슬로 비르게르 올리버스 베이 28에이
사우어, 에릭
노르웨이 엔-0372 오슬로 가우스타드베이엔 145
(74) 대리인
특허법인 무한

전체 청구항 수 : 총 15 항 심사관 : 전병식

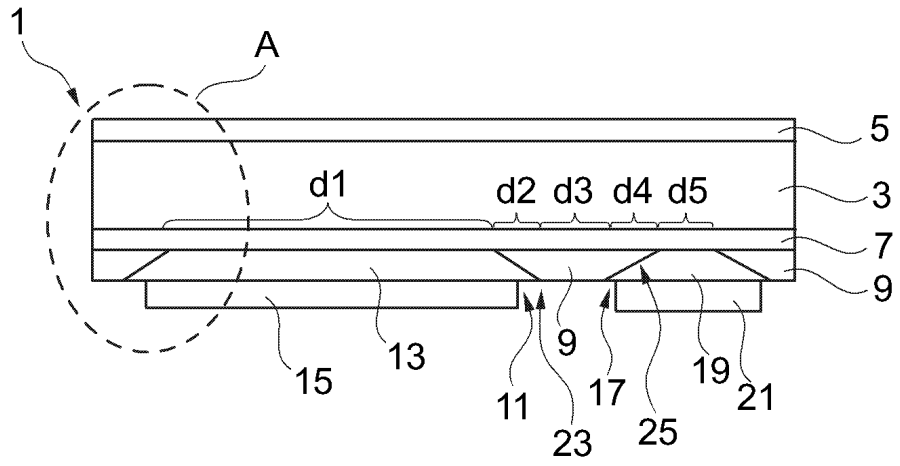
(54) 발명의 명칭 **태양전지 및 그의 제조방법**

(57) 요 약

배후 접촉 헤테로접합 태양전지(1) 및 그 태양전지의 제조 방법이 제안된다. 상기 태양전지(1)는 그것의 전면에서의 패시베이팅층(5) 및 그것의 배후면을 덮는 진성 비정질 실리콘층(7)을 가지는 실리콘 기판(3)을 포함한다. 상기 진성 비정질 실리콘층(7)의 뒤쪽 측면에서, 에미터층(13) 및 기저층(19)이 제공되고, 이들 층들의 각각은

(뒷면에 계속)

대 표 도 - 도1



상기 뒷면의 이웃하는 부분적인 지역들을 덮는다. 전기적 절연 물질을 포함하는 분리층(9)이 이들 에미터 및 기저층들(13, 19) 사이에 삽입된다. 상기 기저층(19) 및 에미터층(13)뿐만 아니라 이 분리층(9)은 마스크를 통과하여 증기 증착에 의해 발생될 수 있다. 그런 처리로 인하여, 상기 에미터층(13) 및 상기 분리층(9)의 인접 영역들과 상기 기저층(19) 및 상기 분리층(9)의 인접 영역들은, 상기 분리층(9)의 적어도 부분이 상기 에미터층(13) 및 상기 기저층(19) 중 각각 하나의 겹침 부분 보다 상기 기판(3)에 더 가까이 위치되는 것과 같은 방법으로, 겹침 지역들(23, 25)에 부분적으로 비스듬히 겹친다. 제안된 태양전지 개념 및 제조 방법과 함께, 높은 태양전지 효율은 가능한 고품질의 표면 패시베이션으로 인하여 낮은 제조 비용에서 얻을 수 있다.

명 세 서

청구범위

청구항 1

- 전면(front surface) 및 배후면(a rear surface)을 가진 실리콘 기판(3);

- 상기 실리콘 기판(3)의 전면에의 패시베이팅층 (5);

- 상기 기판(3)의 배후면을 덮는 얇은 진성 비정질 실리콘층(7)으로서, 상기 얇은 진성 비정질 실리콘층은 상기 실리콘 기판(3)의 배후면에 인접한 전면을 가지며 상기 얇은 진성 비정질 실리콘층의 전면의 맞은 편에 뒷면을 갖는, 얇은 진성 비정질 실리콘층(7);

- 제1 도핑 극성의 도핑된 반도체 물질을 포함하며 상기 얇은 진성 비정질 실리콘층(7)의 뒷면의 하나 이상의 부분들을 덮는 에미터층(13);

- 상기 제1 도핑 극성에 상반되는 제2 도핑 극성의 도핑된 반도체 물질을, 상기 실리콘 기판(3) 보다 더 높은 도핑 농도로 포함하며, 상기 에미터층(13)에 의해 덮힌 부분과 이웃하는 상기 얇은 진성 비정질 실리콘층(7)의 뒷면의 하나 이상의 부분들을 덮는 기저층(a base layer)(19); 및

- 상기 진성 비정질 실리콘층(7)의 뒷면의 하나 이상의 부분들 상에, 상기 에미터층(13)의 이웃하는 부분들과 상기 기저층(19)의 부분들 사이에 비스듬한 모양(laterally)으로 배열되며 전기적 절연 물질을 포함하는 분리층(9);

을 포함하는 배후 접촉 헤테로접합 진성 얇은층 태양전지로서,

상기 에미터층(13) 및 상기 분리층(9)의 인접 영역들과 상기 기저층(19) 및 상기 분리층(9)의 인접 영역들은, 겹침 지역 (23, 25)에서, 상기 분리층(9)의 적어도 일부분이 상기 에미터층(13) 및 상기 기저층(19) 중 각각의 하나의 겹침 부분 보다 상기 기판(3)에 더 가까이 위치되는 식으로, 부분적으로 비스듬히 겹치는 것을 특징으로 하는,

배후 접촉 헤테로접합 진성 얇은층 태양전지 (rear contacted heterojunction intrinsic thin layer solar cell)(1).

청구항 2

제1항에 있어서,

상기 분리층(9)의 외부로 향하는 표면으로부터 기원하는 법선(a normal originating from an outside facing surface of the separating layer)은, 상기 진성 비정질 실리콘층(7)과 접촉하지 않은 상기 분리층(9) 표면의 모든 위치들에 대하여 상기 진성 비정질 실리콘층으로부터 멀어지는 방향 요소를 가지는 것인, 태양전지.

청구항 3

제1항 또는 제2항에 있어서,

상기 분리층(9)의 두께는, 날카로운 가장자리들 없이, 매끄러운 방식으로 분리층의 측면 경계에서 무시할 수 있는 수치로 감소되는 것인, 태양전지.

청구항 4

제1항에 있어서,

상기 분리층(9)의 적어도 일부는 상기 진성 비정질 실리콘층(7)과 연속상을 형성하고, 상기 태양전지의 단면은

상기 진성 비정질 실리콘층(7)이 상기 에미터층(13) 및 상기 기저층(19) 중 하나와 접촉하는 전극들(15, 21)의 중앙 아래에서 가장 얇고 상기 분리층(9)의 대부분에서와 상기 전극 가장자리들 중 적어도 하나에 대하여 적어도 20% 더 두꺼운 것을 보여주는 것인, 태양전지.

청구항 5

제1항에 있어서,

상기 분리층(9)은 유전체 물질의 적어도 하나의 층을 포함하는 것인, 태양전지.

청구항 6

제1항에 있어서,

상기 분리층(9)은, 진성 비정질 실리콘의 하나의 층과 유전체 물질의 적어도 하나의 층으로 이루어지고, 상기 분리층의 진성 비정질 실리콘의 말미 부분은 아래로 연장되어 상기 인접한 기저층(19) 또는 에미터층(13) 중 하나와 비스듬히 겹치는 것인, 태양전지.

청구항 7

제1항에 있어서,

상기 기판(3)은 <111> 결정 방향으로 잘려지고 상기 배후면에서 연마된 실리콘 웨이퍼인 것인, 태양전지.

청구항 8

제1항에 있어서,

상기 실리콘 기판(3)의 배후면은 텍스쳐(texture)를 가지는 것인, 태양전지.

청구항 9

배후 측면(rear side)이 적어도:

- 전면 및 배후면을 가진 실리콘 기판(3)을 제공하는 단계;

- 상기 실리콘 기판(3)의 배후면 상에(over) 진성 비정질 실리콘의 얇은 층(7)을 증착시키는 단계로서, 상기 진성 비정질 실리콘 얇은 층은 실리콘 기판(3)의 배후면에 인접한 전면을 가지며 상기 진성 비정질 실리콘 얇은 층의 전면의 맞은 편에 뒷면을 가지는 것인, 단계;

- 전기적 절연 물질을 포함하는 분리층(9)을 증착시키는 단계로서, 상기 분리층(9)은 마스크(31)를 통과하여 증착되어 상기 진성 비정질 실리콘층(7)의 뒷면의 분리 부분들을 덮는 것인, 단계;

- 제1 도핑 극성의 도핑된 반도체 물질을 포함하는 에미터 층(13)을 증착시키는 단계로서, 상기 에미터 층(13)은 마스크(33)를 통과하여 증착되어 상기 분리 부분들에 인접한 상기 진성 비정질 실리콘층(7)의 뒷면의 에미터 부분을 덮는 것인, 단계; 및

- 상기 제1 도핑 극성에 상반되는 제2 도핑 극성의 도핑된 반도체 물질을, 상기 실리콘 기판(3) 보다 더 높은 도핑 농도로 포함하는 기저층(19)을 증착시키는 단계로서, 상기 기저층(19)은 마스크(35)를 통해 증착되어 상기 분리 부분들에 인접한 상기 진성 비정질 실리콘층(7)의 뒷면의 기저 부분을 덮는 것인, 단계;

에 의해 형성되는 것인,

배후 접촉 헤테로접합 진성 얇은 층 태양전지(1)의 제조방법.

청구항 10

제9항에 있어서,

상기 분리층, 상기 기저층 및 상기 에미터층 중 적어도 하나의 증착을 위해 사용되는 상기 마스크(31, 33, 35)는 하부에서 가장 좁은 경사진 가장자리들(tilted edges)을 가지는 것인, 태양전지의 제조방법.

청구항 11

제9항 또는 제10항에 있어서,

상기 분리층(9) 증착을 위해 배치될 때 상기 분리층(9)을 증착시키기 위해 사용되는 상기 마스크(31) 내 개구들이, 각각의 상기 기저층(19) 및 상기 에미터층(13) 증착을 위해 배치될 때 상기 기저층(19) 및 상기 에미터층(13) 중 하나를 증착시키기 위해 사용되는 상기 마스크(33, 35) 내 개구들과 부분적으로 비스듬히 겹치는 것인, 태양전지의 제조방법.

청구항 12

제9항에 있어서,

상기 분리층(9), 상기 에미터층(13) 및 상기 기저층(19)을 증착시키기 위해 사용되는 상기 마스크들(31, 33, 35)의 정렬 공정이 소정의 정렬 정밀도(d0)로 기술적으로 제한될 때, 상기 분리층들을 증착시키기 위한 상기 마스크들(31, 33, 35) 내 개구들의 폭 및 간격(d1, d2, d3, d4, d5)은 상기 소정의 정렬 정밀도(alignment precision)(d0)의 적어도 두 배의 폭 및 간격을 각각 가지는 것인, 태양전지의 제조방법.

청구항 13

제9항에 있어서,

동일한 마스크가 상기 분리층 증착, 상기 기저층 증착 및 상기 에미터층 증착의 다양한 증착들을 위해 사용되고, 상이한 마스크 정렬들(different mask alignments)은 모두 최초로 패턴닝된 층 증착의 정렬에 대해 단지 상대적인 것인(all just relative to the alignment of a first patterned layer deposition), 태양전지의 제조방법.

청구항 14

제9항에 있어서,

상기 분리층(9)을 증착시키기 위한 상기 마스크(31)는 다수의 브릿지들을 포함함으로써, 상기 브릿지들이 상기 마스크(31)의 기계적 안정성을 지지하면서 상기 브릿지 아래에서 층 증착을 가능하게 하는 것인, 태양전지의 제조방법.

청구항 15

제9항에 있어서,

상기 마스크(31, 33, 35)는 상기 실리콘 기판(3)의 물질의 열 팽창 계수와 동일하거나 가까운 열 팽창 계수를 가진 물질로 만들어진 것인, 태양전지의 제조방법.

발명의 설명

기 술 분 야

[0001] 본 발명은 배후 접촉 헤테로접합 진성 얇은 층 실리콘 태양전지 및 그 태양전지를 제조하는 방법에 관한 것이다.

배 경 기 술

[0002] 기술적인 배경

[0003] 태양전지들은 광기전력 효과를 이용하여 햇빛을 전기로 전환시키는데 이용된다. 일반적인 목표는 낮은 생산비의 필요에 의해 균형 잡힌 높은 변환 효율을 달성하는 것이다.

[0004] 높은 효율을 얻기 위해서, 양질의 반도체 물질들이 상기 태양전지를 위한 기판(substrate)들로서 사용되어야 하고 상기 기판들의 표면들은 모든 재결합 손실들을 최소화하기 위하여 많이 패시베이팅되어야 한다. 게다가, 상기 기판과 전기적으로 접촉하기 위한 접촉 구성들(contact schemes)은 저항 손실들 및 차광(shading)을 최소화하도록 최대한 활용되어야 한다.

[0005] 생산비를 낮게 유지하기 위해서, 가급적 적은 처리 단계들을 사용하고 뿐만 아니라 예를 들어 포토리소그래피 마스킹(photolithography masking) 및 고온 처리 단계들과 같은 복잡한 비용 집중적인 생산 단계들(complicated and costs-intensive production steps)을 방지하는 것이 대개 의도된다.

[0006] 태양전지 개념은 WO 03/083955 A1에 제안되어 있다. 거기에, 배후-접합형 광기전력 성분은 pn 접합 및 전극들이 반도체 실리콘 기판의 입사광 표면의 맞은편 배후면 상에 형성되는 것으로 제안되어 있다. 상기 광기전력 성분은 0.1 nm 내지 50 nm의 두께 범위를 가지는 그것의 배후 측면 상의 진성 반도체막을 가진다. 상기 진성 반도체막의 뒤쪽 측면 상에, p-형 전도성 반도체 부분들 및 n-형 전도성 반도체 부분들이 배치되고 상기 전도성 반도체 부분들의 각각은 각자의 제1 또는 제2 전극과 접촉된다. 그러한 헤테로접합 진성-박막 태양전지들은 HIT 태양전지로서 종종 불려진다.

[0007] 이 태양전지 개념 및 그 태양전지들을 제조하는 방법을 개선하기 위한 여러 가지 시도들이 제안되었다. 거기에서, 제조 방법들은 상기 기판 표면을 패시베이팅하기 위한 여러 가지 접근들을 포함하고, 다양한 반도체 전극층들 및 절연체층들의 기하학적 구조를 나타내고 및/또는 상기 태양전지 기판에 전기 전극들을 적용하는 단계 중에서 몇몇의 처리 단계들을 포함한다. 예를 들어, 상기 기판의 배후면 상에 반도체층들 또는 절연체층들의 지역들(areas)을 정확히 나타내도록 값비싼 포토리소그래피 처리 단계들을 사용하는 것이 제안되었다. 게다가, 준비된 개구들(openings)안에 다른 층 물질들을 뒤이어 증착하기 위하여 국부적으로 에칭함으로써 이전에 증착된 층들을 국부적으로 제거하고 그것에 의하여 배후 측면 층 배열의 바람직한 기하학적 구조를 발생시키는 것이 제안되었다.

[0008] 그러나, 배후 접촉 헤테로접합 진성 박막 태양전지 구성을 생성하기 위한 모든 통상적인 접근들은 다음의 결점들 중 적어도 하나로부터 악화되는 것으로 보인다:

[0009] - 값싼 대량 생산 방법의 부족

[0010] - 전극 지역들의 불완전한 정의로 인한 전극 가장자리들에서의 불충분한 패시베이션

[0011] - 오직 전극들의 제한된 부분 상으로의 전환 촉성 금속화(shunting forcing metallization)의 위험

[0012] - 상기 기판에 가장 가까운 임계층(critical layer) 내 상기 진성 박막의 청결 및 증착 균일성을 조절하는 것의 어려움

[0013] - 리소그래피의 사용으로 인한 값비싼 층 기하학적 정의 (layer geometry definition)

[0014] - 기판으로서의 <100>-배향된 실리콘 웨이퍼 (<100> - orientated silicon wafers) 사용의 필요

도면의 간단한 설명

[0015] 다음과 같이, 본 발명의 구현예들의 특징들 및 이점들은 첨부된 도면들에 대하여 기술된다. 그 점에서, 상세한 설명 또는 도면들이 본 발명을 제한하는 것으로 해석되어서는 안된다.

도 1은 본 발명의 구현예에 따른 태양전지의 기본 디자인의 단면도를 보여준다.

도 2는 도 1의 태양전지의 배후면 상으로의(onto) 평면도(top view)를 보여준다.

도 3은 도 1의 태양전지의 겹침 부분을 보여주는 도 1에 나타낸 부분 A의 확대된 단면도를 보여준다.

도 4는 도 2에 나타낸 부분 B의 확대된 평면도를 보여준다.

도 5는 본 발명의 구현예에 따른 제조방법에 사용 가능한 겹침 쉐도우 마스크 상의 평면도를 보여준다.

도 6은 도 5에 나타낸 부분 C의 확대된 평면도를 보여준다.

도 7의 a, b, c는 본 발명의 구현예에 따른 제조 방법에 사용 가능한 쉐도우 마스크들의 단면의 윤곽들(cross-sectional profiles)을 보여준다.

도 8의 a, b, c는 도 3에 나타낸 단면도들(a-a, b-b 및 c-c)을 위한 밴드 다이어그램(band diagrams)을 보여준다.

상기 도면들은 오직 도식으로 나타낸 것이지 범위가 아니다. 동일하거나 비슷한 특징들이 도면 전체에 걸쳐 동일한 참조 기호들로 지정된다.

발명을 실시하기 위한 구체적인 내용

[0016] 발명의 요약

[0017] 앞서 언급된 이전의 접근들에 대한 결점들을 적어도 부분적으로 극복하는 것이 본 발명의 목적이다. 특히, 비교적 간단한 비용 효율적인 제조 처리 순서를 이용하는 동안 높은 태양전지 효율을 허용하는 배후 접촉 헤테로접합 진성 얇은 층 태양전지 및 그 태양전지를 제조하는 방법을 제공하는 것이 본 발명의 목적일 수 있다.

[0018] 그러한 목적들은 독립 청구항들의 내용으로 이뤄질 수 있다. 유리한 구현예들은 종속 청구항들에 명시된다.

[0019] 본 발명의 첫 번째 양상(aspect)에 따르면, 배후 접촉 헤테로접합 태양전지는 실리콘 기판, 상기 실리콘 기판의 전면에의 패시베이팅(passivating)층, 상기 기판의 배후면 및 에미터층을 덮는 얇은 진성 비정질 실리콘(i-aSi)층, 상기 진성 비정질 실리콘층의 뒷면의 여러 지역들에 각각 제공되는 기저층 및 분리층을 포함하는 것으로 제안된다. 상기 에미터층 및 상기 기저층은 각각의 금속 및/또는 전도성 산화물 층들과 접촉될 수 있어 에미터 및 기저 전극들의 부분을 형성할 수 있다.

[0020] 상기 실리콘 기판은, 예를 들어 결정형 실리콘 웨이퍼일 수 있다. 상기 실리콘 기판은 n-형 또는 p-형 기저 도핑으로 도핑될 수 있다. 대안적으로(Alternatively), 상기 실리콘 기판은 진성 반도체 물질을 포함할 수 있다.

[0021] 상기 전면 패시베이팅층은, 예를 들어 상기 실리콘 기판의 전면을 패시베이팅하는 것뿐만 아니라, 임의적으로(optionally), 반사방지 코팅을 제공하는 것을 돕는 비정질 실리콘 및/또는 유전체 물질의 하나 이상의 층들을 포함할 수 있다.

[0022] 상기 얇은 진성 비정질 실리콘층은, 이 층이 상기 실리콘 기판의 배후면을 위한 표면 패시베이션에 유리하게 기여할 수 있으면서 상기 실리콘 기판으로부터의 전하 운반자들(charge carriers)이 이 층을 통과하는 터널을 뚫을 수 있으므로, 예를 들어 50 nm 보다 작은, 바람직하게는 1 내지 10 nm의 매우 작은 두께를 가져야 한다. 바람직하게는, 상기 진성 비정질 실리콘층은 상기 기판의 전체 배후면을 덥고 단일 증착 처리 단계에서 이 배후면 상에(onto) 증착될 수 있다.

[0023] 상기 에미터층은 제1 도핑 극성의 도핑된 반도체 물질을 포함한다. 상기 실리콘 기판이 n-형 또는 p-형 기저 도핑으로 만들어지는 경우, 상기 에미터층은 상기 실리콘 기판의 기저 도핑에 맞은편의 도핑을 포함할 수 있다. 상기 에미터층은 오직 이하에 "에미터 지역" 또는 "에미터 전극 지역"으로 또한 불려지는, 상기 진성 비정질 실리콘층의 뒷면의 부분적인 일부를 덮는다.

[0024] 상기 기저층은 상기 에미터층의 상기 제1 도핑 극성에 맞은편의 제2 도핑 극성의 도핑된 반도체 물질을 포함하고 상기 실리콘 기판의 어떤 기저 도핑 보다 더 높은 도핑 농도를 가진다. 상기 기저층은 이웃하지만, 상기 에미터층, 즉 상기 에미터 지역에 의해 덮힌 부분에 직접적으로 인접하지 않은, 즉 기계적 접촉하지 않은, 상기

진성 비정질 실리콘층의 뒷면의 부분을 덮는다(The base layer covers a portion of the back surface of the intrinsic amorphous silicon layer neighbouring, but not directly adjacent to, i.e. not in mechanical contact to, the portion covered by the emitter layer, i.e. the emitter area.) 또한 이 표면 부분은 이하에 "기저 지역" 또는 "기저 전극 지역"으로 불려진다.

[0025] 또한 "장벽층"으로서 이하에 때때로 불려지는, 상기 분리층은 진성 비정질 실리콘 및/또는 유전체 물질과 같은 전기적 절연 물질을 포함한다. 상기 분리층은 상기 에미터층 및 상기 기저층의 이웃하는 부분들 사이에서 비스듬한 모양으로, 상기 배후 진성 비정질 실리콘층의 뒷면의 부분 상에 배열된다. 다시 말해서, 상기 분리층은 상기 에미터 지역 및 상기 기저 지역의 이웃하는 부분들 사이에 비스듬히놓여진다(laterally interspaced). 상기 관련된 표면 부분은 또한 이하에 "분리 지역"으로 불려진다.

[0026] 상기 에미터층 및 상기 분리층의 인접 영역들과 상기 기저층 및 상기 분리층의 인접 영역들은, 겹침 지역에서, 상기 분리층의 적어도 부분이 상기 에미터층 및 상기 기저층의 각각 하나의 겹침 부분 보다 상기 기판에 더 가까이 위치되는 것과 같은 방법으로, 적어도 부분적으로 비스듬히 겹치도록 특정한 기하학적 배열 내 상기 에미터층, 상기 기저층 및 상기 분리층을 제공하는 것이 본 발명의 기초가 되는 목적일 수 있다.

[0027] 다시 말해서, 물론 상기 에미터층, 상기 기저층 및 상기 분리층의 각각이 다른 지역들 내의 상기 기초가 되는 진성 비정질 실리콘층의 2차원 표면과 접촉하면서, 이들 층들의 3차원 배열은 상기 에미터층 및 상기 기저층의 부분들이 이들 두 층들 사이에 공간을 둔 상기 분리층의 기초가 되는 부분을 적어도 부분적으로 비스듬히 겹치도록 제공될 수 있다.

[0028] 구현예에 있어서, 상기 분리층의 외부로 향하는 표면으로부터 기원하는 법선(a normal originating from an outside facing surface of the separating layer)은, 상기 진성 비정질 실리콘층과 접촉하지 않은 상기 분리층의 표면의 모든 위치들에 대하여 상기 배후 진성 비정질 실리콘층으로부터 멀어지는 방향 요소를 가진다.

[0029] 다시 말해서, 상기 진성 비정질 실리콘층과 직접 접촉하지 않는 상기 분리층 표면의 모든 부분은 다소간 상기 진성 비정질 실리콘층을 향하지 않는다 (more or less face away from the intrinsic amorphous silicon layer). 한번 더 다시 말하면, 상기 분리층은, 수직벽 또는 돌출부를 가지지 않고, 즉 상기 층으로부터 멀어지는 이 표면 위치로부터의 정상 기원은 상기 진성 비정질 실리콘층의 표면에 평행하거나 또는 이 표면쪽으로 평행하게 향해지는 곳으로 상기 진성 비정질 실리콘층과 접촉하지 않는 상기 분리층 표면의 부분들이 없을 것이다 (Again in other words, the separating layer shall have no vertical walls or overhangs, i.e. there shall be no portions of the surface of the separating layer not being in contact with the intrinsic amorphous silicon layer where a normal originating from this surface location and directing away from the layer is parallel to the surface of the intrinsic amorphous silicon layer or even directed towards this surface.)

[0030] 상기 분리층의 그러한 기하학적 구조로 인해, 그것은 항상 상기 분리층과 인접 기저층 또는 인접 에미터층이 겹치는 상기 겹침 지역 내 상기 진성 비정질 실리콘층과 직접적으로 접촉하는 상기 분리층이다. 따라서, 더욱 상세히 다음에 기술되는 것처럼, 상기 겹침 지역 내, 상기 인접한 기저층 또는 에미터층은 상기 진성 비정질 실리콘층의 표면으로부터 떨어져 약간 간격을 두고 상기 진성 비정질 실리콘층의 표면의 전계 효과 패시베이션 및 화학적 패시베이션에 긍정적인 효과를 가지는 상기 기초가 되는 분리층에 의해 그것으로부터 절연된다.

[0031] 구현예에 있어서, 상기 분리층의 두께는 날카로운 가장자리들 없이 그것의 측면 경계에서 무시할 수 있는 값까지 부드럽게 줄어든다. 다시 말해서, 상기 분리층은 그것의 측면 경계에 대하여 계속해서 더 얇아지지만 상기 분리층의 표면에 단들(steps)이 없으며 심지어 돌출부들(overhangs)도 없다. 모든 날카로운 가장자리들이 없는 것은 상기 분리층의 표면 패시베이팅 특성들에 긍정적으로 영향을 미칠 수 있다.

[0032] 구현예에 있어서, 상기 분리층의 적어도 일부분은 상기 진성 비정질 실리콘층과 연속상을 형성한다. 따라서 상기 태양전지의 단면은 상기 진성 비정질 실리콘층이 상기 에미터층 및 상기 기저층 중 하나와 접촉하는 전극들의 중앙에서 가장 얇고, 상기 분리층의 대부분에서와 상기 전극 가장자리들 중 적어도 하나에 대하여 적어도 20 %, 바람직하게는 적어도 50 % 더 두껍다는 것을 보여준다.

[0033] 다시 말해서, 상기 분리층은 상기 얇은 진성 비정질 실리콘층의 추가적인 층으로서 반드시 제공되어야 하는 것은 아니고, 이 진성 비정질 실리콘층의 일부일 수 있다. 만일 이런 경우라면, 상기 진성 비정질 실리콘층은 평면을 가지지 않으나, 이후에 상기 기저 지역으로부터 상기 에미터 지역을 전기적으로 분리할 영역들에 있어서, 상기 진성 비정질 실리콘층은 더 두꺼워져서 이들 두 지역들 사이에서 절연체 벽처럼 작용할 수 있다. 상기 진

성 비정질 실리콘층의 두꺼워진 지역(thickened area)의 맨 위에, 예를 들면 유전체 물질들로부터 만들어진 추가의 절연층들이 있을 수 있고, 그것에 의하여 그 벽의 높이를 증가시킬 수 있다.

[0034] 구현예에 있어서, 상기 분리층은 양호한 패시베이팅 및 전기적 절연 특성을 가지는 유전체 물질의 적어도 하나의 층을 포함한다. 예를 들어, 모든 지역 진성 비정질 실리콘층의 맨 위에 추가의 진성 실리콘 없이 실리콘 풍부 질화물(silicon rich nitride)을 포함하는 분리층은 패시베이션뿐만 아니라 절연 필요들도 충족시킬 수 있다. 추가의 유전체층은 내부 반사 목적들을 위한 그 패시베이팅 유전체층의 맨 위에 추가될 수 있다.

[0035] 또 하나의 구현예에 있어서, 상기 분리층은 양호한 패시베이팅 특성들을 갖는 진성 비정질 실리콘의 하나의 층과 양호한 광학 반사 및 전기 절연 특성들을 갖는 유전체 물질의 적어도 하나의 층으로 이루어지고, 상기 진성 비정질 실리콘의 말미 부분은 상기 인접한 기저층 또는 에미터층 중 하나 아래로 연장되어 비스듬히 겹친다. 그것에 의하여, 상기 진성 비정질 실리콘의 긍정적인 표면 패시베이션 효과는 보장될 수 있다.

[0036] 구현예에 있어서, 상기 기판은 <111> 결정 방향으로 잘려지고 상기 배후면에서 연마된 실리콘 웨이퍼이다. 다시 말해서, 상기 태양전지를 위한 기판으로서 제공된 상기 실리콘 웨이퍼는 상기 <111> 결정 방향 내에 있는 평평한 배후면을 가진다. 본 태양전지 개념은 특히 그 <111> 실리콘 표면들의 양호한 표면 패시베이션을 허용하여 결과적으로 높은 태양전지 효율들을 초래한다.

[0037] 대안적인 구현예에 있어서, 상기 실리콘 기판의 배후면은 텍스쳐(texture)를 가질 수 있다. 상기 텍스쳐는 예를 들어 <100>- 배향된 웨이퍼 상에 표준 등방성 에칭을 사용함으로써 얻어질 수 있고, 바람직하게는 후속 소프트 라운딩 에칭으로 이어질 수 있다(Such texture may be obtained for example by using a standard anisotropic etch on a <100>- oriented wafer, preferable followed by a subsequent soft rounding etch.) 기판 전면 상에, 상기 텍스쳐는 입사광의 트래핑(trapping)을 지지하여 그것에 의해 상기 태양전지 효율을 증가시킬 수 있는 반면에, 여기에 제시된 상기 태양전지 개념은 상기 실리콘 기판의 배후 측면 표면상에 제공된 상기 텍스쳐와 또한 양립할 수 있다. 게다가, 예를 들어 <100>-웨이퍼에 있어서, 표준 등방성 에칭으로부터 기인하는 상기 텍스쳐화된 표면은 <111>-배향된 모든 표면들의 피라미드들 또는 역피라미드들을 가질 수 있어 그것에 의하여 매우 효율적인 표면 패시베이션을 허용할 수 있다(Furthermore, for example in a <100>-wafer, the textured surface resulting from a standard anisotropic etch may have pyramids or inverted pyramids all surfaces of which are <111>-orientated thereby allowing very efficient surface passivation.)

[0038] 본 발명의 두 번째 양상에 따르면, 배후 접촉 헤테로접합 태양전지를 제조하는 방법이 제안된다. 그 점에서, 상기 태양전지의 상기 배후 측면은 적어도 다음의 공정 단계들에 의해 형성되고, 나타낸 순서대로 수행된다: 실리콘 기판을 제공하는 단계; 바람직하게는 상기 전체 표면 상으로 50 nm 보다 작은, 바람직하게는 1 내지 10 nm의 두께를 갖는, 상기 실리콘 기판의 배후면 상에 진성 비정질 실리콘의 얇은 층을 증착시키는 단계; 전기적 절연 물질을 포함하는 분리층을 증착시키는 단계; 에미터층 및 기저층 중 하나를 증착시키고 최종적으로 상기 에미터층 및 상기 기저층 중 다른 하나를 증착시키는 단계.

[0039] 그 점에서, 상기 실리콘 기판은 p-형, n-형 또는 진성일 수 있고 상기 분리층은 상기 진성 비정질 실리콘과 같은 전기적 절연 물질 또는 실리콘 질화물, 실리콘 산화물, 실리콘 탄화물 등과 같은 유전체 물질을 포함한다. 상기 에미터층은 제1 도핑 극성의 도핑된 반도체 물질을 포함하고 상기 기저층은 상기 제1 도핑 극성에 맞은편의 제2 도핑 극성의 도핑된 반도체 물질을 상기 실리콘 기판 보다 더 높은 도핑 농도로 포함한다.

[0040] 제안된 제조 방법의 하나의 중요한 특징은 상기 분리층, 상기 에미터층 및 상기 기저층의 각각이 쉐도우 마스크(shadow mask)를 통과하여 증착되는 것이다.

[0041] 그러한 마스크는 예를 들어 미세한 개구들(fine openings)이 레이져 스크라이빙(laser scribing) 및/또는 에칭을 사용하여 준비되는 것으로 인바(invar) 또는 코바(kovar)로 만들어진 시트를 이용한 고정밀로 사전에 제작될 수 있다. 세정 또는 오염 예방의 용이성을 위해, 상기 마스크는 니켈층으로 덮힐 수 있다. 상기 마스크는 예를 들어 화학 기상 증착(CVD)을 이용한 증착 공정 동안에 상기 실리콘 기판의 배후면에서 상기 얇은 모든-지역 i-aSi층의 맨 위로 배열될 수 있다. 따라서, 물질은 상기 마스크 내 상기 개구들의 노출된 영역들 내의 상기 i-aSi 층 뒷면 상에 오직 증착되지만 다른 상기 영역들은 어떤 층 증착에 대하여 상기 마스크에 의해 보호된다.

[0042] 특히 응용된 마스크 기하학적 구조들을 사용하면서, 상기 분리층은 그것이 오직 상기 진성 비정질 실리콘층의 배후면의 특정한 부분적인 지역들, 즉 상기 분리층을 덮도록 증착될 수 있다.

[0043] 상기 분리층을 증착시킨 후, 상기 에미터층 및 상기 기저층 중 하나는 그것이 상기 분리 지역에 인접한 상기 진성 비정질 실리콘층의 뒷면의 에미터 지역 또는 기저 지역을 덮도록 마스크를 통과하여 그 다음에 증착될 수 있

다. 마지막으로, 상기 에미터층 및 상기 기저층 중 다른 하나는 그것이 상기 분리 부분들에 인접한 상기 진성 비정질 실리콘층의 뒷면의 남아있는 에미터 지역 또는 기저 지역을 덮도록 마스크를 통과하여 증착될 수 있다.

[0044] 첫째로, 상기 분리층은 마스크를 통과하여 증착되고 그 다음에 오직 상기 에미터층 및 상기 기저층이 마스크들을 통과하여 증착된다는 사실로 인하여, 그것은 완전한 쉐도우를 가지지 않는 마스크를 통과하여 어떤 증착이 그것의 경계들에서 단계 변화들을 하지 않는 증착된 층을 야기할 것이라는 사실로부터 이용될 수 있다. 다시 말해서, 마스크가 기판 표면을 대개 완전히 덮을 수 없다는 사실이 그것의 경계들에서 일부의 "말미들"을 가지는 증착된 층을 야기한다(In other words, the fact that a mask generally can not cover a substrate surface perfectly results in the deposited layer having some “tails” at its borders.) 상기 분리층은 첫번째로 증착될 수 있으므로, 상기 분리층의 말미들은 상기 기초가 되는 진성 비정질 실리콘층을 직접적으로 접촉할 것이고 그 다음에 증착된 에미터 또는 기저층들은 상기 분리층의 이들 말미들을 겹치지만 상기 기초가 되는 진성 비정질 실리콘층과 직접 접촉하지 않을 것이다. 상기 분리층과 상기 인접한 에미터 및 기저층들의 그 배열은 아래에 더 자세히 설명되는 것처럼 이들 층들의 표면 패시베이팅 특성들에 유리하게 영향을 미칠 수 있다.

[0045] 구현예에 있어서, 상기 분리층, 상기 기저층 및 상기 에미터층 중 적어도 하나에서의 증착을 위해 사용되는 상기 마스크는 하부에서 가장 좁은 경사진 가장자리들을 가진다. 그런 마스크 배열은 상기 마스크를 통과하여 증착된 층들의 날카로운 경계 정의를 위해 허용할 수 있다 (Such mask arrangement may allow for a sharper border definition of the layers deposited through such mask.)

[0046] 구현예에 있어서, 상기 분리층(9) 증착을 위해 배치될 때, 상기 분리층을 증착시키기 위해 사용되는 마스크 내 개구들은 상기 기저층 및 상기 에미터층 중 하나를 증착시키기 위해 사용된 마스크 내 개구들을 부분적으로 비스듬히 겹치게 한다. 다시 말해서, 각각의 마스크들이 층 증착을 위해 기판 표면의 맨 위로 배치될 때, 상기 기판 표면에 관하여 각각의 마스크들의 개구들의 지역들은 부분적으로 비스듬히 겹친다. 그러한 비스듬히 겹치는 것에 기인하여, 또한 그런 마스크들을 사용함으로써 준비된 상기 분리층, 에미터층 및 기저층은 그 중에서도 유리한 표면 패시베이션 특성들에 기인하는 것을 국부적으로 겹치게 한다.

[0047] 상기 분리층을 증착시키는 동안 증착 온도는 250 ℃ 아래로(below) 유지될 수 있다. 그러한 낮은 증착 온도로 인하여, 마스크를 통과하여 증착되는 상기 분리층의 말미들은 최소로 유지될 수 있다. 게다가, 상기 마스크 및 상기 기판 사이의 기계적 접촉은 말미들을 최소로 유지하기 위해서 전기력 및/또는 자기력의 응용에 의해 보강될 수 있다.

[0048] 구현예에 있어서, 상기 분리층, 상기 에미터층 및 상기 기저층을 증착시키기 위해 사용되는 상기 마스크들의 정렬 공정이 최소 정렬 정밀도에 기술적으로 제한될 때, 상기 분리 영역들을 증착시키기 위한 상기 마스크들 내 개구들의 폭 및 간격은 최소 정렬 정밀도의 적어도 두 배의 폭 및 간격을 각각 가진다. 다시 말해서, 마스크가 증착 공정 동안에 조절될 수 있는 정밀도는 기술적인 이유로 인하여, 예를 들어 d0 디멘젼으로 제한될 수 있는 반면에, 상기 마스크 내 개구들의 각각의 폭 dx 과 상기 마스크 내 이웃하는 개구들의 각각의 하나 사이의 간격들(spacings) dy가 적어도 최소 정렬의 두 배, 즉 dx > 2*d0 및 dy > 2*d0이 되도록 선택되는 것과 같은 방법으로 상기 마스크를 디자인할 때 그러한 정렬 정밀도는 계산될 수 있다. 그렇게 함으로써, 최대 오정렬의 경우에서도, 상기 분리층, 상기 에미터층 및 상기 기저층은 그것들의 경계들에서 충분히 겹쳐져서, 충분한 표면 패시베이션을 제공하게 된다.

[0049] 구현예에 있어서, 동일한 마스크가 상기 분리층 증착, 상기 기저층 증착 및 상기 에미터층 증착의 다양한 증착들을 위해 사용된다. 그 때, 상이한 마스크 정렬들은 모두 제 1 패터닝된 층 증착의 정렬에 단지 관련된다. 그러한 배열에 있어서, 상기 마스크는 기판에 대해 상기 마스크의 작은 제어된 움직임(movement)을 허용하는 구조물에 의해 제자리에서 유지될 수 있으므로 상기 정렬 과정을 가능한 대로 단순화시킨다.

[0050] 구현예에 있어서, 상기 분리층을 증착시키기 위한 상기 마스크는 그 곳에 개구에 인접한 상기 마스크의 부분들을 접촉하는 다수의 브릿지들을 포함하여 상기 브릿지 아래에 층 증착을 가능하게 한다. 상기 브릿지들이 상기 마스크의 기계적 안정성을 지지한다.

[0051] 구현예에 있어서, 상기 마스크는 상기 실리콘 기판의 물질에 가까운 또는 동일한 열팽창 계수를 가진 물질로 만들어진다. 그런 유사한 열팽창 계수를 가진 마스크를 이용하면서, 층 순서 증착 공정(layer sequence deposition process)을 위한 가열(heating-up) 동안에 열팽창으로 인하여 상기 실리콘 기판에 관한 상기 마스크의 어떤 오정렬(misalignment)이 최소화될 수 있다.

[0052] 본 발명의 구현예들의 가능한 특징들 및 이점들은 제안된 배후 접촉 헤테로접합 태양전지 또는 그런 태양전지를

제조하기 위한 제안된 방법에 대하여 여기에 기술된다. 당해 기술의 숙련된 기술자는 다른 특징들이 임의적으로 결합될 수 있고 반대로 추가의 이로운 구현예들을 이행하고 시너지 효과들을 실현시키기 위해 상기 태양전지의 특징들이 제조 방법에 해당하는 방식으로 인식될 수 있다는 것을 인정할 것이다.

[0053] 선호되는 구현예들의 설명

[0054] 본 발명의 구현예들의 목적은 뒤쪽-접촉 실리콘 헤테로접합 진성-얇은 층 태양전지를 제조하는 비용 효율적인, 산업적으로 적용되는 방법 및 그 제조 방법으로 기인하고 응용된 상세한 태양전지 디자인을 제공하는 것이다.

[0055] 뒤쪽-접촉 실리콘 헤테로접합 진성-얇은 층 태양전지들에 있어서, 진성층은 터널링(tunnelling)을 허용하도록 충분히 얇아야 하지만, 인접한 실리콘 표면을 패시베이팅하도록 충분히 두꺼워야 한다. 이것은 매우 낮은 결함 밀도뿐만 아니라 확실한 두께 조절도 필수적이라는 것을 의미한다. 따라서 한번에(in one go) 전체 배후면을 위한 상기 진성층을 증착시키는 것을 허용하는 어떤 방법은 생산의 공정 제어 및 최적화의 용이성을 위한 막대한 이점을 가지며, 더 높은 최대 효율 가능성을 가질 수 있다.

[0056] 유사한 태양전지들을 제조하기 위한 모든 존재하는 방법들은 이 층을 통하여 에칭하고 부분적으로 재구성하거나, 또는 오염의 위험을 가진 상기 층에서 아래로 에칭하거나, 희생층의 패시베이션 특성들의 제한사항을 제공하거나 또는 과다 에칭하는 것을 포함한다(All existing methods for producing similar solar cells include etching through, and partially rebuilding this layer, or etching down to the layer, with risk of contamination, over-etching or giving limitations on passivation properties of the sacrificial layer.)

[0057] 상기 태양전지 디자인은 바람직하게는 2 ㎜ 보다 작은, 보다 바람직하게는 1 ㎜ 보다 작은, 산업의 높은 생산량 방법들과 양립할 수 있는 최소 정렬 정밀도와 함께, 연속 저항을 피하기 위해, 전형적으로 50 ㎛의, 즉 전지 구조들이 상기 전지의 측면 방향에 주기적으로 반복하는 주기성의, 단위 전지에 대한 필요를 균형 잡히게 해야 한다(The solar cell design should balance the need of a unit cell, i.e. of a periodicity with which cell structures periodically repeat in a lateral direction of the cell, of preferably less than 2mm, more preferably less than 1mm, to avoid series resistance, with a minimum alignment precision compatible with industrial high-throughput methods, typically 50 ㎛.)

[0058] 본 발명의 구현예들에 대한 개념은 몇몇의 필수적인 항목들의 이해에 달려 있다:

[0059] 1) 상기 실리콘 기판의 배후면 상으로 진성 비정질 실리콘의 제1 단층들의 증착은 중요하다. 제안된 제조 방법에 있어서, 이들 층들은 이 패시베이팅층을 위한 균일한 환경들을 제공하여, 상기 쉐도우 마스크를 적용하기 전에 증착될 수 있다. 에칭을 사용하는 이전의 방법들은 각각 다른 전극들의 제1 단층들이 쉐도우 마스크를 통과하여 여러 경우에서 적어도 하나로 증착되는 것을 필요로 한다. 여기에 제시된 접근은 이 문제를 방지한다. 어떤 마스크든지 적용하기 전 제자리에서 비정질 실리콘의 제1 나노미터들을 가지는 것은 또한 웨이퍼 표면의 손상 또는 오염의 위험을 줄인다.

[0060] 2) 전극의 (진성 aSi)-(도핑 aSi)-스택은 두 배의 기능을 가진다. 그것은 패시베이팅 및 전도성이라는 것이다. 상기 패시베이션은 다시 전계 효과 패시베이션뿐만 아니라 화학적 패시베이션에 달려있다. 예를 들어 포토리소그래피적으로 나타낸 패턴을 통해, 예를 들어 PECVD를 사용하는 도핑된 전극층을 증착시킬 때, 두 가지가 문제일 수 있다: 첫 번째로, 상기 가장자리에서의 얇은 층은 불충분한 밴드 결합(band bending)을 주어서, 좋지 않은 전계 효과 패시베이션을 제공할 수 있다. 두 번째로, 잘 나타낸 마스크에 의해 생성된 어떤 날카로운 가장자리들은 이웃하는 필름의 추후의 증착 동안에 불완전한 화학적 패시베이션을 제공할 수 있다.

[0061] 3) 도핑된 층의 불충분한 두께를 가진 지역들의 금속 접촉은 션트(shunt)로서의 역할을 효과적으로 하는 다른 국부 내장 전압(different local built-in voltage)을 경험할 수 있다. 이것은 더 두꺼운 금속층의 사용을 밀어내거나 전도도를 제한하여 좁은 스트립(narrow strip)에 국한되도록 금속을 밀어낼 수 있다. 상기 전극들 주위의 패시베이팅 및 절연 층을 도입함으로써, 상기 금속은 더 큰 지역 상에(over) 증착될 수 있고, 더 얇아질 수 있으므로, 증발 스퍼터링 또는 잉크젯 프린팅은 스크린 프린팅의 필요성을 피하고 더욱 활성화된다는 것을 의미한다.

[0062] 4) 상기 금속이 모든 에미터 지역 상에 증착될 수 있으므로 상기 에미터 지역 내 측면의 전하 운반자 수송은 필요가 없을 수 있다. 이것은 상기 에미터 내 벌크 재조합(bulk recombination)이 상당히 줄어들 수 있다는 것을

의미한다.

[0063] 5) 반면에, 너무 두꺼운 진성 비정질 실리콘층은 표면 패시베이션에 부정적으로 영향을 미칠 수 있을 뿐만 아니라 부가된 연속 저항을 오직 유도할 수 있을 것이다. 상기 진성 비정질 실리콘층의 가장자리들 상의 말미들을 가지는 것은 효과적인 접촉 지역을 오직 줄일 것이나 패시베이션을 줄이지 않을 것이다.

[0064] 6) 통상적인 헤테로접합 전지 구조에 있어서, 상기 전극은 또한 전형적으로 ITO(인듐 틴 옥사이드)층을 포함한다. 상기 ITO-aSi 인터페이스(interface)는 여분의 연속 저항을 유도하기 쉽다. 여기에 제안된 디자인에 있어서, ITO 층의 절대적인 필요가 없고 aSi-금속 접촉은 상당히 더 나은 전도도를 가질 수 있어, 접촉 지역의 필요성을 줄인다. 이것은 그것이 더 넓은 지역을 덮을 수 있으므로 상기 전극들 사이의 패시베이팅 스택(passivating stack)에 의해 얻어진 더 나은 반사율 및 패시베이션이 훨씬 더 활용될 수 있다는 것을 의미한다.

[0065] 7) 기판에 대하여 마스크 프레싱(pressing a mask)의 공정은 상기 기판의 파손 위험을 유도할 수 있다. 상기 전지 디자인 내 보다 완전하지 않은 라인 정의(line definition)를 허용하는 것은 요구된 가압력(needed pressing force)을 낮춤으로써 이 위험을 줄인다.

[0066] 8) 앞쪽 및 배후 패시베이션 수요의 분리(A separation of front and rear passivation demands)는 상기 앞쪽 측면의 텍스쳐 표면들이 다른 방향일 수 있는 연마된 뒤쪽 측면을 가진 <111> 웨이퍼를 사용하는 것을 가능하게 만든다는 것을 의미한다. 상기 연마된 뒤쪽 측면은 말미 형성을 다시 줄여, 상기 전지 기하학적 구조를 디자인하여 가능한 최대 해상도(resolution)를 향상시킨다.

[0067] 9) 생산 공정에 사용된 여러 가지 마스크들의 정렬은 노력을 필요로 하는 경향이 있다. 상기 정렬을 줄이는 것은 부드러운, 겹침, 가장자리들을 가지도록 상기 전지를 디자인함에 의해 상기 정렬 수요를 줄이면서, 상기 정렬 필요 조건들이 줄어들고, 예를 들어 약 50 ㎛ 보다 작은 대량 생산 친화적 범위로 야기된다(Reducing the alignment demands by designing the cell to have soft, overlapping, edges, the alignment requirements are reduced, and brought into a mass production friendly range of e.g. approximately less than 50 ㎛.)

[0068] 10) 이전의 접근들에 있어서, 상기 전지가 i-aSi의 모든 지역 절연층을 형성하고 그 다음 상기 도핑된 반도체 지역들을 위한 개구들(openings)을 에칭함으로써 만들질 때, 상기 절연층의 측벽들은 돌출부(overhanging)일 수 있거나 상기 도핑된 반도체를 가진 공간을 완전히 충전하는 것을 어렵게 만드는 날카로운 가장자리들을 남길 수 있다.

[0069] 제안된 전지 디자인 및 제조 방법에 있어서의 혁신은,

[0070] 1) 충분히 얇은 라인들이 마스킹된 PECVD(masked PECVD)에 의해 증착될 수 있다는 구현;

[0071] 2) 상기 장벽들의 부드러운 가장자리들이 부정적인 영향 또는 긍정적인 영향도 가지지 않는다는 것을 보장하는, 다양한 층들의 증착 순서;

[0072] 3) 가장자리 정의 및 정렬을 위한 허용 오차(tolerances)를 개선하는, 상기 전지 디자인의 겹침층들;

[0073] 4) 전기 절연층, 패시베이션층, 반사층으로서 그리고 나중에 증착된 층들의 가장자리-정의를 위한 보조로서의 역할을 동시에 하는 PECVD-증착 장벽층의 사용;

[0074] 5) PECVD-증착 장벽이, 상기 개구들이 돌출부 벽들과 함께 잠재적으로 에칭함으로써 얻어질 때 어려울 수 있는 어떤 것, 상기 도핑된 반도체 에미터 및 기저층 부분들의 균일한 증착을 허용한다는 구현(the realization that a PECVD-deposited barrier allows a uniform deposition of the doped semiconductor emitter and base layer regions, something that can be difficult when the openings have been obtained by etching, potentially with overhanging walls);

[0075] 6) 상기 공정을 다수의 단계들로 분리하는 대신에, 한번에 이들의 겹침 층들의 첫 번째를 증착시키는 것을 가능하게 만드는 마스크의 디자인;

[0076] 7) 상기 앞쪽 및 배후 패시베이션의 분리가 이 전지 디자인 내 <111>-배향된 웨이퍼의 효율적인 사용을 허용한다는 구현;에 관련되어 있다.

[0077] 다음과 같이, 몇몇의 정의들이 이용될 것이다:

[0078] ● 웨이퍼 방향: 웨이퍼 절단 방향(cutting direction)에 평행한 실리콘 면. 단결정 태양전지들 내의 가장 공통적인 방향은 <100>이지만, 오직 <111> 배향된 웨이퍼들을 제공할 수 있는 웨이퍼링 방법들(wafering methods)이

또한 있다.

[0079] ● 웨이퍼 도핑 유형: 실리콘 웨이퍼들은 보통 p-형(붕소, 알루미늄 또는 갈륨과 같은 액셉터들(acceptors)과 함께 도핑된), 또는 n-형(인 또는 비소와 같은 도너들(donors)과 함께 도핑된)이다.

[0080] ● 앞쪽 측면: 광원에 대향하는 웨이퍼의 측면

[0081] ● 배후 측면: 광원으로부터 멀어지는 웨이퍼의 측면

[0082] ● 배후 진성층: 기저, 에미터 및 분리 부분들에 의해 공유되는 진성 비정질 실리콘의 층

[0083] ● 전극: 스택(Electrode: stack of)

[0084] ○ 비정질 실리콘, 미정질 실리콘, 실리콘 탄화물 또는 효율적으로 도핑될 수 있고 충분한 밴드 갭을 가지는 다른 반도체 물질 중 어느 하나

[0085] ○ 금속 접촉(확산 장벽들, 전기 접촉, 전기 측면 전도도(electric lateral conductance), 납땜성(solderability) 및 열화에 대비한 보호(protection against degradation))

[0086] ○ (선택적으로) 개선된 패시베이션, 개회로 전압 및/또는 반사를 위한 투명 전도성 산화물의 층

[0087] ● 에미터 전극: 도핑이 웨이퍼 도핑의 반대형(도너 또는 액셉터)인 전극. 상기 웨이퍼가 p-형일 때, 반대로 상기 에미터는 n-형이다.

[0088] ● 기저 전극: 상기 도핑이 상기 웨이퍼 도핑으로서 동일한 형인 전극. 상기 웨이퍼가 p-형일 때, 상기 기저 전극은 또한 p-형이지만, 상기 도핑을 제공하는 도펀트 성분(dopant element)은 동일한 것일 필요가 없다.

[0089] ● 배후 마스킹된 증착들: 쉐도우 마스크 증착들을 사용하는 배후 상의 모든 유전체층들의 증착.

[0090] ● 분리층 또는 장벽: 패시베이팅 및 반사 물질의 층이 상기 배후 진성층 상에 증착되는, 상기 기저 전극으로부터 에미터 전극을 분리하는 배후의 지역.

[0091] ● 겹침 지역 또는 완충지대: 장벽 및 에미터 전극이 부분적으로 겹치거나, 또는 장벽 및 기저 전극이 부분적으로 겹치는 지역

[0092] ● 앞쪽 화학적 패시베이션층: 상기 웨이퍼의 전면에서의 결함 밀도를 줄임으로써, 상기 화학적 패시베이션의 원인이 되는 상기 웨이퍼의 앞쪽을 덮는 스택의 제1 나노미터들. 비정질 실리콘, 실리콘 함유 질화물, 실리콘 산화물, 알루미늄 산화물 또는 다른 패시베이팅 물질일 수 있다.

[0093] ● 앞쪽 상위층들: 상기 전지의 전계 효과 패시베이션 및 반사방지 특성들에 기여하는, 상기 앞쪽 측면에서의 스택의 나머지. 전형적으로 실리콘 질화물, 알루미늄 산화물, 실리콘 옥시니트라이드(silicon oxinitrides), 실리콘 탄화물 또는 그 스택들.

[0094] ● 금속화: PVD, 프린팅 또는 그 공정들의 조합에 의해 상기 전극들의 금속 부분들을 형성하는 것

[0095] ● 교차 연결장치(Cross connector): 어떤 단일 전극 보다 더 큰 지역으로부터의 전류를 모으면서, 동시에 일부 전극들을 연결하는 금속 부분. 따라서 상기 교차 연결장치는 상기 전극 금속화의 나머지 보다 더 높은 전도성을 가져야만 하고, PVD, 프린팅, 납땜 등을 포함하는 몇몇의 수단들 중 하나에 의해 형성될 수 있다.

[0096] 도 1 내지 4에 표현된 것처럼 구현예에 따른 배후 접촉 태양전지(1)는 다음의 특징들을 포함한다:

[0097] ● n-형 또는 p-형에 있는 네트 도핑(net doping)를 가지는 실리콘 웨이퍼(3)

[0098] ● 양호한 광 트래핑 및/또는 전계 효과 패시베이션을 제공하는 앞쪽 화학적 패시베이션 및 하나 이상의 앞쪽 상위층들을 포함하는 패시베이션층(5)에 의해 덮혀 있는 웨이퍼의 앞쪽

[0099] ● 진성 비정질층(7)에 의해 덮혀 있는 상기 웨이퍼의 배후

[0100] ● 비정질 실리콘, 실리콘 질화물, 실리콘 탄화물, 알루미늄 산화물 또는 양호한 패시베이션, 충분한 전기 절연뿐만 아니라 광 반사도 제공하는 그러한 물질들의 스택으로 이루어지는 장벽 또는 분리층(9)에 의해 부분적으로 덮혀 있는 배후 진성층(7)

[0101] ● 에미터층(13) 및 금속층(15)을 포함하는 에미터 전극(11)에 의해 부분적으로 덮혀 있는 배후 진성층(7)

[0102] ● 기저층(19) 및 금속층(21)을 포함하는 기저 전극(17)에 의해 부분적으로 덮혀 있는 배후 진성층(7)

[0103] ● 상기 에미터 전극(11)의 가장자리들이 겹침 지역(23) 내 상기 분리층(9)을 부분적으로 겹친다.

[0104] ● 상기 기저 전극(17)의 가장자리들이 겹침 지역(25) 내 상기 분리층(9)을 부분적으로 겹친다.

[0105] ● 이웃하는 기저 전극들(17) 및 이웃하는 에미터 전극들(11)이 각각의 교차 연결장치(27)에 의해 상호 연결된다.

[0106] 다음과 같이, 제조 방법의 세부 사항 및 그 결과로 초래된 태양전지 구조가 제공되고 근본적인 물리적 효과들의 설명들로 부분적으로 보충될 것이다. 달리 명시되지 않는 한(as long as not indicated otherwise), 방법 단계들은 명시된 바와 같은 순서로 형성되어야 할 것이다. 전체 처리 순서는 예를 들어 패시베이션을 더욱 개선하기 위해 여기에 명시되지 않은 추가의 방법 단계들을 포함할 수 있다. 과제(challenge)는 양호한 전지 효율을 달성하고 충분한 패시베이션 및 이들 필름들의 도핑을 얻기 위해 상기 분리층 및 전극 스택들의 충분히 정밀한 증착을 얻는데 있다. 동시에, 시뮬레이션은 견딜만한 두께, 패시베이션 및 웨이퍼 품질, 에미터 부분(fraction) 등이 어느 정도인지를 결정하는 것이 요구된다.

[0107] I) 실리콘 기판의 준비(Provision)

[0108] 예를 들어 20 ㎛ 내지 400 ㎛의 두께를 가지는 실리콘 웨이퍼가 실리콘 기판으로서 사용될 수 있다. 상기 웨이퍼는 단결정일 수 있고 <111> 또는 <100>과 같은 다양한 결정 방향들 중 하나를 가질 수 있다. 대안적으로, 실리콘 박막과 같은 다른 실리콘 기판들 또는 다른 결정 구조들 또는 결정 방향들이 사용될 수 있다.

[0109] 상기 태양전지는 <100> 웨이퍼 상에 기초될 수 있다. 세척 단계들 및 톱 손상 제거(saw damage removal)가 수행될 수 있다. 상기 웨이퍼는 모든 피라미드 표면들이 <111> 배향되지만, 상기 피라미드들의 하부들은 날카로운 것 보다는 둥근 것인, 피라미드 텍스쳐를 야기하는 등방성 라운딩 에칭에 뒤이어, 표준 이방성 에칭으로 에칭된 텍스쳐일 수 있다(The wafer may be texture etched with a standard anisotropic etch, followed by an isotropic rounding etch resulting in a pyramid texture, where all pyramid surfaces are <111> oriented, but the bottoms of the pyramids are rounded rather than sharp.) 그것이 비정질 실리콘에 급격한 변화(abrupt transition)를 제공하므로, 이것은 비정질 실리콘 증착을 위한 이상적인 표면이다. 특히 매우 높은 정밀성을 필요로 하는 상기 배후 진성층을 위해, 이것은 중요할 수 있다. 또한 상기 웨이퍼는 동일한 표면 방향과 함께 역 피라미드 텍스쳐를 남기는 에칭에 의해 에칭될 수 있다. 이것은 훨씬 더 광학적 관점에서일 것이다.

[0110] 대안적으로, 상기 태양전지는 <111> 웨이퍼에 기초할 수 있다. 이 경우에 있어서, 상기 배후 측면은 연마되는 반면에, 상기 앞쪽 측면은 플라즈마 또는 레이져 에칭에 의해 에칭될 수 있다. 연마된 배후는 가장자리 정의의 문제들을 줄이기 위해 최상일 수 있고, 양호한 패시베이션 및 반사도를 제공한다. 상기 앞쪽은 광 유입의 광학 경로 길이를 증가시키도록 텍스쳐화 되어야만 할 수 있지만, 그것은 비정질 실리콘에 의해서가 아니라, 어떤 방법으로도(in any way) 패시베이션될 수 있기 때문에, 상기 앞쪽 측면의 표면 방향은 중요하지 않다.

[0111] II) 상기 기판의 앞쪽에서의 패시베이팅층을 준비하는 것

[0112] 상기 기판의 앞쪽은 패시베이팅, 예를 들어 aSi, SiN, SiOx, AlOx 와 같은 비흡수 절연체, 또는 유사한 패시베이팅 물질들의 어느 조합으로 덮힐 수 있다. 원하면, 상기 배후 측면 i- aSi이 고온 단계 후 증착되는 동안, 고온이 이 단계에서 사용될 수 있다.

[0113] 앞쪽 상위층들은 반사방지 코팅을 형성할 수 있다. 상기 반사방지 코팅(ARC)은 단일층 또는 다층일 수 있다.

[0114] III) 상기 기판의 배후에서의 진성 비정질 실리콘층을 증착시키는 것

[0115] 진성 비정질 실리콘(i-aSi)층은 예를 들어 PECVD(플라즈마 개선된 화학 기상 증착)과 같은 적합한 기상 증착 방법들을 사용하여 실리콘 기판의 전체 배후면 상에 증착될 수 있다. 마스크들이 사용되어서는 안된다.

[0116] IV) 상기 i-aSi층의 배후에서의 분리층을 증착시키는 것

[0117] 절연 분리층은 예를 들어 PECVD와 같은 적합한 기상 증착 방법들을 사용하여 이전에 증착된 i-aSi층의 뒷면의 분리 지역들을 국부적으로 덮으면서 증착될 수 있다.

[0118] 상기 분리층은 상기 전극이 층들을 도핑하기 전에 증착된 적어도 하나의 장벽층 및 상기 전극이 층들을 도핑한 후 증착된 가능한 한 적어도 하나의 장벽층으로 이루어질 수 있다. 이 경우에 있어서 제 1 층은 화학적 패시베이션 및 가장자리 정의를 제공해야 하지만, 제 2 층은 전극들 및 가능한 한 금속성 교차 연결장치 사이의 증가된 반사도뿐만 아니라 전기 절연도 제공할 수 있다. 이것은 상기 분리층을 증착하기 위한 쉐도우 마스크의 디자인을 간소화할 수 있고 제 1 장벽층 및 전극들을 위한 동일한 마스크를 사용하고, 그런 다음 상위 장벽층을 위한 분리된 마스크를 사용하여 아래에 추가로 기술된 정렬 옵션(option)을 위해 열릴 수 있다.

[0119] 상기 분리층은 더욱 안정적인 마스크를 허용하여 다수의 라운드로(in multiple rounds) 증착될 수 있다. 이것은 매우 얇은 라인 두께들로 주어지거나, 기하학적 구조가, 예를 들어 상기 교차 연결장치 아래에, 또는 상기 전극 말단들에서 단순한 라인들 보다 훨씬 복잡한 곳곳에서 장벽들을 달성할 때 바람직할 수 있다(This could be desirable when going to very thin line thicknesses, or to achieve barriers in places where the geometry is more complicated than simple lines, for example under the cross connector, or at the electrode ends.)

[0120] V) 상기 i-aSi층의 배후에서의 전극층들을 증착시키는 것

[0121] 두 양극성들을 위한 전극들은 이전에 증착된 진성 비정질 실리콘층의 배후에 제공된다. 상기 에미터 전극을 위한 에미터층 및 상기 기저 전극을 위한 기저층을 준비하기 위해, 상기 분리층을 증착시키기 위해 사용된 것처럼 유사하거나 또는 동종 증착 기술들 및 유사하거나 또는 동종 쉐도우 마스크들이 사용될 수 있다.

[0122] p-형 도핑 전극(p-type doped electrode)은 SiH4 및 B2H6와 비슷한 붕소 함유 가스를 사용하여 형성될 수 있다. 게다가, 탄소 또는 질소는 상기 실리콘의 밴드 갭을 증가시키도록 추가될 수 있어서, 더 큰 미정질 구조를 허용하고, 다시 더 높은 도핑 효율을 허용한다(In addition, carbon or nitrogen can be added to increase the band gap of the silicon, allowing a more microcrystalline structure, which again allows higher doping efficiency). 아르곤, 수소 등과 비슷한 다른 기체들은, 상기 필름 내 그것들의 요소들을 남기지 않는 한(while not leaving their components in the film), 증착 상태들을 개선하도록 추가될 수 있다.

[0123] n-형 도핑 전극(n-type doped electrode)은 SiH4 및 PH3와 비슷한 인 함유 가스를 사용하여 형성될 수 있다. 게다가, 탄소 또는 질소는 상기 실리콘의 밴드 갭을 증가시키도록 추가될 수 있어서, 더 큰 미정질 구조를 허용하고, 다시 더 높은 도핑 효율을 허용한다. 아르곤, 수소 등과 비슷한 다른 기체들은, 상기 필름 내 그것들의 요소들을 남기지 않는 한, 증착 상태들을 개선하도록 추가될 수 있다.

[0124] 상기 전극층들, 금속층들 및/또는 투명 전도성 산화물층들의 각각의 반도체층들의 맨 위로 예를 들어 진공 증착 또는 스퍼터링 기법들(sputtering techniques)을 사용하여 증착될 수 있다. 대안적으로, 잉크젯 프린팅, 스크린 프린팅 등과 같은 기법들이 사용될 수 있다.

[0125] 상기 앞쪽 및 배후 면들 상의 다양한 증착들을 형성하는 것의 순서는, 필요하다면 추가의 세정 단계들과 함께, 온도 및 오염 감소 필요 조건들로부터 필요에 따라 번갈아 나올 수 있다. 그것은 분할되지 않아야 하는 네 개의 분리된 부분들로 나뉘어질 수 있다:

[0126] 1. 기판 배후면 상의 i-aSi 층의 증착은 포함될 것이다:

[0127] a. (선택적인 플라즈마/배후면의 화학적 세정)

[0128] b. 얇은 전체-지역 배후 진성층을 증착시킨다,

[0129] 2. 분리층, 에미터층 및 기저층의 마스킹된 층 증착들:

[0130] a. 예를 들어 광학적, 기계적 또는 다른 수단에 의해 웨이퍼의 위치를 확인한다

[0131] b. 요구된 정렬을 일치시켜 장벽 증착을 위한 마스크를 배치한다

[0132] c. 상기 장벽층을 증착시킨다

[0133] d. (선택적인 단계, 상기 장벽의 다른 구역을 제공하여, 다른 마스크와 함께 세 개의 마지막 단계들을 반복한다)

[0134] e. (선택적인: 웨이퍼 증착을 다시 확인한다)

[0135] f. 제1 전극을 위한 마스크를 배치한다

[0136] g. 상기 제1 전극의 도핑된 부분을 증착시킨다

[0137] h. (웨이퍼 증착을 다시 확인한다)

[0138] i. 제2 전극을 위한 마스크를 배치한다

[0139] j. 상기 제2 전극의 도핑된 부분을 증착시킨다

[0140] k. (선택적인: 다음 증착을 위해 모든 마스크들을 세정한다)

[0141] 3. 앞쪽의 화학적 패시베이션층의 증착:

[0142] a. (전면의 선택적인 플라즈마 세정)

[0143] b. 앞쪽의 화학적 패시베이션층을 증착시킨다,

[0144] 4. 상기 앞쪽 상위층(들)의 증착.

[0145] 상기 증착들의 모두는 진공 챔버 내 화학 기상 증착 공정에 의해 형성되도록 추정된다. 그러한 증착 방법들의 예들은 직접적 및 간접적 PECVD, 열선 CVD(Hot wire CVD), 확대 플라즈마 CVD(expanding plasma CVD) 이다.

[0146] 가능성 있는(most likely) 순서들은 다음일 것이다:

[0147] ● (3,1,2,4), 2 플리핑들(flippings)을 제공하지만, 도핑 또는 다른 기체들로부터 오염을 최소화하는 것

[0148] ● (1, 2, 3, 4), 오직 하나의 플리핑을 제공하지만, 배후에서의 증착들 동안에 도판트들이 전면을 오염시키는 것을 가능하도록 제공하는 것

[0149] ● (3, 4, 1, 2) 상기 배후 비정질 실리콘이 허용할 수 있는 것 보다 상기 앞쪽 측면 증착들을 위해 더 높은 온도를 사용할 기회를 제공하고, 그런 다음 뒤의 증착들 전에 냉각을 필요로 할 것이다(which will then require cooling before later depositions). 이것은 추가의 세정을 필요로 하는 배후면의 오염으로 이어질 수 있다.

[0150] ● (1, 3, 2, 4), (3, 1, 2, 4)처럼 동일한 이점들을 제공하는 것.

[0151] 상기 전극들은 전도성을 제공하면서 PVD 또는 일부의 프린팅 방법에 의해 바람직하게 완성될 수 있어, 아마도(possibly) 금속층은 상기 태양전지로부터 전류(electric current)를 추출하는 것을 허용할 수 있다.

[0152] 선택적으로, 추가의 장벽층은 필요하다면 교차 연결장치로부터 그것들을 보호하고 절연하도록 상기 전극들 상에(over) 추가될 수 있다. 게다가, 상기 전지들의 상호 접속을 돕는 금속은 분리된 단계로서 선택적으로 추가될 수 있다.

[0153] 완성된 태양전지는 분리층들의 라인들에 의해 분리되는 라인들의 모양을 가지는 에미터 및 기저 전극들을 가질 수 있다. 상기 전지의 측면 지역에서(At a lateral side area of the cell), 상기 전극들은 서로 맞물린 구조(interdigitated structure)를 제공하며 완전한 전극 구조 또는 금속의 스트립(strip) 중 어느 하나에 의해 연결될 수 있다.

[0154] 에미터 전극, 장벽, 기저 전극 및 장벽, 즉 단위 전지의 결합된 폭은 저항 효과들을 피하기 위해 2 ㎜ 보다 작은, 더욱 바람직하게는(preferably even) 1 ㎜ 보다 작아야 한다. 상기 웨이퍼의 도핑이 적은 경우, 저항이 증가되므로 최대한의 단위 전지 폭은 또한 감소되어야 한다. 상기 웨이퍼의 어떤 부분에서 상기 에미터 전극까지의 최대 거리는 손실을 피하기 위해 상기 웨이퍼 내 소수 운반자들(minority carriers)의 확산 길이 보다 작은, 전형적으로는 300 ㎛ 보다 작아야 하나, 상기 전지는 또한 더 낮은 효율에서 더 높은 최대 거리를 위해 작용할 것이다. 어떤 라인의 최소 폭은 정렬 허용 오차들 및 가장자리 정의에 의해 오직 결정되고 가능한(conceivably)

<100 ㎛ 일 수 있다.

[0155] 상기 태양전지가 낮은 주입에서 보통 작동하는 수준으로 도핑되는 웨이퍼가 사용될 수 있어, 즉 광발생된 운반자 농도가 기저 도핑 보다 더 작아서, 상기 저항은 상기 도핑에 의해 조절된다(A wafer may be used which is doped to a level where the solar cell will usually be working in low injection, i.e. a photogenerated carrier concentration is smaller than base doping, and the resistance is therefore dominated by the doping.) 그러한 전지에 있어서, 기저 전극까지의 최대 거리는 상기 웨이퍼의 저항률에 의해 결정되고, 상기 에미터 전극 지역 부분은 상기 기저 전극 지역 부분 보다 훨씬 더 커야만 한다. 이것은 상기 웨이퍼 도핑이 약 1e15이거나 또는 더 높을 경우일 것이다.

[0156] 대안적으로 상기 전지가 높은 주입에서 작동하는 수준으로 도핑되는 웨이퍼가 사용될 수 있는, 즉 광발생된 운반자들 농도가 기저 도핑보다 더 크다. 그런 전지에 있어서, 에미터 및 기저 접촉들의 지역 부분들은 상당히 비슷해야 한다. 이것은 상기 기저 및 에미터 접촉들을 위한 금속 라인 두께가 엔드 로어 금속 소비(end lower metal consumption) 내 훨씬 최적화된 금속 두께, 더 높은 지역 범위를 제공하여, 훨씬 비슷하게 만들어질 수 있다는 점에서 장점일 수 있다.

[0157] 상기 마스크는 인바(invar), 코바(kovar), FeNi42, 알루미나 또는 의도된 증착 및 세정 순서와 양립할 수 있는 어떤 다른 물질로 만들어질 수 있다. 전도성 또는 절연 마스크를 사용하는 것은 증착들의 차이점을 제공할 수 있고, 둘 다 가능하다.

[0158] 도 5 및 6은 쉐도우 마스크들의 가능한 디자인 상의(onto) 평면도를 보여준다. 마스크들의 세 가지 유형들이 있다: 상기 분리층 증착을 위한 마스크(31), 상기 기저층 증착을 위한 마스크(33) 및 상기 에미터층 증착을 위한 마스크(35). 상기 마스크들(31, 33, 및 35)은 다른 해칭들(hatchings)로 보여진다. 모든 마스크들(31, 33 및 35)의 개구들의 합은 상기 실리콘 기판의 배후면의 전체 지역을 덮는다. 상기 다른 마스크들(31, 33 및 35) 내의 개구들은 영역들(37) 내에서 부분적으로 겹친다. 그런 이유로, 또한 그 마스크들(31, 33 및 35)을 통과하여 증착된 상기 층들(9, 13 및 19)은 겹침 지역들(23. 25) 내에서 부분적으로 겹친다.

[0159] 도 7의 b, c에 나타낸 것처럼 상부(top)에서 보다 상기 개구들의 하부(bottom)에서 더 좁은 마스크 개구들을 사용하는 것은 상기 증착들이 발생하는 지역에 기체 흐름을 증가시킬 수 있고 증착 속도 및 동질성을 증가시킬 수 있다. 이것은 상기 가장자리들을 따라 알루미나를 통과하고, 증착들이 의도되는 곳을 통과하여 충분히 부분적으로 파내도록 레이저를 사용함으로써 달성될 수 있다(This can be achieved by using laser to dig partially through the alumina along the edges, and fully through where depositions are intended.)

[0160] 상기 마스크 두께는, 상기 개구들의 높이/폭 비를 줄이면서, 온도를 안정시키고 증착 속도를 증가시키도록 시간을 줄여, 안정적이고 견고하도록 얇은 마스크의 수요 대 두꺼운 마스크의 필요 사이의 균형이 유지되어야 한다.

[0161] 제1 마스크는 '브릿지들'을 포함할 수 있다. '브릿지들'은 상기 '브릿지' 아래에, 기체의 확산, 거기에서의 증착들을 허용하도록 상기 마스크가 상기 웨이퍼에서 떨어지지만, 상기 브릿지가 상기 마스크의 다른 부분들을 함께 보유하는 구역들을 의미한다('Bridges' mean sections where the mask is lifted off the wafer, to allow diffusion of gas, and thereby depositions, under the 'bridge', but where the bridge holds the different parts of the mask together.) 이것은, 두 증착들이 장벽을 가진 지역을 완전히 둘러싸도록 만들어야 하는 대신에, 단일 단계 내 전극들 주위로 장벽들을 증착시키는 것을 허용한다. 그것은 또한 가장 얇은 마스크 구역들이 좀 더 단단한 구역들에 의해 안정화되는 것을 허용한다.

[0162] 정렬은 운반용 보트안의 디프와 같이 고정된 위치에 웨이퍼를 물리적으로 결합시키고, 마스크가 이와 관련해 주어진 위치에 위치하게 함으로써 달성될 수 있고, 또는 광학 수단에 의해 상기 웨이퍼의 위치를 확인하고 그런 다음 마스크를 그에 맞춰 배치함으로써 성취될 수 있다(An alignment may be done by fitting the wafer physically into a fixed position like a dip in a carrying boat, and have the mask in a given position relative to this, or where alignment is achieved by identifying the position of the wafer by optical means and then placing the mask accordingly.)

[0163] 상기 장벽, 상기 에미터 전극 및 상기 기저 전극을 위한 마스크는 동일한 것일 수 있어서, 각각의 단계를 위한 절대적인 정렬을 가지는 대신에, 상기 정렬이 마스킹된 증착들의 처음에 발생할 수 있고, 그런 다음 이후의 정렬들이 고정된 양으로 상기 마스크의 상대 변위(relative displacement)에 의해 행해질 수 있다. 이것은, 상기 전지 이내의 라인 가장자리들을 위한 작은 정렬 허용 오차를 유지하는 반면에, 상기 웨이퍼 가장자리에 관하여 증가된 정렬 허용 오차를 허용할 것이다. 만약 상기 전극들이 상기 장벽들 보다 더 광범위하도록 의도된다면,

상기 마스크는 이전의 증착을 부분적으로 겹치게 하는 위치로 이동될 수 있으며, 상기 증착은 그 다음에 반복될 수 있다.

[0164] 상기 마스크는, 각각의 증착 후 또는 다수의 증착들 후, 예를 들어 플라즈마 세정 또는 화학적 세정에 의해 세정될 수 있다. 하나의 옵션은 상기 플라즈마 증착 챔버와 병행하여 플라즈마 세정 챔버를 가지는 것이므로, 상기 마스크가 전체의 정렬/증착/제거/세정 사이클 내 결코 진공을 남기지 않을 것이다. 상기 마스크가 상기 세정에 대해 물질 저항으로 구성되어야만 하거나, 또는 그것이 하나의 물질에 의해 만들어질 수 있고, 그 다음 저항 물질의 얇은 층에 의해 덮일 수 있다.

[0165] 상기 마스크는 상기 실리콘처럼 동일한 열팽창 계수를 가지는 물질로 구성될 수 있다.

[0166] 상기 마스크는 오정렬 및 변형을 피하기 위해서 상기 마스크의 더 신축성 있는 부분들을 늘리는 프레임(frame)에 의해 단단히 유지될 수 있다.

[0167] 다양한 증착 공정들을 수행하면서, 증착 챔버(deposition chamber)는 밀폐된 게이트들(airtight gates)에 의해 분리된 챔버들의 순서로서 제공될 수 있어, 진공(vacuum)은 이웃하는 챔버가 기체로 채워지는 동안 하나의 챔버 내에 유지될 수 있다. 상기 웨이퍼는 정렬 및 마스크 배치를 위한 지지체로서 수송을 위한 척(chuck) 또는 '보트' 상에 배치될 수 있다. 상기 보트는 몇몇의 챔버들을 통과하여 상기 웨이퍼를 뒤따를 수 있거나, 또는 그것은 오직 하나의 챔버를 위해 사용될 수 있다. 상기 보트는 또한 상기 웨이퍼의 하위 측면 상의 증착으로부터 상기 웨이퍼를 보호할 것이다. 그 다음 상기 챔버들은 증착 챔버들, 마스크 배치 챔버들, 에칭 챔버들, 마스크 제거 챔버들 또는 플리핑 스테이션(flipping stations)과 같은, 다른 기능들을 충족시킬 수 있다. 에칭 챔버들은 마스크들, 웨이퍼들 및 '보트들'을 위해 존재할 수 있다. 마스크들은 상기 마스크 제거 챔버 내 상기 웨이퍼로부터 들어올려질 수 있고, 그 다음에 마스크 세정 챔버를 통과하여 상기 마스크 정렬 챔버로 수송될 수 있다. 웨이퍼 및 마스크는 상기 증착 챔버를 통과하여 상기 정렬 챔버에서 상기 마스크 제거 챔버로 수송될 수 있다.

[0168] 동일한 유형의 전극들을 연결하는 금속은 상기 전극 내 사용된 금속으로부터 다를 수 있다. 또한 '교차 연결장치'로 불리는, 금속을 연결하는 이것은 그 다음에 인쇄된 스크린 상에 납땜될 수 있거나, 또는 편리한 것처럼 보여진 어떤 수단에 의해 형성될 수 있다(This connecting metal, also referred to as ‘cross connector’, could then be soldered on, screen printed, or formed by any means seen as convenient.) 이것의 이점은 가장 큰 전류를 전달하는 상기 전지 부분에서의 전도도가 상기 전지의 나머지에서의 금속 소모를 추가하지 않고 증가될 수 있다는 것이다.

[0169] 실험 결과들

[0170] a) 쉐도우 마스크를 통과하여 비정질 실리콘의 라인들의 증착

[0171] 마스크는 200 ㎛ 두께의 알루미나 시트를 통과하여 레이저 절단(laser cutting)에 의해 만들어졌다. 100, 200, 300, 400 및 500㎛의 폭을 가지는 라인들이 절단되었다.

[0172] 상기 마스크는 연마된, 깨끗한, 소수성의 <100>-배향된 실리콘 웨이퍼 표면 상에 매장되었다(The mask was laid to rest on a polished, clean, hydrophobic, <100>-oriented silicon wafer surface)-힘은 중력을 제외하고는 적용되지 않았다- 상기 웨이퍼는 13.56 MHz의 주파수를 가지는 직접 PECVD 챔버안으로 삽입되었다.

[0173] 상기 챔버는, 다음의 한정 요소들(parameters)과 함께, 비교적 양호한 비정질 실리콘 패시베이션을 제공하도록 알려진 한정 요소들에 따라 증착하기 위해 제공되었다:

[0174] ● 증착 온도: 200 ℃

[0175] ● SiH4 유동, 25 sccm

[0176] ● 20 W 내지 8 W의 램핑된, 동력(약 25 cm 직경 원판 전극 상으로(over))

[0177] ● 압력 300 mtorr

[0178] ● 증착 시간 15 분

[0179] 샘플은 집중 타원편광 반사법(focused ellipsometry), 알파-단계 프로파일링(alpha-step profiling) 및 광학 현미경을 사용하여 특징지어졌고, 이들 방법들은 일관된 결과들을 보였다. 최대 두께가 >30 ㎛이여서, 증착 속도는 상기 마스크가 없는 경우였을 때보다 다소 작으나, 자릿수(order of magnitude)는 동일하다는 것을 나타낸

다. 상기 증착된 라인들의 라인 폭은 마스크 개구의 폭에 매우 가깝지만, 상기 라인 윤곽(line profile)은 300 ㎛ 보다 더 얇은 라인들을 위해 약하게 둥글게 만들어진다. 상기 라인 밖으로 일부 말미 형성이 있지만, 상기 라인 가장자리로부터 200 ㎛이고, 1 nm 보다 작은 비정질 실리콘이 있다. 상기 집중 타원편광 반사법이 충분한 해결방안을 가지지 못할 수 있으므로, 말미들 100 ㎛까지의 가능성을 배재하는 것이 어렵고, 본 고안자는 TEM을 아직 형성하지 않았다. 그래도, 상기 라인 정의는 300 ㎛ 라인 폭을 가지는 디자인에 충분하고, 200 ㎛ 또는 100 ㎛까지 라인 폭을 가능한 한 허용할 수 있다.

[0180] 200 ℃에서의 증착은 230 ℃에서의 증착보다 더 날카로운 가장자리 정의를 제공하는 것처럼 보인다. 400 ℃에서의 SiN을 증착하는 것과 비슷한, 더 높은 온도들에서 증착할 때, 상기 말미들은 급격하게 증가하고, 상기 말미들은 상기 라인의 중앙보다 훨씬 더 실리콘이 풍부해진다. 이것은 상기 표면을 따라 확산을 허용하는데 실리콘의 낮은 부착 계수(sticking coefficient)에 의해서 유발되는 것일 수 있다.

[0181] b) 경사진 측벽들을 가진 쉐도우 마스크를 통과하여 비정질의 라인들의 증착

[0182] 뒤따른 절차들이 정확히 위와 같지만, 하나의 마스크가 수직의 가장자리들을 가진 경우(도 7의 a)에 있어서, 하나는 상기 마스크의 하부에서 가장 좁고 상부에서 가장 넓은 45도(deg)에서의 비스듬한 가장자리들을 가졌고(도 7의 b), 또 다른 마스크는 거의 U-자형으로 둥글게 만들어졌는데(도 7의 C), 후자의 두 개가 직선 벽들을 가진 마스크 보다 상기 웨이퍼 표면에서 아래로 가스의 더 나은 확산을 제공한다.

[0183] 이 경우에 있어서 상기 가장자리 정의가, 더 큰 균일한 라인 증착된 두께로, 더 나은 두께였지만, 개구들을 만들 때 레이저 광선 점 크기로부터의 거칠기는 상기 증착된 라인의 가장자리 내에서 식별할 수 있었다(In this case the edge definition was better in thickness, with more homogeneous line deposited thickness, but the roughness from the laser beam spot size when making the openings was discernible in the edge of the deposited line.) 상기 증착 속도가 증가되므로, 요구된 증착 시간은 이 경우에 줄어든다. 레이저로 인한 거칠기는 겹침 영역들을 가진 디자인의 필요성을 다시 중시한다.

[0184] c) '브릿지'를 가진 쉐도우 마스크를 통과하여 비정질 실리콘의 라인들의 증착

[0185] 상기 마스크가 상기 웨이퍼 측면으로부터 오직 부분적으로 파인 브릿지들을 가진 라인들이 또한 생산되었고, 그런 다음 앞서 기술한 바와 같이 동일한 방법으로 사용되었다. 200 ㎛ 두꺼운 마스크를 사용하면서, 상기 브릿지들은 마스크 및 웨이퍼 사이에 150 ㎛ 또는 100 ㎛ 개구(opening)를 남겨, 50 또는 100 ㎛ 두껍게 되도록 만들어졌다. 상기 '브릿지들'이 200 ㎛ 두껍고 상기 라인 폭 >300 ㎛ 이었을 때, 증착은, 상기 '브릿지' 아래로 분산하는 가스로 인해, 상기 '브릿지들' 아래에 명확히 나타났다(When the 'bridges' were 200 ㎛ thick, and the line width >300 ㎛, deposition clearly occurred under the 'bridges', due to gas diffusing in under the 'bridge'.)

[0186] 시뮬레이션들

[0187] 시뮬레이션들은 SILVACO로부터 2D 시뮬레이션 패키지 ATLAS 내에서 수행되어, 상기 진성 비정질 실리콘층이 약 5 nm로 유지될 수 있는 동안, 접촉 저항이 전지 성능을 제한하지 않을 수 있고, 상기 비정질 실리콘의 도핑이 충분하다(>1e18/cm^3)는 것을 보여주었다.

[0188] 상기 디자인은 웨이퍼 품질 및 패시베이션 품질에 따라, 치수들의 우수한 유연성을 허용한다. 보통, 이것은 더 좁은 장벽 라인일수록 더 좋은 것처럼 보인다. 따라서 상기 전극들이 완전한 방식으로 증착될 수 있다면, 상기 장벽은 그 자체로 오직 장치에서의 부정적인 기능을 가지는 것으로 나타난다. 상기 장벽의 기능은 따라서 생산의 용이성에 전적으로 관련된다.

[0189] 상기 장벽이 상기 전극들 보다 더 나은 내부 반사율을 가질 수 있다고 가정한다면, 이것은 달라지고, 상기 장벽 폭을 증가시키는 것이 훨씬 이익일 수 있다. 여기에, 많은 물질 추정들이 만들어져야 해서, 보통 기하학적 구조 어드바이스가 어려워진다(Here many material assumptions must be made, so general geometry advice becomes difficult.)

[0190] 상기 웨이퍼 내 어떤 지점에서 상기 에미터 전극까지의 최대 허용 거리는 소수 운반자들의 효과적인 확산 길이에 의해 제한되거나, 또는 다른 용어(terminology)에 있어서, 앞쪽 및 장벽 패시베이션 품질을 포함하여, 상기 웨이퍼의 효과적인 수명에 의해 제한된다.

[0191] 어떤 지점에서 상기 기저 전극까지의 최대 거리는 상기 웨이퍼의 저항력에 의해 제한된다. 만약 상기 웨이퍼 도핑이 충분히 높다면, 상기 에미터 폭은 따라서 상기 기저 폭 보다 더 높아야 한다. 매우 낮은 도핑을 가진 웨이퍼를 위해, 증착 정밀도를 허용하는 것만큼 좁은 상기 에미터를 만드는 것이 훨씬 유익할 수 있다.

[0192] 투입량(input)만큼 최고로 얻어진 라인 폭들을 사용하여, 50 ㎛의 정렬 정확도를 가정하는 것이 달성될 수 있고, 시뮬레이션들은 18 내지 26 %의 전지 효율이 패시베이션(3-100cm/s) 및 웨이퍼 품질(0.3-3ms)에 따라, 달성된 광 포획(light trapping achieved)(36-46 mA 유용한 광전류) 상에 얻어질 수 있다는 것을 나타낸다.

[0193] 최종적인 주목들(Final remarks)

[0194] 본 발명은 뒤쪽 접촉 헤테로접합 진성 얇은층 실리콘 전지들을 위한 생산 방법에 관한 것이다. 본 발명의 양상은 전극들 사이에의 상기 전극들 및 장벽들을 둘 다 증착시키기 위한 쉐도우 마스크들을 사용하는 것이다. 이것은, 유사한 전지 디자인들을 위한 모든 알려진 다른 공개된 생산 방법으로 행해지므로, 절대적으로 중요한 진성 얇은층이 오직 한번 증착될 수 있고, 스택의 후처리(later processing)로 손상되지 않는다는 것을 의미한다.

[0195] 제안된 방법 및 전지의 주요 이점들은:

[0196] 1) 증가된 정렬 문제들의 비용에 있어서, 마스크들을 통과하여 증착을 부분적으로 사용하고, 제1 비정질 실리콘(aSi) 패시베이션 후 에칭 단계들을 피하고, 그것에 의하여 생산 속도를 증가시키고, 인터페이스 세정(interface cleaning) 및 진성 aSi 증착에 관련된 쟁점들을 줄이는 증착 순서 및 방법

[0197] 2) 실제 대량 생산 내 발생할 오정렬에 대한 필요의 허용 오차들을 허용하는 상기 전지의 디자인

[0198] 3) 상기 배후 측면의 모든 지점 내 적어도 양호한 화학적 패시베이션 또는 양호한 전계 효과 패시베이션이 항상 존재하도록, 상기 전지의 배후 측면에서의 다른 성분들 사이의 경계 영역들이 겹침 구조를 가지는 상기 전지의 디자인

[0199] 4) 상기 비정질 실리콘을 가진 인터페이스에서 멀리 떨어져, 상기 증착들의 적은 임계 상들(critical phases)의 제어를 줄이는 반면에, 특히, 진성 얇은층 증착 내 임계 상들의 모든 제어를 허용하는 공정이다.

[0200] 몇몇의 신규한 기여들(inventive contributions)은,

[0201] 1) 만약 어떤 공정 한정 요소들 및 마스크 수요가 충족된다면(실험들 및 시뮬레이션들에 의해 확인된), 충분히 정확한 마스킹된 증착이 가능하다는 것을 실현시키는 것

[0202] 2) 만약 상기 부분들이 정확한 순서로 증착된다면, 그 결과로 생긴 밴드 결합의 감소가 패시베이션 품질(이론적인 평가)을 저하시키기 전에 그것은 연속 저항 및 패시베이션을 서서히 증가시키므로, 마스킹된 증착으로 인한 불완전한 라인 정의는 문제가 아니라, 오히려 이점이다라는 것을 실현시키는 것

[0203] 3) 오정렬을 위한 요구된 허용 오차가 과도한 전지 효율(시뮬레이션들에 의해 지지된)을 희생시키지 않고, 상기 전극들 사이의 충분히 넓은 완충 영역을 유도함으로써 달성될 수 있다는 것을 실현시키는 것에 기대한다.

[0204] 도핑된 aSi 및 다른 배후 패시베이팅 물질들이 -정렬, 마스크 두께 및 금속 증착 한정 요소들에 의해 결정된 적어도 100 ㎛의 개구들을 가진 전형적으로 금속성(예를 들어 Ni/코바) 또는 절연(예를 들어 알루미나) 마스크와 같은 마스크들을 통과하여 (PEC)VD를 사용함으로써 적용된다.

[0205] 마스크 및 웨이퍼(d0) 사이의 정렬 정밀도는 중요한 디자인 사안이고, 도 1에 나타낸 최소 거리들(d1, d2, d3, d4 및 d5)을 결정한다. 그것들은 모두 >2*d0이어야 한다. 50 ㎛의 정렬 정밀도를 가정한다면 그것들은 모두 100 ㎛일 수 있거나, 또는 그것들은 모두 100 ㎛ 보다 많은(above), 다른 값들일 수 있다.

[0206] 모든 이들 물질들은 수치로 보여진 바와 같이 겹쳐질 필요가 있어서, 지역이 남아 있지 않고 최대 오정렬과 함께 평평하게 패시베이팅되지 않는다(All these materials need to overlap as shown in the figure, so no area is left unpassivated even with maximum misalignment.) 이 겹침이 본 발명의 요점이다.

[0207] 제1 증착된 장벽은 완벽한 정의를 가지지 않을지라도, 전극-형성 도핑 aSi(electrode-forming doped aSi)(또는 aSiC, 킸Si 또는 유사한)에 의해 덮혀질 때, 이 마스크층의 모든 가장자리들/말미들은 오직 패시베이션을 개선

할 것이다. 상기 에미터의 경우에 있어서, 상기 에미터에 의해 달성된 밴드 결합을 파괴하지 않고, 양호한 전기 접촉을 형성하도록 남겨진 지역이 오직 충분해야 한다.

[0208] 특히, aSi가 상기 마스크를 위해 사용된다면, 상기 접촉들은 그러한 문제들을 가지지 않는 것이 확실할 것이다. 텍스처링(texturing)이 상기 말미의 불규칙적인 가장자리들을 제공한다면, 상기 피라미드/텍스처 팁들이 충분한 접촉 지역을 제공하고 있는 한, 이것은 똑같이 문제가 안된다.

[0209] 여기에서 핵심적인 실현 중 하나는 터널 저항(tunneling resistance)이 첫 번째로 본 고안자가 더 이상 전계 효과 패시베이션에 의존하지 않는 수준(level)으로 증가할 것이고(도 8의 b), 그 다음 상기 밴드 결합은 상기 전계 효과 패시베이션이 제거되는 수준으로 떨어질 것이지만(도 8의 c), 터널 장벽은 현재 대단히 크기 때문에, 인터페이스에서의 운반자들의 높은 수는 더 이상 문제되지 않는다는 것이다. 급격한 변화를 가진 디자인에 있어서, 상기 전계 효과 손실은 화학적 패시베이션 개선(gain) 전에 발생할 수 있어, 높은 재결합으로 이어질 수 있다.

[0210] 헤테로접합 전지의 접촉들에서의 패시베이션은 매우 양호하여(도 8의 a), 상기 연속 저항은 상기 접촉 지역 크기를 결정하는데 제한 요인일 수 있다. 여기에 두 개의 연속 저항들이 대항한다(compete). 큰 배후 피치(pitch)는 높은 벌크 저항(bulk resistance)을 줄 것이다. 작은 피치는 상기 접촉된 지역 부분이 더 작아서(정렬 제한들 때문에) 문제일 수 있는 접촉 저항이 더 높다는 것을 의미할 것이다.

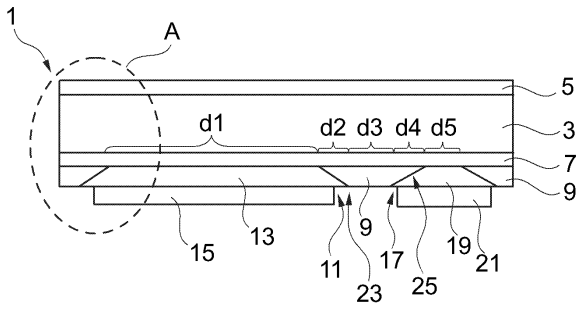
[0211] 상기 에미터 접촉 부분은 그것이 보다 더 고저항률(high resistivity)을 제공할 수 있기 때문에 소수 운반자들의 요구된 확산 길이를 줄이도록 상기 기저 접촉 보다 대개 더 넓어야 한다.

[0212] 또한 상기 전극들 사이의 절연 장벽은 증발 또는 스퍼터링(sputtering)에 의해 행해질 수 있는 금속 접촉 증착들을 위한 정렬 및 국한 사안들(confinement issues)을 감소시킨다. 그것은 많은 물질들의 스택으로서 만들어질 수 있는데, 거기에서 일부는 패시베이션을 위해 최적화되고, 다른 일부는 반사 및/또는 전기 절연을 위해 최적화된다.

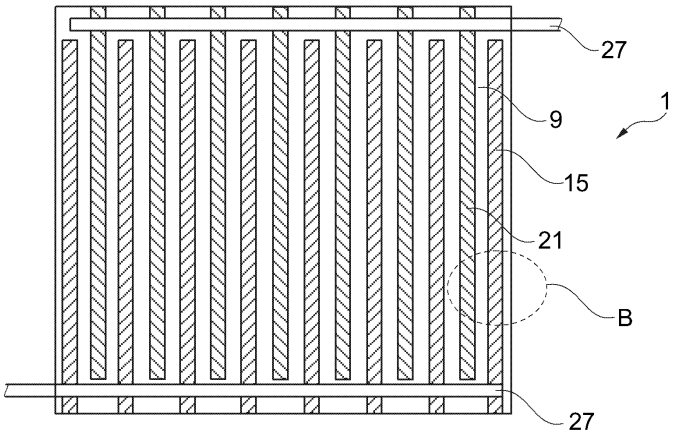
[0213] 마지막으로, 용어 "포함하는 것"이 다른 성분들 또는 단계들을 제외하지 않고, "a" 또는 "an"는 다수를 제외하지 않는다는 것에 주의해야 한다(Finally, it should be noted that the term "comprising" does not exclude other elements or steps and the "a" or "an" does not exclude a plurality.) 또한 여러 구현예들에 관련하여 기술된 성분들은 결합될 수 있다. 또한 청구항들에서의 참조 부호들이 상기 청구항들의 범위를 제한하는 것으로 해석되어선 안된다.

도면

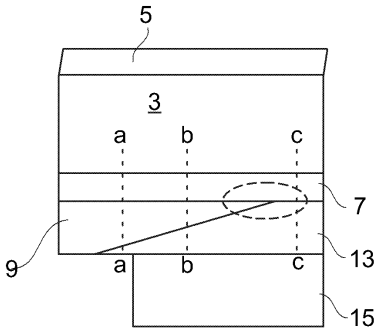
도면1



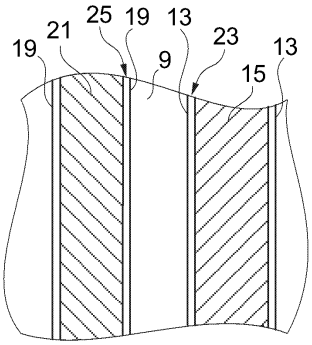
도면2



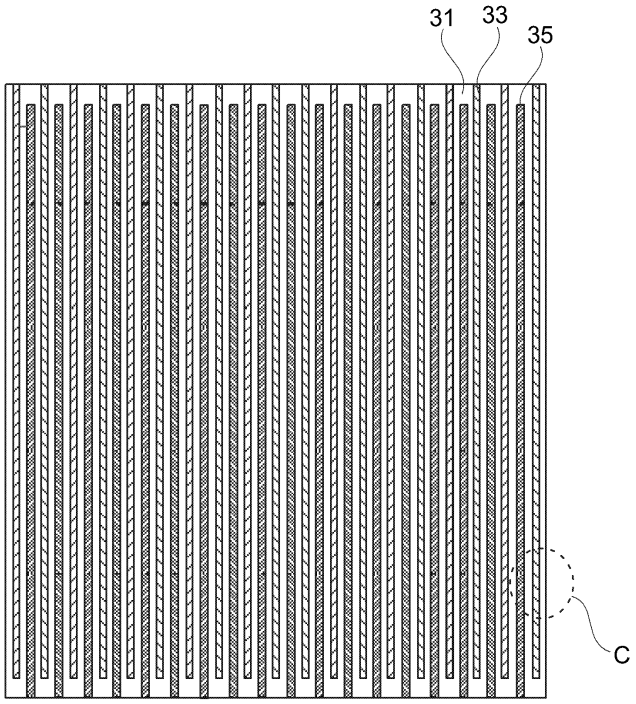
도면3



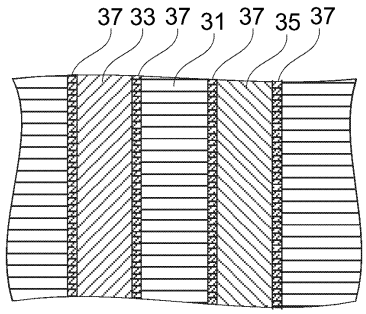
도면4



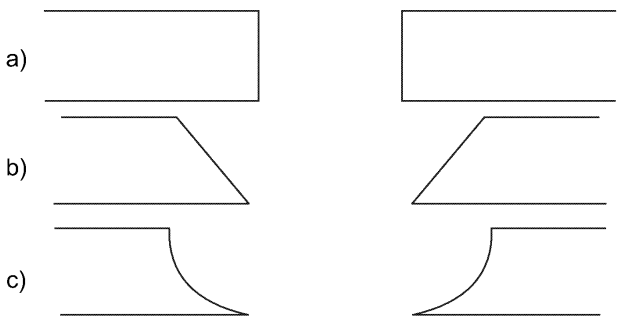
도면5



도면6



도면7



도면8

