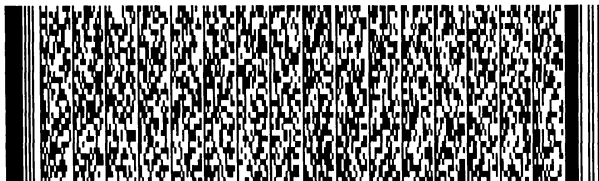


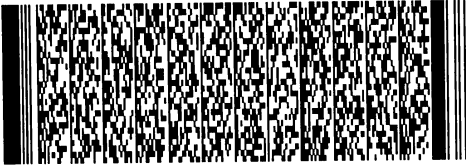
申請日期: 98-02	案號: 091117329
類別: H01L 21/318	

(以上各欄由本局填註)

發明專利說明書		557514
一、 發明名稱	中文	基材處理方法及電子裝置用材料
	英文	Method for processing a substrate and material for electronic devices
二、 發明人	姓名 (中文)	1. 菅原 卓也
	姓名 (英文)	1. Sugawara, Takuya
	國籍	1. 日本
	住、居所	1. 日本國山梨縣韮崎市穗咯町三沢650 東京威力科創股份有限公司內(c/o TOKYO ELECTRON LIMITED, 650 Mitsuzawa, Hosaka-cho, Nirasaki City, Yamanashi, Japan)
三、 申請人	姓名 (名稱) (中文)	1. 東京威力科創股份有限公司
	姓名 (名稱) (英文)	1. TOKYO ELECTRON LIMITED
	國籍	1. 日本
	住、居所 (事務所)	1. 日本國東京都港區赤咯五丁目3番6號 (3-6, Akasaka 5-chome, Minato-ku, Tokyo, Japan)
	代表人 姓名 (中文)	1. 東 哲郎 (Azuma, Tetsuo)
	代表人 姓名 (英文)	1. Azuma, Tetsuo
		

申請日期：	案號：
類別：	

(以上各欄由本局填註)

發明專利說明書		
一、 發明名稱	中 文	
	英 文	
二、 發明人	姓 名 (中文)	2. 松山 征嗣 3. 佐佐木 勝
	姓 名 (英文)	2. Matsuyama, Seiji 3. Sasaki, Masaru
	國 籍	2. 日本 3. 日本
	住、居所	2. 日本國兵庫縣尼崎市扶桑町1-8 東京威力科創股份有限公司內(c/o TOKYO ELECTRON LIMITED, 1-8 Fuso-cho, Amagasaki City, Hyogo, Japan) 3. 日本國兵庫縣尼崎市扶桑町1-8 東京威力科創股份有限公司內(c/o TOKYO ELECTRON LIMITED, 1-8 Fuso-cho, Amagasaki City, Hyogo, Japan)
三、 申請人	姓 名 (名稱) (中文)	
	姓 名 (名稱) (英文)	
	國 籍	
	住、居所 (事務所)	
	代表人 姓 名 (中文)	
	代表人 姓 名 (英文)	
		

申請日期：	案號：
類別：	

(以上各欄由本局填註)

發明專利說明書		
一、發明名稱	中 文	
	英 文	
二、發明人	姓 名 (中文)	4. 中西 敏雄
	姓 名 (英文)	4. Nakanishi, Toshio
	國 籍	4. 日本
	住、居所	4. 日本國兵庫縣尼崎市扶桑町1-8 東京威力科創股份有限公司內(c/o TOKYO ELECTRON LIMITED, 1-8 Fuso-cho, Amagasaki City, Hyogo, Japan)
三、申請人	姓 名 (名稱) (中文)	
	姓 名 (名稱) (英文)	
	國 籍	
	住、居所 (事務所)	
	代表人 姓 名 (中文)	
	代表人 姓 名 (英文)	
		

本案已向

國(地區)申請專利

日本 JP

申請日期

2001/08/02 特願2001-235627

案號

主張優先權

有

有關微生物已寄存於

寄存日期

寄存號碼

無



五、發明說明 (1)

一、【發明所屬之技術領域】

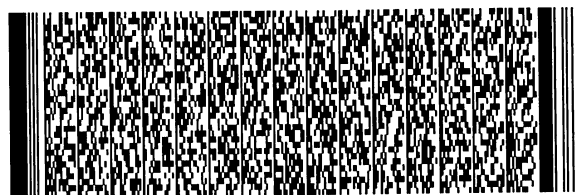
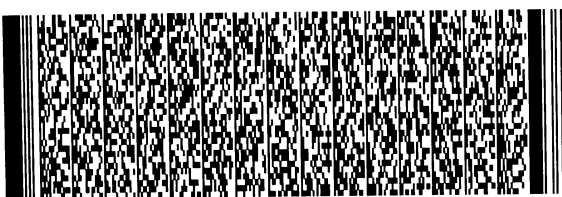
本發明係關於一種電子裝置用基材處理方法，其對電子裝置用基材供應氮自由基等；且本發明係關於一種具有良質氮化膜的電子裝置用材料。特別是，本發明之基材處理方法可以適用於，例如，在電子裝置用基材上形成高電介質膜之時。

二、【先前技術】

本發明可以通常性地廣泛適用於半導體乃至半導體裝置、液晶裝置等電子裝置材料的製造，在此為了方便說明之故，以半導體裝置之背景技術為例說明之。

起源自矽的半導體乃至電子裝置材料用基材中，施加種種處理，包括來自氧化膜之絕緣膜的形成、藉由CVD（化學氣相沈積）等之成膜、蝕刻等。

近年來半導體裝置之高性能化，說是在來自電晶體之該裝置的微細化技術上一路發展而來並不為過。現在更是以更高性能化為目的而進行半導體裝置之微細化技術的改善。隨著近年之半導體裝置之微細化及高性能化之要求，（例如，在漏電流方面）對於更高性能的絕緣膜需求顯著提高。其原因在於即使於習知之集積度相對較低的裝置中尚未成為事實問題之程度的漏電流方面，於近年之微細化及／或高性能化之裝置中，亦有產生嚴重問題的可能性存在。特別是，近年開始，於所謂「遍存（ubiquitous）社會」（以無論何時何地均與電腦網絡連接的電子裝置作為媒體的資訊化社會）之攜帶型電子機器的發展中，低消費



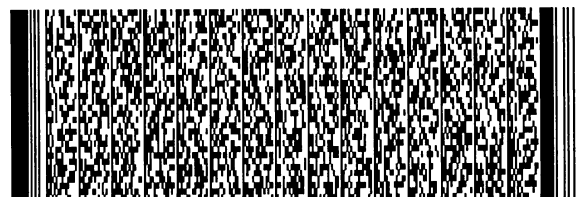
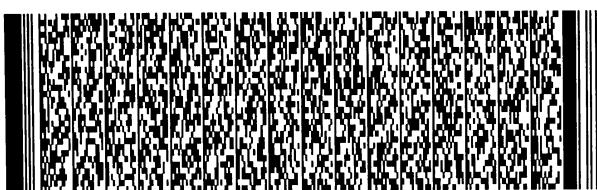
五、發明說明 (2)

電力裝置是必須的，故降低此種漏電流成為極重要的課題。

典型上，例如，在開發次世代MOS電晶體之時，隨著上述之微細化技術之進步，而閘極絕緣膜之薄膜化正逐漸達到界限，應該克服的重大課題已出現。亦即，製程技術中，現在作為閘極絕緣膜使用的氧化矽膜（ SiO_2 ），雖然可能薄膜化到極限（1~2原子層程度）為止，但是在薄膜化進行到2nm以下膜厚的情況下，將造成由量子效應之直接隧穿效應所造成之漏電流以指數方式增加，係所謂消費電力增大的問題點。

現在，IT（資訊技術）市場係從以桌上型個人電腦或家庭電話等為代表的固定式電子裝置（從插座供應電力的裝置），逐漸轉變為無論何時何地均可存取電腦網絡等的「遍存電腦網絡社會」。因此，在極近的將來，攜帶電話或汽車導航系統等之攜帶式終端機將成為主流。此種攜帶式終端機，其前提為：除要求其本身為高性能裝置外，並須具有上述固定式裝置所不太需要的小型、輕量、且可承受長時間使用之機能。因此，於攜帶式終端機中，在謀求該等高性能化的同時，消費電力之降低亦為極重要的課題。

典型上，例如，於開發上述之次世代MOS電晶體時，在追求高性能之矽LSI的微細化之下，將產生漏電流增大、且消費電力亦增大的問題。在此為了於追求性能的同時減少消費電力，必需以不增加MOS電晶體之閘極漏電流



五、發明說明 (3)

的方式提升電晶體的特性。

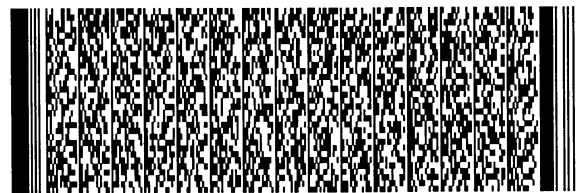
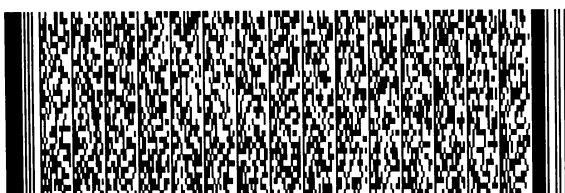
關於上述之微細化，由於微細化技術之進展，在今日，以 $0.1\ \mu\text{m}$ 所切割之閘極長度的超微細化半導體裝置（MOS電晶體等）的製造成為可能。

此種超微細化半導體裝置中，隨著閘極長度的縮短，則半導體裝置的動作速度向上提升，而有將閘極絕緣膜的厚度依比例法則減少的必要。例如，使用習知熱氧化膜作為閘極絕緣膜的情況下，有必要將閘極絕緣膜之厚度減少至例如 1.7nm 以下的程度。然而，以此方式減少習知之氧化膜的厚度的話，則由於上述之隧穿效應，流通過氧化膜的閘極漏電流將大幅增加。

因此，習知上考慮使用 Ta_2O_5 或 ZrO_2 等高電介質膜取代習知之氧化矽膜作為閘極絕緣膜。然而，此等 Ta_2O_5 或 ZrO_2 等高電介質膜於半導體技術中與習用的氧化矽膜的種種性質均有很大差異，故使用此種高電介質膜作為閘極絕緣膜的話，實際上仍殘留許多應解決的課題。

作為解決此種問題點的一個方法，考慮使用氮化膜（及／或氧化氮化膜）作為閘極絕緣膜材料。例如，氮化矽膜係於習知半導體製程中所使用的材料。再者，由於此氮化矽膜具有氧化矽膜之約2倍的比介電率，故可望能做為次世代之高速半導體裝置的閘極絕緣膜。

習用上，氮化矽膜通常係於層間絕緣膜上以電漿CVD法所形成。然而，由於此種CVD氮化膜通常有大的漏電流，而且 V_{fb} （平帶電壓）之絕對值也大，故作為閘極絕



五、發明說明 (4)

緣膜是不適當的。因此，從前並未嘗試使用氮化膜作為構成閘極電極之絕緣膜。

對此，最近已有人提出在微波激發的氫或氮等稀有氣體電漿中，導入氮、或氮與氫、或 NH_3 氣體等含氮氣，使其產生N自由基或NH自由基（但NH自由基通常具有易於給與懸空鍵的傾向），以將氧化矽膜表面變換為氮化膜的技術。從而，所形成的氮化膜足以匹敵熱氧化膜，甚或具有凌駕其上的漏電流特性，故可望能夠作為次世代高速半導體裝置的閘極絕緣膜。又，藉由此種微波電漿將電子裝置用基材表面直接氮化的技術亦被提出。

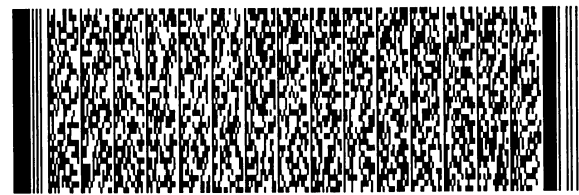
然而，在習知技術中，例如，藉由微波激發的氮化氫自由基 NH^* 於形成在半導體用基材上的氧化矽膜表面進行改質的情況下，將產生電氣特性的劣化（例如， V_{fb} 之絕對值增大、閾值電壓變化），而無法得到所需的電晶體特性。

三、【發明內容】

本發明之目的為提供一種可以解決上述之習知技術之問題的電子裝置用基材處理方法及電子裝置用材料。

本發明之其它目的為提供一種基材處理方法及電子裝置用材料，其在電子裝置用基材表面（例如，矽表面或氧化膜表面所構成者），藉由電漿氮化處理形成氮化膜時，可以防止電氣特性之劣化，並給與良好的裝置特性。

本發明人致力研究的結果，不像習知技術之電子裝置用基材上供應NH自由基而形成氮化膜者，而是在電子裝置



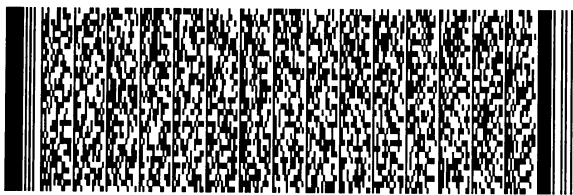
五、發明說明 (5)

用基材上N自由基與H自由基至少一部分同時、及／或一前一後供應N自由基與H自由基，而得到解決上述問題之極佳效果。

本發明之基材處理方法，基於上述知識，詳言之為包含：(a) 氮化製程，其供應氮自由基至電子裝置用基材之表面，而於該表面形成氮化膜；與(b) 氫化製程，其供應氫自由基至該電子裝置用基材表面。

藉由具有上述之構成之本發明的基材處理方法，可以得到與平帶電壓等相關的電氣特性良好的特性。依照本發明人之知識，推定其係藉由對電子裝置用基材，(至少一部分)同時、及／或時間上一前一後供應氮自由基及氫自由基的情況下，氮自由基將達到電子裝置用基材上形成的氮化膜與原材料(例如，矽)之間的界面，而將此種氮化膜之界面範圍的懸空鍵等之缺陷終端化等。此外，藉由此種界面範圍之懸空鍵等缺陷的終端化，可推定能夠將所應得之絕緣膜的氧化膜換算膜厚更加減少。

本發明中，例如將氧化膜藉由氮自由基進行氮化處理的結果，有所謂反轉(turnaround)現象產生的情況。此現象係隨著一開始氧化矽膜表面變換為氮化矽、膜全體之電氣性膜厚(換算膜厚)減少、且比起同樣換算膜厚的氧化矽膜漏電流值也減少、超過某時點膜全體之換算膜厚即反向增加的現象。依照本發明人之知識，此現象可推定為氮到達氧化矽膜與矽界面、而藉由將電子裝置用基材氮化、而使絕緣膜全體之物理膜厚增加。



五、發明說明 (6)

本發明中，藉由此種反轉而將Si表面氮化的情況下，藉由進行氫自由基處理，亦觀測到將平帶電壓等電氣特性回復的現象。依照本發明人之知識，此現象可推定為基於氫自由基到達氮化矽膜界面、而將矽與氮化膜間之界面範圍的懸空鍵等缺陷終端化。又，藉由此種矽與氮化膜間之界面範圍的懸空鍵等缺陷的終端化等，可以使所得之絕緣膜的氧化膜換算膜厚更加減少。

相反的，習知技術中，矽基材上所形成之氧化矽膜表面以微波激發之氮化氫自由基 NH^* 進行改質的情況下，將發生上述之反轉現象。習知技術中，氮化矽用基材的情況下，MOS電晶體之平帶電壓、從而閾值電壓均將產生很大變化，而無法得到所需之電晶體特性。

四、【實施方式】

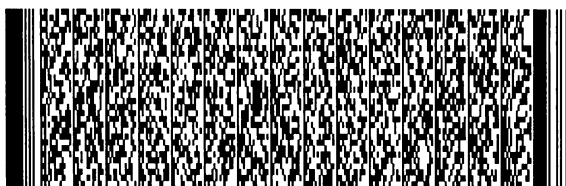
以下將參考附圖詳細說明本發明。以下內容中表示數量比的「部」及「%」，若非特別限制係為質量基準。

(基材處理方法)

本發明的基材處理方法，包含(a)氮化製程，將氫自由基供應至電子裝置用基材之表面，二於該表面形成氮化膜，與(b)氫化製程，將氫自由基供應至該電子裝置用基材表面。

(氫自由基供應製程與氫自由基供應製程)

本發明中，只要可以達成預定效果(例如，後述之合適的平帶電壓)，上述之(a)氫自由基供應製程及(b)氫自由基供應製程之時間上的前後關係並不成問題。亦



五、發明說明 (7)

即，關於此等 (a) 製程及 (b) 製程，可以有例如以下之樣態：

(1) 在進行 (a) 製程之後，進行 (b) 製程。

(2) (a) 製程與 (b) 製程同時進行。

(3) (a) 製程與 (b) 製程的一部分重複 (亦即，一部分同時) 進行。

應以本發明處理之電子裝置用基材之表面係由氧化膜所構成之情況下，較佳情況為上述 (1) 之組合，亦即在進行 (a) 製程之後，進行 (b) 製程。以此方式，氧化膜係以一般 (氮自由基 + 氫自由基) 的同時供應方式，所以相對上較難氮化。

(電子裝置用材料)

本發明之電子裝置用材料包含電子裝置用基材，而且該電子裝置用材料的表面的至少一部分上具有氮化膜；此材料在用作MOS型裝置構造之絕緣層的情況下，與氧化膜的平帶電壓 (V_{fb}) 比較，其係給與NMOS中0.1V以下之差異的電子裝置用材料。於NMOS中，較佳情況為此 V_{fb} 差異更在0.05V以下，特別是在0.03V以下。又，於PMOS中，較佳情況為給與 V_{fb} 差異1V以下的電子裝置用材料。較佳情況為，於PMOS中此種與 V_{fb} 的差異更在0.5V以下，特別是在0.3V以下。

於上述之電子裝置用材料中，「表面上具有氮化膜」係指該氮化膜，藉由本發明上述之 (a) 氮自由基供給製程及 (b) 氫自由基供應製程的組合，可以被氮化的位置



五、發明說明 (8)

(亦即，氮化膜的位置，不必然有位於電子裝置用材料的最外側表面上的必要)。又，上述電子裝置用材料中，「表面之至少一部分」係指氮化膜得以發揮其機能(例如，作為MOS構造之閘極絕緣膜的機能)的尺寸、厚度等。

(電子裝置用材料之樣態)

本發明之表面之至少一部分具有氮化膜的電子裝置用材料，可以構成任意電子裝置(半導體裝置，液晶裝置等)的一部分。作為此種電子裝置的例子為，例如，以下所舉出者：

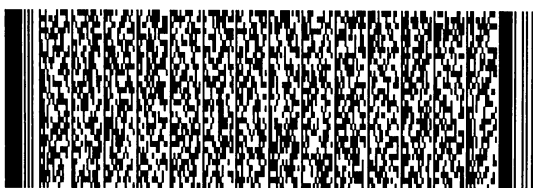
(1) 半導體裝置之例：例如，具有MOS構造的半導體裝置，更具體而言為MOS型場效電晶體或電容等。

(2) 液晶裝置之例：例如，於玻璃板上具有複晶矽膜的液晶裝置，更具體而言為TFT等。

(平帶電壓)

本發明之電子裝置用材料之用途並不特別作限制，但依照本發明的良質氮化膜特別適合作為半導體裝置的絕緣膜(特別是MOS半導體構造之閘極絕緣膜)。

若是利用本發明之電子裝置用材料，則可以容易地製造具有上述之合適的 V_{fb} 特性的MOS半導體構造。此外，對於藉由本發明所形成之氮化膜的特性進行計算時，例如，藉由形成文獻(VLSI裝置之物理，岸野正剛、小柳光正著，丸善出版，P62~63)中所記載的標準MOS半導體構造而計算其MOS之特性，則可以取代上述之氮化膜本身的特



五、發明說明 (9)

性計算。此係由於此種標準MOS構造中，構成該MOS構造的氮化膜之特性給與MOS特性強大的影響。

(基材處理裝置之一樣態)

圖1係顯示於本發明之基材處理方法中可以使用的電漿基材處理裝置10之構成之一樣態的示意剖面圖。

茲參考圖1，電漿基材處理裝置10具有處理容器11，其上形成用以保持待處理基材W的基材保持台12，處理容器11係由排氣通口11A及11B排氣。

在上述處理容器11上，對應於基材保持台12上之待處理基材W形成有開口部，此開口部藉由氧化鋁等低損失陶瓷材料所形成之蓋板13預以密封。更於蓋板13之下，以與上述待處理基材W之相對的方式形成散流板14，該散流板14具有氣體導入路徑以及與之連通的多數之噴嘴開口部，由氧化鋁等之低損失陶瓷材料所形成。

上述散流板14及蓋板13形成有微波窗，並於上述蓋板13之外側，形成徑向線槽形天線或角形天線等微波天線15。

具有上述構成之圖1的裝置於動作時，處理容器11內部之處理空間藉由經由排氣通口11A及11B之排氣，而設定預定的處理壓力，並同時從上述散流板14將氬或氪(Kr)等惰性氣體、必要的處理氣體（例如氧氣、氮氣等）導入處理容器11內。

更藉由從天線15將頻率為數GHz的微波導入，而激發處理容器11中之待處理基材W之表面上的高密度微波電



五、發明說明 (10)

漿。藉由此種以微波激發電漿的方式，很容易將圖1之基材處理裝置處之電漿的電子溫度降低，而可以防止待處理基材W或處理容器11內壁之損傷。又，以電漿之作用所形成之自由基沿著待處理基材W之表面從直徑方向流過，由於快速地排氣的關係，很容易抑制自由基的再結合，而可以於低溫（例如550℃以下）下進行效率上非常一致的基材處理。

（其它樣態）

圖2係顯示本發明之基材處理方法中可以使用的電漿基材處理裝置10之構成的其它樣態的示意剖面圖。於上述圖1之樣態中將處理氣體導入用之散流板14，以氣體導入口14a取代之外，圖2之構成與圖1之構成相同。

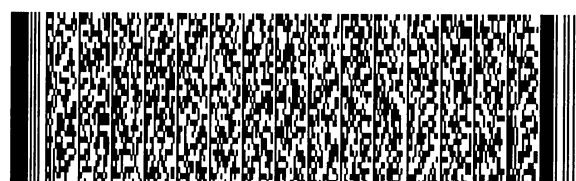
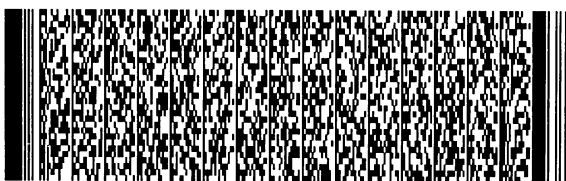
（各部分之構成）

接著，針對上述之本發明之電子裝置用材料、基材處理方法、以至於該基材處理方法所可以合適地使用的基材處理裝置的構成各部分加以說明。

（電子裝置用基材）

本發明中，可以使用之上述電子裝置用基材並不特別限制，但可以從習知之電子裝置用基材之1種或2種以上的組合適當選擇並使用。此種電子裝置用基材的例子為，例如，半導體材料、液晶裝置材料等。半導體材料之例子為，例如，單結晶矽為主成分的材料、金屬為主成分的材料、石英為主成分的材料等。

液晶裝置材料之例子為，例如，於玻璃板上具有複晶



五、發明說明 (11)

矽膜的基材等。

(供應氮自由基之處理氣體)

本發明之(a)氮自由基供應製程中可以使用的處理氣體只要是包含可以將氮自由基供應至應處理基材上的氣體即可，而無特別限制，可以從能夠使用於電子裝置製造的習知之處理氣體之1種或2種以上的組合中適當選擇並使用。

此種處理氣體之例子為，例如，以下所舉出之氣體：

(1) 包含稀有氣體和氮(N_2)的混合氣體。

(2) 包含稀有氣體和氨氣(NH_3)的混合氣體。

(供應氫自由基之處理氣體)

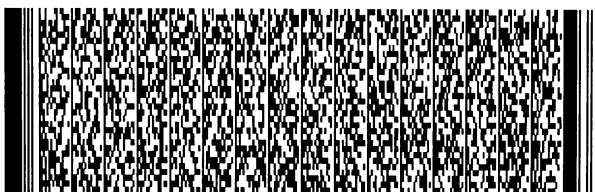
本發明之(b)氫自由基供應製程中可以使用的處理氣體只要是包含可以將氫自由基供應至應處理基材上的氣體即可，而無特別限制，可以從能夠使用於電子裝置製造的習知之處理氣體之1種或2種以上的組合中適當選擇並使用。此種處理氣體之例子為，例如，以下所舉出之氣體：

(1) 包含稀有氣體和氫(H_2)的混合氣體。

(2) 包含稀有氣體和氨氣(NH_3)的混合氣體。

(稀有氣體)

本發明中可以使用的稀有氣體並無特別限制，可以從能夠使用於電子裝置製造的習知之處理氣體之1種或2種以上的組合中適當選擇並使用。此種處理氣體之例子可以舉出者為，例如，氪(Kr)、氙(Xe)、氦(He)、或氬(Ar)等。



五、發明說明 (12)

(處理氣體條件)

本發明之氮化膜形成時，從應形成之氮化膜之特性的觀點而言，可以合適地使用以下的條件。

(氮自由基供應製程之條件)

稀有氣體（例如，Kr、Ar、He、或Xe）：500～3000sccm，較佳為1000～2000sccm

N₂：10～500sccm，較佳為20～100sccm

溫度：室溫（25℃）～600℃，較佳為250～500℃，更佳為250～400℃

壓力：3～400Pa，較佳為67～270Pa，更佳為67～130Pa

微波（使用微波電漿的情況）：0.7～4.5 W/cm²，較佳為1.4～3.6 W/cm²，更佳為1.4～2.8 W/cm²

(氫自由基供應製程之條件)

稀有氣體（例如，Kr、Ar、He、或Xe）：500～3000sccm，較佳為1000～2000sccm

H₂：1～500sccm，較佳為5～100sccm

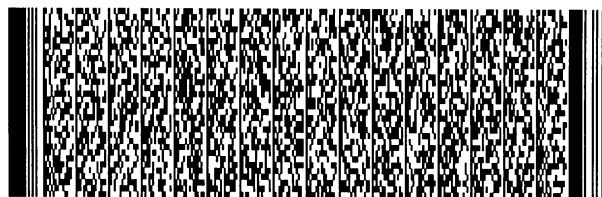
溫度：室溫（25℃）～600℃，較佳為250～500℃，更佳為250～400℃

壓力：3～400Pa，較佳為7～270Pa，更佳為7～130Pa

微波（使用微波電漿的情況）：0.7～4.5W/cm²，較佳為1.4～3.6 W/cm²，更佳為1.4～2.8 W/cm²

(自由基產生方法)

本發明中，只要可以產生上述之氮自由基及／或氫自



五、發明說明 (13)

由基即可，並不特別限制使用何種自由基產生方法。從低溫化的觀點而言，較佳為使用電漿。又，在電漿之中，從電子溫度、電漿密度、均一性的觀點而言，較佳情況為使用基於微波給電的電漿、特別是基於使用平面天線部材之給電的電漿。

(平面天線部材)

本發明之電子裝置材料之製造方法中，從形成電子溫度低且具有高密度、高均一性之電漿的觀點而言，較佳情況為以具有複數槽部的平面天線部材而照射微波。在使用此種平面天線部材的樣態中，由於使用具有此種優異特性的電漿以進行氮化膜之形成，故電漿損害變小，而且可以成為低溫下反應性高的製程。又，在此樣態中，（比起使用習知之電漿的情況）經由平面天線部材而照射微波，可以得到易於形成在平面中均一地氮含有量高之氮化膜的優點。

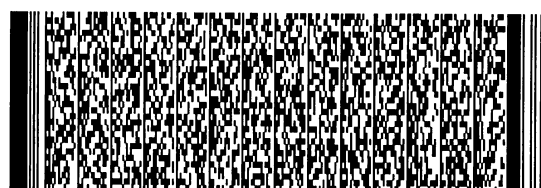
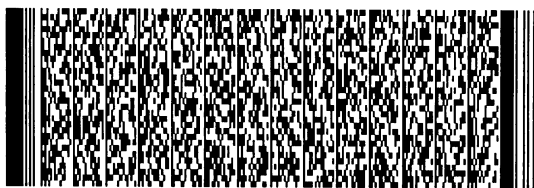
若依照本發明人的知識，則在此樣態中，由於使用經由具有上述之複數槽部的平面天線部材而照射微波所得到之電子溫度低且高密度的電漿進行氮化，故得到的氮化膜表面的懸空鍵具有理想的終端形式，結果提升了膜本身的絕緣特性，從而推定可以得到特性優異的電子裝置材料

（例如半導體材料）。

(合適的電漿)

本發明中可以合適地使用的電漿之特性如下所示。

電子溫度： $0.5\text{ev} \sim 2.0\text{ev}$



五、發明說明 (14)

密度： $1E10 \sim 5E12 / \text{cm}^3$

電漿密度之均一性： $\pm 10 \%$

(氮化膜之用途)

藉由本發明，可以形成良質的氮化膜。從而，藉由在此氮化膜上形成其它層（例如，電極層），可以容易地形成特性優異的半導體裝置構造。

(氮化膜之合適的特性)

藉由本發明，可以容易地形成以下所述之具有合適特性的氮化膜。

閘極漏電流：與習知之熱氧化膜比較之下，降低0.5位數以上

平帶電壓：與習知之熱氧化膜比較之下為 $100 \mu\text{m}$ 以下的差異

電氣上膜厚的均一性： 2% 以下 ($3\sigma / \text{Ave}$)

(半導體構造之合適的用途)

本發明之方法應適用的範圍並無特別限制，可以藉由本發明形成的良質氮化膜，特別適合用於作為MOS構造的閘極絕緣膜。

(本發明之處理方法的一樣態)

圖3A～圖3C係顯示基材處理製程的示意剖面圖，該基材處理製程係使用前述之圖1之基材處理裝置10之本發明的第1樣態。

茲參考圖3A，由矽所構成之電子裝置用基材21作為上述之待處理基材W，而導入上述基材處理裝置10之處理容



五、發明說明 (15)

器11中，從上述散流板14將Kr與氧之混合氣體導入，藉由以微波電漿激發該混合氣體而形成原子狀氧 O^* 。藉由以此種原子狀氧 O^* 處理上述電子裝置用基材21之表面，如圖3B所示，於電子裝置用基材21之表面形成厚度1.6nm的氧化矽膜22。從而形成的氧化矽膜22僅管是以400℃程度之非常低的基材溫度所形成，卻具有足以匹敵在800℃以上高溫所形成之熱氧化膜的漏電流特性。或者，上述氧化矽膜22亦可為熱氧化膜。

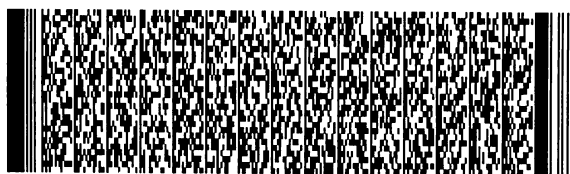
接著於圖3C之製程中，於圖1之基材處理裝置10之處理容器11中供應氫和氮的混合氣體，將基材溫度設定於400℃並藉由供應微波而激發電漿。

圖3C之製程中，例如將處理容器11之內壓設定於7Pa，氫氣以例如1000sccm的流量、而氮氣以例如40sccm的流量供應。結果，上述氧化矽膜22的表面變換成氮化矽膜22A。

圖3C之製程持續20秒以上，例如40秒，結果，上述氮化矽膜22A成長並超過反轉（turnaround）點，而且氮化矽膜22A之下的氧化矽膜22中的氧開始侵入電子裝置用基材21中。

圖4A～4C係概略顯示在反轉點前後的氧化矽膜22及氮化矽膜22A的狀態。

茲參考圖4A～4C，圖4A係顯示對應到圖3B之製程，電子裝置用基材21上形成氧化矽膜22的狀態，圖4B係對應到圖3C之製程的初期狀態，將上述氧化矽膜22表面氮化而形



五、發明說明 (16)

成薄氮化矽膜22A。

相反的，圖4C係對應到超過反轉點之圖3C的製程的後期狀態，隨著氮化矽膜22A的成長，氧化矽膜22中之氧侵入電子裝置用基材21中，表面上看來，氧化矽膜22成為在電子裝置用基材21中偏移了的狀態。圖4B及3C中，A表示一開始氧化矽膜22與電子裝置用基材21之間的界面。

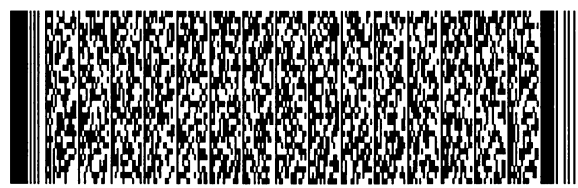
顯然，圖4C之狀態中，在氧化矽膜22與電子裝置用基材21之間，未形成圖4B等明確的平坦界面，而是形成了多數的矽懸空鍵。存在此種懸空鍵之下膜的電氣特性將產生變化，因此此種形成MOS電晶體的情況下，電晶體的閾值電壓將產生很大變化。

在此，本發明圖3D之製程中，更於上述氫氣與氮氣之電漿添加例如20sccm的氫氣，以激發氫自由基 H^* 。

從而，所激發的氫自由基 H^* 與通常的氫分子 H_2 不同，而可以從氮化矽膜22A中自由通過，容易地到達氮化矽膜22A下之氧化矽膜22，與進一步到達氧化矽膜22與電子裝置用基材間之界面附近，而將懸空鍵終端化。結果，在進行圖3D之氫自由基處理的情況下，對氧化矽膜22進行超過反轉點的電漿氮化處理，而可以將所產生的特性劣化予以回復。

圖5顯示對從而得到的氧化矽膜進行氮化處理及氫自由基處理，所得到之絕緣膜的漏電流特性 J_g 與氧化膜換算膜厚 T_{eq} 之間的關係。

茲參考圖5，氧化矽膜22一開始具有1.7nm之膜厚，進



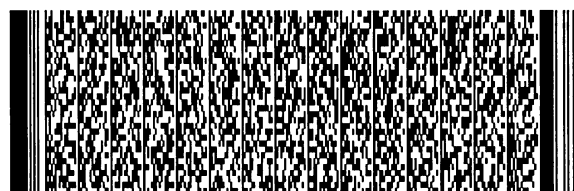
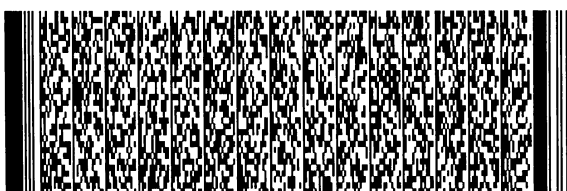
五、發明說明 (17)

行上述氮化處理10秒而形成氮化矽膜22A時，則發覺氧化膜換算膜厚 T_{eq} 約減少為1.5nm。又，此時的漏電流值 J_g ，如圖中直線所示，相對於厚度為1.5nm的氧化矽膜所預期的值減少一半程度。相同的，進行上述氮化處理20秒的情況下，包含氧化矽膜22與氮化矽膜22A之絕緣膜全體的氧化膜換算膜厚 T_{eq} 則更加減少，而且發覺漏電流 J_g 並未增大。另一方面，持續上述氮化處理40秒的情況下，氧化膜換算膜厚 T_{eq} 則更加減少為接近1.4nm之值。再持續氮化處理的話，氧化矽膜22中的氧開始向Si基材21中侵入，氧化矽膜22與氮化矽膜22A之合計的物理膜厚開始增大。伴隨此現象，如圖5中箭頭所示，膜22與22A全體之換算膜厚亦轉變為增加。

相反的，參考圖6所示之平帶電壓與氧化膜換算膜厚 T_{eq} 之間的關係，相對於圖3C之氮化處理時間為20秒、上述氮化矽膜22A上形成複晶矽閘極電極之MOS構造之平帶電壓以約-0.79V完全無變化，氮化處理時間為40秒的話則急變為-0.82V。此係先前圖4C所示之反轉效果，意味氧化矽膜22中的氧開始侵入電子裝置用基材21中。

又，圖6中，相對於上述之氮化處理進行30秒、超過反轉點的樣品，圖3D之氫自由基處理(H_2 修復)進行5秒及10秒的情況下，平帶電壓分別以▲及●表示。又圖6中，亦顯示對於未超過反轉點的樣品(氮化時間15秒及10秒)分別以氫自由基處理5秒及10秒之情況的平帶電壓。

茲參考圖6，藉由對超過反轉點之樣品進行氫自由基



五、發明說明 (18)

處理，則平帶電壓回復到接近一開始之 -0.79V 的 -0.8V 程度。又，對未超過反轉點的樣品進行氫自由基處理，亦發覺反轉電壓未有實質性的變化。

更如圖5所示，對於超過反轉點的樣品進行氫自由基處理，則漏電流維持在不變化的狀態，氧化膜換算膜厚更加減少了。但在圖5中，對應於圖6之實驗點以同樣的符號表示。

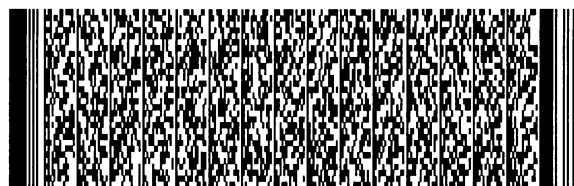
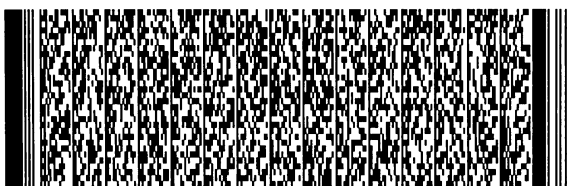
圖7A及B顯示就所得到之絕緣膜所測定的 $C-V$ 特性。

茲參考圖7(B)，說明藉由氫自由基處理之平帶電壓回復的狀態。圖7(B)係MOS電容器之 $C-V$ 特性（電容—閘極電壓特性）；對應於圖中之 2.5 pF （平帶電容： C_{fb} ）之閘極電壓相當於平帶電壓。

對於圖中以點線表示的圖3B之狀態的氧化膜（基材 $0\times 1.7\text{nm}$ ），在20秒的氮化處理後（ $1000/40\text{ 7Pa 20s}$ ），未觀測到 $C-V$ 特性的偏移。然而，40秒之氮化處理後（ $1000/40\text{ 7Pa 40s}$ ）， $C-V$ 特性係全體向負方向偏移，亦即，觀測到向平帶電壓之負方向偏移。相反的，在40秒氮化處理後進行氫自由基處理5秒的情況（ $1000/40\text{ 7Pa 40s} \rightarrow \text{H}_2\text{ 修復5s}$ ），則40秒氮化後所觀測的平帶偏移已回復到接近圖3B之氧化膜的 $C-V$ 特性。

圖8A顯示上述本發明之第1樣態中所使用的製造程序。

茲參考圖8A，本實施例中，首先在氫與 N_2 的混合氣體中激發電漿，在進行圖3C之氮化處理後添加氫氣，進行氫



五、發明說明 (19)

自由基處理。

本樣態中，避免從一開始就添加氫氣，從氮化處理實質結束才開始添加氫氣。結果，伴隨著氫氣添加而防止電漿密度的降低，則可以有效率地進行氮化處理。

本樣態中，可以使用圖8B之製造程序取代圖8A之製造程序。

圖8B之製造程序中，氮化處理結束後，一度將微波之供應切斷而將電漿停止，其後在氫氣與氮氣與氫氣的混合氣體中重新形成電漿，而進行所需之氫自由基處理。

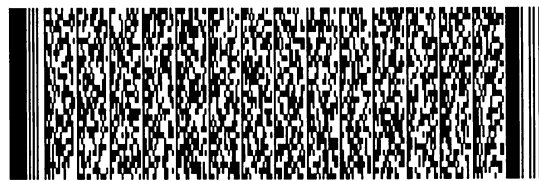
(第2樣態)

圖9A~C顯示本發明第2樣態的基材處理製程。但在圖中，先前已說明的部分標以同樣的參考符號，並省略其說明。

茲參考圖9A，將Si基材21導入圖1之基材處理裝置10的處理容器11中，圖9B之製程中，於氫氣與氮氣之混合氣體中激發電漿，藉由隨著電漿激發所形成的氮自由基 N^* ，處理上述Si基材21之表面。結果，於上述Si基材21之表面形成氮化矽膜28。

本樣態中，更於圖9C之製程，依照先前圖8A之程序更將氫氣導入處理容器11中，藉由所激發的氫自由基 H^* ，進一步處理基材21之表面。

從而形成的氫自由基 H^* ，與氫分子不同，可以容易地侵入氮化矽膜23中，到達Si基材21與氮化矽膜23之間的界面，而將Si之懸空鍵有效地終端化。



五、發明說明 (20)

本樣態中，亦在圖9B之氮化製程時，藉由對氫氣與氮氣之混合氣體進行電漿激發，而可以實現高密度電漿，不僅改善了所形成之氮化膜的膜質，亦可以提升氮化處理之產率。

以下藉由實施例更具體地說明本發明。

實施例1

進行前述圖5~7之各計算的氮化膜係以具有如下所示之製程的方法所製造。

(1) 基板

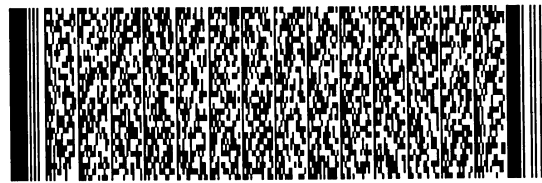
基板係使用20cm (8英吋) 之P型矽基板，比電阻為10 Ω cm，面方位(100)者。

(2) 開極氧化前洗淨

藉由APM (氨：過氧化氫水：純水=1：2：10之混合液、60℃) 與HPM (鹽酸：過氧化氫水：純水=1：1：10之混合液、60℃) 及DHF (氟酸：純水=1：100之混合液、23℃) 所組合之RCA洗淨，將自然氧化膜與污染要素(金屬或有機物、粒子)除去。RCA洗淨係於施行APM 10分鐘→純水沖洗10分鐘→DHF 3分鐘→純水沖洗10分鐘→HPM 10分鐘→純水沖洗10分鐘→純水最終沖洗5分鐘後，進行IPA (異丙醇、220℃) 乾燥15分鐘，將晶圓上的水分乾燥。

(氧化製程：製程2A)

於施以上述(2)之處理的矽基板上，藉由以下所示之方法形成氧化膜(圖4A之22)。



五、發明說明 (21)

茲參考圖3A，將以矽形成之電子裝置用基材21作為上述之待處理基材W，將其如圖1所示導入基材處理裝置10的處理容器11中，從上述散流板14導入Kr與氧的混合氣體，將其藉由微波電漿激發而形成原子狀氧 O^* 。藉由以此原子狀氧 O^* 處理上述電子裝置用基材21之表面，如圖3B所示，在電子裝置用基材21之表面形成厚度1.7nm的氧化矽膜22。從而形成的氧化矽膜22，僅管係以400℃程度之非常低的基材溫度所形成，但卻具有足以匹敵以800℃以上之高溫所形成的熱氧化膜的漏電流特性。

< 處理條件 >

Kr 氣體：2000sccm

氧氣：200sccm

溫度：400℃

壓力：260Pa

微波：2.8 W / cm²

處理時間：1分鐘

(氮化製程：製程圖3C)

於以下所示之圖3C之製程中，在圖1之基材處理裝置10中於下述條件下進行氮化處理。

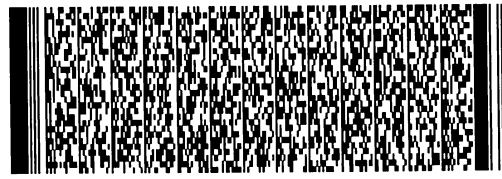
< 處理條件 >

氮氣：1000sccm

氮氣：40sccm

基材溫度：400℃

壓力：7Pa



五、發明說明 (22)

微波： 1.4 W/cm^2

處理時間：40 秒

(氮化製程、製程3D)

於以下所示之圖3C的製程中，在圖1之基材處理裝置10中於下述條件下進行氮化處理。

< 處理條件 >

氮氣：1000 sccm

氮氣：40 sccm

氮氣：20 sccm

基材溫度：400 °C

壓力：7 Pa

微波： 1.4 W/cm^2

處理時間：5、10 秒

圖5顯示對所形成氧化矽膜進行氮化處理及氫自由基處理所得到的絕緣膜的漏電流特性 J_g 與氧化膜換算膜厚 T_{eq} 之間的關係。此等漏電流特性 J_g 與酸化膜換算膜厚 T_{eq} 間之關係(圖5)、平帶特性(圖6)、C-V特性(圖7A及圖7B)係藉由製造下述之裝置構造，且測定其物性所得。

< 裝置構造之製造方法 >

1：基板

基板係使用P型之矽基板，而使用比電阻為8~12 Ωcm ，面方位(100)者。

2：閘極氧化前洗淨

藉由APM(氮、過氧化氫水、純水之混合液)與HPM



五、發明說明 (23)

(鹽酸、過氧化氫水、純水之混合液)及DHF(氟酸與純水之混合膜)所組合之RCA洗淨,將犧牲氧化膜與污染要素(金屬或有機物、粒子)除去。

3: 電漿氧化製程

已施加上述2之氧化前洗淨的矽基板以如下所示之方法氧化。將已施加2之處理的矽基板送入真空(回壓 1×10^{-4} Pa以下)之反應處理室後,將基板保持在溫度 400°C ,將稀有氣體(Kr)與氧分別以2000sccm、200sccm流入,壓力保持於270Pa(2Torr)。在其環境中介設具有複數之槽部的平面天線部材(SPA),而藉由照射 2.8 W/cm^2 之微波,而形成包含氧及稀有氣體電漿,使用此電漿進行電漿氧化處理。

5: 電漿氮化製程

已施加上述4之處理的氧化膜上,以如下所示之方法進行氮化。於 400°C 中加熱的矽基板上,稀有氣體與氮分別以1000sccm、40sccm流入,壓力保持在7Pa(50mTorr)。在其環境中介設具有複數之槽部的平面天線部材(SPA),而藉由照射 1.4 W/cm^2 之微波,而形成包含氮與稀有氣體的電漿,使用此電漿在基板上形成氧化氮化膜(SiON膜)。

6: 藉由氫電漿之薄膜化與Vfb偏移之回復

已施加上述5之處理的氧化氮化膜上,以如下所示之方法,施加藉由氫電漿之後處理。於 400°C 中加熱的矽基板上,稀有氣體與氫分別以1000sccm、20sccm流入,壓力



五、發明說明 (24)

保持在7Pa (50mTorr) 。在其環境中介設具有複數之槽部的平面天線部材 (SPA) ，而藉由照射 1.4 W/cm^2 之微波，而形成包含氫及稀有氣體的电漿，使用此電漿在氧化氮化膜上施加氫電漿處理。

7：閘極電極用複晶矽成膜

以上述1~6所形成之氧化氮化膜所形成的矽基板上，作為閘極電極的複晶矽以CVD法進行成膜。氧化氮化膜所形成之矽基板以 630°C 加熱，在基板上於33Pa之壓力下導入矽烷氣體250sccm、保持30分鐘，而在氧化氮化膜上將膜厚3000埃之電極用複晶矽成膜。

8：對複晶矽進行P (磷) 摻雜

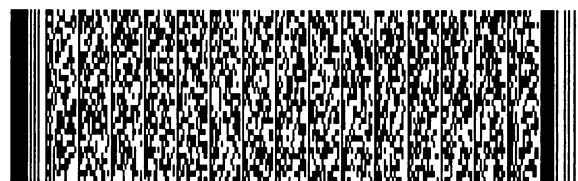
以上述6所製造之電極用複晶矽所成膜的矽基板在 850°C 下加熱，在基板上將 POCl_3 氣體與氧及氮分別以350sccm、200sccm、20000sccm於常壓下導入、保持24分鐘，而在複晶矽中摻雜磷。

9：圖案化、閘極蝕刻

以上述7製造的矽基板上，藉由光刻進行圖案化，將矽基板浸泡在 $\text{HF} : \text{HNO}_3 : \text{H}_2\text{O} = 1 : 60 : 60$ 之比例的藥液中3分鐘，而將未圖案化部分之複晶矽溶解，而製造MOS電容器。

<C-V特性之計算方法>

C-V特性之測定、解析係以如下所示之方法進行。首先，閘極電極面積係就 $2500 \mu\text{m}^2$ 之電容器的100KHz與250KHz分別計算C-V、D-V (D：損失係數) 特性。接



五、發明說明 (25)

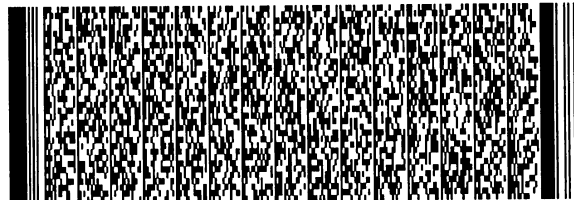
著，藉由2周波測定法，解析將測定電路等所造成之寄生電容去除的絕緣膜的C-V特性 (SSDM 2000 Extended Abstracts、pp. 452-463、A Guideline for Accurate Two-Frequency Capacitance Measurement for Ultra-Thin Gate Oxides、Akiko Nara et al.)。具體而言，2周波測定方法係以下述方法進行。首先，分別使用100KHz與250KHz作為頻率，將閘極電壓從+0.5V起到-2.1V止進行掃描，而對各電壓中的電容(C)與損失係數(D:Dissipation)進行計算。使用HP4284A作為C-V計量器，測定模式係使用平行模式。於電壓的步階為20mV、而測定溫度為室溫下進行。從各頻率中之C與D，使用2周波解析式，而將電路等的寄生電容去除的絕緣膜的電容依各別閘極電壓進行計算，將其作為本MOS構造的C-V特性。圖7(a)、(b)顯示藉由本測定法所解析之C-V特性。圖7(a)係顯示閘極電壓從+0.5V起到-2.1V止者，而圖7(b)為將圖7(a)之閘極電壓從-0.6V起到-1.0V止擴大顯示者。

< 平帶特性之解析方法 >

基板濃度為 $1E15/cm^3$ ，由 $2500 \mu m^2$ 之電極面積計算平帶電容則為2.5 pF。從而，在此將2.5 pF之閘極電壓值定義為平帶電壓。由圖7(b)可知，本構造中之氧化膜的平帶電壓係-0.8V程度。

< 氧化膜換算膜厚 T_{eq} 之計算方法 >

藉由從此平帶值之0.6V負電壓側的電容值，藉以下之



五、發明說明 (26)

方法求得氧化膜換算膜厚。平帶電壓為 $-0.8V$ 的情況下， $0.6V$ 負電壓側的電容值便成為閘極電壓為 $-0.8 - 0.6 = -1.4V$ 下的電容值。電容與氧化膜換算膜厚的關係為：

$$(\text{電容}) = (\text{真空之介電率}) \times (\text{氧化膜之介電率} : 8.9) \times (\text{電容器面積}) + (\text{電氣的實效膜厚} : T_{eff}) \dots (\text{式1})$$

$$(\text{氧化膜換算膜厚} : T_{eq}) = 1.0655 \times T_{eff} - 1.2923 \quad (T_{eq}、T_{eff} \text{ 共同單位為nm}) \dots (\text{式2})$$

(式1)係基於物理學之基本法則的電容式。(式2)為從橢球面膜厚與 T_{eff} 之關係求得的經驗式。使用(式2)，可以將 T_{eff} 換算為橢球面膜厚。

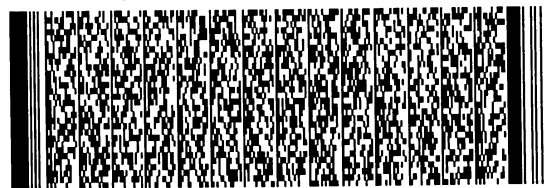
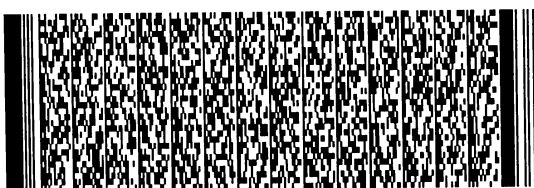
藉由在(式1)中代入閘極電壓 $-1.4V$ 下的電容值而求得 T_{eff} ，將此 T_{eff} 代入(式2)而求得氧化膜換算膜厚 T_{eq} 。

< I - V 特性之測定方法 >

求算I - V特性係於閘極電極面積為 $2500 \mu m^2$ 之MOS電容器中將閘極電壓從 $0V$ 起到 $-2.4V$ 止進行掃描、而計算於各電壓下流過的電流值(漏電流值)。計算中使用HP4071參數測試器，電壓步階為 $20 mV$ 。測定係於室溫下進行。

< 漏電流特性 J_g 之計算方法 >

為計算此MOS電容器之漏電流特性，從先前求得的平帶值向 $0.4V$ 負方向偏移的閘極電壓之漏電流值從I - V特性求算。平帶電壓為 $-0.8V$ 的情況下，漏電流特性計算中，使用 $-0.8 - 0.4 = -1.2V$ 的閘極電壓中之漏電流。



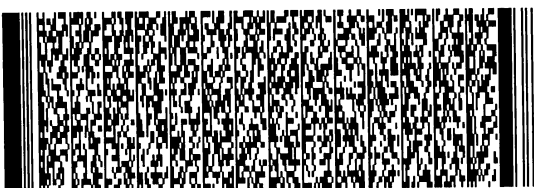
五、發明說明 (27)

產業上的利用性

藉由上述之本發明，藉由對電子裝置用基材進行氮化處理及氫自由基處理，可以解決所形成的氮化膜中懸空鍵等的缺點。

本發明中，特別是，使氮化膜超過反轉點而形成的情況下，藉由進行氫自由基處理，亦可解決該氮化膜之使用上所伴隨的缺點（例如，可以回復MOS電晶體之平帶電壓及閾值電壓之變動）。

從而，藉由本發明，可以形成具有非常薄的氧化膜換算膜厚、而且就平帶電壓及閾值電壓給與和氧化膜相同之電氣特性的氮化膜。



圖式簡單說明

- 14 散流板
- 15 天線
- 21 電子裝置用基材
- 22 氧化矽膜
- 22A、23 氮化矽膜

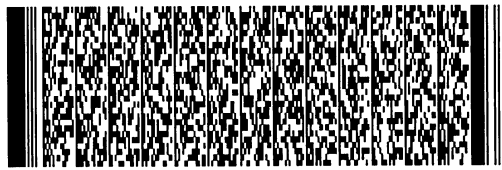
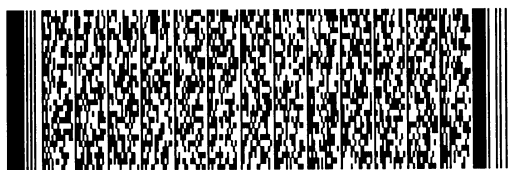


四、中文發明摘要 (發明之名稱：基材處理方法及電子裝置用材料)

一種基材處理方法，包含：(a) 氮化製程，係將氮自由基供應至電子裝置用基材之表面，而在該表面上形成氮化膜；及(b) 氫化製程，係將氫自由基供應至該電子裝置用基材表面。藉此，能夠回復在氮化處理Si基材等之時所產生之反轉(turnaround)而造成的絕緣膜電氣特性劣化。

英文發明摘要 (發明之名稱：Method for processing a substrate and material for electronic devices)

A method for processing a substrate including: (a) a nitridation process for providing nitrogen radicals to a surface of the substrate for an electronic device to form a nitride film on the surface; and (b) a hydrogenation process step for providing hydrogen radicals to the substrate for the electronic device, thereby recovering electric characteristic deterioration of the insulating film resulted from turnaround phenomenon occurred when performing the nitridation process to a Si



四、中文發明摘要 (發明之名稱：基材處理方法及電子裝置用材料)

英文發明摘要 (發明之名稱：Method for processing a substrate and material for electronic devices)

substrate or the like.



六、申請專利範圍

六、申請專利範圍

1．一種基材處理方法，包含：

(a) 一氮化製程，將氮自由基供應至電子裝置用基材之表面，以於該表面形成氮化膜；與

(b) 一氮化製程，將氮自由基供應至該電子裝置用基材表面。

2．依申請專利範圍第1項之基材處理方法，其中在該(a)氮化製程之後，進行該(b)氮化製程。

3．依申請專利範圍第1項之基材處理方法，其中該(a)氮化製程以及該(b)氮化製程係部分同時進行。

4．依申請專利範圍第1項之基材處理方法，其中該(a)氮化製程以及該(b)氮化製程係同時進行。

5．依申請專利範圍第1至4項任一項之基材處理方法，其中該電子裝置用基材係半導體裝置用基材。

6．依申請專利範圍第1至4項任一項之基材處理方法，其中該電子裝置用基材係液晶裝置用基材。

7．依申請專利範圍第1至4項任一項之基材處理方法，其中該電子裝置用基材係以矽為主成分之基材。



六、申請專利範圍

- 8．依申請專利範圍第1至4項任一項之基材處理方法，其中該電子裝置用基材之表面係氧化膜之表面。
- 9．依申請專利範圍第1至4項任一項之基材處理方法，其中該氮自由基係藉由於惰性氣體與氮氣之混合氣體中激發電漿所形成。
- 10．依申請專利範圍第1至4項任一項之基材處理方法，其中該電漿係藉由微波所激發。
- 11．依申請專利範圍第9項之基材處理方法，其中該氮自由基係藉由於惰性氣體及氮氣之混合氣體中、更添加氫氣所形成。
- 12．依申請專利範圍第9項之基材處理方法，其中形成該氮化膜的製程與供應該氮自由基的製程係連續進行。
- 13．依申請專利範圍第9項之基材處理方法，其中於該氮化膜形成製程之後，一度中斷該電漿之激發，而該氮自由基係藉由在惰性氣體及氫氣之混合氣體中再度激發電漿所形成。
- 14．一種電子裝置用材料，其包含電子裝置用基材，且係



六、申請專利範圍

於其表面之至少一部分具有氮化膜的電子裝置材料，該材料作為MOS型裝置之絕緣層使用的情況下，與氧化膜之平帶電壓（ V_{fb} ）比較之下，該材料給與之差異以NMOS為0.1V以下、以PMOS其差異為1V以下。

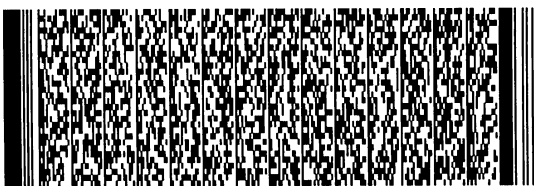
15．依申請專利範圍第14項之電子裝置用材料，其中該電子裝置用基材係半導體裝置用基材。

16．依申請專利範圍第14項之電子裝置用材料，其中該電子裝置用基材係液晶裝置用基材。

17．依申請專利範圍第14至16項任一項之電子裝置用材料，其中該電子裝置用基材係以矽為主成分之基材。

18．依申請專利範圍第14至16項任一項之電子裝置用材料，其中該氮化膜係將電子裝置用基材氮化所形成者。

19．依申請專利範圍第14至16項任一項之電子裝置用材料，其中該氮化膜係將氧化膜氮化所形成者。



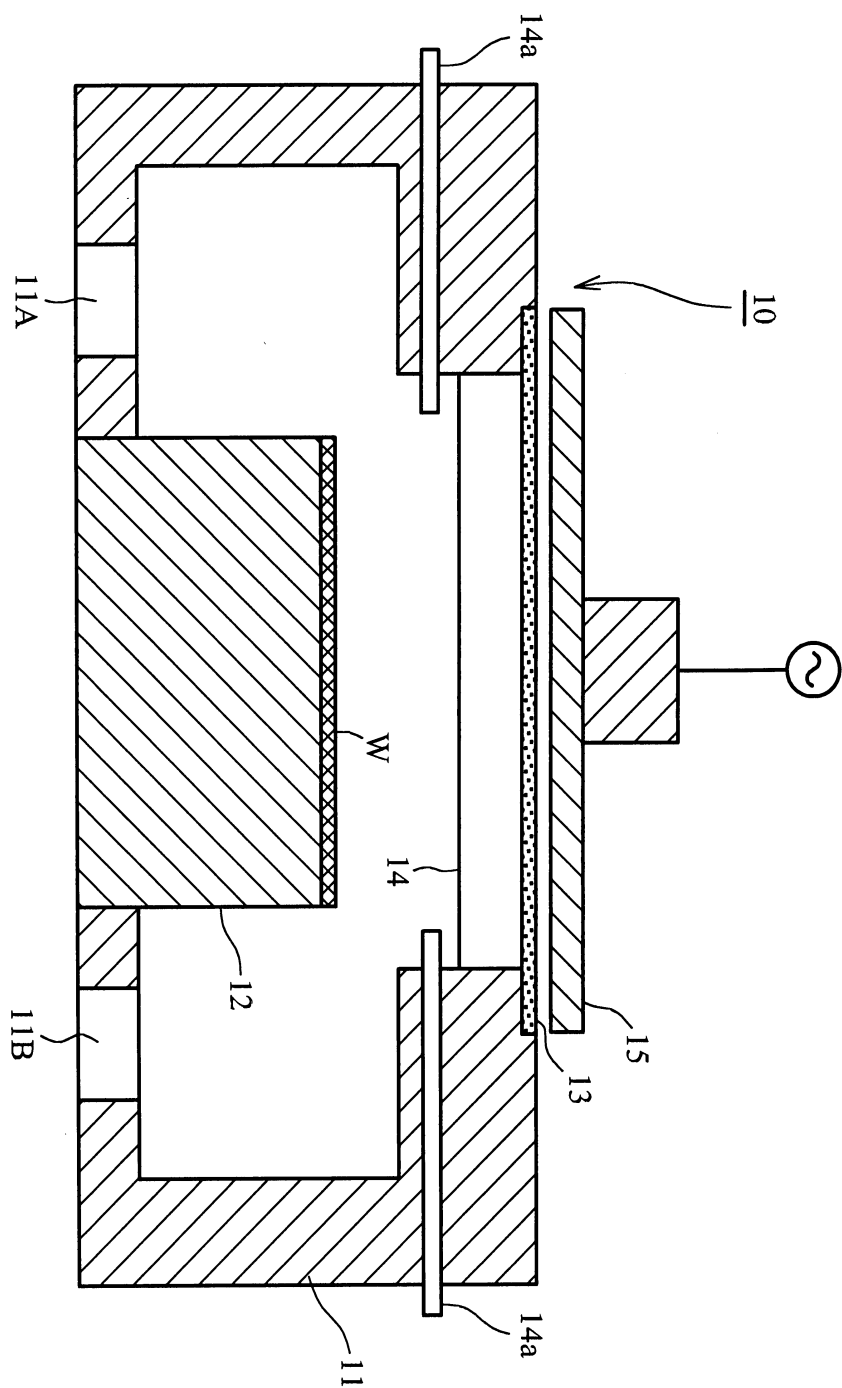


圖 2

圖式

圖 3(A)

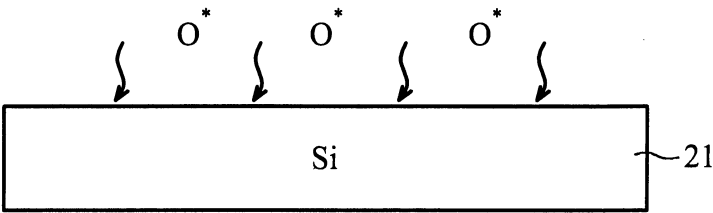


圖 3(B)

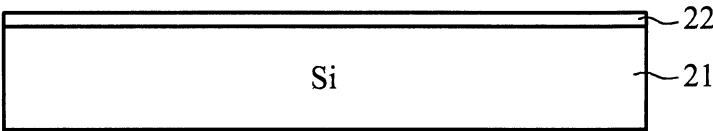


圖 3(C)

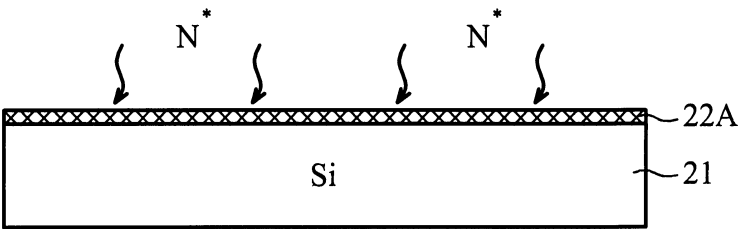
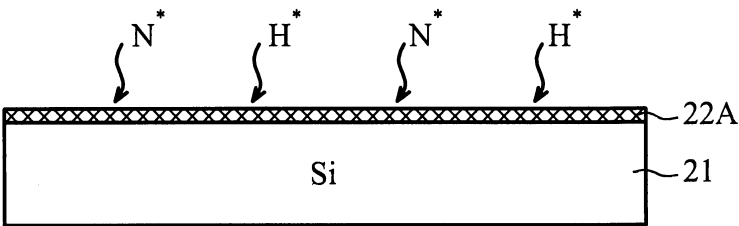


圖 3(D)



圖式

圖 4(A)

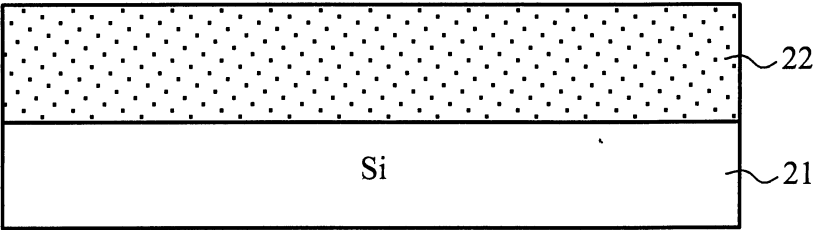


圖 4(B)

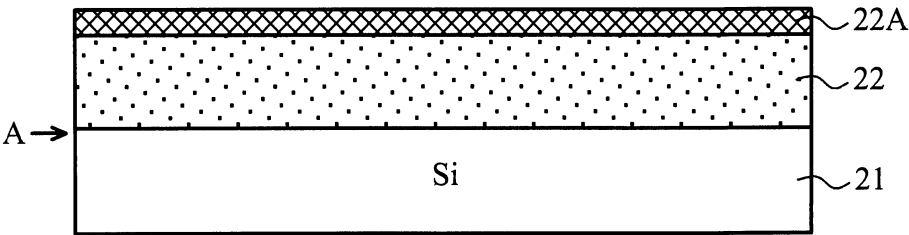
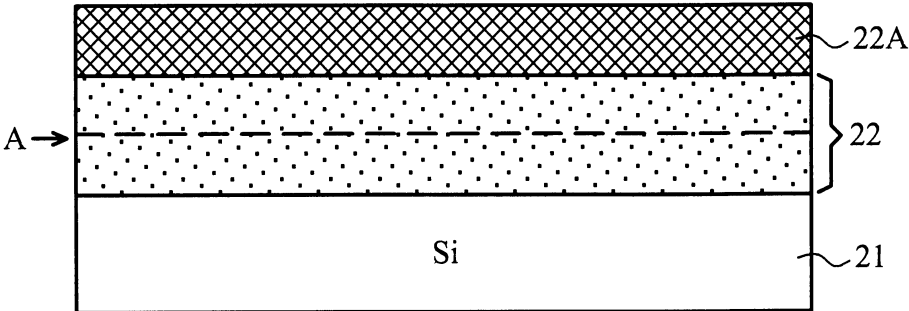


圖 4(C)



圖式

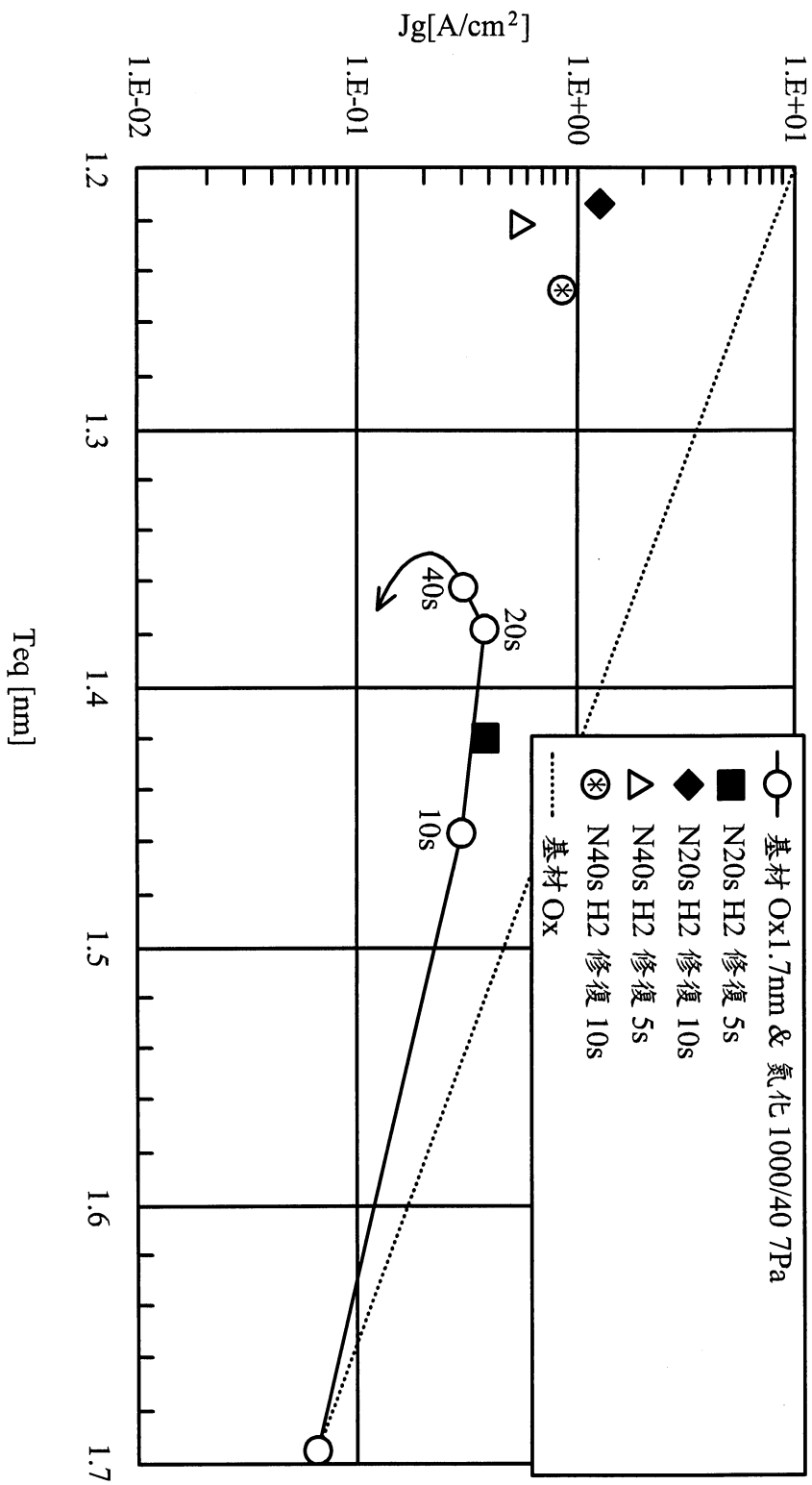


圖 5

圖式

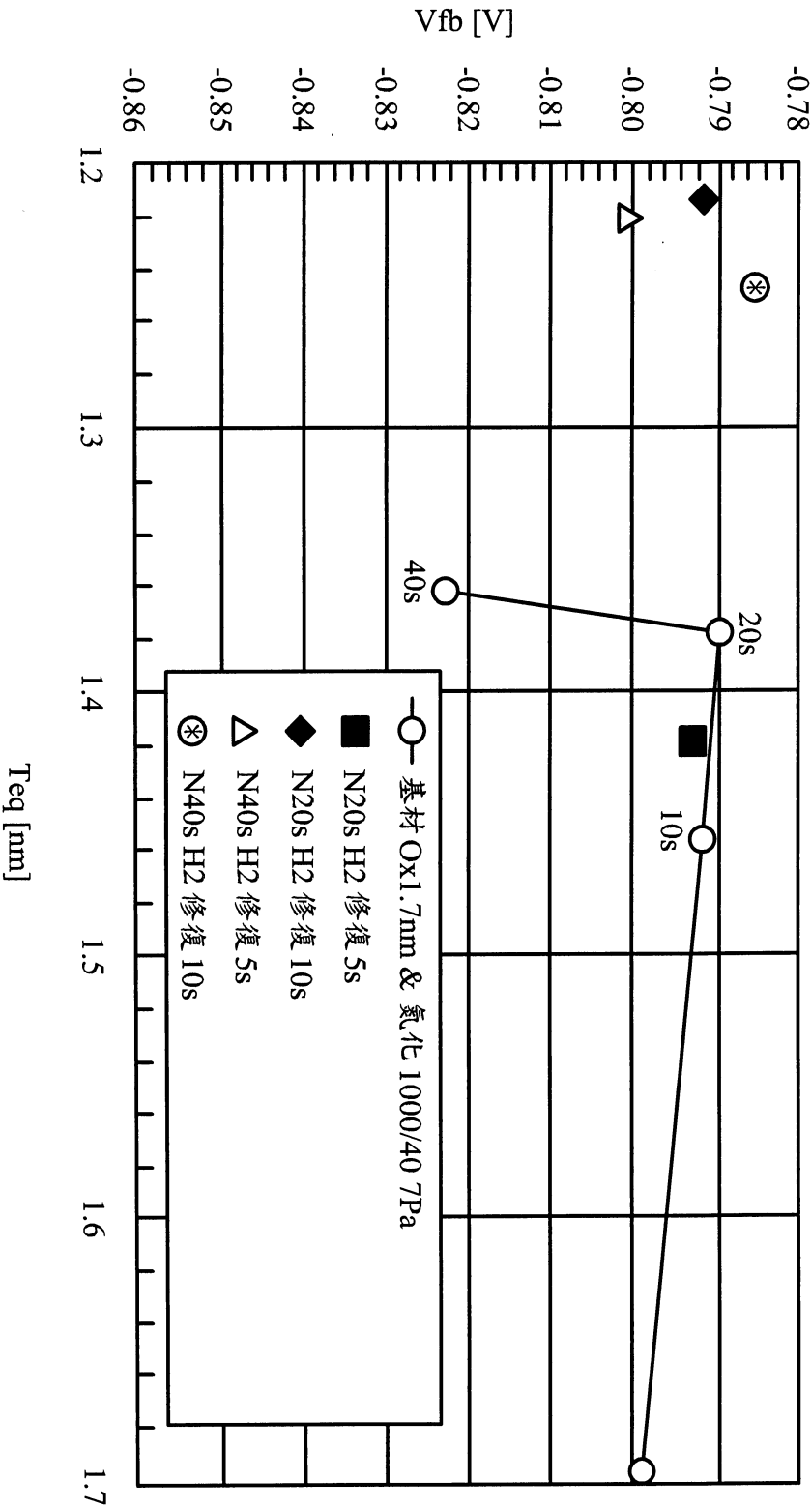


圖 6

圖式

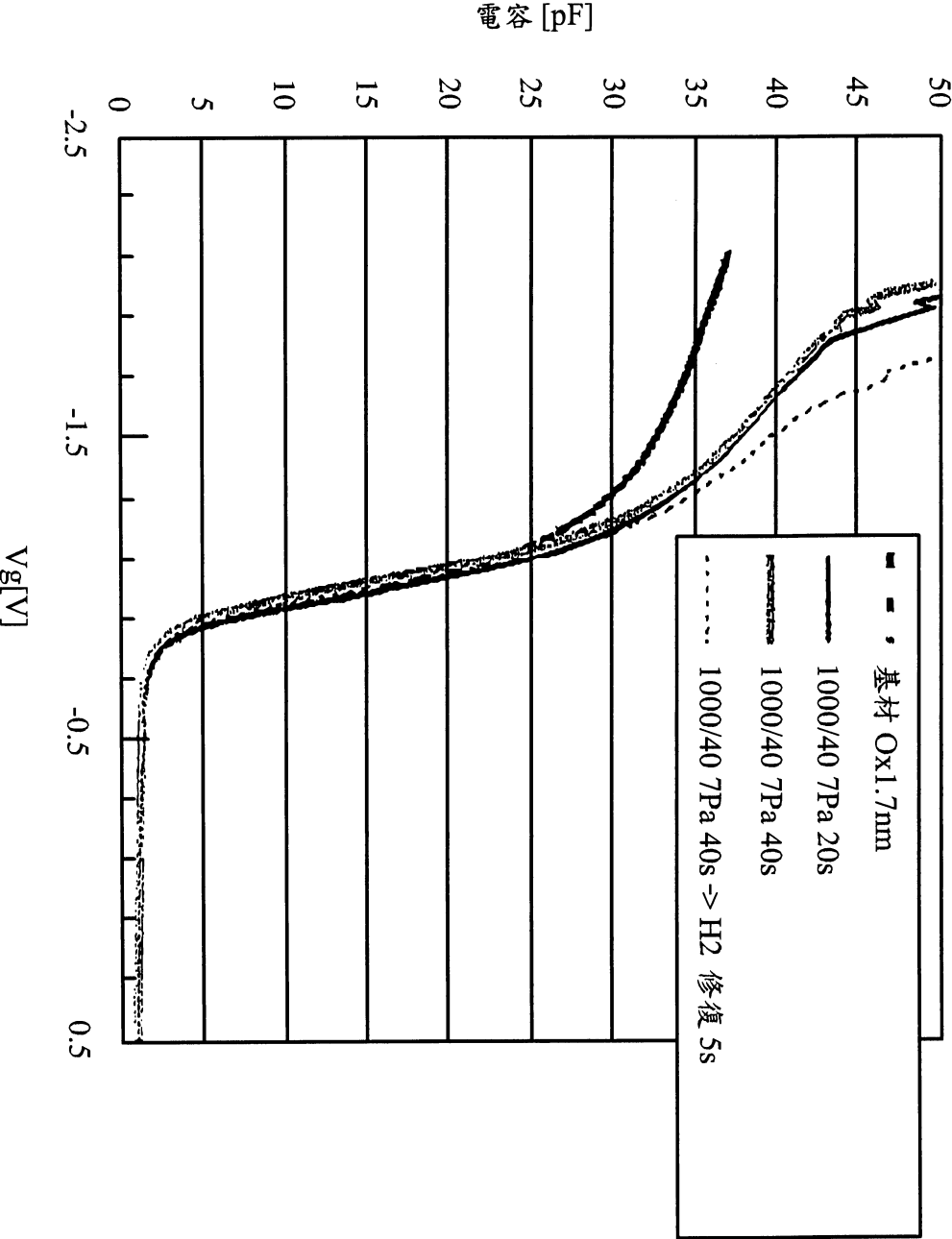


圖 7(A)

圖式

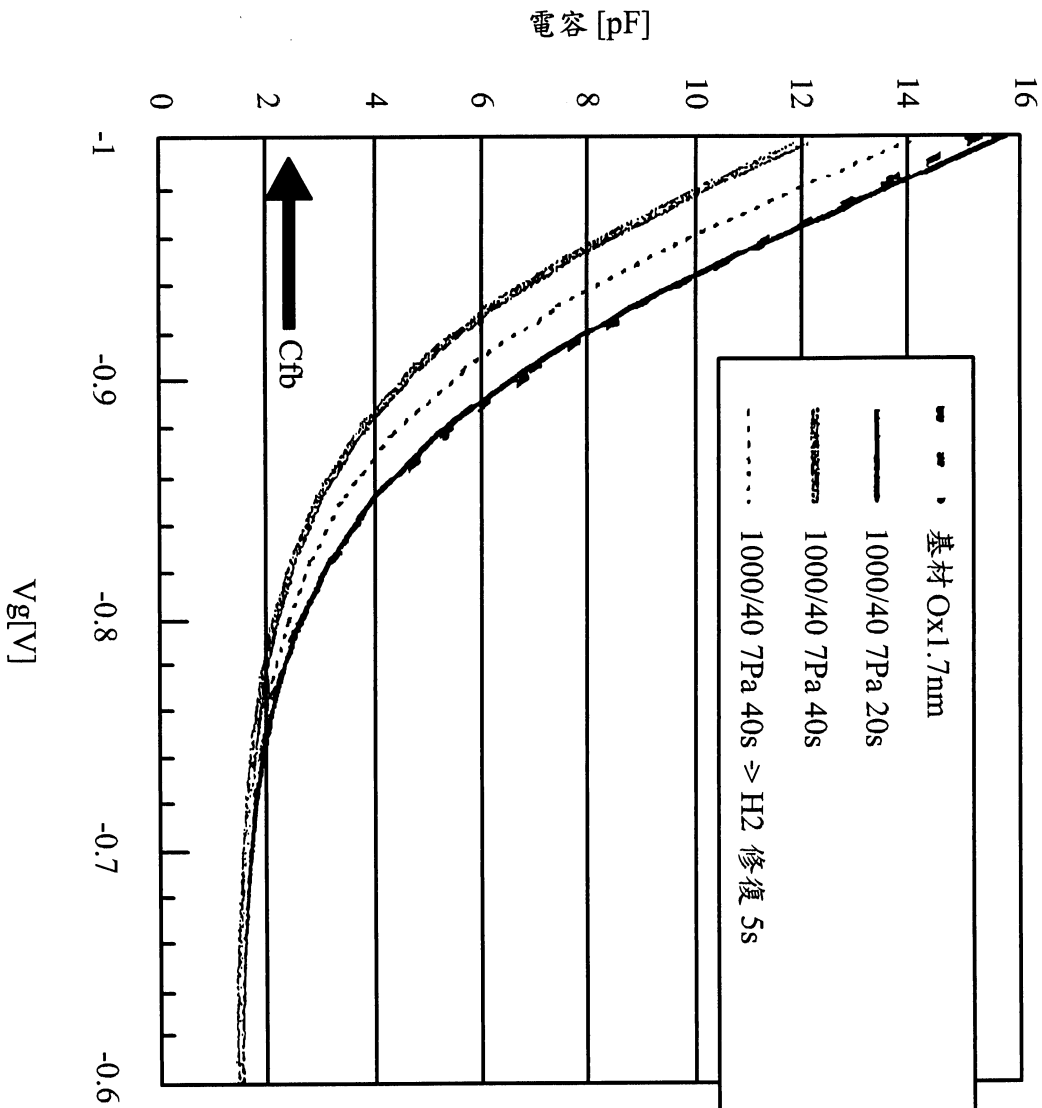


圖 7(B)

圖式

圖 8(A)

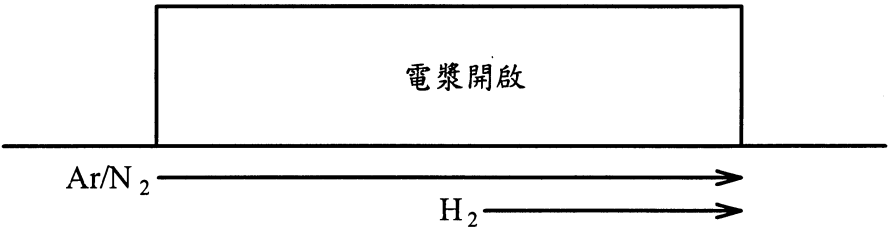


圖 8(B)

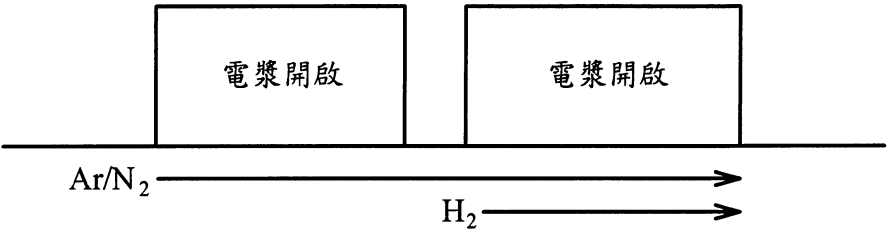


圖 9(A)



圖 9(B)

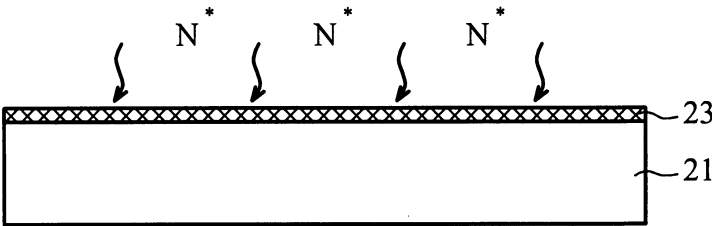
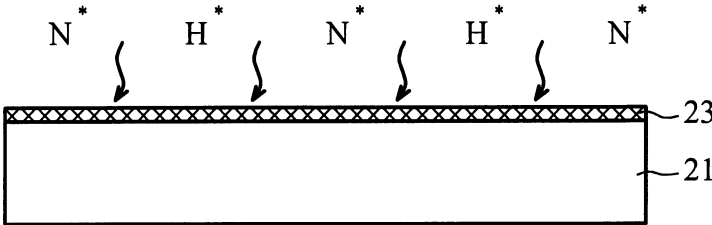


圖 9(C)



圖式簡單說明

五、【圖式簡單說明】

圖1係顯示實施本發明之方法可以使用之基材處理裝置之構成之一例的示意剖面圖。

圖2係顯示實施本發明之方法可以使用之基材處理裝置之構成之其它例的示意剖面圖。

圖3A~3D係顯示依照本發明第1樣態的基材處理製程的示意剖面圖。

圖4A~4C係顯示本發明第1樣態之基材處理製程之一部分的擴大示意剖面圖。

圖5係顯示藉由本發明第1樣態所得之絕緣膜之漏電流特性 J_g 與氧化膜換算膜厚 T_{eq} 間之關係的圖。

圖6係顯示藉由本發明第1樣態所得之平帶電壓與氧化膜換算膜厚 T_{eq} 間之關係。

圖7A及圖7B係顯示藉由本發明第1樣態所得之 $C-V$ 特性的圖。

圖8A、8B係顯示本發明第1樣態之製造程序的圖。

圖9A~9C係顯示顯示本發明第2實施例之基材處理製程的圖。

元件符號說明：

- | | |
|----|--------|
| 10 | 基材處理裝置 |
| 11 | 處理室 |
| 12 | 基材保持台 |
| 13 | 蓋板 |

