(19)国家知识产权局

(12)发明专利

(10)授权公告号 CN 113508386 B
(45)授权公告日 2024.07.09

(21)申请号 202080017237.4
(22)申请日 2020.02.17
(65)同一申请的已公布的文献号
申请公布号 CN 113508386 A
(43)申请公布日 2021.10.15
(30)优先权数据
2019-036951 2019.02.28 JP
(85)PCT国际申请进入国家阶段日
2021.08.27
(86)PCT国际申请的申请数据
PCT/JP2020/006045 2020.02.17
(87)PCT国际申请的公布数据
WO2020/175209 JA 2020.09.03

(73)专利权人 国立研究开发法人科学技术振兴机构
地址 日本埼玉县
(72)发明人 矢岛赳彬
(74)专利代理机构 北京三友知识产权代理有限公司 11127
专利代理师 于靖帅 杨俊波

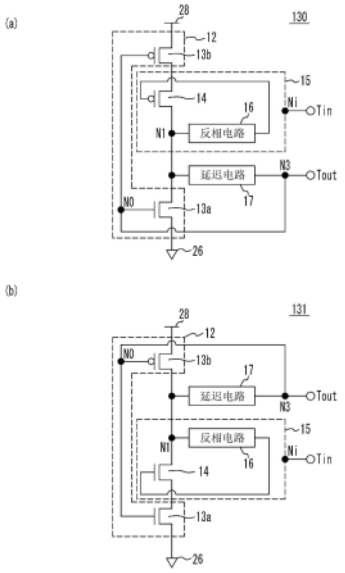
(51)Int.Cl.
G06G 7/60(2006.01)
H03K 3/02(2006.01)
G06N 3/065(2023.01)
(56)对比文件
CN 106374887 A,2017.02.01
CN 106549653 A,2017.03.29
审查员 崔英秀
权利要求书6页 说明书50页 附图84页

(54)发明名称

尖峰生成电路、信息处理电路、电力转换电路、检测器以及电子电路

(57)摘要

一种尖峰生成电路,其具有:第一CMOS逆变器,其连接在第一电源与第二电源之间,该第一CMOS逆变器的输出节点与第一节点连接,该第一节点是与输入信号输入的输入端子连接的中间节点;开关,其与所述第一CMOS逆变器串联连接在所述第一电源与所述第二电源之间;第一反相电路,其将所述第一节点的信号的反相信号输出给所述开关的控制端子;以及延迟电路,其将所述第一节点的信号延迟输出给所述第一CMOS逆变器的输入节点,并将单发的输出尖峰信号输出给输出端子。



CN 113508386 B

1.一种尖峰生成电路,其具有:

第一CMOS逆变器,其连接在第一电源与第二电源之间,该第一CMOS逆变器的输出节点与第一节点连接,该第一节点是与输入信号输入的输入端子连接的中间节点;

开关,其与所述第一CMOS逆变器串联连接在所述第一电源与所述第二电源之间;

第一反相电路,其将所述第一节点的信号的反相信号输出给所述开关的控制端子;以及

延迟电路,其将所述第一节点的信号延迟输出给所述第一CMOS逆变器的输入节点,并将单发的输出尖峰信号输出给输出端子。

2.根据权利要求1所述的尖峰生成电路,其中,

所述第一反相电路将所述第一节点的信号的反相信号输出给所述开关的控制端子和第二节点,

所述延迟电路具有所述第一反相电路和第二反相电路,该第二反相电路将所述第二节点的信号的反相信号输出给所述第一CMOS逆变器的输入节点和与所述输出端子连接的第三节点。

3.根据权利要求2所述的尖峰生成电路,其中,

所述第一反相电路包含奇数个第二CMOS逆变器,该奇数个第二CMOS逆变器以奇数级的方式连接在所述第一节点与所述第二节点之间,在所述奇数个第二CMOS逆变器的每一个中,输入节点与所述第一节点连接,输出节点与所述第二节点连接,

所述第二反相电路包含奇数个第三CMOS逆变器,该奇数个第三CMOS逆变器以奇数级的方式连接在所述第二节点与所述第三节点之间,在所述奇数个第三CMOS逆变器的每一个中,输入节点与所述第二节点连接,输出节点与所述第三节点连接。

4.根据权利要求3所述的尖峰生成电路,其中,

所述第二反相电路包含3个以上的奇数个第三CMOS逆变器。

5.根据权利要求4所述的尖峰生成电路,其中,

所述尖峰生成电路具有第一电容元件,该第一电容元件的一端与所述3个以上的第三CMOS逆变器中的相邻的任意两个第三CMOS逆变器之间的第四节点连接,另一端与第一基准电位端子连接。

6.根据权利要求5所述的尖峰生成电路,其中,

所述第一电容元件的电容值为所述3个以上的第三CMOS逆变器中的一个FET的栅极电容值以上。

7.根据权利要求1所述的尖峰生成电路,其中,

所述尖峰生成电路具有第二电容元件,该第二电容元件的一端与所述第一节点连接,另一端与第二基准电位端子连接。

8.根据权利要求1所述的尖峰生成电路,其中,

所述第二电源的电压比所述第一电源的电压高,

所述开关是N沟道晶体管并且连接在所述第一节点与所述第一电源之间,或者是P沟道晶体管并且连接在所述第一节点与所述第二电源之间。

9.一种尖峰生成电路,其具有:

第一CMOS逆变器,其连接在第一电源与第二电源之间,该第一CMOS逆变器的输出节点

与第一节点连接;

第一开关,其与所述第一CMOS逆变器串联连接在所述第一电源与所述第二电源之间;

反相电路,其将所述第一节点的信号的反相信号输出给所述第一开关的控制端子;

延迟电路,其将所述第一节点的信号延迟输出给所述第一CMOS逆变器的输入节点,并将单发的输出尖峰信号输出给输出端子;以及

中间节点,其设置于所述反相电路内,与输入信号输入的输入端子连接。

10.根据权利要求9所述的尖峰生成电路,其中,

所述第一CMOS逆变器输出作为高电平和低电平中的一方的第一电平和作为所述高电平和所述低电平中的另一方的第二电平,

所述第一开关在所述第一电平输入到控制端子时导通,在所述第二电平输入到所述控制端子时断开,

所述反相电路具有:第一反相电路,其在所述第一节点从所述第一电平变为所述第二电平时,向所述第一开关的控制端子输出所述第一电平;以及第二反相电路,其在所述延迟电路的输出成为第二电平时,向所述第一开关的控制端子输出第二电平,

所述中间节点设置于所述第二反相电路内。

11.根据权利要求9所述的尖峰生成电路,其中,

所述尖峰生成电路具有第二CMOS逆变器,该第二CMOS逆变器的输入节点与所述中间节点连接,输出节点与所述第一开关的控制端子连接。

12.根据权利要求10所述的尖峰生成电路,其中,

所述第二反相电路具有第二开关,该第二开关的控制端子与所述延迟电路的输出连接,该第二开关在所述延迟电路输出所述第二电平时,将所述中间节点与提供所述输入信号的初始电平的电源连接。

13.根据权利要求10所述的尖峰生成电路,其中,

所述尖峰生成电路具有第四开关,该第四开关的控制端子与所述第一开关的控制端子连接,该第四开关在所述第一开关的控制端子为所述第二电平时,将所述第一节点与提供所述第一电平的电源连接。

14.根据权利要求10所述的尖峰生成电路,其中,

所述第一反相电路具有第三开关,该第三开关的控制端子与所述第一节点连接,该第三开关在所述第一节点成为所述第二电平时,将所述第一开关的控制端子与提供所述第一电平的电源连接。

15.根据权利要求1或9所述的尖峰生成电路,其中,

所述尖峰生成电路还具有电压转换电路,该电压转换电路设置在所述输入端子与所述中间节点之间,该电压转换电路将对所述输入信号的电压进行转换后的信号输出给所述中间节点,

所述延迟电路在所述输入信号的电压处于规定的范围内时不输出所述单发的输出尖峰信号。

16.根据权利要求1或9所述的尖峰生成电路,其中,

所述尖峰生成电路还具有时间常数电路,该时间常数电路设置在所述输入端子与所述中间节点之间,该时间常数电路将所述输入信号的上升的时间常数增长而输出给所述中间

节点，

所述延迟电路在所述输入信号输入后的与所述时间常数电路的时间常数相关联的延迟时间后输出所述单发的输出尖峰信号。

17.根据权利要求1或9所述的尖峰生成电路，其中，

所述尖峰生成电路还具有在将输入尖峰信号作为所述输入信号进行输入时使所述中间节点的电压升高或下降的输入电路，该输入电路设置在所述输入端子与所述中间节点之间，

所述延迟电路在所述输入尖峰信号输入的频率成为规定的范围时，输出所述单发的输出尖峰信号。

18.根据权利要求1或9所述的尖峰生成电路，其中，

所述尖峰生成电路还具有根据所述输入信号相对于时间的变化量而使所述中间节点的电压变化的输入电路，该输入电路设置在所述输入端子与所述中间节点之间，

所述延迟电路在所述输入信号相对于时间的变化量成为规定的范围时，输出所述单发的输出尖峰信号。

19.一种信息处理电路，其具有：

权利要求1或9所述的尖峰生成电路；

条件设定电路，其对输入的信号进行处理而输出给所述尖峰生成电路，由此设定由所述尖峰生成电路输出所述单发的输出尖峰信号的条件；以及

尖峰处理电路，其对所述尖峰生成电路输出的所述单发的输出尖峰信号进行处理。

20.一种电力转换电路，其具有：

开关元件；以及

控制电路，其包含权利要求1或9所述的尖峰生成电路，该控制电路对所述开关元件的导通和断开进行控制。

21.一种电子电路，其具有：

权利要求1或9所述的尖峰生成电路；以及

天线，其将由所述尖峰生成电路输出的单发的输出尖峰信号输出。

22.一种尖峰生成电路，其具有：

时间常数电路，其具有电容器以及恒流元件或恒流电路，所述电容器的一端与输出节点连接并且另一端与第一基准电位端子连接，所述恒流元件或所述恒流电路的一端与电压依赖于时间的输入信号输入的输入端子连接并且另一端与所述输出节点连接，该恒流元件或该恒流电路生成与两端的电压差对应的恒流，所述时间常数电路将所述输入信号的上升的时间常数增长而从所述输出节点输出给中间节点；以及

输出电路，其响应于所述中间节点的电压成为阈值电压而将单发的输出尖峰信号输出给输出端子并且将所述中间节点的电压复位，

所述输出电路在所述输入信号输入后的与所述时间常数电路的时间常数相关联的延迟时间后输出所述单发的输出尖峰信号，

所述恒流元件或所述恒流电路包含反向连接的二极管或者在控制端子上施加电压从而成为导通状态的晶体管。

23.一种尖峰生成电路，其具有：

时间常数电路,其具有电容器和恒流电路,所述电容器的一端与输出节点连接并且另一端与第一基准电位端子连接,所述恒流电路的一端与输入信号输入的输入端子连接并且另一端与所述输出节点连接,该恒流电路生成与两端的电压差对应的恒流,所述时间常数电路将所述输入信号的上升的时间常数增长而从所述输出节点输出给中间节点;以及

输出电路,其响应于所述中间节点的电压成为阈值电压而将单发的输出尖峰信号输出给输出端子并且将所述中间节点的电压复位,

所述恒流电路是电流镜电路,该电流镜电路具有:

第一晶体管,该第一晶体管的电流输入端子和电流输出端子中的任意一个端子与所述输入端子连接,所述电流输入端子和所述电流输出端子中的另一个端子与所述输出节点连接;以及

第二晶体管,该第二晶体管的电流输入端子和电流输出端子中的任意一个端子经由正向连接的第一二极管而与所述输入端子连接,所述电流输入端子和所述电流输出端子中的另一个端子经由反向连接的第二二极管而与第二基准电位端子连接,所述第二晶体管的控制端子与所述第一晶体管的控制端子连接。

24.一种尖峰生成电路,其具有:

电容器,其一端与中间节点连接并且另一端与第一基准电位端子连接;

电压转换电路,其具有第一元件和第二元件以及电阻元件,所述第一元件和所述第二元件串联连接在电压依赖于时间的输入信号输入的输入端子与第二基准电位端子之间,所述电阻元件的一端与所述第一元件和所述第二元件之间的节点连接并且另一端与所述中间节点连接,所述电压转换电路将利用所述第一元件和所述第二元件对所述输入信号的电压进行分压后的信号输出给所述中间节点;以及

输出电路,其响应于所述中间节点的电压成为阈值电压而将单发的输出尖峰信号输出给输出端子并且将所述中间节点的电压复位,

所述电阻元件的电阻值与所述电容器的电容值之积大于所述单发的输出尖峰信号的宽度。

25.根据权利要求24所述的尖峰生成电路,其中,

所述第一元件是电阻、二极管以及晶体管中的任意元件,所述第二元件是电阻、二极管以及晶体管中的任意元件。

26.一种尖峰生成电路,其具有:

输入电路,多个输入尖峰信号按照时间顺序输入到输入端子,每当一个输入尖峰信号输入到所述输入端子时,该输入电路使中间节点的电压升高与所述一个输入尖峰信号对应的量、和/或每当所述一个输入尖峰信号输入到所述输入端子时,该输入电路使所述中间节点的电压降低与所述一个输入尖峰信号对应的量;以及

输出电路,其响应于所述中间节点的电压成为阈值电压而将单发的输出尖峰信号输出给输出端子并且将所述中间节点的电压复位,

所述输出电路在所述多个输入尖峰信号输入的频率成为规定的范围时,输出所述单发的输出尖峰信号,

在所述多个输入尖峰信号未输入到所述输入端子时,所述中间节点的电压在比所述多个输入尖峰信号的宽度长的期间内逐渐下降或升高。

27.一种尖峰生成电路,其具有:

输入电路,每当输入尖峰信号输入到多个输入端子中的至少一个时,该输入电路使中间节点的电压升高与所述输入尖峰信号对应的量、和/或每当输入尖峰信号输入到所述多个输入端子中的至少一个时,该输入电路使所述中间节点的电压降低与所述输入尖峰信号对应的量;以及

输出电路,其响应于所述中间节点的电压成为阈值电压而将单发的输出尖峰信号输出给输出端子并且将所述中间节点的电压复位,

所述输出电路在输入尖峰信号输入到所述多个输入端子中的至少两个输入端子的时刻位于某个期间内时输出所述单发的输出尖峰信号,

在所述输入尖峰信号未输入到所述多个输入端子时,使所述中间节点的电压在比所述输入尖峰信号的宽度长的期间内逐渐下降或升高。

28.一种尖峰生成电路,其具有:

输入电路,其根据输入到输入端子的输入信号的电压相对于时间的变化量而使中间节点的电压变化;以及

输出电路,其响应于所述中间节点的电压成为阈值电压而将单发的输出尖峰信号输出给输出端子并且将所述中间节点的电压复位,

所述输入信号的电压相对于时间的变化量相对于时间而变化,

所述输出电路在所述输入信号相对于时间的变化量成为规定的范围时,输出所述单发的输出尖峰信号。

29.一种检测器,其具有:

第一开关,其导通和切断第一路径,在该第一路径中,第一电流在第一端与第二端之间流动;

第二开关,其导通和切断第二路径,在该第二路径中,与所述第一电流互补的第二电流在与所述第一端互补的第三端和与所述第二端互补的第四端之间流动;以及

检测电路,其在所述第一开关切断所述第一路径并且所述第二开关切断所述第二路径的切断期间中,根据比所述第一开关靠所述第一端和所述第二端中的任意一个端这一侧的所述第一路径的第一电压以及比所述第二开关靠所述第三端和所述第四端中的与所述任意一个端互补的端这一侧的所述第二路径的第二电压来检测所述第一电流流动的方向。

30.一种电力转换电路,其具有:

权利要求29所述的检测器;以及

开关元件,其根据所述检测器的检测结果来对导通和断开进行控制。

31.一种电力转换电路,其具有:

权利要求29所述的检测器;以及

开关电路,其在所述检测器将所述第一电流流动的方向检测为第一方向时,将所述第二端与第一电源端子连接并从第二电源端子切断,并且将所述第四端与所述第二电源端子连接并从所述第一电源端子切断,在所述检测器将所述第一电流流动的方向检测为与所述第一方向为相反方向的第二方向时,将所述第二端与所述第二电源端子连接并从所述第一电源端子切断,并且将所述第四端与所述第一电源端子连接并从所述第二电源端子切断。

32.一种电子电路,其具有:

一个或多个尖峰生成电路,其在依赖于输入到输入端子的输入电流的历史的内部状态达到阈值时,将高电平或低电平的单发的尖峰信号输出给输出端子并且将所述内部状态复位为初始值;以及

一个或多个存储器电路,其在高电平和低电平中的任意一方的电平输入到第一输入端子时,将第一输出端子的电平保持为所述任意一方的电平,

一个或多个存储器电路包含所述第一输出端子与所述一个或多个尖峰生成电路中的第一尖峰生成电路的输入端子连接的第一存储器电路。

33.根据权利要求32所述的电子电路,其中,

所述一个或多个存储器电路包含第一输入端子与所述第一尖峰生成电路的输出端子连接的第二存储器电路。

34.根据权利要求32或33所述的电子电路,其中,

所述一个或多个存储器电路在高电平输入到所述第一输入端子时,将所述第一输出端子的电平保持为高电平并且将第二输出端子的电平保持为低电平,在高电平输入到第二输入端子时,将所述第一输出端子的电平保持为低电平并且将所述第二输出端子的电平保持为高电平。

35.根据权利要求34所述的电子电路,其中,

所述一个或多个尖峰生成电路包含输入端子与所述第一存储器电路的第二输出端子连接的第二尖峰生成电路。

36.根据权利要求34所述的电子电路,其中,

所述一个或多个存储器电路包含所述第一输入端子与所述第一尖峰生成电路的输出端子连接的第二存储器电路,

所述一个或多个尖峰生成电路包含输出端子与所述第二存储器电路的第二输入端子连接的第三尖峰生成电路。

37.根据权利要求34所述的电子电路,其中,

所述第一尖峰生成电路的输出端子与所述第一存储器电路的第二输入端子连接。

38.根据权利要求37所述的电子电路,其中,

所述电子电路具有一端与所述第一存储器电路的第一输出端子连接并且另一端与所述第一尖峰生成电路的输入端子连接的元件或电路,该元件或电路使与所述一端和所述另一端之间的电压差对应的电流流过,

所述第一尖峰生成电路在输入到输入端子的电流的积分值达到阈值时输出单发的尖峰信号。

39.根据权利要求32或33所述的电子电路,其中,

所述电子电路包含组合电路,该组合电路在一个或多个输入端子上分别输入高电平或低电平,向一个或多个输出端子分别输出由所述一个或多个输入端子的输入唯一确定的高电平或低电平,在所述组合电路中,所述第一存储器电路的第一输出端子与所述一个或多个输入端子中的至少一个连接,所述第一尖峰生成电路的输入端子与所述一个或多个输出端子中的至少一个连接。

尖峰生成电路、信息处理电路、电力转换电路、检测器以及电子电路

技术领域

[0001] 本发明涉及尖峰生成电路、信息处理电路、电力转换电路、检测器以及电子电路。

背景技术

[0002] 公知有在神经网络中使用的神经元电路等尖峰生成电路(例如专利文献1、2、6)。公知有多级连接多个逆变器的电路(例如专利文献3-5)。

[0003] 现有技术文献

[0004] 专利文献

[0005] 专利文献1:日本特开2001-148619号公报

[0006] 专利文献2:日本特开2006-243877号公报

[0007] 专利文献3:日本特开2012-44265号公报

[0008] 专利文献4:日本特开平8-242148号公报

[0009] 专利文献5:日本特开2000-106521号公报

[0010] 专利文献6:国际公开第2018/100790号

发明内容

[0011] 发明要解决的课题

[0012] 在神经元电路那样的尖峰生成电路中,要求减小功耗。

[0013] 本发明是鉴于上述课题而完成的,其目的在于,削减功耗。

[0014] 用于解决课题的手段

[0015] 本发明是一种尖峰生成电路,其具有:第一CMOS逆变器,其连接在第一电源与第二电源之间,该第一CMOS逆变器的输出节点与第一节点连接,该第一节点是与输入信号输入的输入端子连接的中间节点;开关,其与所述第一CMOS逆变器串联连接在所述第一电源与所述第二电源之间;第一反相电路,其将所述第一节点的信号的反相信号输出给所述开关的控制端子;以及延迟电路,其将所述第一节点的信号延迟输出给所述第一CMOS逆变器的输入节点,并将输出尖峰信号输出给输出端子。

[0016] 在上述结构中,也可以采用以下结构:所述第一反相电路将所述第一节点的信号的反相信号输出给所述开关的控制端子和第二节点,所述延迟电路具有所述第一反相电路和第二反相电路,该第二反相电路将所述第二节点的信号的反相信号输出给所述第一CMOS逆变器的输入节点和与所述输出端子连接的第三节点。

[0017] 在上述结构中,也可以采用以下结构:所述第一反相电路包含奇数个第二CMOS逆变器,该奇数个第二CMOS逆变器以奇数级的方式连接在所述第一节点与所述第二节点之间,在所述奇数个第二CMOS逆变器的每一个中,输入节点与所述第一节点连接,输出节点与所述第二节点连接,所述第二反相电路包含奇数个第三CMOS逆变器,该奇数个第三CMOS逆变器以奇数级的方式连接在所述第二节点与所述第三节点之间,在所述奇数个第三CMOS逆

变器的的每一个中,输入节点与所述第二节点连接,输出节点与所述第三节点连接。

[0018] 在上述结构中,也可以采用以下结构:所述第二反相电路包含3个以上的奇数个第三CMOS逆变器。

[0019] 在上述结构中,也可以采用以下结构:所述尖峰生成电路具有第一电容元件,该第一电容元件的一端与所述3个以上的第三CMOS逆变器中的相邻的任意两个第三CMOS逆变器之间的第四节点连接,另一端与第一基准电位端子连接。

[0020] 在上述结构中,也可以采用以下结构:所述第一电容元件的电容值为所述3个以上的第三CMOS逆变器中的一个FET的栅极电容值以上。

[0021] 在上述结构中,也可以采用以下结构:所述尖峰生成电路具有第二电容元件,该第二电容元件的一端与所述第一节点连接,另一端与第二基准电位端子连接。

[0022] 在上述结构中,也可以采用以下结构:所述第二电源的电压比所述第一电源的电压高,所述开关是N沟道晶体管并且连接在所述第一节点与所述第一电源之间,或者是P沟道晶体管并且连接在所述第一节点与所述第二电源之间。

[0023] 本发明是一种尖峰生成电路,其具有:第一CMOS逆变器,其连接在第一电源与第二电源之间,该第一CMOS逆变器的输出节点与第一节点连接;第一开关,其与所述第一CMOS逆变器串联连接在所述第一电源与所述第二电源之间;反相电路,其将所述第一节点的信号的反相信号输出给所述第一开关的控制端子;延迟电路,其将所述第一节点的信号延迟输出给所述第一CMOS逆变器的输入节点,并将输出尖峰信号输出给输出端子;以及中间节点,其设置于所述反相电路内,与输入信号输入的输入端子连接。

[0024] 在上述结构中,也可以采用以下结构:所述第一CMOS逆变器输出作为高电平和低电平中的一方的第一电平和作为所述高电平和所述低电平中的另一方的第二电平,所述第一开关在所述第一电平输入到控制端子时导通,在所述第二电平输入到所述控制端子时断开,所述反相电路具有:第一反相电路,其在所述第一节点从所述第一电平变为所述第二电平时,向所述第一开关的控制端子输出所述第一电平;以及第二反相电路,其在所述延迟电路的输出成为第二电平时,向所述第一开关的控制端子输出第二电平,所述中间节点设置于所述第二反相电路内。

[0025] 在上述结构中,也可以采用以下结构:所述尖峰生成电路具有第二CMOS逆变器,该第二CMOS逆变器的输入节点与所述中间节点连接,输出节点与所述第一开关的控制端子连接。

[0026] 在上述结构中,也可以采用以下结构:所述第二反相电路具第二开关,该第二开关的控制端子与所述延迟电路的输出连接,该第二开关在所述延迟电路输出所述第二电平时,将所述中间节点与提供所述输入信号的初始电平的电源连接。

[0027] 在上述结构中,也可以采用以下结构:所述尖峰生成电路具有第四开关,该第四开关的控制端子与所述第一开关的控制端子连接,该第四开关在所述第一开关的控制端子为所述第二电平时,将所述第一节点与提供所述第一电平的电源连接。

[0028] 在上述结构中,也可以采用以下结构:所述第一反相电路具有第三开关,该第三开关的控制端子与所述第一节点连接,该第三开关在所述第一节点成为所述第二电平时,将所述第一开关的控制端子与提供所述第一电平的电源连接。

[0029] 在上述结构中,也可以采用以下结构:所述尖峰生成电路还具有电压转换电路,该

电压转换电路设置在所述输入端子与所述中间节点之间,该电压转换电路将对所述输入信号的电压进行转换后的信号输出给所述中间节点,所述延迟电路在所述输入信号的电压处于规定的范围内时不输出所述单发的输出尖峰信号。

[0030] 在上述结构中,也可以采用以下结构:所述尖峰生成电路还具有时间常数电路,该时间常数电路设置在所述输入端子与所述中间节点之间,该时间常数电路将所述输入信号的上升的时间常数增长而输出给所述中间节点,所述延迟电路在所述输入信号输入后的与所述时间常数电路的时间常数相关联的延迟时间后输出所述单发的输出尖峰信号。

[0031] 在上述结构中,也可以采用以下结构:所述尖峰生成电路还具有在将输入尖峰信号作为所述输入信号进行输入时使所述中间节点的电压升高或下降的输入电路,该输入电路设置在所述输入端子与所述中间节点之间,所述延迟电路在所述输入尖峰信号输入的频率成为规定的范围时,输出所述单发的输出尖峰信号。

[0032] 在上述结构中,也可以采用以下结构:所述尖峰生成电路还具有根据所述输入信号相对于时间的变化量而使所述中间节点的电压变化的输入电路,该输入电路设置在所述输入端子与所述中间节点之间,所述延迟电路在所述输入信号相对于时间的变化量成为规定的范围时,输出所述单发的输出尖峰信号。

[0033] 本发明是一种信息处理电路,其具有:上述尖峰生成电路;条件设定电路,其对输入的信号进行处理而输出给所述尖峰生成电路,由此设定由所述尖峰生成电路输出所述单发的输出尖峰信号的条件;以及尖峰处理电路,其对所述尖峰生成电路输出的所述单发的输出尖峰信号进行处理。

[0034] 本发明是一种电力转换电路,其具有:开关元件;以及控制电路,其包含上述尖峰生成电路,该控制电路对所述开关元件的导通和断开进行控制。

[0035] 本发明是一种电子电路,其具有:上述尖峰生成电路;以及天线,其将由所述尖峰生成电路输出的单发的输出尖峰信号输出。

[0036] 本发明是一种尖峰生成电路,其具有:时间常数电路,其具有电容器以及恒流元件或恒流电路,所述电容器的一端与输出节点连接并且另一端与第一基准电位端子连接,所述恒流元件或所述恒流电路的一端与电压依赖于时间的输入信号输入的输入端子连接并且另一端与所述输出节点连接,该恒流元件或该恒流电路生成与两端的电压差对应的恒流,所述时间常数电路将所述输入信号的上升的时间常数增长而从所述输出节点输出给中间节点;以及输出电路,其响应于所述中间节点的电压成为阈值电压而将单发的输出尖峰信号输出给输出端子并且将所述中间节点的电压复位,所述输出电路在所述输入信号输入后的与所述时间常数电路的时间常数相关联的延迟时间后输出所述单发的输出尖峰信号。

[0037] 在上述结构中,也可以采用以下结构:所述恒流元件或所述恒流电路包含反向连接的二极管或者在控制端子上施加电压从而成为导通状态的晶体管。

[0038] 本发明是一种尖峰生成电路,其具有:时间常数电路,其具有电容器和恒流电路,所述电容器的一端与输出节点连接并且另一端与第一基准电位端子连接,所述恒流电路的一端与输入信号输入的输入端子连接并且另一端与所述输出节点连接,该恒流电路生成与两端的电压差对应的恒流,所述时间常数电路将所述输入信号的上升的时间常数增长而从所述输出节点输出给中间节点;以及输出电路,其响应于所述中间节点的电压成为阈值电压而将单发的输出尖峰信号输出给输出端子并且将所述中间节点的电压复位,所述恒流电

路是电流镜电路,该电流镜电路具有:第一晶体管,该第一晶体管的电流输入端子和电流输出端子中的任意一个端子与所述输入端子连接,所述电流输入端子和所述电流输出端子中的另一个端子与所述输出节点连接;以及第二晶体管,该第二晶体管的电流输入端子和电流输出端子中的任意一个端子经由正向连接的第一二极管而与所述输入端子连接,所述电流输入端子和所述电流输出端子中的另一个端子经由反向连接的第二二极管而与第二基准电位端子连接,所述第二晶体管的控制端子与所述第一晶体管的控制端子连接。

[0039] 本发明是一种尖峰生成电路,其具有:电容器,其一端与中间节点连接并且另一端与第一基准电位端子连接;电压转换电路,其具有第一元件和第二元件以及电阻元件,所述第一元件和所述第二元件串联连接在电压依赖于时间的输入信号输入的输入端子与第二基准电位端子之间,所述电阻元件的一端与所述第一元件和所述第二元件之间的节点连接并且另一端与所述中间节点连接,所述电压转换电路将利用所述第一元件和所述第二元件对所述输入信号的电压进行分压后的信号输出给所述中间节点;以及输出电路,其响应于所述中间节点的电压成为阈值电压而将单发的输出尖峰信号输出给输出端子并且将所述中间节点的电压复位,所述电阻元件的电阻值与所述电容器的电容值之积大于所述单发的输出尖峰信号的宽度。

[0040] 在上述结构中,也可以采用以下结构:所述第一元件是电阻、二极管以及晶体管中的任意元件,所述第二元件是电阻、二极管以及晶体管中的任意元件。

[0041] 本发明是一种尖峰生成电路,其具有:输入电路,多个输入尖峰信号按照时间顺序输入到输入端子,每当一个输入尖峰信号输入到所述输入端子时,该输入电路使中间节点的电压升高与所述一个输入尖峰信号对应的量、和/或每当所述一个输入尖峰信号输入到所述输入端子时,该输入电路使所述中间节点的电压降低与所述一个输入尖峰信号对应的量;以及输出电路,其响应于所述中间节点的电压成为阈值电压而将单发的输出尖峰信号输出给输出端子并且将所述中间节点的电压复位,所述输出电路在所述多个输入尖峰信号输入的频率成为规定的范围时,输出所述输出单发的尖峰信号,在所述多个输入尖峰信号未输入到所述输入端子时,所述中间节点的电压在比所述多个输入尖峰信号的宽度长的期间内逐渐下降或升高。

[0042] 本发明是一种尖峰生成电路,其具有:输入电路,每当输入尖峰信号输入到多个输入端子中的至少一个时,该输入电路使中间节点的电压升高与所述输入尖峰信号对应的量、和/或每当输入尖峰信号输入到所述多个输入端子中的至少一个时,该输入电路使所述中间节点的电压降低与所述输入尖峰信号对应的量;以及输出电路,其响应于所述中间节点的电压成为阈值电压而将单发的输出尖峰信号输出给输出端子并且将所述中间节点的电压复位,所述输出电路在输入尖峰信号输入到所述多个输入端子中的至少两个输入端子的时刻位于某个期间内时输出所述单发的输出尖峰信号,在所述输入尖峰信号未输入到所述多个输入端子时,使所述中间节点的电压在比所述输入尖峰信号的宽度长的期间内逐渐下降或升高。

[0043] 本发明是一种尖峰生成电路,其具有:输入电路,其根据输入到输入端子的输入信号的电压相对于时间的变化量而使中间节点的电压变化;以及输出电路,其响应于所述中间节点的电压成为阈值电压而将单发的输出尖峰信号输出给输出端子并且将所述中间节点的电压复位,所述输入信号的电压相对于时间的变化量相对于时间而变化,所述输出电

路在所述输入信号相对于时间的变化量成为规定的范围时，输出所述单发的输出尖峰信号。

[0044] 本发明是一种检测器，其具有：第一开关，其导通和切断第一路径，在该第一路径中，第一电流在第一端与第二端之间流动；第二开关，其导通和切断第二路径，在该第二路径中，与所述第一电流互补的第二电流在与所述第一端互补的第三端和与所述第二端互补的第四端之间流动；以及检测电路，其在所述第一开关切断所述第一路径并且所述第二开关切断所述第二路径的切断期间中，根据比所述第一开关靠所述第一端和所述第二端中的任意一个端这一侧的所述第一路径的第一电压以及比所述第二开关靠所述第三端和所述第四端中的与所述任意一个端互补的端这一侧的所述第二路径的第二电压来检测所述第一电流流动的方向。

[0045] 本发明是一种电力转换电路，其具有：上述检测器；以及开关元件，其根据所述检测器的检测结果来对导通和断开进行控制。

[0046] 本发明是一种电力转换电路，其具有：上述检测器；以及开关电路，其在所述检测器将所述第一电流流动的方向检测为第一方向时，将所述第二端与第一电源端子连接并从第二电源端子切断，并且将所述第四端与所述第二电源端子连接并从所述第一电源端子切断，在所述检测器将所述第一电流流动的方向检测为与所述第一方向为相反方向的第二方向时，将所述第二端与所述第二电源端子连接并从所述第一电源端子切断，并且将所述第四端与所述第一电源端子连接并从所述第二电源端子切断。

[0047] 本发明是一种电子电路，其具有：一个或多个尖峰生成电路，其在依赖于输入到输入端子的输入电流的历史的内部状态达到阈值时，将高电平或低电平的单发的尖峰信号输出给输出端子并且将所述内部状态复位为初始值；以及一个或多个存储器电路，其在高电平和低电平中的任意一方的电平输入到第一输入端子时，将第一输出端子的电平保持为所述任意一方的电平，一个或多个存储器电路包含所述第一输出端子与所述一个或多个尖峰生成电路中的第一尖峰生成电路的输入端子连接的第一存储器电路。

[0048] 在上述结构中，也可以采用以下结构：所述一个或多个存储器电路包含第一输入端子与所述第一尖峰生成电路的输出端子连接的第二存储器电路。

[0049] 在上述结构中，也可以采用以下结构：所述一个或多个存储器电路在高电平输入到所述第一输入端子时，将所述第一输出端子的电平保持为高电平并且将第二输出端子的电平保持为低电平，在高电平输入到第二输入端子时，将所述第一输出端子的电平保持为低电平并且将所述第二输出端子的电平保持为高电平。

[0050] 在上述结构中，也可以采用以下结构：所述一个或多个尖峰生成电路包含输入端子与所述第一存储器电路的第二输出端子连接的第二尖峰生成电路。

[0051] 在上述结构中，也可以采用以下结构：所述一个或多个存储器电路包含所述第一输入端子与所述第一尖峰生成电路的输出端子连接的第二存储器电路，所述一个或多个尖峰生成电路包含输出端子与所述第二存储器电路的第二输入端子连接的第三尖峰生成电路。

[0052] 在上述结构中，也可以采用以下结构：所述第一尖峰生成电路的输出端子与所述第一存储器电路的第二输入端子连接。

[0053] 在上述结构中，也可以采用以下结构：所述电子电路具有一端与所述第一存储器

电路的第一输出端子连接并且另一端与所述第一尖峰生成电路的输入端子连接的元件或电路,该元件或电路使与所述一端和所述另一端之间的电压差对应的电流流过,所述第一尖峰生成电路在输入到输入端子的电流的积分值达到阈值时输出单发的尖峰信号。

[0054] 在上述结构中,也可以采用以下结构:所述电子电路包含组合电路,该组合电路在一个或多个输入端子上分别输入高电平或低电平,向一个或多个输出端子分别输出由所述一个或多个输入端子的输入唯一确定的高电平或低电平,在所述组合电路中,所述第一存储器电路的第一输出端子与所述一个或多个输入端子中的至少一个连接,所述第一尖峰生成电路的输入端子与所述一个或多个输出端子中的至少一个连接。

[0055] 发明效果

[0056] 根据本发明,能够削减功耗。

附图说明

[0057] 图1的(a)和图1的(b)是实施例1及其变形例1的尖峰生成电路的电路图。

[0058] 图2的(a)是实施例1的变形例2的尖峰生成电路的电路图,图2的(b)是示出节点N1和输出端子Tout的电压的图。

[0059] 图3的(a)是实施例1的变形例3的尖峰生成电路的电路图,图3的(b)是示出节点Ni、N1以及输出端子Tout的电压的图。

[0060] 图4的(a)是实施例1的变形例4的尖峰生成电路的电路图,图4的(b)是示出节点N1和输出端子Tout的电压的图。

[0061] 图5的(a)是实施例1的变形例5的尖峰生成电路的电路图,图5的(b)是示出节点Ni、N1以及输出端子Tout的电压的图。

[0062] 图6的(a)是实施例2的尖峰生成电路的电路图,图6的(b)是示出各电压相对于时间的图。

[0063] 图7的(a)是实施例2的变形例1的尖峰生成电路的电路图,图7的(b)是示出各电压相对于时间的图。

[0064] 图8是实施例3的尖峰生成电路的电路图。

[0065] 图9的(a)和图9的(b)是示出实施例3中的各节点的电压相对于时间的图。

[0066] 图10的(a)和图10的(b)是示出实施例3中的输入电压、输出电压以及消耗电流相对于时间的图。

[0067] 图11的(a)至图11的(d)是示出实施例3中的输出电压相对于时间的图。

[0068] 图12的(a)至图12的(d)是示出实施例3中的输出电压相对于时间的图。

[0069] 图13的(a)至图13的(d)是对电容器C2的功能进行说明的图。

[0070] 图14的(a)和图14的(b)是实施例3中的尖峰生成电路的电路图。

[0071] 图15的(a)和图15的(b)是实施例3中的尖峰生成电路的电路图。

[0072] 图16的(a)至图16的(d)是示出实施例3中的尖峰生成电路的输出电压相对于时间的图。

[0073] 图17是实施例3的变形例1的尖峰生成电路的电路图。

[0074] 图18是示出实施例3的变形例1中的各节点的电压相对于时间的图。

[0075] 图19的(a)是示出实施例3的变形例1的尖峰生成电路的其他例子的电路图,图19

的(b)和图19的(c)分别是实施例3的变形例2和变形例3的尖峰生成电路的电路图。

[0076] 图20的(a)和图20的(b)是示出实施例3的变形例3中的各节点的电压相对于时间的图。

[0077] 图21是实施例3的变形例4的尖峰生成电路的电路图。

[0078] 图22的(a)和图22的(b)是实施例4的尖峰生成电路的电路图。

[0079] 图23的(a)和图23的(b)是实施例4的尖峰生成电路的电路图。

[0080] 图24是示出实施例4中的各端子和节点的电压相对于时间的图。

[0081] 图25是示出不设置FET 91的情况下的各电压相对于时间的图。

[0082] 图26的(a)和图26的(b)是实施例4的变形例1的尖峰生成电路的电路图。

[0083] 图27的(a)和图27的(b)是实施例4的变形例2的尖峰生成电路的电路图。

[0084] 图28的(a)和图28的(b)是实施例4的变形例3的尖峰生成电路的电路图。

[0085] 图29的(a)和图29的(b)是实施例4的变形例4的尖峰生成电路的电路图。

[0086] 图30的(a)和图30的(b)是实施例4的变形例5的尖峰生成电路的电路图。

[0087] 图31是实施例5的尖峰生成电路的电路图。

[0088] 图32的(a)至图32的(e)是示出实施例5中的节点N1的电压和输出电压相对于时间的图。

[0089] 图33的(a)至图33的(d)是示出实施例5中的节点N1的电压和输出电压相对于时间的图。

[0090] 图34的(a)和图34的(b)是示出实施例5中的频率和周期分别相对于输入电压的图。

[0091] 图35是实施例5的变形例1的尖峰生成电路的电路图。

[0092] 图36的(a)是实施例5的变形例2的尖峰生成电路的电路图,图36的(b)是实施例5的变形例2的时序图。

[0093] 图37是实施例5的变形例3的尖峰生成电路的电路图。

[0094] 图38的(a)和图38的(b)是示出实施例5的变形例3中的节点N1的电压和输出电压相对于时间的图。

[0095] 图39是实施例5的变形例4的尖峰生成电路的电路图。

[0096] 图40的(a)和图40的(b)是示出实施例5的变形例4中的节点N1的电压和输出电压相对于时间的图。

[0097] 图41是实施例5的变形例5的尖峰生成电路的电路图。

[0098] 图42的(a)是实施例5的变形例6的尖峰生成电路的电路图,图42的(b)是实施例5的变形例6的时序图。

[0099] 图43的(a)至图43的(c)是实施例6的信息处理电路的框图。

[0100] 图44是实施例7的电力转换电路的框图。

[0101] 图45是对实施例7中的判定电路的动作进行说明的图。

[0102] 图46的(a)至图46的(c)是示出实施例7中的尖峰生成电路的记号的图。

[0103] 图47的(a)至图47的(c)是示出实施例7中的触发器电路的动作的图。

[0104] 图48是实施例7中的判定电路的电路图。

[0105] 图49是示出实施例7中的判定电路的各节点的电压相对于时间的图。

[0106] 图50是示出实施例7中的整流电路的电路图。

[0107] 图51的(a)至图51的(c)是实施例7中的降压电路的示意图。

[0108] 图52是实施例7中的降压电路的电路图。

[0109] 图53是示出实施例7中的降压电路的各节点的电压相对于时间的图。

[0110] 图54是示出实施例7中的节点A和R的电压相对于时间的图。

[0111] 图55的(a)至图55的(c)是实施例7中的同步整流电路的示意图。

[0112] 图56是实施例7中的同步整流电路的电路图。

[0113] 图57是示出实施例7中的同步整流电路的各节点的电压相对于时间的图。

[0114] 图58是示出实施例7中的基于同步整流电路的电容器的充电电压相对于时间的图。

[0115] 图59是示出实施例7中的发电电流和电容器的电压相对于时间的图。

[0116] 图60的(a)和图60的(b)分别是实施例8及其变形例1的尖峰生成电路的电路图。

[0117] 图61的(a)和图61的(b)是在模拟中使用的实施例8的变形例1A和变形例1的尖峰生成电路的电路图。

[0118] 图62的(a)至图62的(d)是示出实施例8的变形例1A的模拟结果的电压相对于时间的图。

[0119] 图63的(a)至图63的(d)是示出实施例8的变形例1的模拟结果的电压相对于时间的图。

[0120] 图64的(a)至图64的(c)分别是实施例8的变形例2至4的尖峰生成电路的电路图。

[0121] 图65是实施例8的变形例5的尖峰生成电路的电路图。

[0122] 图66的(a)和图66的(b)是在模拟中使用的实施例8的变形例5A和变形例5的尖峰生成电路的电路图。

[0123] 图67的(a)和图67的(b)是示出实施例8的变形例5A的模拟结果的电压相对于时间的图。图67的(c)和图67的(d)是示出实施例8的变形例5的模拟结果的电压相对于时间的图。

[0124] 图68的(a)至图68的(c)分别是实施例8的变形例6至8的尖峰生成电路的电路图。

[0125] 图69的(a)至图69的(c)分别是实施例8的变形例9至11的尖峰生成电路的电路图。

[0126] 图70的(a)和图70的(b)是示出实施例8的变形例9中的各电压相对于时间的图。

[0127] 图71是实施例9的检测器的框图。

[0128] 图72的(a)和图72的(b)是示出实施例9的检测器的各电压相对于时间的图。

[0129] 图73是实施例9的变形例1的检测器的框图。

[0130] 图74是示出实施例9的变形例1的检测器的各电压相对于时间的图。

[0131] 图75是实施例9的变形例3的同步整流电路的电路图。

[0132] 图76是示出实施例9的变形例3的同步整流电路中的同步整流电路的各节点的电压相对于时间的图。

[0133] 图77的(a)和图77的(b)是比较例1和实施例10的电子电路的框图。

[0134] 图78的(a)是示出尖峰生成电路的图,图78的(b)和图78的(c)是示出内部状态S和输出电压Vout分别相对于时间的图。

[0135] 图79的(a)和图79的(b)是比较例1和实施例10的电子电路的框图。

[0136] 图80的(a)和图80的(b)是示出实施例10的电子电路的例子的图。

[0137] 图81的(a)和图81的(b)分别是实施例10的变形例1和变形例2的电子电路的框图。

[0138] 图82的(a)和图82的(b)是实施例10的变形例3的电子电路的框图,图82的(c)是示出实施例10的变形例3的电子电路的符号的图。

[0139] 图83的(a)和图83的(b)是示出向实施例10的变形例3中的电子电路输入的尖峰信号的例子的图。

[0140] 图84的(a)和图84的(b)是示出使用从实施例10的变形例3中的电子电路输出的尖峰信号的电路例的图。

[0141] 图85的(a)和图85的(c)是示出使用从实施例10的变形例3中的电子电路输出的尖峰信号的例子的电路图,图85的(b)和图85的(d)是示出从天线输出的电磁波的大小的图。

[0142] 图86是实施例10的变形例4的网络电路的示意图。

具体实施方式

[0143] 以下,参照附图对本发明的实施例进行说明。

[0144] 实施例1

[0145] 图1的(a)和图1的(b)是实施例1及其变形例1的尖峰生成电路的电路图。如图1的(a)所示,实施例1的尖峰生成电路130具有逆变器12、FET(Field Effect Transistor:场效应晶体管)14、反相电路16以及延迟电路17。逆变器12是CMOS(Complementary Metal Oxide Semiconductor:互补金属氧化物半导体)逆变器,具有NFET 13a(N沟道FET)和PFET 13b(P沟道FET)。

[0146] NFET 13a的源极与接地线26连接,漏极与节点N1连接,栅极与节点N0连接。PFET 13b的源极与电源线28连接,漏极与节点N1连接,栅极与节点N0连接。节点N0和N1分别是逆变器12的输入节点和输出节点。FET 14是PFET,与PFET 13b串联连接在节点N1与电源线28之间。FET 14的源极经由PFET 13b而与电源线28连接,漏极与节点N1连接。

[0147] 反相电路16将节点N1的电平反相而输出给FET 14的栅极。延迟电路17将节点N1的电平延迟输出给节点N3。节点N3与逆变器12的输入节点N0和输出端子Tout连接。反相电路16和FET 14形成正反馈环15。输入端子Tin与正反馈环15内的中间节点Ni连接。

[0148] [实施例1的变形例1]

[0149] 如图1的(b)所示,在实施例1的变形例1的尖峰生成电路131中,FET 14是NFET,与NFET 13a串联连接在节点N1与接地线26之间。FET 14的源极经由NFET13a而与接地线26连接,漏极与节点N1连接。其他结构与实施例1相同,省略说明。

[0150] 对在实施例1中与输入端子Tin连接的中间节点Ni为节点N1的实施例1的变形例2以及中间节点Ni位于反相电路16内的实施例1的变形例3进行说明。

[0151] [实施例1的变形例2]

[0152] 实施例1的变形例2是将实施例1中的中间节点Ni设为节点N1的例子。图2的(a)是实施例1的变形例2的尖峰生成电路的电路图,图2的(b)是示出节点N1和输出端子Tout的电压的图。如图2的(a)所示,在尖峰生成电路132中,输入端子Tin与节点N1和Ni连接。由此,输入信号输入给节点N1。其他结构与实施例1相同,省略说明。

[0153] 如图2的(b)所示,对节点N1的电压从0V均匀地升高的情况进行说明。这相当于像

后述的实施例3的图8那样在输入端子Tin与中间节点Ni之间分流连接有电容器时输入端子Tin的恒定电流流动的情况。在时刻t0,节点N1的电压为低电平(0V)。反相电路16的输出为高电平,FET 14断开。输出端子Tout的电压为低电平(0V)。由于FET 14断开,因此逆变器12不发挥功能。

[0154] 节点N1的电压随着时间而均匀地升高。在节点N1的电压比反相电路16的阈值电压Vth低时,反相电路16的输出为高电平,延迟电路17的输出为低电平,输出端子Tout的电压维持低电平。

[0155] 当在时刻t1节点N1的电压成为反相电路16的阈值电压Vth时,反相电路16输出低电平。FET 14导通,因此逆变器12启动。由于输出端子Tout的电压为低电平,因此逆变器12使节点N1的电压成为高电平(Vdd)。

[0156] 在从时刻t1延迟了延迟电路17的延迟时间ΔT后的时刻t2,延迟电路17的输出成为高电平。逆变器12使节点N1的电压成为低电平。反相电路16的输出成为高电平,FET 14断开。节点N1的电压返回到低电平。在从时刻t2延迟了ΔT后的时刻t3,延迟电路17使输出端子Tout的电压成为低电平。由此,从输出端子Tout输出了具有延迟电路17的延迟时间的脉冲宽度的尖峰信号52。

[0157] [实施例1的变形例3]

[0158] 实施例1的变形例3是将实施例1中的中间节点Ni设在反相电路16内的例子。设置中间节点Ni的部位的例子在实施例4及其变形例中进行说明。图3的(a)是实施例1的变形例3的尖峰生成电路的电路图,图3的(b)是示出节点Ni、N1以及输出端子Tout的电压的图。如图3的(a)所示,在尖峰生成电路133中,输入端子Tin与反相电路16内的中间节点Ni连接。其他结构与实施例1相同,省略说明。

[0159] 如图3的(b)所示,在时刻t0,节点Ni的电压为低电平,FET 14的栅极为高电平。FET 14断开,节点N1的电压为低电平。输出端子Tout的电压为低电平。随着时间的推移,节点Ni的电压均匀地升高。当在时刻t1节点Ni的电压成为阈值电压Vth时,FET 14的栅极成为低电平。FET 14导通,逆变器12发挥功能,因此节点N1成为高电平。当在从时刻t1延迟了延迟电路17的延迟时间ΔT后的时刻t2,输出端子Tout的电压成为高电平时,通过逆变器12而使节点N1成为低电平。在时刻t3,输出端子Tout成为低电平。之后的动作与实施例1的变形例2相同,省略说明。

[0160] 对在实施例1的变形例1中与输入端子Tin连接的中间节点Ni为节点N1的实施例1的变形例4和中间节点Ni位于反相电路16内的实施例1的变形例5进行说明。

[0161] [实施例1的变形例4]

[0162] 实施例1的变形例4是将实施例1的变形例1中的中间节点Ni设为节点N1的例子。图4的(a)是实施例1的变形例4的尖峰生成电路的电路图,图4的(b)是示出节点N1和输出端子Tout的电压的图。如图4的(a)所示,在尖峰生成电路134中,输入端子Tin与节点N1和Ni连接。由此,向节点N1输入输入信号。其他结构与实施例1的变形例1相同,省略说明。

[0163] 如图4的(b)所示,对节点N1的电压从Vdd均匀地下降的情况进行说明。这相当于像后述的实施例3的变形例3的图19的(b)那样在输入端子Tin与中间节点Ni之间分流连接有电容器时输入端子Tin的恒定电流流动的情况。在时刻t0,节点N1的电压为高电平(Vdd)。反相电路16的输出为低电平(0V),FET 14断开。输出端子Tout的电压为高电平。由于FET 14断

开,因此逆变器12不发挥功能。

[0164] 节点N1的电压随着时间而均匀地下降。当节点N1的电压比反相电路16的阈值电压Vth高时,反相电路16的输出为低电平,延迟电路17的输出为高电平,输出端子Tout的电压维持高电平。

[0165] 当在时刻t1节点N1的电压成为反相电路16的阈值电压Vth时,反相电路16输出高电平。FET 14导通,因此逆变器12启动。由于输出端子Tout的电压为高电平,因此逆变器12使节点N1的电压成为低电平(0V)。

[0166] 在时刻t2,延迟电路17的输出成为低电平。逆变器12使节点N1成为高电平。反相电路16的输出成为低电平,FET 14断开。节点N1的电压返回到高电平。在时刻t3,延迟电路17使输出端子Tout的电压成为高电平。由此,从输出端子Tout输出宽度为ΔT的尖峰信号52。

[0167] [实施例1的变形例5]

[0168] 实施例1的变形例5是将实施例1的变形例1中的中间节点Ni设在反相电路16内的例子。设置中间节点Ni的部位的例子在实施例4及其变形例中进行说明。图5的(a)是实施例1的变形例5的尖峰生成电路的电路图,图5的(b)是示出节点Ni、N1以及输出端子Tout的电压的图。如图5的(a)所示,在尖峰生成电路135中,输入端子Tin连接在反相电路16内。其他结构与实施例1的变形例1相同,省略说明。

[0169] 如图5的(b)所示,当在时刻t1节点Ni的电压成为阈值电压Vth时,反相电路16输出高电平。FET 14导通,节点N1成为低电平。之后的动作与实施例1的变形例4相同,省略说明。

[0170] 根据实施例1及其变形例,逆变器12(第一CMOS逆变器)连接在接地线26与电源线28之间(第一电源与第二电源之间),输出节点与节点N1(第一节点)连接。FET 14(开关或第一开关)与逆变器12串联连接在接地线26与电源线28之间。反相电路16(第一反相电路)将节点N1的信号的反相信号输出给FET 14的栅极(控制端子)。延迟电路17将节点N1的信号延迟输出给逆变器12的输入节点,并向输出端子Tout输出输出尖峰信号52。

[0171] 在这样的结构中,在实施例1的变形例2和变形例4中,节点N1是与输入信号输入的输入端子Tin连接的中间节点Ni。由此,如图2的(b)和图4的(b)所示,当在时刻t1节点N1的电压越过阈值电压Vth时,反相电路16使FET 14的栅极成为高电平(图2的(b))或低电平(图4的(b))。由此,FET 14导通,节点N1成为高电平(图2的(b))或低电平(图4的(b))。这样,经由反相电路16实施正反馈。

[0172] 当在时刻t2延迟电路17输出高电平(图2的(b))或低电平(图4的(b))时,逆变器12的输出反相,节点N1成为低电平(图2的(b))或高电平(图4的(b))。这样,经由延迟电路17实施负反馈。

[0173] 由此,尖峰信号52的上升和下降急剧,能够生成脉冲宽度窄的尖峰信号52。并且,通过FET 14断开,能够抑制从电源线28贯通到接地线26的电流。由此,能够抑制功耗。在实施例1及其变形例中,反相电路16和延迟电路17也可以共有其一部分或全部。

[0174] 在实施例1的变形例3和5中,与输入端子Tin连接的中间节点Ni设置于反相电路16内。由此,如图3的(b)和图5的(b)所示,在时刻t1,从节点N1经由反相电路16实施正反馈。在时刻t2,从节点N1经由延迟电路17实施负反馈。由此,能够生成脉冲宽度窄的尖峰信号52,并且能够抑制功耗。

[0175] 实施例2

[0176] 实施例2是实施例1的变形例2和变形例4的具体例,是在神经元电路等中使用的尖峰生成电路的例子。图6的(a)是实施例2的尖峰生成电路的电路图,图6的(b)是示出各电压相对于时间的图。如图6的(a)所示,实施例2的尖峰生成电路100具有输入电路10、逆变器12、FET 14、反相电路16和18。反相电路16和18形成延迟电路17。输入电路10是针对输入到输入端子Tin的输入信号设定用于生成尖峰信号的条件的电路。逆变器12是CMOS逆变器,具有NFET 13a和PFET 13b。

[0177] NFET 13a的源极与接地线26连接,漏极与节点N1连接,栅极与节点N0连接。PFET 13b的源极与电源线28连接,漏极与节点N1连接,栅极与节点N0连接。节点N0和N1分别是逆变器12的输入节点和输出节点。FET 14是PFET,与PFET 13b串联连接在节点N1与电源线28之间。FET 14的源极经由PFET 13b而与电源线28连接,漏极与节点N1连接。

[0178] 反相电路16将节点N1的电平反相而输出给FET 14的栅极和节点N2。反相电路18将节点N2的电平反相而输出给节点N3。节点N3与逆变器12的输入节点N0和输出端子Tout连接。

[0179] 图6的(b)是示出输入端子Tin、节点N1以及输出端子Tout的电压相对于时间的图。作为输入电路10,以对输入到输入端子Tin的输入信号进行积分并输出给节点N1的积分电路为例进行说明。

[0180] 稳定时的输入端子Tin和输出端子Tout的电压是接地线26的电压(0V)。在时刻t0稍前,节点N1的电压为0V。节点N2为高电平,节点N3为低电平。FET 14的栅极为高电平,FET 14断开。由于逆变器12的输入节点为低电平,FET 14断开,因此节点N1从接地线26和电源线28切断。由此,维持了节点N1的电压。

[0181] 在从时刻t0至时刻t1之间,按时间序列向输入端子Tin输入尖峰信号50作为输入信号。当尖峰信号50输入到输入端子Tin时,输入端子Tin的电压成为比0V高的Vin。每当尖峰信号50输入时,输入电路10提高节点N1的电压。由此,节点N1的电压逐渐升高。在节点N1的电压比反相电路16的阈值电压Vth低时,节点N2为高电平,节点N3为低电平。由此,输出端子Tout的电压维持在0V。节点N1从接地线26和电源线28切断。

[0182] 在时刻t1,节点N1的电压超过阈值电压Vth。反相电路16使节点N2从高电平变为低电平。对FET 14的栅极施加低电平,因此FET 14导通,对节点N1实施正反馈。由此,节点N1上升到高电平(电源线28的电压Vdd)。反相电路18在节点N2从高电平变为低电平时,使节点N3从低电平变为高电平。逆变器12的输入节点N0成为高电平,因此对节点N1实施负反馈,节点N1下降到低电平(接地线的电压0V)。节点N2和节点N3成为高电平及低电平,向输出端子Tout输出脉冲宽度窄的尖峰信号52。FET 14断开,节点N1从接地线26和电源线28切断。

[0183] 之后,同样地,当节点N1的电压超过阈值电压Vth时,向输出端子Tout输出尖峰信号52。这样,在对节点N1实施了正反馈之后立即实施负反馈,因此能够生成脉冲宽度窄的尖峰信号52。另外,在通过正反馈而使FET 14导通之后,立即通过负反馈而使FET 13a导通。此时,通过负反馈而同时使FET 13b断开,由此能够抑制从电源线28贯通到接地线26的电流。由此,能够抑制功耗。

[0184] [实施例2的变形例1]

[0185] 图7的(a)是实施例2的变形例1的尖峰生成电路的电路图,图7的(b)是示出各电压相对于时间的图。在实施例2的变形例1的尖峰生成电路102中,FET 14是NFET,与NFET 13a

串联连接在节点N1与接地线26之间。FET 14的源极经由NFET 13a而与接地线26连接,漏极与节点N1连接。节点N2与FET 14的栅极连接。其他结构与实施例2的图6的(a)相同,省略说明。

[0186] 图7的(b)是示出输入端子Tin、节点N1以及输出端子Tout的电压相对于时间的图。稳定时的输入端子Tin和输出端子Tout的电压为电源线28的电压Vdd。在即将到达时刻t0之前,节点N1的电压为Vdd。

[0187] 在时刻t0到时刻t1之间,按时间序列向输入端子Tin输入尖峰信号50。当尖峰信号50输入时,输入端子Tin的电压成为比Vdd低的Vin。输入电路10对尖峰信号50进行积分并输出给节点N1。由此,节点N1的电压逐渐下降。在节点N1的电压比反相电路16的阈值电压Vth高时,节点N2为低电平,节点N3为高电平。由此,输出端子Tout的电压维持在Vdd。在实施例2的变形例1中,电压变低的情况为上升,电压变高的情况为下降。

[0188] 在时刻t1,节点N1的电压变得阈值电压Vth低。反相电路16使节点N2从低电平变为高电平。对FET 14的栅极施加高电平,因此FET 14导通,对节点N1实施正反馈。由此,节点N1上升到低电平。反相电路18在节点N2从低电平变为高电平时,使节点N3从高电平变为低电平。逆变器12的输入节点N0成为低电平,因此对节点N1实施负反馈,节点N1下降到高电平。由此,向输出端子Tout输出脉冲宽度窄的尖峰信号52。

[0189] 这样,在实施例2的变形例1中,通过FET 14采用NFET并设置在接地线26与节点N1之间,能够生成脉冲宽度窄的尖峰信号52。另外,能够通过FET 13b来抑制功耗。

[0190] 在图6的(b)和图7的(b)中,作为输入信号,以尖峰信号50为例进行了说明,但输入信号可以具有任意波形。输入电路10只要是在满足了生成尖峰信号52的条件时对输入信号进行转换以使节点N1的电压达到阈值电压Vth的电路即可。

[0191] 根据实施例2及其变形例,向输入端子Tin输入输入信号。逆变器12(第一CMOS逆变器)的输出节点连接于与输入端子Tin连接的节点N1(第一节点),连接在接地线26(第一电源)与电源线28(电压比第一电源的电压高的第二电源)之间。FET 14(开关)与逆变器12串联连接在接地线26与电源线28之间。反相电路16(第一反相电路)将节点N1的信号的反相信号输出给FET 14的栅极(控制端子)。延迟电路17将节点N1的信号延迟输出给逆变器12的输入节点N0,并向输出端子Tout输出尖峰信号52(输出尖峰信号)。

[0192] 由此,实施经由反相电路16的正反馈和经由延迟电路17的负反馈,因此能够生成脉冲宽度窄的尖峰信号52。另外,通过FET 13b断开,能够抑制从电源线28贯通到接地线26的电流。由此,能够抑制功耗。

[0193] 反相电路16将节点N1的信号的反相信号输出给FET 14的栅极和节点N2(第二节点)。延迟电路17具有反相电路16和反相电路18,该反相电路18将节点N2的信号的反相信号输出给逆变器12的输入节点N0和节点N3(第三节点)。由此,反相电路16能够将节点N1的信号正反馈到FET 14的栅极,反相电路18能够将节点N1的信号负反馈到逆变器12的输入节点N0。

[0194] 如图6的(a)所示,在FET 14为PFET(P沟道晶体管)时,FET 14连接在节点N1与电源线28之间。由此,能够像图6的(b)那样能够生成正方向的尖峰信号52。如图7的(a)所示,在FET 14为NFET(N沟道晶体管)时,FET 14连接在节点N1与接地线26之间。由此,能够像图7的(b)那样生成负方向的尖峰信号52。

[0195] 实施例3

[0196] 实施例3是实施例2及其变形例的尖峰生成电路的具体例。图8是实施例3的尖峰生成电路的电路图。如图8所示,在实施例3的尖峰生成电路104中,输入电路10是一端与节点N1连接,另一端与接地线26连接的电容器C1。

[0197] 反相电路16是输入节点与N1连接,输出节点与节点N2连接的逆变器20。逆变器20是CMOS逆变器,具有NFET 21a和PFET 21b。NFET 21a的源极与接地线26连接,漏极与节点N2连接,栅极与节点N1连接。PFET 21b的源极与电源线28连接,漏极与节点N2连接,栅极与节点N1连接。

[0198] 反相电路18具有逆变器22a至22c以及电容器C2。逆变器22a至22c多级连接在节点N2与节点N3之间。即,彼此串联连接在节点N2与节点N3之间。逆变器22a至22c是CMOS逆变器,分别具有NFET 23a和PFET 23b。NFET 23a的源极与接地线26连接,漏极与输出节点连接,栅极与输入节点连接。PFET 23b的源极与电源线28连接,漏极与输出节点连接,栅极与输入节点连接。逆变器22a的输入节点与节点N2连接,输出节点与节点N4连接。逆变器22b的输入节点与节点N4连接,输出节点与节点N5连接。逆变器22c的输入节点与节点N5连接,输出节点与节点N3连接。电容器C2的一端与节点N4连接,另一端与接地线26连接。其他结构与实施例2相同,省略说明。

[0199] 对于实施例3的各电压,使用SPICE(SimulationProgram with Integrated Circuit Emphasis:仿真电路模拟器)进行了模拟。模拟条件如下。

[0200] NFET:

[0201] 类型:使用了SOI(Silicon on Insulator:绝缘体上硅)的N沟道MOS,栅极长度:100nm,栅极宽度:100nm,阈值电压:+0.8V,栅极电容:1fF

[0202] PFET:

[0203] 类型:使用了SOI的P沟道MOSFET,栅极长度:100nm,栅极宽度:200nm,阈值电压:-0.8V,栅极电容:1fF

[0204] 电容器C1:电容值:10fF

[0205] 电容器C2:电容值:4fF

[0206] 接地线26:电压:0V

[0207] 电源线28:电压Vdd:1V

[0208] 向输入端子Tin通了1pA的恒定电流。

[0209] 图9的(a)和图9的(b)是示出实施例3中的各节点的电压相对于时间的图。图9的(b)是图9的(a)中的尖峰信号52附近的放大图。在图9的(b)的横轴的最初刻度处记载了与图9的(a)的时间相当的10599000ns,在以后的刻度中仅记载后2位。对于以后的放大图也是同样的。

[0210] 如图9的(a)所示,节点N1的电压随时间而升高,当在时刻t1超过作为阈值电压的0.5V时,向节点N3输出尖峰信号52。

[0211] 如图9的(b)所示,在时刻t1至时刻t2之间,节点N1的电压从0.5V增加至0.8V。节点N1的电压在图9的(a)的时间轴上急剧增加,但在图9的(b)的时间轴上缓慢增加。在图9的(b)中,时刻t1对应于时间10599000ns之前的时间。在时刻t1至时刻t2之间,节点N2的电压从高电平缓慢地变化为低电平。在时刻t1至时刻t2之间,节点N4的电压比节点N2稍快地从

低电平变化为高电平。与节点N4相比,节点N5的电压飞快地从高电平变化为低电平。节点N3的电压在时刻t2非常急剧地从低电平变化为高电平。

[0212] 在时刻t2及以后,随着向节点N1、N2、N4、N5以及N3行进,电压的变化变得急剧。由此,尖峰信号52的宽度窄至约2ns。此外,尖峰信号52的上升和下降急剧。CMOS逆变器在电压的过渡期间从电源线28向接地线26流动贯通电流,但通过减小CMOS逆变器的NFET和PFET的漏电流,能够充分减小该贯通电流,能够抑制功耗。如实施例3那样,尖峰信号52的上升和下降急剧,因此能够进一步抑制尖峰生成电路104的功耗。

[0213] 图10的(a)和图10的(b)是示出实施例3中的输入电压、输出电压以及消耗电流相对于时间的图。图10的(b)是图10的(a)的尖峰信号52周边的放大图。如图10的(a)所示,从时刻0ms到时刻5ms,节点N1的电压V1逐渐增大,当电压V1成为0.5V时,电压V1急剧地变为0.8V,然后变为0V。在时刻5ms,输出端子Tout的电压Vout成为1V,输出尖峰信号52。从时刻0ms到时刻5ms之间的消耗电流为10^{-11}A以下。

[0214] 如图10的(b)所示,在时刻t2,节点N1的电压V1从0.8V急剧下降至0V。向输出端子Tout输出宽度为约2ns的尖峰信号52。在时刻t2,电流为约1×10^{-6}A,达到最大。在尖峰生成电路104中,电力大多是在生成尖峰信号52时消耗的。在电源电压为1V时,1尖峰的消耗能量为约15fJ。这样,能够使尖峰生成用的功耗(能耗)非常小。

[0215] 对实施例3中的电容器C2的功能进行说明。在实施例3中,改变电容器C2的电容值对相对于时间的输出电压Vout进行了模拟。图11的(a)至图12的(d)是示出实施例3中的输出电压相对于时间的图。在图11的(a)至图12的(d)中,将电容器C2的电容值分别设为0F、1fF、2fF、3fF、4fF、6fF、10fF以及20fF。

[0216] 如图11的(a)所示,在电容器C2的电容值为0F时,尖峰信号52的宽度为约60ns,上升缓慢。如图11的(b)所示,在电容器C2的电容值为1fF时,尖峰信号52的宽度减小,为约16ns,上升稍变急剧。如图11的(c)所示,在电容器C2的电容值为2fF时,尖峰信号52的宽度进一步减小,为约3ns,上升更急剧。如图11的(d)所示,在电容器C2的电容值为3fF时,尖峰信号52的宽度最小,为约2ns,上升更急剧。

[0217] 如图12的(a)所示,在电容器C2的电容值为4fF时,尖峰信号52的宽度最小,为约2ns,上升更急剧。如图12的(b)所示,在电容器C2的电容值为6fF时,尖峰信号52的宽度稍微变大,为约2.5ns,上升为相同程度,下降稍微变缓。如图12的(c)所示,在电容器C2的电容值为10fF时,尖峰信号52的宽度进一步增大,为约3ns,上升稍微变缓。如图12的(d)所示,在电容器C2的电容值为20fF时,尖峰信号52的宽度进一步增大,为约5ns,上升和下降稍微变缓。

[0218] 如上所述,通过设置电容器C2,能够使尖峰信号52的宽度变窄,并且能够使上升和下降急剧。由此,能够进一步抑制功耗。NFET和PFET的栅极电容值为0.1fF,电容器C2的电容值优选为栅极电容值的1倍以上,更优选为2倍以上,进一步优选为3倍以上。电容器C2的电容值优选为栅极电容值的1000倍以下,更优选为50倍以下。

[0219] 图13的(a)至图13的(d)是对电容器C2的功能进行说明的图。图13的(a)是示出逆变器的输出反相时在输出节点中流动的电流相对于时间的示意图。如图13的(a)所示,在CMOS逆变器的输出反相时,在输出节点中流动较小的电流IL。然后,流动较大的电流IH。假定电流IL和电流IH恒定,将电流IL和电流IH流动的期间设为TL和TH。

[0220] 图13的(b)至图13的(d)是示出实施例3中的节点N4的电压V4相对于时间的示意

图。如图13的(b)所示,在电容器C2的电容值小的情况下,节点N4的电压的上升由逆变器22b的栅极电容值的充电时间决定。在期间TL中,电流IL小,因此节点N4的电压V4在期间TL中平缓增加。在期间TH中,电流IH大,因此电压V4急剧增加。在期间TL中,当电压V4超过阈值电压Vth后,逆变器22b的输出缓慢地进行反相。由此,尖峰信号52的上升和下降变缓。另外,在电容器C2的电容值小的情况下,负反馈的时机过早,会阻碍正反馈,上升进一步变缓。

[0221] 如图13的(c)所示,在电容器C2的电容值为中等程度的情况下,电流IL除了对逆变器22b的栅极电容进行充电之外,也对电容器C2进行充电。因此,在期间TL中,电压V4不会超过阈值电压Vth。在期间TH中,当电压V4超过阈值电压Vth后,逆变器22b的输出急剧地进行反相。由此,尖峰信号52的上升和下降变得急剧。

[0222] 如图13的(d)所示,在电容器C2的电容值大的情况下,期间TH中的电压V4的上升变缓。因此,逆变器22b的输出缓慢地进行反相。由此,尖峰信号52的上升和下降变缓。而且,尖峰信号52的宽度变宽。

[0223] 如上所述,在实施例3中,通过设置电容器C2,能够使尖峰信号52的宽度变窄,使上升和下降急剧。由此,能够抑制功耗。

[0224] 电容器C2可以使用MOS电容器、MIS(MetalInsulator Semiconductor:金属绝缘体半导体)电容器。电容器C2也可以使用MOSFET的寄生电容。

[0225] 改变实施例3的反相电路18内的逆变器的数量而进行了模拟。图14的(a)至图15的(b)是实施例3中的尖峰生成电路的电路图。如图14的(a)所示,在尖峰生成电路104a中,反相电路18具有1个逆变器22a和电容器C2。电容器C2与逆变器22a的后级的节点N4连接。如图14的(b)所示,在尖峰生成电路104中,与实施例3的图8同样地,反相电路18具有3个逆变器22a至22c。电容器C2与逆变器22a和22b之间的节点N4连接。

[0226] 如图15的(a)所示,在尖峰生成电路104b中,反相电路18具有5个逆变器22a至22e。电容器C2与逆变器22a和22b之间的节点N4连接。如图15的(b)所示,在尖峰生成电路104c中,反相电路18具有7个逆变器22a至22g。电容器C2与逆变器22a和22b之间的节点N4连接。

[0227] 图16的(a)至图16的(d)是示出实施例3中的尖峰生成电路的输出电压相对于时间的图。如图16的(a)所示,在尖峰生成电路104a中,尖峰信号52的上升缓慢,尖峰信号52的宽度宽。如图16的(b)所示,在尖峰生成电路104中,尖峰信号52的上升变得急剧,尖峰信号52的宽度为约2ns。如图16的(c)所示,在尖峰生成电路104b中,虽然尖峰信号52的宽度稍微变宽,但上升急剧。如图16的(d)所示,在尖峰生成电路104c中,虽然尖峰信号52的宽度稍微变宽,但上升急剧。

[0228] 如上所述,通过使反相电路18的逆变器的个数为奇数个,能够实现尖峰生成电路。要想使尖峰信号52的宽度狭窄并且使上升和下降急剧,逆变器22a至22g的个数优选为3个以上。逆变器22a至22g的个数更优选为3个。

[0229] [实施例3的变形例1]

[0230] 图17是实施例3的变形例1的尖峰生成电路的电路图。如图17所示,在实施例3的变形例1的尖峰生成电路106中未设置电容器C2。反相电路18的逆变器的个数为奇数个,例如为7个。逆变器22a和22b之间的节点是N4,逆变器22b和22c之间的节点是N5,逆变器22c和22d之间的节点是N6,逆变器22d和22e之间的节点是N7,逆变器22e和22f之间的节点是N8,逆变器22f和22g之间的节点是N9。其他结构与实施例3相同,省略说明。

[0231] 对实施例3的变形例1中的各节点的电压进行了模拟。图18是示出实施例3的变形例1中的各节点的电压相对于时间的图。如图18所示,随着向节点N1、N2、N4、N5、N6、N7、N8、N9以及N3行进,电压的过渡变得急剧。特别是在节点N9,从高电平向低电平的变化急剧,节点N3的尖峰信号52的上升和下降如实施例3的图9的(b)那样急剧。

[0232] 如上所述,即使不设置电容器C2,通过增加逆变器22a至22g的个数,也能够使尖峰信号52的上升和下降急剧。

[0233] 图19的(a)是示出实施例3的变形例1的尖峰生成电路的其他例子的电路图。如图19的(a)所示,在尖峰生成电路106a中,反相电路18的逆变器22a为1个。

[0234] 如图17和图19的(a)所示,逆变器22a的个数为奇数个即可。在不设置电容器C2的情况下,为了使尖峰信号52的上升和下降急剧,逆变器22a至22g的个数优选为3个以上,更优选为5个以上,进一步优选为7个以上。

[0235] [实施例3的变形例2]

[0236] 图19的(b)是实施例3的变形例2的尖峰生成电路的电路图。如图19的(b)所示,在尖峰生成电路108中,电容器C2的一端与电源线28连接,另一端与节点N4连接。其他结构与实施例3相同,省略说明。

[0237] 如实施例3的变形例2那样,电容器C2也可以与电源线28连接。电容器C2也可以与接地线26和电源线28之外的提供恒定电位的基准电位端子连接。

[0238] [实施例3的变形例3]

[0239] 图19的(c)是实施例3的变形例3的尖峰生成电路的电路图。如图19的(c)所示,在尖峰生成电路110中,电容器C1的一端与电源线28连接,另一端与节点N1连接。FET 14是NFET,源极与接地线26连接,漏极经由NFET 13a而与节点N1连接,栅极与节点N2连接。其他结构与实施例3相同,省略说明。

[0240] 图20的(a)和图20的(b)是示出实施例3的变形例3中的各节点的电压相对于时间的图。图20的(b)是图20的(a)中的尖峰信号52附近的放大图。

[0241] 如图20的(a)所示,节点N1的电压从作为Vdd的1V随着时间而减小。当节点N1的电压成为0.5V以下时,生成尖峰信号52。

[0242] 如图20的(b)所示,各节点N1至N5的电压成为将实施例3的图9的(b)的电压上下翻转后的波形。尖峰信号52的宽度为约2ns,与实施例3为相同程度,上升和下降与实施例3为相同程度地急剧。

[0243] 如实施例3的变形例3那样,通过FET 14使用NFET,与实施例2的变形例1同样地,也能够应对尖峰信号50朝向负方向的情况。

[0244] 如实施例3的变形例3那样,电容器C1也可以与电源线28连接。电容器C1也可以与接地线26和电源线28之外的提供恒定电位的基准电位端子连接。

[0245] [实施例3的变形例4]

[0246] 图21是实施例3的变形例4的尖峰生成电路的电路图。如图21所示,在实施例3的变形例4的尖峰生成电路112中,反相电路16具有逆变器20和FET 24。FET 24是PFET,连接在逆变器20与电源线28之间。FET 24的栅极和FET 14的栅极与节点N10连接。节点N10与FET 24的漏极连接。FET 14和FET 24形成电流镜电路。

[0247] 当节点N1的电压超过阈值电压时,节点N2成为低电平。在FET 24的源极与漏极之

间流动的电流变大。由此,节点N10的电压降低,FET 14的源极-漏极电流和FET 24的源极-漏极电流成为相同程度。由此,对节点N1实施正反馈。

[0248] 反相电路18具有逆变器22、电容器C2、NFET 29a和NFET 29b。电容器C2连接在节点N2与接地线26之间。逆变器22的输入节点与节点N2连接,输出节点与节点N3连接。NFET 29a连接在节点N3与NFET 23a之间。NFET 29b连接在节点N3与逆变器20的输入节点N0之间。NFET 29a和29b的栅极与电源线28连接。电容器C3的一端与节点N0连接,另一端与接地线26连接。电容器C3、NFET 29a和29b作为用于使负反馈延迟的电阻而发挥功能。反相电路18对节点N1实施负反馈。

[0249] 可以像实施例3的变形例4那样,不将逆变器20的输出节点N2与FET 14的栅极连接。反相电路16只要在逆变器20的电平发生了变化时,将节点N1的信号的反相信号输出给FET 14的栅极即可。

[0250] 如实施例3及其变形例那样,反相电路16包含奇数个逆变器20(第二CMOS逆变器),这些逆变器20(第二CMOS逆变器)彼此串联连接在节点N1与节点N2之间,并且输入节点与节点N1连接,输出节点与节点N2连接。反相电路18包含奇数个逆变器22a至22g(第三CMOS逆变器),这些逆变器22a至22g(第三CMOS逆变器)彼此串联连接在节点N2与节点N3之间,并且输入节点与节点N2连接,输出节点与节点N3连接。由此,反相电路16能够实施正反馈,反相电路18能够实施负反馈。

[0251] 反相电路16可以具有3个以上的逆变器20,但为了小型化,逆变器20的个数优选为一个。

[0252] 反相电路18包含3个以上的逆变器22a至22g。由此,能够使尖峰信号52的宽度狭窄,并且能够使上升和下降急剧。

[0253] 具有电容器C2(第一电容元件),该电容器C2的一端与3个以上的逆变器22a至22g中的相邻的任意两个逆变器之间的节点N4(第四节点)连接,另一端与接地线26或电源线28(第一基准电位端子)连接。由此,如实施例3及其变形例2那样,能够使尖峰信号52的宽度狭窄,并且能够使上升和下降急剧。

[0254] 电容器C2的电容值为逆变器22a至22g内的一个FET的栅极电容值以上。由此,能够使尖峰信号52的宽度狭窄,并且能够使上升和下降急剧。例如,电容器C2的电容值为逆变器22a至22g中的栅极电容值最小的FET的栅极电容值以上。

[0255] 输入电路10具有一端与节点N1连接,另一端与接地线26或电源线28(第二基准电位端子)连接的电容器C1(第二电容元件)。由此,能够对输入到输入端子Tin的输入信号进行积分并输出给节点N1。

[0256] 在实施例2至3及其变形例中,为了减小生成尖峰信号52时以外的待机时的功耗,优选减小各FET断开时的漏电流。由此,优选提高各FET的阈值电压。例如,全部的FET或一部分的FET的阈值电压优选为0.3×Vdd(电源线28的电压-接地线26的电压)以上,更优选为0.5×Vdd以上,进一步优选为0.8×Vdd以上。另外,阈值电压为0.3×Vdd以上是指在NFET的情况下为+0.3×Vdd以上,在PFET的情况下为-0.3×Vdd以下。其他FET的阈值电压也同样。

[0257] 对节点N1长时间施加比低电平(接地线26的电压)高的电压(例如比阈值电压Vth稍低的电压)。因此,漏电流最容易变大的FET是输入节点与节点N1连接的逆变器20的NFET 21a和PFET 21b。因此,逆变器20(在逆变器20为多个的情况下为初级逆变器)的NFET 21a和

PFET 21b的阈值电压优选为0.3×Vdd以上,更优选为0.5×Vdd以上,进一步优选为0.8×Vdd以上。

[0258] 将在尖峰生成动作以外时尖峰生成电路所允许的最大漏电流设为IK。例如,考虑在对节点N1长时间施加了Vdd/2左右的电压时,使尖峰生成电路的功耗为期望电力以下的情况。此时,假设尖峰生成电路的漏电流几乎为逆变器20的漏电流,则如果使逆变器20的NFET 21a和PFET 21b的漏电流为IK以下,则能够使尖峰生成电路的功耗为期望电力以下。将在将源极接地时沟道的漏电流为IK的NFET 21a和PFET 21b的栅极电压分别设为Vn_IK和-(Vp_IK)。此时,如果Vdd≤Vn_IK+Vp_IK,则即使对节点N1长时间施加Vdd/2左右的电压,也能够使功耗为期望电力以下。例如在期望电力为1nW时,漏电流IK为1×10^{-9}/Vdd。为了进一步抑制功耗,优选将漏电流IK设为5×10^{-10}/Vdd以下,更优选设为2×10^{-10}/Vdd以下。

[0259] 为了抑制各FET的漏电流,FET优选采用使用了SOI(Siliconon Insulator:绝缘体上硅)基板的FET。由于该FET的源极与漏极之间的漏电流小,因此能够抑制功耗。例如,能够使一个FET的漏电流为1pA以下。

[0260] 实施例4

[0261] 实施例4是实施例1的变形例3和5的具体例。图22的(a)至图23的(b)是实施例4的尖峰生成电路的电路图。如图22的(a)所示,实施例4的尖峰生成电路136具有触发器电路90、延迟电路17以及FET 91。延迟电路17例如是像实施例2及其变形例1的具有反相电路16和18的延迟电路17那样级联连接了偶数级的逆变器的电路。

[0262] 触发器电路90在输入节点90a成为高电平时,使输出节点90c成为高电平,并维持输出节点90c的高电平直至高电平输入到输入节点90b。触发器电路90在输入节点90b成为高电平时,使输出节点90c成为低电平,并维持输出节点90c的低电平直至高电平输入到输入节点90a。

[0263] 输入节点90a与中间节点Ni连接,该中间节点Ni与输入端子Tin连接。输入节点90b与节点N3连接。输出节点90c与延迟电路17的输入节点连接,延迟电路17的输出节点与节点N3连接。FET 91是NFET,该FET 91的源极、漏极以及栅极分别与接地线26、中间节点Ni以及节点N3连接。

[0264] 如图22的(b)所示,在尖峰生成电路137中,作为图22的(a)的触发器电路90,使用NFET 92a至92d以及PFET 93a至93d。图22的(b)中的NFET 92c和PFET 93c是可删除的,删除后的例子如下所示。

[0265] 如图23的(a)所示,在尖峰生成电路138中,未设置NFET 92c和PFET 93c。NFET 92d和PFET 93b分别相当于NFET 13a和PFET 13b。NFET 13a和PFET 13b串联连接在电源线28与接地线26之间,形成CMOS逆变器12。PFET 93d相当于FET 14。FET 14与PFET 13b串联连接在节点N1与电源线28之间。FET 14的栅极与节点Ng连接。

[0266] NFET 92b相当于FET 95。FET 95的源极、漏极以及栅极分别与接地线26、节点Ng以及节点N1连接。NFET 92a和PFET 93a相当于CMOS逆变器94。CMOS逆变器94的输入节点和输出节点分别与节点Ni和Ng连接。延迟电路17的输入节点和输出节点分别与节点N1和N3连接。

[0267] 反相电路16具有反相电路16a和16b。反相电路16a包含FET 95。反相电路16b包含FET 91和逆变器94。

[0268] 如图23的(b)所示,在尖峰生成电路139中,在图23的(a)的尖峰生成电路138中设置了图22的(b)的NFET 92c。NFET 92c相当于FET 96。FET 96的源极、漏极以及栅极分别与接地线26、节点N1以及节点Ng连接。在图23的(a)的尖峰生成电路138中,当FET 14断开时,节点N1浮置。在尖峰生成电路139中,当FET 14断开时,FET 96导通,因此节点N1成为低电平。由此,能够抑制节点N1浮置。实施例4可以是图22的(a)至图23的(b)中的任意电路。

[0269] 以图23的(b)的电路为例对实施例4的动作进行说明。图24是示出实施例4中的各端子和节点的电压相对于时间的图,示出了节点Ni、与FET 14的栅极相当的节点Ng、节点N1以及输出端子Tout(即节点N3)的电压。在时刻t0,节点Ni的电压为0V,节点Ng的电压为高电平(Vdd),节点N1的电压为低电平(0V),输出端子Tout的电压为低电平(0V)。逆变器12的输入节点N0为低电平。由于节点Ng为高电平,FET 14断开,因此逆变器12不发挥功能。并且,由于FET 96导通,因此节点N1为低电平。

[0270] 对电压作为输入信号随时间以恒定的斜率上升的例子进行说明。在时刻t0及之后,节点Ni的电压随时间而上升。在节点Ni的电压未达到逆变器94a的阈值电压时,节点Ng的电压为Vdd。当节点Ni的电压接近阈值电压Vth时,节点Ng的电压逐渐下降。由于FET 14断开,FET 96导通,因此节点N1维持低电平。

[0271] 当在时刻t1节点Ni的电压达到阈值电压Vth时,节点Ng的电压达到FET 14的阈值电压。由此,节点N1的电压上升。当FET 95导通时,节点Ng的电压成为低电平。FET 14导通,FET 96断开。由此,节点N1的电压成为高电平。这样,FET 95作为在节点N1成为高电平时使节点Ng成为低电平的反相电路16a而发挥功能。通过反相电路16a和FET 14而对节点N1实施正反馈,节点N1的电压急剧上升。

[0272] 延迟电路17从时刻t1延迟而在时刻t2使输出端子Tout成为高电平。由于FET 91的栅极成为高电平,因此FET 91导通,节点Ni的电压成为0V。节点Ng成为高电平。由于FET 14断开,FET 96导通,因此节点N1成为低电平。这样,FET 91和逆变器94作为如下的反相电路16b发挥功能:在节点N3成为高电平时,使节点Ng成为高电平,使节点N1成为低电平。

[0273] 延迟电路17从时刻t2延迟而在时刻t4使输出端子Tout成为低电平。由此,向输出端子Tout输出脉冲宽度为t4-t2的尖峰信号52。

[0274] 考虑了在图23的(b)中不设置逆变器94而FET 14的控制端子与节点Ni连接的情况。在该情况下,在从节点N1经由FET 95和14的正反馈环中不包含节点Ni。节点Ni会被维持在低电平的状态。这样,优选在中间节点Ni与FET 14的栅极之间设置有逆变器94。

[0275] 考虑了在图23的(b)中不设置FET 91而输出端子Tout不反馈到中间节点Ni的情况。图25是示出不设置FET 91的情况下的电压相对于时间的图。如图25所示,即使在时刻t2输出端子Tout成为高电平,节点Ni的电压也继续上升而不成为0V。由于经由FET 95的正反馈和经由延迟电路17的负反馈交替实施,因此节点N1的电压重复低电平和高电平,从输出端子Tout重复输出尖峰信号52。在这样即使节点N1成为低电平,反相电路16a也不使FET 14的栅极成为高电平的情况下,优选设置FET91。

[0276] [实施例4的变形例1]

[0277] 图26的(a)和图26的(b)是实施例4的变形例1的尖峰生成电路的电路图。如图26的(a)所示,在尖峰生成电路140中,在触发器电路90中使用具有NAND电路91a和91b的锁存器。FET 91是PFET,FET 91的源极与电源线28连接。其他结构与图22的(a)的尖峰生成电路136

相同,省略说明。

[0278] 如图26的(b)所示,在尖峰生成电路141中,将触发器电路90分解为了FET,删除了可删除的FET。与图23的(b)的尖峰生成电路139相比,FET 14是NFET,FET 14与FET 13a串联连接在节点N1与接地线26之间。FET 95和96是PFET。FET 95和96的源极与电源线28连接。从逆变器94至延迟电路17形成电路98。其他结构与图23的(b)的尖峰生成电路139相同,省略说明。

[0279] 在实施例3的变形例1中,输入给输入端子Tin的输入信号像实施例1的变形例5的图5的(b)的输入端子Tin的信号那样是从高电平向低电平下降的信号。从输出端子Tout像图5的(b)那样输出低电平的尖峰信号52。

[0280] 如尖峰生成电路141那样,通过FET 14采用NFET,能够实现实施例1的变形例5的尖峰生成电路135。

[0281] [实施例4的变形例2]

[0282] 图27的(a)和图27的(b)是实施例4的变形例2的尖峰生成电路的电路图。如图27的(a)所示,在尖峰生成电路142中,在图26的(a)的尖峰生成电路140的基础上还具有逆变器94a和94b。逆变器94a连接在节点Ni与触发器电路90的输入节点90a之间,逆变器94b连接在节点N3与FET 91的栅极之间。FET 91是NFET,源极与接地线26连接。其他结构与图26的(a)的尖峰生成电路140相同,省略说明。

[0283] 如图27的(b)所示,在尖峰生成电路143中,将触发器电路90分解为了FET,删除了可删除的FET。尖峰生成电路143的电路98与图26的(b)的尖峰生成电路141的电路98相同。FET 91是NFET,设置有逆变器94a和94b。反相电路16b包含有逆变器94、94a、94b以及FET 91。其他结构与图26的(b)的尖峰生成电路141相同,省略说明。

[0284] 输入给输入端子Tin的输入信号是像实施例1的变形例3的图3的(b)的输入端子Tin的信号那样的从低电平向高电平上升的信号。逆变器94a将输入信号转换为像实施例1的变形例5的图5的(b)的输入端子Tin的信号那样从高电平向低电平下降的信号。从输出端子Tout输出图5的(b)那样的低电平的尖峰信号52。逆变器94b将节点N3的信号反相而输出给FET 91的栅极。

[0285] 可以像尖峰生成电路143那样将输入信号反相。在该情况下,能够通过设置逆变器94b来对节点Ni进行复位。

[0286] [实施例4的变形例3]

[0287] 图28的(a)和图28的(b)是实施例4的变形例3的尖峰生成电路的电路图。如图28的(a)所示,在尖峰生成电路144中,在触发器电路90中使用具有NOR电路91c和NAND电路91b的锁存器。在NOR电路91c和NAND电路91b的环内设置有逆变器94d和94e。未设置逆变器94a。其他结构与图27的(a)的尖峰生成电路142相同,省略说明。

[0288] 如图28的(b)所示,在尖峰生成电路145中,将触发器电路90分解为了FET,删除了可删除的FET。与图27的(b)的尖峰生成电路143相比,FET 95是NFET。逆变器94c将节点N1的信号反相并输出给FET 95的栅极。FET 95的漏极与逆变器94a和94b之间的节点Ng2连接。逆变器94将节点Ng2的信号反相并输出给节点Ng。反相电路16a包含逆变器94、94c以及FET 95。反相电路16b包含逆变器94、94a、94b以及FET 91。其他结构与图27的(b)的尖峰生成电路143相同,省略说明。

[0289] 输入信号是从低电平向高电平上升的信号。节点Ng2的信号是从高电平向低电平下降的信号。从逆变器94至延迟电路17的电路99像实施例1的变形例5的尖峰生成电路135那样输出低电平的尖峰信号52。

[0290] 如尖峰生成电路145那样,反相电路16a除了FET 95之外也可以包含逆变器94和94c等。反相电路16a和16b也可以共有一部分电路元件(例如逆变器94)。

[0291] [实施例4的变形例4]

[0292] 图29的(a)和图29的(b)是实施例4的变形例4的尖峰生成电路的电路图。如图29的(a)所示,在尖峰生成电路146中,在触发器电路90中使用具有NAND电路91a和NOR电路91d的锁存器。在NAND电路91a和NOR电路91d的环内设置有逆变器94d和94e。在节点Ni与触发器电路90的输入节点90a之间设置有逆变器94a,在输出端子Tout与FET 91的栅极之间未设置逆变器94b。其他结构与图28的(a)的尖峰生成电路144相同,省略说明。

[0293] 如图29的(b)所示,在尖峰生成电路147中,将触发器电路90分解为了FET,删除可删除的FET。与图28的(b)的尖峰生成电路145相比,在逆变器94a和94之间设置有逆变器94b,在节点N3与FET 91的栅极之间未设置逆变器。FET 96是NFET,FET 14和95是PFET。反相电路16a包含逆变器94、94c以及FET 95。反相电路16b包含逆变器94、94a、94b以及FET 91。其他结构与图28的(b)的尖峰生成电路145相同,省略说明。

[0294] 输入信号是从低电平向高电平上升的信号。节点Ng2的信号是从低电平向高电平上升的信号。从逆变器94至延迟电路17的电路99a像如实施例1的变形例35的尖峰生成电路133那样输出高电平的尖峰信号52。

[0295] 像尖峰生成电路143、145以及147那样,反相电路16a和16b可以适当地包含逆变器。

[0296] [实施例4的变形例5]

[0297] 图30的(a)和图30的(b)是实施例4的变形例5的尖峰生成电路的电路图。如图30的(a)所示,在尖峰生成电路148中,在触发器电路90中使用具有NOR电路91c和91d的锁存器。逆变器94f与延迟电路17a串联连接在触发器电路90的与输出节点90c互补的输出节点90d与节点N3之间。输出节点90d输出与输出节点90c互补的信号。由此,只要在延迟电路17a的前级或后级设置逆变器94f,就能够得到与将延迟电路17a连接于输出节点90c的情况相同的功能。在尖峰生成电路136、138、140、142、144以及146中,也可以在与输出节点90c互补的输出节点与节点N3之间连接延迟电路17a和逆变器94f。其他结构与图22的(a)的尖峰生成电路136相同,省略说明。

[0298] 如图30的(b)所示,在尖峰生成电路149中,将触发器电路90分解为了FET,删除了可删除的FET。与图23的(b)的尖峰生成电路139相比,延迟电路17a的输入节点与节点Ng(即FET 95的漏极)连接,延迟电路17a的输出经由逆变器94f而与节点N3连接。FET 95、延迟电路17a以及逆变器94f作为延迟电路17而发挥功能。其他结构与图23的(b)的尖峰生成电路139相同,省略说明。

[0299] 如尖峰生成电路149那样,反相电路16a和延迟电路17可以共有一部分电路元件(例如FET 95)。

[0300] 根据实施例4及其变形例1,逆变器12输出第一电平(高电平和低电平中的一方)和第二电平(高电平和低电平中的另一方)。FET 14(第一开关)在第一电平输入到栅极(控制

端子)时导通,在第二电平输入时断开。这里,在FET 14是NFET的情况下,第一电平和第二电平分别为高电平和低电平,在FET 14是PFET的情况下,第一电平和第二电平分别为低电平和高电平。

[0301] 反相电路16a(第一反相电路)在节点N1从第一电平变为第二电平时,向FET 14的栅极输出第一电平。例如,在图23的(b)、图29的(b)以及图30的(b)的尖峰生成电路139、147以及149中,当节点N1从低电平变为高电平时,反相电路16a向FET 14的栅极输出低电平。在图26的(b)、图27的(b)以及图28的(b)的尖峰生成电路141、143以及145中,当节点N1从高电平变为低电平时,反相电路16a向FET 14的栅极输出高电平。

[0302] 反相电路16b(第二反相电路)在延迟电路17的输出成为第二电平时向FET 14的栅极输出第二电平。例如,在图23的(b)、图29的(b)以及图30的(b)的尖峰生成电路139、147以及149中,当节点N3成为高电平时,反相电路16b向FET 14的栅极输出高电平。在图26的(b)、图27的(b)以及图28的(b)的尖峰生成电路141、143以及145中,当节点N3成为低电平时,反相电路16b向FET 14的栅极输出低电平。中间节点Ni设置于反相电路16b内。

[0303] 由此,如图24所示,能够抑制功耗并且生成脉冲宽度窄的尖峰信号52。

[0304] 反相电路16b具有栅极(控制端子)与延迟电路17的输出(节点N3)连接的FET 91(第二开关)。FET 91在延迟电路17输出第二电平时,将中间节点Ni与提供输入信号的初始电平的电源连接。例如,在像图3的(b)那样输入信号的初始电平为低电平时,FET 91是NFET,将中间节点Ni连接于接地线26。例如,在像图5的(b)那样输入信号的初始电平为高电平时,FET 91是PFET,将中间节点Ni连接于电源线28。由此,能够将中间节点Ni复位,使节点Ng成为第二电平。

[0305] 逆变器94(第二MOS逆变器)的输入节点与节点Ni连接,输出节点与FET 14的栅极(节点Ng)连接。由此,在正反馈环15内不再包含节点Ni,因此节点Ng的电压能够随着输入信号而变化。

[0306] 反相电路16a具有FET 95(第三开关),该FET 95的栅极与节点N1连接,该FET 95在节点N1成为第二电平时,将FET 14的栅极(节点Ng)与提供第一电平的电源连接。由此,能够将FET 95用作反相电路16a。

[0307] FET 96(第四开关)的栅极与FET 14的栅极(节点Ng)连接,在FET 14的栅极为第二电平时,将节点N1与提供第一电平的电源连接。由此,能够抑制节点N1浮置。

[0308] 在相同的节点(或端子)上高电平只要是比低电平高的电压即可,不同节点(或端子)之间的高电平可以不是相同的电压,低电平也可以不是相同的电压。

[0309] 也可以将实施例2、3及其变形例中的输入电路10设置在实施例4及其变形例的输入端子Tin与中间节点Ni之间。

[0310] 实施例5

[0311] 实施例5是将实施例1至4及其变形例用作电压判定电路的例子。图31是实施例5的尖峰生成电路的电路图。如图31所示,在实施例5的尖峰生成电路114中,在电容器C1与输入端子Tin之间连接有电压转换电路30。输入电路10包含电容器C1和电压转换电路30。

[0312] 电压转换电路30具有NFET 31a和31b。NFET 31a的源极和栅极与接地线26连接,漏极与节点N11连接。NFET 31b的源极与节点N11连接,栅极与接地线26连接,漏极与输入端子Tin连接。由于NFET 31a和31b断开,因此源极与漏极之间作为高电阻而发挥功能。输入到输

入端子Tin的输入信号被NFET 31a和31b分压而输出到节点N11。其他结构与实施例3相同，省略说明。

[0313] 改变输入给输入端子Tin的输入信号的电压对向输出端子Tout输出的尖峰信号52进行了模拟。图32的(a)至图33的(d)是示出实施例5中的节点N1的电压和输出电压相对于时间的图。在图32的(a)至图33的(d)中，输入信号为恒定的电压Vin的信号。电压Vin分别为0.9V、1.0V、1.2V、1.5V、2V、3V、5V、7V以及10V。电压转换电路30将输入端子Tin的电压分压为约1/2。

[0314] 如图32的(a)所示，在电压Vin为0.9V时，节点N1的电压为0.9V×1/2即0.45V，饱和。由此，节点N1的电压不会达到作为阈值电压的0.5V。因此，不生成尖峰信号52。如图32的(b)所示，在电压Vin为1V时，节点N1的电压达到0.5V。由此，生成尖峰信号52。生成尖峰信号52的周期为30.3ms，频率为33Hz。

[0315] 如图32的(c)所示，在电压Vin为1.2V时，与电压Vin为1V时相比，电容器C1快速充电。由此，与电压Vin为1V时相比，节点N1的电压快速达到0.5V。由此，生成尖峰信号52的周期变短，为15.9ms，频率变高，为62.8Hz。如图32的(d)所示，在电压Vin为1.5V时，生成尖峰信号52的周期变得更短，为6.71ms，频率变得更高，为149Hz。如图32的(e)所示，在电压Vin为2V时，生成尖峰信号52的周期为4.27ms，频率为234Hz。

[0316] 如图33的(a)所示，在电压Vin为3V时，生成尖峰信号52的周期为2.50ms，频率为400Hz。如图33的(b)所示，在电压Vin为5V时，生成尖峰信号52的周期为1.28ms，频率为782Hz。如图33的(c)所示，在电压Vin为7V时，生成尖峰信号52的周期为0.792ms，频率为1262Hz。如图33的(d)所示，在电压Vin为10V时，生成尖峰信号52的周期为0.454ms，频率为2203Hz。

[0317] 图34的(a)和图34的(b)是示出实施例5中的频率和周期分别相对于输入电压的图。如图34的(a)所示，当电压Vin变高时，尖峰信号52的频率变高。如图34的(b)所示，当电压Vin变高时，生成尖峰信号52的周期变短。当电压Vin比阈值电压Vinth小时，不生成尖峰信号52。在图34的(a)和图34的(b)中，Vinth为约1V。

[0318] 这样，在实施例5中，当输入的输入信号的电压比阈值电压Vinth低时，不生成尖峰信号52，当输入信号的电压比阈值电压Vinth高时，生成尖峰信号52。这样，尖峰生成电路114作为判定输入端子Tin的电压的判定电路而发挥功能。在向输入端子Tin输入尖峰信号的情况下，通过设定电容器C1的电容值，能够设定用于输出尖峰信号52的输入尖峰信号的个数。

[0319] 尖峰生成电路114作为将输入端子Tin的电压转换为尖峰信号52的频率的电路而发挥功能。阈值电压Vinth能够根据电压转换电路30的NFET 31a与NFET 31b的电阻值之比来任意设定。电压转换电路30只要是对输入信号的电压进行分压的电路即可，也可以是电阻分压电路以外的电路。

[0320] 电压转换电路30将对输入信号的电压进行分压后的信号输出给节点N1。反相电路18在输入信号的电压的绝对值比阈值电压Vinth(规定的值)大时输出尖峰信号52，在输入信号的电压为Vinth以下时不输出尖峰信号52。这样，能够实现低功耗的电压判定电路。

[0321] [实施例5的变形例1]

[0322] 图35是实施例5的变形例1的尖峰生成电路的电路图。如图35所示，在实施例5的变

形例1的尖峰生成电路114a中,在实施例3的变形例3的尖峰生成电路的基础上设置有电压转换电路30。其他结构与实施例5相同,省略说明。

[0323] 在实施例5的变形例1中,反相电路18在输入信号的电压的绝对值比阈值电压小时输出尖峰信号52,在输入信号的电压为Vinth以上时不输出尖峰信号52。

[0324] [实施例5的变形例2]

[0325] 图36的(a)是实施例5的变形例2的尖峰生成电路的电路图。如图36的(a)所示,在实施例5的变形例2的尖峰生成电路114b中,电容器C1的一端与输入端子Tin连接,电容器C1的另一端与节点N1连接。其他结构与实施例3相同,省略说明。

[0326] 图36的(b)是实施例5的变形例2的时序图。如图36的(b)所示,输入给输入端子Tin的输入信号的电压相对于时间而变化。例如,输入信号的低频成分为3.5V。节点N1的电压的低频成分被电容器C1阻断。由此,节点N1的电压为输入信号的变化量(除去了直流成分后的电压)。节点N1的电压的大小能够根据电容器C1的电容的大小来任意设定。即,电容器C1作为电压转换电路而发挥功能。当在时刻t30输入信号相对于低频成分的变化量达到3V时,节点N1的电压成为Vth。由此,从输出端子Tout输出尖峰信号。

[0327] 根据实施例5的变形例2,反相电路18在输入信号相对于低频成分的变化量处于规定的范围内时生成尖峰信号52,在处于规定的范围之外时不生成尖峰信号52。

[0328] 根据实施例5及其变形例1和2,电压转换电路30(或电容器C1)将对输入信号的电压进行转换后的信号输出给节点N1。反相电路18在输入信号的电压处于规定的范围内时不输出尖峰信号52,在输入信号的电压处于规定的范围之外时输出尖峰信号52。由此,能够实现低功耗的电压判定电路。

[0329] [实施例5的变形例3]

[0330] 实施例5的变形例3是将实施例1至4及其变形例用于延迟电路的例子。图37是实施例5的变形例3的尖峰生成电路的电路图。如图37所示,在实施例5的变形例3的尖峰生成电路116中,在电容器C1与输入端子Tin之间连接有NFET 33。由于NFET 33断开,因此源极与漏极之间作为高电阻而发挥功能。NFET 33和电容器C1形成作为输入电路10的时间常数电路32。时间常数电路32将输入到输入端子Tin的输入信号的上升的时间常数增长。节点N1的电压的上升的时间常数是由NFET 33和电容器C1决定的时间常数。其他结构与实施例3相同,省略说明。

[0331] 向输入端子Tin输入输入信号而对节点N1的电压和向输出端子Tout输出的尖峰信号52进行了模拟。电容器C1的电容值为5.75fF。作为输入信号,输入了在与时间常数电路32的时间常数相比足够短的时间内从低电平转变为高电平的信号。

[0332] 图38的(a)和图38的(b)是示出实施例5的变形例3中的节点N1的电压和输出电压相对于时间的图。图38的(b)是图38的(a)的放大图。如图38的(a)所示,节点N1的电压按照时间常数电路32的时间常数上升。当节点N1的电压成为作为阈值电压的0.5V以上时,向输出端子Tout输出尖峰信号52。如图38的(b)所示,尖峰信号52的宽度为约2ns,上升和下降急剧。

[0333] 这样,尖峰生成电路116作为如下的延迟电路而发挥功能:从高电平的信号输入到输入端子Tin起延迟规定的时间而输出尖峰信号52。输出的尖峰信号52能够成为宽度短并且急剧的波形。时间常数电路32只要是增长输入信号的上升和/或下降的时间常数的电路

即可,也可以是RC电路以外的电路。延迟时间能够通过改变时间常数电路32的时间常数来任意设定。

[0334] 根据实施例5的变形例3,时间常数电路32将输入信号的上升的时间常数增长而输出给节点N1。在输入信号输入后的与时间常数电路32的时间常数相关联的延迟时间后,输出端子Tout输出尖峰信号52。由此,能够实现低功耗并且能够输出具有急剧的上升和下降的尖峰信号52的延迟电路。

[0335] [实施例5的变形例4]

[0336] 实施例5的变形例4是将实施例2、3及其变形例用于在输入尖峰信号50的频率下降时生成尖峰信号52的频率下降检测电路的例子。图39是实施例5的变形例4的尖峰生成电路的电路图。如图39所示,在实施例5的变形例4的尖峰生成电路118中,在电容器C1与输入端子Tin之间连接有抑制电路34。输入电路10包含抑制电路34和电容器C1。

[0337] 抑制电路34具有NFET 35a、35b和PFET 35c。NFET 35a、35b和PFET 35c串联连接在接地线26与电源线28之间。NFET 35b和PFET 35c之间的节点N12与电容器C1连接。NFET 35a的栅极和漏极连接,PFET 35c的栅极和源极连接。由此,NFET 35a和PFET 35c作为负载而发挥功能。NFET 35b的栅极与输入端子Tin连接。由此,抑制电路34作为源极接地电路而发挥功能。

[0338] 电容器C1通过从电源线28经由PFET 35c流向电容器C1的电流来充电。当尖峰信号50输入到输入端子Tin时,FET35b导通,使节点N12的电压下降。如果尖峰信号50的频率高,则节点N12(即N1)的电压适度下降,因此节点N1的电压不会达到阈值电压Vth。但是,当尖峰信号50的频率变低时,节点N12的电压变高,达到阈值电压Vth。

[0339] 以恒定频率向输入端子Tin输入尖峰信号50而对节点N1的电压和向输出端子Tout输出的尖峰信号52进行了模拟。作为输入信号的尖峰信号50的高度和宽度为1V和2ns。

[0340] 图40的(a)和图40的(b)是示出实施例5的变形例4中的节点N1的电压和输出电压相对于时间的图。图40的(a)和图40的(b)分别是输入尖峰信号的频率为200Hz和100Hz时的图。

[0341] 如图40的(a)所示,当通过从电源线28经由PFET 35c的电流对电容器C1充电时,节点N1的电压上升。当尖峰信号50输入时,NFET 35b导通,使节点N12的电压下降。通过从电源线28经由PFET 35c流向节点N12的电流和从节点N12经由NFET 35b流向接地线26的电流,节点N1的电压饱和至规定的电压。在输入尖峰信号50的频率为200Hz时,节点N1的电压饱和至0.24V左右。因此,节点N1的电压不会成为作为反相电路16的阈值电压的0.5V以上。由此,不从输出端子Tout输出尖峰信号52。

[0342] 如图40的(b)所示,在输入尖峰信号50的频率为100Hz时,NFET 35b导通的频率低,因此节点N1的电压变得比图40的(a)高。因此,节点N1的电压会成为作为反相电路16的阈值电压的0.5V以上。由此,从输出端子Tout输出尖峰信号52。

[0343] 这样,当输入给输入端子Tin的尖峰信号50的频率变低时,尖峰生成电路118向输出端子Tout输出尖峰信号52。通过变更NFET 35a和PFET 35c的电阻值,能够任意设定作为输出尖峰信号52的阈值的输入尖峰信号50的频率。

[0344] 根据实施例5的变形例4,抑制电路34在输入尖峰信号50作为输入信号输入时,使节点N1的电压下降。输出端子Tout在输入尖峰信号50的输入频率比规定的频率低时,输出

尖峰信号52。能够实现在输入尖峰信号50的频率下降时生成尖峰信号52的频率下降检测电路。

[0345] 另外,在像实施例2那样输入尖峰信号50为正方向的尖峰时,像实施例5的变形例2那样,抑制电路34在输入尖峰信号50输入时使节点N1的电压下降。在像实施例2的变形例1那样输入尖峰信号50为负方向的尖峰时,抑制电路34在输入尖峰信号50输入时,使节点N1的电压升高即可。

[0346] [实施例5的变形例5]

[0347] 图41是实施例5的变形例5的尖峰生成电路的电路图。如图41所示,在实施例5的变形例5的尖峰生成电路118a中,激活电路34a具有NFET 35d、PFET 35e、35f以及逆变器35g。NFET 35d、PFET 35e以及PFET 35f串联连接在接地线26与电源线28之间。NFET 35d和PFET 35e之间的节点N12与电容器C1连接。NFET 35d的栅极和源极连接,PFET 35f的栅极和漏极连接。由此,NFET 35d和PFET 35f作为负载而发挥功能。PFET 35e的栅极经由逆变器35g而与输入端子Tin连接。

[0348] 电容器C1通过从节点N12经由NFET 35d流向接地线的电流来充电。当尖峰信号50输入到输入端子Tin时,PFET 35e导通,使节点N12的电压升高。如果尖峰信号50的频率高,则节点N12(即N1)的电压适度上升,因此节点N1的电压达到阈值电压Vth,生成尖峰信号52。但是,当尖峰信号50的频率下降时,节点N12的电压变低,节点N1的电压不再达到阈值电压Vth。

[0349] 这样,根据实施例5的变形例5,激活电路34a在输入尖峰信号50作为输入信号输入时,使节点N1的电压升高。输出端子Tout在输入尖峰信号50的输入频率比规定的频率高时,输出尖峰信号52。

[0350] 根据实施例5的变形例4和5,抑制电路34和激活电路34a(输入电路)在输入尖峰信号50作为输入信号输入时,使节点N1的电压升高或下降。反相电路18在尖峰信号50输入的频率成为规定的范围内时,输出尖峰信号52,在处于规定的范围之外时不输出尖峰信号52。这样,能够实现根据尖峰信号50的频率来生成尖峰信号52的频率检测电路。

[0351] [实施例5的变形例6]

[0352] 图42的(a)是实施例5的变形例6的尖峰生成电路的电路图。如图42的(a)所示,在实施例5的变形例6的尖峰生成电路118b中,输入电路10具有电容器C1和NFET 33a。NFET 33a的源极与接地线26连接,漏极与节点N1连接。NFET 33a的栅极和源极连接。NFET 33a作为漏电流流过的电阻而发挥功能。其他结构与实施例5的变形例2相同,省略说明。

[0353] 图42的(b)是实施例5的变形例6的时序图。如图42的(b)所示,输入给输入端子Tin的输入信号的电压相对于时间而变化。在输入信号相对于时间的变化量小时,节点N1的电荷经由NFET 33a而流向接地线26,因此节点N1的电压几乎为0。当在时刻t31输入信号相对于时间急剧变化时,节点N1的电荷无法向接地线26流尽。因此,节点N1的电压成为Vth,输出尖峰信号52。

[0354] 根据实施例5的变形例6,输入电路10根据输入信号相对于时间的变化量而使节点N1的电压变化。反相电路18在输入信号相对于时间的变化量处于规定的范围内时生成尖峰信号52,在处于规定的范围之外时不生成尖峰信号52。这样,能够实现根据尖峰信号50相对于时间的变化量来生成尖峰信号52的电路。

[0355] 如实施例5及其变形例那样,尖峰生成电路能够以低功耗,根据输入信号的电压、尖峰信号的频率、输入信号输入后的期间以及输入信号的时间变化率来生成尖峰信号52。

[0356] 实施例6

[0357] 实施例6是使用了实施例1至4及其变形例的信息处理电路的例子。图43的(a)至图43的(c)是实施例6的信息处理电路的框图。如图43的(a)所示,节点电路45具有条件设定电路42、尖峰生成电路40以及尖峰处理电路44。

[0358] 向条件设定电路42输入依赖于时间t的一个或多个信号V1(t)至V2(t)等。条件设定电路42是设定尖峰生成电路40输出尖峰信号的条件的电路,根据输入的信号V1(t)和V2(t)等来生成输出给尖峰生成电路40的信号(电压Vin)。条件设定电路42例如包含实施例2至3及其变形例那样的输入电路10。

[0359] 尖峰生成电路40例如是实施例2至3及其变形例的尖峰生成电路。基于电压Vin来输出尖峰信号52。

[0360] 尖峰处理电路44是处理尖峰信号52的电路,包含逆变器或二元运算电路等逻辑电路和/或触发器。尖峰处理电路44处理尖峰信号52,输出尖峰信号或L/H(低电平和高电平)信号等信号44a。

[0361] 如图43的(b)所示,节点电路45a至45f相互连接。可以像节点电路45a至45d那样,节点电路多级连接。也可以像节点电路45b那样,将节点电路45b的输出分支成多个节点电路45c和45f。也可以像节点电路45c那样,输入多个节点电路45b和45e的输出。这样,节点电路45a至45f构成网络。

[0362] 如图43的(c)所示,节点电路45输出的信号46a输入给触发器46。信号46a是尖峰信号或低电平/高电平信号(即低电平或高电平的二进制信号)。触发器46根据信号46a,输出作为低电平/高电平信号的信号46b。Vg生成电路47根据信号46b,生成向FET 48的栅极输出的信号47a。Vg生成电路47例如包含逻辑电路和升压电路等。FET 48根据信号47a而导通或断开。

[0363] 根据实施例6,条件设定电路42对输入的信号进行处理而输出给实施例2至3及其变形例的尖峰生成电路40,由此设定尖峰生成电路40输出尖峰信号的条件。尖峰处理电路44对由尖峰生成电路40输出的尖峰信号52进行处理。由此,能够实现能够以低功耗进行各种信息处理的信息处理电路。将这样的节点电路45连接成网络状。由此,能够实现能够进一步以低功耗进行各种信息处理的信息处理电路。

[0364] 在发生了满足条件设定电路42所设定的条件的事件的情况下,尖峰生成电路40输出的尖峰信号52包含表示发生了事件的事件生成信息和表示事件发生的时刻的时机信息。尖峰信号52包含事件生成信息和时机信息,传递给下一级的尖峰生成电路40或尖峰处理电路44。这样,通过将具有共同电源的条件设定电路42、尖峰生成电路40以及尖峰处理电路44相互串联连接,能够在不使用时钟信号的情况下进行任意信息处理。

[0365] 例如,通过形成节点电路45的网络,能够实现将尖峰生成电路作为神经元来模仿末梢神经的信息处理。由此,能够实现功耗非常小的判定电路或控制电路。

[0366] 实施例7

[0367] 实施例7是将实施例1至4及其变形例的尖峰生成电路作为实施例6的信息处理电路而用于电力转换电路的例子。在利用振动进行发电的振动发电等环境发电中,来自发电

电路的电流Igen不是恒定的,而是时刻变化的。蓄电电路(例如电容器)的电压Vcap无法急剧地变化。由此,蓄电电路的输入阻抗Zin＝Vcap/Igen,随着电流Igen的变化而时刻变化。另一方面,发电电路的输出阻抗Zout是恒定的。因此,发电电路的输出阻抗Zout与蓄电电路的输入阻抗Zin会出现不匹配。在实施例7中,以小功耗实现发电电路和蓄电电路的阻抗匹配。

[0368] 图44是实施例7的电力转换电路的框图。如图44所示,电力转换电路120具有整流电路62、64、判定电路65以及降压电路66。电力端子61a和61b与发电电路60连接。发电电路60产生交流的电力。电力端子61a和61b与整流电路62和64连接。整流电路62和64对发电电路60的输出电力进行整流。降压电路66对整流电路62的输出进行降压并输出给蓄电电路68。整流电路64对发电电路60的输出电力进行整流而输出给蓄电电路68。蓄电电路68蓄积电力。判定电路65根据整流电路62的输出来判定使整流电路62和64中的哪一个动作。在使用整流电路62进行整流的情况下,判定电路65使整流电路62和降压电路66动作,不使整流电路64动作。在使用整流电路64进行整流的情况下,判定电路65使整流电路64动作,不使整流电路62和降压电路66动作。

[0369] 图45是对实施例7中的判定电路的动作进行说明的图。例如,在使用了压电材料或驻极体材料的振动发电的情况下,发电电路60的输出阻抗Zout为10Ω至100MΩ,这里设为100MΩ。考虑发电电路60的发电电流为10nA的情况和为100nA的情况。当电力转换电路120在电力端子61a和61b处以1V接受电流10nA和100nA时,电力转换电路120的输入阻抗Zin分别为100MΩ和10MΩ。当电力转换电路120在电力端子61a和61b处以10V接受电流10nA以及100nA时,电力转换电路120的输入阻抗Zin分别为1000MΩ和100MΩ。

[0370] 因此,在发电电流为10nA时,判定电路65使整流电路64动作。整流电路64以1V进行整流。由此,电力转换电路120的输入阻抗Zin为100MΩ。整流后的电力蓄积于蓄电电路68中。在发电电流为100nA时,判定电路65使整流电路62和降压电路66动作。整流电路62以10V进行整流。由此,电力转换电路120的输入阻抗Zin为100MΩ。降压电路66将整流后的10V电力降压到1V。降压后的电力蓄积于蓄电电路68中。

[0371] 这样,能够使发电电路60的输出阻抗Zout与电力转换电路120的输入阻抗Zin匹配。

[0372] 以下,对实施例7的具体例进行说明。使用二极管桥式电路作为整流电路62。由于整流电路62对高电压(例如10V)进行整流,因此由二极管的导通电压引起的电力消耗小。由于整流电路64对低电压进行整流,因此在使用桥式电路时,由于二极管的导通电压而导致功耗变大。因此,使用同步整流电路作为整流电路64。

[0373] 对以下的电路图内的记号进行说明。图46的(a)至图46的(c)是示出实施例7中的尖峰生成电路的记号的图。如图46的(a)所示,尖峰生成电路74a的下部的端子是输入端子75a,上部的端子是输出端子76a。尖峰生成电路74a是实施例5的电压判定电路。圆内的8V表示阈值电压Vinth为8V。

[0374] 如图46的(b)所示,尖峰生成电路74b的下部的端子是输入端子75b,上部的端子是输出端子76b。尖峰生成电路74b是实施例5的变形例1的延迟电路。圆内的100ns表示延迟时间为100ns。

[0375] 如图46的(c)所示,尖峰生成电路74c的下部的端子是输入端子75c,上部的端子是

输出端子76c。尖峰生成电路74c是实施例5的变形例2的频率下降检测电路。圆内的LK表示这是频率下降检测电路。

[0376] 图47的(a)至图47的(c)是示出实施例7中的触发器电路的动作的图。如图47的(a)所示,触发器电路(FF)70具有输入端子71a、71b、输出端子72a和72b。

[0377] 如图47的(b)所示,当信号73输入到输入端子71a时,FF电路70向输出端子72a输出低电平,向输出端子72b输出高电平。信号73是正方向的尖峰信号或高电平信号。FF电路70在信号73下一次输入到输入端子71b之前,将输出端子72a维持在低电平,将输出端子72b维持在高电平。

[0378] 如图47的(c)所示,当信号73输入到输入端子71b时,FF电路70向输出端子72a输出高电平,向输出端子72b输出低电平。FF电路70在信号73下一次输入到输入端子71a之前,将输出端子72a维持在高电平,将输出端子72b维持在低电平。

[0379] [判定电路]

[0380] 图48是实施例7中的判定电路的电路图。图49是示出实施例7中的判定电路的各节点的电压相对于时间的图。如图48和图49所示,节点B1是整流电路62的输出。节点B4输出降压动作尖峰。节点B28输出使降压电路66的动作停止并且使整流电路64的动作开始的切换尖峰信号。节点B29输出在使整流电路62和降压电路66动作时为高电平并且在使整流电路64动作时为低电平的切换信号。

[0381] 在时刻t01,整流电路62和降压电路66进行动作,整流电路64停止。节点B4、B26、B27以及B28的电压为低电平,B29的电压为高电平。当整流电路62的输出节点B1的电压成为8V以上时,尖峰生成电路X4向节点B4输出尖峰信号80作为降压动作尖峰信号。当发电电路60输出的电流变小时,节点B1的电压成为8V以上的次数减少。节点B4的尖峰信号80的频率下降。当节点B4的尖峰信号80的频率下降到规定以下时,尖峰生成电路X38在时刻t02向节点B26输出尖峰信号81。被输入了尖峰信号81的FF电路X40向节点B27输出高电平。由此,尖峰生成电路X41的输入从低电平变为高电平。尖峰生成电路X41在从节点B27成为高电平起100ns后的时刻t03,向节点B28输出尖峰信号82。被输入了尖峰信号82的FF电路X40使节点B27从高电平变为低电平。被输入了尖峰信号82的FF电路X37使节点B29成为低电平。

[0382] 如上所述,当发电电路60的发电电流变小时,节点B1成为8V以上的频率减小,向节点B28输出切换尖峰信号。并且,节点B29的切换信号成为低电平。这样,能够使用低功耗的尖峰生成电路来生成切换尖峰信号和切换信号。

[0383] 判定节点B1的电压为规定的电压以上还是以下的判定电路能够使用比较器等来实现。但是,当在判定电路中使用比较器的情况下,功耗变大。在实施例7中,使用实施例2至3及其变形例来实现判定电路,因此能够降低功耗。

[0384] [整流电路62]

[0385] 图50是示出实施例7中的整流电路62的电路图。如图50所示,NFET m1～m4的栅极和漏极连接,作为二极管而发挥功能。整流电路62是二极管桥式电路。二极管桥式电路的输入端子与电力端子61a和61b连接。电力端子61a和61b与相当于发电电路60的交流电流I1的电流源和10MΩ连接。二极管桥式电路的输出与图48的节点B1(相当于后述的图51的(a)的节点A)连接。

[0386] [降压电路]

[0387] 图51的(a)至图51的(c)是实施例7中的降压电路的示意图。如图51的(a)所示,整流电路62的输出是节点A。电容器C1和PFET M4串联连接在节点A与接地端之间。电容器C1是一次电容器。PFET M4是开关。电感器L1和电容器C4串联连接在节点A与接地端之间。电容器C4是二次电容器,相当于蓄电电路68。在电感器L1与电容器C4之间连接有作为开关的NFET M3。在电容器C1和电感器L1之间的节点与接地端之间连接有作为开关的NFET M2。

[0388] 将电容器C1和C4的电容值分别设为100pF和10nF,将电感器L1的电感设为0.3nH。将这些值设定为使得NFET M4的导通电阻(例如,10kΩ)的电压降能够被忽略。能够适当设定这些值。

[0389] 在降压电路66进行动作时,NFET M3导通。当节点A的电压下降时,PFET M4导通,NFET M2断开。由此,如图51的(b)所示,蓄积于电容器C1中的电荷作为电流Ia而通过电感器L1对电容器C4充电。此时,在电感器L1中蓄积了磁通能量。

[0390] 当电容器C1内的电荷减少时,PFET M4断开,NFET M2导通。如图51的(c)所示,电感器L1的磁通能量使电流Ib流动,并蓄电于电容器C4中。由此,电感器L1的磁通能量被电容器C4回收。

[0391] 例如,如果将电容器C1和C4充电时的电压分别设为10V和1V,则能够在电容器C4中蓄积电容器C1的10倍的电荷。在图51的(b)中,蓄积于电容器C1中的电荷对电容器C4进行充电。此时,蓄积能量作为电感器L1的磁通能量。在图51的(c)中,将作为磁通能量而蓄积的能量转变为电流Ib而对电容器C4进行充电。由此,能够将蓄积于电容器C1的电荷的约10倍的电荷蓄积于电容器C4中。

[0392] 图52是实施例7中的降压电路的电路图。图53是示出实施例7中的降压电路的各节点的电压相对于时间的图。如图52和图53所示,从时刻t11至时刻t12,节点A的电压未达到8V。在此期间,节点O为低电平。在节点O为低电平时,NFET M3断开,在节点O为高电平时,NFET M3导通。由此,在时刻t11与时刻t12之间,NFET M3断开。向右方向通过电感器L1的电流I_L1为0。整流电路62的输出对电容器C1充电,节点A的电压变高。

[0393] 对NFET M3的动作进行说明。将NFET M3和M7的阈值电压设为0.4V。NFET M7作为从节点O朝向节点R的方向为正向的二极管而发挥功能。在节点O为低电平时,NFET M3的栅极的电压比电容器C4的一端的节点R的电压低与二极管的导通电压相当的约-0.3V。由此,NFET M3断开。

[0394] 当在时刻t12节点A的电压超过8V时,判定电路65向节点B输出降压动作尖峰信号80。FF电路X24向节点O输出高电平。NFET M3的栅极比节点R的电压高约+0.7V,NFET M3导通。由此,电流I_L1开始流向电感器L1。

[0395] 而且,在时刻t12,向FF电路X21的节点B输入降压动作尖峰信号80。FF电路X21向节点C输出高电平,向电容器C2的一端输出低电平。尖峰生成电路X28在从节点C成为高电平的时刻t12起1μs后的时刻t13,向节点E输出尖峰信号83。由此,在时刻t13,FF电路X21向节点C输出低电平,向电容器C2的一端输出高电平。由此,节点C在时刻t12与时刻t13之间的1μs期间为高电平,在其他期间为低电平。

[0396] 节点D经由作为二极管发挥功能的NFET M6而接地。由此,节点D在时刻t12与时刻t13之间为负电压,在其他期间(包括时刻t13及以后)为0V。由此,栅极连接于节点D的PFET M4在时刻t12与时刻t13之间导通。由此,PFET M4和NFET M3均导通,成为图51的(b)的连接

关系。充入于电容器C1中的电荷作为电流I_C1流向节点A。电流I_C1成为通过电感器L1的电流I_L1,对电容器C4进行充电。

[0397] NFET M1的栅极与FF电路X22的输出端连接。NFET M1是使降压电路66进行动作的开关,但省略说明。NFET M10和M11作为用于防止节点A成为大的负电压从而破坏电路的电压限制器而发挥功能。

[0398] 当在时刻t13尖峰信号83输入到FF电路X34时,FF电路X34使节点F成为高电平。尖峰生成电路X32在从节点F成为高电平的时刻t13起延迟了1μs后的时刻t14,向节点G输出尖峰信号84。在时刻t13与时刻t14之间,节点F为高电平,节点H为低电平,因此XOR电路X23向节点Gate输出高电平。当在时刻t14尖峰信号84输入到FF电路X26时,FF电路X26向节点H输出高电平。由此,在时刻t14与时刻t15之间,XOR电路X23向节点Gate输出低电平。

[0399] 逆变器X35将节点Gate的信号反相而输出给电容器C5的一端。与电容器C5的另一端连接的节点I经由作为二极管发挥功能的NFET M8而接地。因此,节点I的电压在节点Gate为低电平时为0V,在节点Gate为高电平时为负电压。即,在时刻t13与时刻t14之间,节点I为负电压,在时刻t14与时刻t15之间,节点I为0V。

[0400] 栅极连接于节点Gate的NFET M2和栅极连接于节点I的PFET M5在时刻t13与时刻t14之间导通,在时刻t14与时刻t15之间断开。

[0401] 在时刻t13与时刻t14之间,PFET M4断开,PFET M5和NFET M3导通。由此,成为图51的(b)的连接关系。在时刻t13与时刻t14之间,与在电感器L1中流动的电流I_L1相当的电流I_M5流过PFET M5,电容器C4充电。

[0402] NOR电路X29将节点C和节点Gate的“或非(NOR)”输出给PFET M9的栅极。PFET M9的漏极与1V的恒压源V22连接。在节点C和节点Gate均为低电平的期间,PFET M9断开,在其他期间,PFET M9导通。由此,在时刻t13与时刻t14之间,PFET M9导通,节点J成为高电平(1V)。电容器C6的一端与节点A连接,另一端与节点J连接。在时刻t13与时刻t14之间,电容器C6基于节点A与节点J的电位差而充电。当在时刻t14与时刻t15之间,充入于电容器C6中的电荷被释放时,节点J成为负电压。

[0403] 逆变器X36将节点J的电压反相而输出给节点K。在节点K的电压成为0.5V以上时,尖峰生成电路X30向节点L输出尖峰信号85。OR电路X31将节点L和节点N的“或(OR)”输出给FF电路X26。当在时刻t15节点J的电压成为约-0.5V以下时,节点K的电压成为+0.5V以上。当尖峰生成电路X30输出尖峰信号85时,OR电路X31向FF电路X26输出尖峰信号85。由此,FF电路X26使节点H成为低电平。节点Gate成为高电平。

[0404] 这样,节点Gate在1μs的期间为高电平,在从PFET M9断开至节点J成为约-0.5V以下的期间为低电平。在电感器L1的电流I_L1流动的期间,节点Gate重复高电平和低电平。

[0405] 当蓄积于电感器L1中的磁通能量变小时,在电感器L1中流动的电流I_L1逐渐变小。在时刻t16,电流I_L1几乎成为0。节点A的电压下降到1V左右,因此电容器C6几乎不充电。因此,在时刻t16,即使PFET M9断开,节点J也不会长时间为约-0.5V以下。因此,节点K不会成为+0.5V以上,尖峰生成电路X30不输出尖峰信号85。在从节点H的电压在时刻t16成为高电平起经过了100ns的时刻t17,尖峰生成电路X27向节点N输出尖峰信号86。由此,FF电路X24向节点O输出低电平。NFET M3断开,降压电路66的降压动作结束。

[0406] 图54是示出实施例7中的节点A和R的电压相对于时间的图。图53示出了例如图54

内的范围RE内的动作。如图54所示,当整流电路62开始动作时,在电容器C1中蓄积电荷,节点A的电压上升。当节点A的电压成为8V以上时,开始从图53的时刻t11至时刻t17之间的降压动作。节点A的电压下降,节点R的电压上升。当节点A的电压成为1V左右时,降压动作结束。在电容器C1中蓄积电荷,节点A的电压上升。这样,每当进行降压动作时,节点R的电压上升,电容器C4充电。

[0407] 如果在对降压电路的NFET M3、PFET M4和M5的导通和断开进行控制的控制电路中使用比较器等,则功耗增加。如实施例7那样,通过在NFET M3、PFET M4和M5的导通和断开的控制中使用尖峰生成电路,能够以低功耗进行降压动作。

[0408] [同步整流电路]

[0409] 图55的(a)至图55的(c)是实施例7中的同步整流电路的示意图。在图55的(b)和图55的(c)中,用实线表示电连接,用虚线表示电切断。

[0410] 如图55的(a)所示,在同步整流电路64中,电力端子61a经由传输门X9而与电容器C4的正侧端子68a连接,经由传输门X10而与电容器C4的负侧端子68b(例如接地端)连接。电力端子61b经由传输门X12与电容器C4的正侧端子68a连接,经由传输门X11与电容器C4的负侧端子68b连接。

[0411] 传输门X9和X11在电压V3和电压V4分别为低电平和高电平时导通,在电压V3和电压V4分别为高电平和低电平时断开。传输门X10和X12在电压V3和电压V4分别为高电平和低电平时导通,在电压V3和电压V4分别为低电平和高电平时断开。

[0412] 如图55的(b)所示,在电力端子61a相对于电力端子61b为正电压时,使电压V3和电压V4分别为低电平和高电平。由此,电力端子61a与电容器C4的正侧端子68a连接,从负侧端子68b切断。电力端子61b与电容器C4的负侧端子68b连接,从正侧端子68a切断。

[0413] 如图55的(c)所示,在电力端子61a相对于电力端子61b为负电压时,使电压V3和电压V4分别为高电平和低电平。由此,电力端子61a与电容器C4的负侧端子68b连接,从正侧端子68a切断。电力端子61b与电容器C4的正侧端子68a连接,从负侧端子68b切断。由此,能够对交流电力进行整流并对电容器C4充电。

[0414] 图56是实施例7中的同步整流电路的电路图。图57是示出实施例7中的同步整流电路的各节点的电压相对于时间的图。如图56和图57所示,在时刻t21及以后,从发电电路60向电力端子61a和61b输入交流电流I1。电力端子61a与电力端子61b之间的终端电阻为100MΩ。

[0415] 尖峰生成电路X5自发地每1ms输出尖峰信号87作为电压V0。当在时刻t22输出尖峰信号87时,FF电路X2使电压V5和电压V6分别成为高电平和低电平。由此,传输门X13和X15断开,传输门X7和X8导通。在时刻t22,电力端子61a和61b分别为正电压和负电压,因此,当传输门X13和X15断开时,电压V1因从发电电路60输入的电流而上升,电压V2下降。

[0416] 当电压V1成为0.5V以上时,在时刻t23,尖峰生成电路X3向电压V10输出尖峰信号88。尖峰生成电路X4不输出尖峰脉冲信号。OR电路X6向FF电路X2输出尖峰信号88。由此,FF电路X2使电压V5和电压V6分别成为低电平和高电平。传输门X13和X15导通,传输门X7和X8断开。时刻t22与时刻t23之间例如为10ns。

[0417] 当在时刻t23尖峰生成电路X3输出的尖峰信号88输入到FF电路X1时,FF电路X1使电压V3和电压V4分别成为高电平和低电平。传输门X9和X11导通,传输门X10和X12断开。由

此,在从时刻t23至时刻t25的期间内,如图55的(b)所示,电力端子61a和61b分别与电容器C4的正侧端子68a和负侧端子68b连接。当在时刻t23与时刻t25之间,像时刻t23与时刻t24之间那样传输门X13和X15导通时,电容器C4的电流I_C4流动,电容器C4充电。

[0418] 之后,在时刻t25之前,尖峰生成电路X3输出尖峰信号88,尖峰生成电路X4不输出尖峰信号,因此FF电路X1将电压V3和电压V4分别维持在低电平和高电平。

[0419] 在时刻t25,电力端子61a和电力端子61b分别成为负电压和正电压。当传输门X13和X15断开时,通过从发电电路60输入的电流,电压V2上升,电压V1下降。当电压V2成为0.5V以上时,在时刻t26,尖峰生成电路X4向电压V11输出尖峰信号89。尖峰生成电路X3不输出尖峰信号。

[0420] 当尖峰生成电路X4输出的尖峰信号89输入到FF电路X1时,FF电路X1使电压V3和V4分别成为高电平和低电平。传输门X9和X11断开,传输门X10和X12导通。由此,在从时刻t26到时刻t28的期间内,如图55的(c)所示,电力端子61a和电力端子61b分别与电容器C4的负侧端子68b和正侧端子68a连接。当在时刻t26至时刻t28之间,如时刻t26至t27之间那样传输门X13和X15导通时,电容器C4的电流I_C4流动,电容器C4充电。之后,当电力端子61a和电力端子61b分别成为正电压和负电压时,从时刻t22开始重复。

[0421] 图58是示出实施例7中的基于同步整流电路的电容器的充电电压相对于时间的图。将来自发电电路60的电流设为最大振幅为10nA的交流电流而对电容器C4的电压进行了模拟。如图58所示,即使是最大振幅为10nA这样的非常小的电流,也能够对电容器C4进行充电,电容器C4的电压上升。

[0422] 如果在对同步整流电路的传输门X9至X12的导通和断开进行控制的控制电路中使用比较器,则功耗变大。如实施例7那样,通过在传输门X9至X12的导通和断开的控制中使用尖峰生成电路,能够以低功耗进行同步整流。

[0423] 对实施例7的电力转换电路进行了模拟。所模拟的电路是包含进行了说明的判定电路65、整流电路62、64、降压电路66以及蓄电电路68的电路,包含18个尖峰生成电路、17个FF电路,包含约340个FET。

[0424] 图59是示出实施例7中的发电电流和电容器的电压相对于时间的图。如图59所示,发电电路60在期间T1和T3中产生最大振幅为500nA的交流电流I1,在期间T2中产生最大振幅为40nA的交流电流I1。在期间T1中,判定电路65使整流电路62和降压电路66动作。由此,蓄电电路68的电容器C4的电压变高,在蓄电电路68中蓄电。

[0425] 当成为期间T2时,发电电路产生的电流I1变小,因此整流电路62的输入阻抗变得比发电电路60的输出阻抗高。因此,判定电路65自发地从整流电路62切换到同步整流电路64。由此,同步整流电路64的输入阻抗与发电电路60的输出阻抗大致匹配。由此,像期间T2的箭头58那样,在蓄电电路68中蓄电。

[0426] 当成为期间T3时,发电电路产生的电流I1变大,因此同步整流电路64的输入阻抗变得比发电电路60的输出阻抗低。因此,判定电路65自发地从同步整流电路64切换到整流电路62。由此,整流电路62的输入阻抗与发电电路60的输出阻抗大致匹配。由此,在期间T3中,在蓄电电路68中蓄电。

[0427] 通过在电力转换电路120的控制中使用尖峰生成电路和FF电路,能够使用于电力转换电路的控制的电力为1nW以下。该控制电力是比使用控制IC(Integrated Circuit:集

成电路)等来实现同样的电力转换电路的情况小3个数量级的电力。由此,即使发电电路60产生的电力微小到数nW,也能够实现可蓄电的电力转换电路。

[0428] 根据实施例7,像图44那样,整流电路62和64对输入的电力进行整流。判定电路65像图48那样包含实施例1至3及其变形例的尖峰生成电路,使整流电路62和64中的任一方对电力进行整流。通过使用实施例1至3及其变形例的尖峰生成电路,能够实现低功耗的判定电路65。因此,能够对nW左右的微小电力进行整流。

[0429] 在降压电路66中,对NFET M3至M5(开关元件)的导通和断开进行控制的控制电路包含实施例2至3及其变形例的尖峰生成电路。在同步整流电路64中,对传输门X9至X12(开关元件)的导通和断开进行控制的控制电路包含实施例2至4及其变形例的尖峰生成电路。由此,能够实现低功耗的控制电路。

[0430] 作为使用实施例2至3及其变形例的尖峰生成电路的电力转换电路,以降压电路66和同步整流电路64为例进行了说明,但电力转换电路也可以是其他电路结构的降压电路、升压电路、直流-交流电力转换电路或交流-直流电力转换电路。

[0431] 实施例8

[0432] 实施例8及其变形例1是将实施例1~4及其变形例的尖峰生成电路用于阈值判别电路(电压判定电路)的例子。在实施例1~4、8及其变形例中,单发的尖峰信号是指尖峰信号的间隔相对于尖峰信号的脉冲宽度足够宽的信号,例如脉冲宽度相对于尖峰信号的间隔为1/10以下,为1/100以下。

[0433] 图60的(a)是实施例8的尖峰生成电路的电路图。如图60的(a)所示,尖峰生成电路151具有输入电路10和输出电路150。输入电路10包含电压转换电路30a和电容器C1。电压转换电路30a具有元件37a、37b以及电阻37c。元件37a和37b串联连接在输入端子Tin与接地线26之间。在元件37a和37b之间的节点N11与输入电路10的输出节点No之间连接有电阻37c。电容器C1连接在输出节点No与接地线26之间。

[0434] 输出电路150例如是实施例1及其变形例的尖峰生成电路130至136。输入电路10的输出节点No与输出电路150的中间节点Ni连接。

[0435] 输入到输入端子Tin的输入信号的电压被元件37a和37b分压,分压后的电压输出给节点N11,并输出给输出节点No。这样,与实施例5及其变形例1同样地,电压转换电路30a对输入信号的电压进行转换。因此,输出电路150在输入信号的电压为规定的电压以上时输出单发的尖峰信号,在输入信号的电压不到规定的电压时不输出尖峰信号。或者,输出电路150在输入信号的电压为规定的电压以下时输出单发的尖峰信号,在输入信号的电压比规定的电压大时不输出尖峰信号。

[0436] 元件37a和37b只要是对输入信号的电压进行分压的元件即可,例如可以使用电阻、二极管或晶体管。另外,元件37a也可以作为恒流元件而发挥功能。

[0437] 如果元件37a和37b的寄生电容大,则有时不能生成波形平整的尖峰信号。因此,通过设置电阻37c,能够不容易从输出电路150注意到元件37a和37b的寄生电容。由此,能够生成波形平整的尖峰信号。为了减小元件37a和37b对输出电路150的影响,优选为,电容器C1的电容值与电阻37c的电阻值之积大于输出电路150输出的尖峰信号的宽度。

[0438] [实施例8的变形例1]

[0439] 图60的(b)是实施例8的变形例1的尖峰生成电路的电路图。如图60的(b)所示,在

尖峰生成电路153中,电压转换电路30c具有二极管37e、37g以及FET 37f。在输入端子Tin与节点N11之间正向连接有2个二极管37g,在节点N11与接地线26之间正向连接有二极管37e。二极管37e和37g也可以是将FET的栅极与源极连接的晶体管二极管。输入到输入端子Tin的输入信号被二极管37g和37e进行电阻分压。

[0440] FET 37f的源极和漏极中的任一方与节点N11连接,源极和漏极中的另一方与节点No连接。栅极与电源线28连接。FET 37f作为电阻而发挥功能。其他结构与实施例8相同,省略说明。

[0441] 如果施加于各二极管37e和37g的两端的电压充分小于二极管的正向电压(电压降),则在各二极管37e和37g中流动的电流会非常小,因此能够使在电压转换电路30c中消耗的电力为nW以下。例如,在输入信号的最大电压为1V时,如果将二极管37e和37g的正向电压设为0.8V左右,则在二极管37e和37g中流动的电流变得非常小。

[0442] 各二极管37e和37g也可以反向连接。但是,二极管的正向电流因元件而引起的偏差小,反向电流因元件而引起的偏差大。因此,优选正向连接二极管37e和37g。作为实施例8的元件37a和37b,也可以使用电阻元件。但是,高电阻的电阻元件难以制作。因此,优选如实施例8的变形例1那样使用正向连接的二极管37e和37g。

[0443] 在使用电阻元件来形成实施例8的电阻37c时,难以制作高电阻的电阻37c。通过将FET 37f的导通电阻用作电阻37c,能够实现适当电阻值的电阻37c。例如,在FET 37f是PFET,电源线28的电压为1V时,如果将FET 37f的阈值电压设为0.8左右,则FET 37f的源极与漏极之间的电阻为1MΩ以上。

[0444] 对实施例8的变形例1的尖峰生成电路中的尖峰信号进行了模拟。图61的(a)和图61的(b)是在模拟中分别使用的实施例8的变形例1A和变形例1的尖峰生成电路的电路图。

[0445] 如图61的(a)所示,实施例8的变形例1A的电压转换电路30d不具备FET 37f,节点N11与节点No之间直接连接。在输出电路150的电路中,除了PFET 14和PFET13b的连接相反以外,其余与实施例3的图8的尖峰生成电路相同。

[0446] 如图61的(b)所示,在实施例8的变形例1中,电压转换电路30c具有FET 37f。输出电路150的电路结构与实施例8的变形例1A的图61的(a)相同。在模拟中,电容器C1和C2的电容值分别为2fF和4fF。各FET的条件、电源线28以及接地线26的电压与实施例3的模拟相同。

[0447] 图62的(a)至图62的(d)是示出实施例8的变形例1A的模拟结果的电压相对于时间的图。图62的(a)是示出输出端子Tout的电压相对于时间的图,图62的(b)是示出输入端子Tin和节点N1的电压相对于时间的图。图62的(c)和图62的(d)是输出尖峰信号的时间附近的图62的(a)和图62的(b)的放大图。

[0448] 如图62的(b)所示,使输入端子Tin的电压相对于时间逐渐增加。节点N1的电压相对于时间逐渐增加。当节点N1的电压成为作为阈值电压的0.5V时,像图62的(a)那样输出尖峰信号52。

[0449] 如图62的(c)所示,尖峰信号52的上升缓慢,尖峰信号52的波形走样。另外,尖峰信号52的高度未达到1V。如图62的(d)所示,节点N1的电压在0.5V附近,不同于生成图9的(b)那样的正常的尖峰信号52时的电压。在实施例8的变形例1A中,可以认为二极管37e和37g的寄生电容影响了输出电路150,无法生成正常的尖峰信号52。

[0450] 图63的(a)至图63的(d)是示出实施例8的变形例1的模拟结果的电压相对于时间

的图。图63的(a)是示出输出端子Tout的电压相对于时间的图,图63的(b)是示出输入端子Tin和节点N1的电压相对于时间的图。图63的(c)和图63的(d)是输出尖峰信号的时间附近的图63的(a)和图63的(b)的放大图。

[0451] 如图63的(a)和图63的(b)所示,输入端子Tin、节点N1以及输出端子Tout的电压相对于时间的表现与实施例8的变形例1A大致相同。

[0452] 像图63的(c)那样,在实施例8的变形例1中,尖峰信号52的上升急剧,尖峰信号52的波形与图9的(a)大致相同。尖峰信号52的高度达到1V。像图63的(d)那样,节点N1的电压在超过了0.8V后下降到0.2V以下,与图9的(b)的节点N1的电压的表现相同。这样,在实施例8的变形例1中,通过使用FET 37f作为电阻37c,能够抑制二极管37e和37g的寄生电容对输出电路150的影响,能够生成正常的尖峰信号52。

[0453] 根据实施例8,电容器C1的一端与节点N1(中间节点)连接并且另一端与接地线26(第一基准电位端子)连接的电压转换电路30a具有:元件37a(第一元件)和元件37b(第二元件),它们串联连接在输入端子Tin与接地线26(第二基准电位端子)之间;以及电阻37c,其一端与元件37a和37b之间的节点N11连接,另一端与节点No(输出节点)连接。能够通过电阻37c来抑制输出电路150的元件37a和37b的寄生电容的影响。由此,能够生成适当波形的尖峰信号52。连接在节点N11与节点No之间的电阻37c也可以是实施例8的变形例1的图60的(b)那样的FET 37f。这样,电阻37c只要是几乎没有电抗成分,使相对于两端的电压差大致线性增加的电流流过的元件(将其称为电阻元件)即可。

[0454] 电阻37c的电阻值与电容器C1的电容值之积优选大于尖峰信号52的宽度。电阻37c的电阻值与电容器C1的电容值之积更优选为尖峰信号52的宽度的10倍以上,进一步优选为50倍以上。

[0455] 在实施例8及其变形例1中,输出电路150是在输入信号的电压为规定的电压以下时不输出尖峰信号52的阈值判别电路的例子。通过将实施例8及其变形例1的电压转换电路30a和30c置换为实施例5的变形例1的图35的电压转换电路30,能够实现在输入信号的电压为规定的电压以上时不输出尖峰信号52的阈值判别电路。

[0456] 在实施例5及其变形例1以及实施例8及其变形例1中,作为输出电路,使用了实施例1～4及其变形例的尖峰生成电路,但输出电路150只要是以下这样的输出电路即可:响应于节点Ni(中间节点)成为规定的电位而将单发的输出尖峰信号52输出给输出端子Tout并且将节点Ni的电压复位,在输入信号的电压处于规定的范围内时,不输出尖峰信号52。

[0457] [实施例8的变形例2]

[0458] 实施例8的变形例2至5是将实施例1～4及其变形例的尖峰生成电路用于延迟电路的例子。图64的(a)是实施例8的变形例2的尖峰生成电路的电路图。如图64的(a)所示,尖峰生成电路154具有恒流元件或恒流电路33b以及电容器C1作为时间常数电路32。通过时间常数电路32,尖峰生成电路154与实施例5的变形例3同样地作为延迟电路而发挥功能。恒流元件或恒流电路33b是生成与两端的电压差对应的恒流的元件或电路。

[0459] 恒流元件或恒流电路33b的优选的电路结构依赖于时间常数电路32的时间常数。以下,将恒流元件或恒流电路33b的优选的电路作为实施例8的变形例3至6进行说明。

[0460] [实施例8的变形例3]

[0461] 实施例8的变形例3是增长时间常数电路32的时间常数的例子,是使时间常数成为

例如1m秒以上的例子。图64的(b)是实施例8的变形例3的尖峰生成电路的电路图。如图64的(b)所示,使用反向连接的二极管33c作为时间常数电路32的恒流元件或恒流电路。由于二极管33c的反向电流小,因此能够增长时间常数。即使二极管33c的两端的电压发生变化,二极管33c的反向电流也不会像正向电流那样电流发生变化。由此,即使电容器C1充电而节点No的电压上升,二极管33c的电流值也不会减小而使充电在中途停止,能够根据二极管33c的电流值和电容器C1的电容的大小来设计时间常数。即使因输出电路150内的FET的阈值电压产生偏差而引起节点Ni的下一级的逆变器的阈值电压产生偏差,也能够减小时间常数电路32的时间常数的变化。二极管33c也可以是将FET的栅极和源极连接的晶体管二极管。

[0462] [实施例8的变形例4]

[0463] 实施例8的变形例4是缩短时间常数电路32的时间常数的例子,是使时间常数成为例如1μ秒以下的例子。图64的(c)是实施例8的变形例4的尖峰生成电路的电路图。如图64的(c)所示,在尖峰生成电路158中,作为时间常数电路32的恒流元件或恒流电路,使用PFET 33d。PFET 33d的栅极与接地线26连接,PFET 33d为导通状态。通过将FET的导通电流用作恒流元件的恒流,能够缩短时间常数电路32的时间常数。另外,即使FET两端的电压发生变化,FET的导通电流也不会大幅变化。由此,即使电容器C1充电而节点No的电压上升,PFET 33d的电流值也不会减小,充电不会在中途停止,能够根据PFET 33d的电流值和电容器C1的电容的大小来设计时间常数。PFET 33d也可以是NFET。

[0464] 当在PFET 33d中流动的电流比复位节点Ni的电流(例如,在节点Ni的下一级的逆变器的NFFET中流动的电流)大的情况下,无法将节点Ni复位。由此,优选使在PFET 33d中流动的电流充分小于对输出电路150的节点Ni进行复位时的电流。

[0465] [实施例8的变形例5]

[0466] 实施例8的变形例5是使时间常数电路32的时间常数成为中等程度的例子,是使时间常数成为例如10n秒～10m秒的例子。图65是实施例8的变形例5的尖峰生成电路的电路图。如图65所示,时间常数电路32的恒流电路33e具有电流镜电路36以及二极管36c和36d。电流镜电路36具有PFET 36a和36b。FET 36a的栅极与FET 36b的栅极连接。FET 36a的栅极和漏极连接。FET 36b的源极与输入端子Tin连接,漏极与节点No连接。二极管36c正向连接在输入端子Tin与FET 36a的源极之间。即,阳极和阴极分别与输入端子Tin以及FET 36a的源极连接。二极管36d反向连接在FET 36a的漏极与接地线26之间。即,阳极和阴极分别与接地线26以及FET 36a的漏极连接。

[0467] 在时间常数电路32中,在输入端子Tin与PFET 36a之间正向连接有二极管36c。因此,PFET 36a的源极的电压比PFET 36b的源极的电压低了二极管36c的电压降Va。由此,在PFET 36b中流动比二极管36d的反向电流大了与Va相当的量的电流。例如,在PFET 36b中流动比二极管36d的电流大1个～6个数量级的电流。

[0468] 由此,恒流电路33e能够流动比实施例8的变形例3的图64的(b)的二极管33c大1个～6个数量级的电流。由此,时间常数电路32能够具有比实施例8的变形例3小1个～6个数量级的时间常数。

[0469] 作为提供实施例8的变形例3的二极管33c的反向电流与实施例8的变形例4的FET的导通电流之间的电流值的恒流元件或恒流电路33b,考虑正向连接的二极管。但是,在实施例8的变形例2的恒流元件或恒流电路33b使用正向连接的二极管的情况下,二极管的正

向电流相对于两端的电压呈指数函数增大。因此,当电容器C1充电而节点No的电压上升时,恒流元件或者恒流电路33b的电流值呈指数函数减小,节点No的电压想要饱和。在节点No的饱和电压接近输出电路150的阈值电压的情况下,时间常数会发散性地变长,容易受到晶体管的阈值电压的偏差的影响。由此,时间常数电路32的时间常数例如偏差了3个数量级。

[0470] 在实施例8的变形例5中,在恒流电路33e中流动的电流由二极管36d的反向电流和二极管36c的正向电压降Va决定。通过将二极管36c和36d的阈值电压偏差抑制得较低,能够实现时间常数的偏差小的延迟电路。

[0471] 对实施例8的变形例5的尖峰生成电路中的尖峰信号进行了模拟。图66的(a)和图66的(b)是在模拟中分别使用的实施例8的变形例5A和变形例5的尖峰生成电路的电路图。

[0472] 如图66的(a)所示,实施例8的变形例5A的时间常数电路32的恒流电路33f不具备二极管36c。作为二极管36d,使用源极和栅极连接的NFET 36f。输出电路150的电路与实施例8的变形例1的图61的(b)相同。其他电路结构与图65相同。

[0473] 如图66的(b)所示,在实施例8的变形例5中,时间常数电路32的恒流电路33g使用漏极和栅极连接的PFET 36g作为二极管36c。输出电路150的电路结构与图61的(b)相同。其他电路结构与图65相同。在模拟中,电容器C1和C2的电容值分别为2fF和4fF。各FET的条件、电源线28以及接地线26的电压与实施例5的变形例3的模拟相同。

[0474] 图67的(a)和图67的(b)是示出实施例8的变形例5A的模拟结果的电压相对于时间的图。图67的(a)是示出输出端子Tout的电压相对于时间的图,图67的(b)是示出节点N1的电压相对于时间的图。

[0475] 如图67的(a)和图67的(b)所示,在实施例8的变形例5A中,延迟时间为1m秒左右。这是因为,电流镜电路36将与二极管(NFET 36f)的反向电流的大小为相同大小的电流作为由恒流电路33f提供的电流。由于二极管(NFET 36f)的反向电流小,因此恒流电路33f提供的电流变小,时间常数电路32的时间常数变长。如果与FET 36a相比扩大FET 36b的晶体管沟道宽度,则能够增加电流值,缩短时间常数。但是,同时节点No的寄生电容也增加。因此,不优选与FET 36a相比扩大FET 36b的晶体管沟道宽度。

[0476] 图67的(c)和图67的(d)是示出实施例8的变形例5的模拟结果的电压相对于时间的图。图67的(c)是示出输出端子Tout的电压相对于时间的图,图67的(d)是示出节点N1的电压相对于时间的图。

[0477] 如图67的(c)和图67的(d)所示,在实施例8的变形例5中,延迟时间为20μ秒左右。这是因为,PFET 36g使PFET 36a的源极电压比PFET 36b的源极电压低了电压降Va,因此恒流电路33g提供的电流比二极管(NFET 36f)的反向电流大。由此,能够使延迟时间为中等程度。

[0478] 根据实施例8的变形例2,时间常数电路32具有:电容器C1,其一端与节点No(输出节点)连接,另一端与接地线26(第一基准电位端子)连接;恒流元件或恒流电路33b,其一端与输入端子Tin连接,另一端与节点No连接。由此,通过像实施例8的变形例3至5那样设计由恒流元件或恒流电路33b提供的电流,能够设定时间常数电路32的时间常数,能够设定延迟电路的延迟时间。

[0479] 像实施例8的变形例5那样,恒流电路33e是具有PFET 36a和36b的电流镜电路36。在PFET 36b(第一晶体管)中,源极(电流输入端子和电流输出端子中的任一个端子)与输入

端子Tin连接,漏极(电流输入端子和电流输出端子中的另一个端子)与节点No连接。在PFET 36a(第二晶体管)中,源极经由正向连接的二极管36c(第一二极管)而与输入端子Tin连接,漏极经由反向连接的二极管36d(第二二极管)而与接地线26(第二基准电位端子)连接。PFET 36a和36b的栅极(控制端子)相互连接。由此,能够实现中等程度的延迟时间的偏差小的延迟电路。

[0480] 可以如实施例8的变形例3那样,恒流元件或恒流电路是反向连接的二极管33c,也可以是在控制端子(栅极)被施加电压从而成为导通状态的晶体管。

[0481] 在实施例5的变形例3以及实施例8的变形例2至5中,作为输出电路,使用了实施例1～4及其变形例的尖峰生成电路,但输出电路150只要是如下的输出电路即可:响应于节点Ni的电压成为阈值电压而将单发的输出尖峰信号52输出给输出端子Tout并且将节点Ni的电压复位,在输入信号输入后的与时间常数电路32的时间常数相关联的延迟时间后,输出尖峰信号52。

[0482] [实施例8的变形例6]

[0483] 实施例8的变形例6至8是将实施例1～4及其变形例的尖峰生成电路用于频率判别电路(频率检测电路)的例子。图68的(a)是实施例8的变形例6的尖峰生成电路的电路图。如图68的(a)所示,在尖峰生成电路161中,在电源线28与接地线26之间串联连接有PFET 38b和恒流元件38c作为输入电路34b。PFET 38b和恒流元件38c之间的节点N12与节点No连接。输入端子Tin经由逆变器38a而与PFET 38b的栅极连接。作为恒流元件38c,可以使用晶体管、二极管或电阻等。

[0484] 输入电路34b在输入尖峰信号输入到输入端子Tin时,使节点Ni的电压升高与输入尖峰信号的高度对应的量。在输入尖峰信号未输入到输入端子Tin时,节点Ni的电压按照比输入尖峰信号的宽度长的时间常数逐渐下降。例如,节点Ni的电荷经由节点Ni的下一级的逆变器的NFET而泄漏到接地线26,由此节点Ni的电压逐渐下降。由此,尖峰生成电路161与实施例5的变形例5同样作为在输入尖峰信号的频率变高时输出尖峰信号的频率判定电路而发挥功能。

[0485] [实施例8的变形例7]

[0486] 图68的(b)是实施例8的变形例7的尖峰生成电路的电路图。如图68的(b)所示,在尖峰生成电路162中,在电源线28与接地线26之间串联连接有NFET 38e和恒流元件38c作为输入电路34c。恒流元件38c和NFET 38e之间的节点N12与节点No连接。输入端子Tin与NFET 38e的栅极连接。作为恒流元件38c,可以使用晶体管、二极管或电阻等。

[0487] 输入电路34c在输入尖峰信号输入到输入端子Tin时,使节点Ni的电压降低与输入尖峰信号的高度对应的量。在输入尖峰信号未输入到输入端子Tin时,节点Ni的电压按照比输入尖峰信号的宽度长的时间常数逐渐变高。由此,尖峰生成电路162与实施例5的变形例4同样作为在输入尖峰信号的频率变低时输出尖峰信号的频率判定电路而发挥功能。

[0488] [实施例8的变形例8]

[0489] 图68的(c)是实施例8的变形例8的尖峰生成电路的电路图。如图68的(c)所示,在尖峰生成电路163中,在电源线28与接地线26之间串联连接有PFET 38b与NFET 38e作为输入电路34d。PFET 38b和NFET 38e之间的节点N12与节点No连接。输入端子Tin1经由逆变器38a而与PFET 38b的栅极连接,并且输入端子Tin2与NFET 38e的栅极连接。

[0490] 输入电路34d在输入尖峰信号输入到输入端子Tin1时,使节点Ni的电压升高与输入尖峰信号的高度对应的量,在输入尖峰信号输入到输入端子Tin2时,使节点Ni的电压降低与输入尖峰信号对应的量。

[0491] 由此,在尖峰生成电路163中,当向输入端子Tin1输入的尖峰信号的频率高时,节点Ni的电压上升,输出电路150变得易于生成尖峰信号,当向输入端子Tin2输入的尖峰信号的频率低时,节点Ni的电压上升,输出电路150变得易于生成尖峰信号。这样,通过向输入端子Tin1和Tin2输入的尖峰信号的平衡,输出电路150作为输出尖峰信号的频率判定电路而发挥功能。

[0492] 根据实施例8的变形例6至8,具有输入电路34b至34d中的任一个,输出电路150响应于节点Ni的电压成为阈值电压而将单发的输出尖峰信号输出给输出端子Tout并且将节点Ni的电压复位,当输入尖峰信号输入的频率成为规定的范围时,输出尖峰信号。由此,能够实现频率判别电路。

[0493] 在输出电路150是实施例1的变形例2以及3的输入尖峰信号为正方向的信号的尖峰生成电路的情况下,在输入尖峰信号未输入到输入端子Tin时,节点Ni的电压按照比输入尖峰信号的宽度长的时间常数逐渐下降。

[0494] 在输出电路150是实施例1的变形例4以及5的输入尖峰信号为负方向的信号的尖峰生成电路的情况下,在输入尖峰信号未输入到输入端子Tin时,节点Ni的电压按照比输入尖峰信号的宽度长的时间常数逐渐升高。此时,在输入端子Tin或Tin1与PFET 38b的栅极之间不连接逆变器38a,在输入端子Tin或Tin2与NFET 38e的栅极之间连接逆变器。

[0495] 在实施例8的变形例6至8中,作为输出电路,使用了实施例1～4及其变形例的尖峰生成电路,但输出电路150只要是如下的输出电路即可:响应于节点Ni的电压成为阈值电压而将单发的输出尖峰信号52输出给输出端子Tout并且将节点Ni的电压复位,当输入尖峰信号输入的频率成为规定的范围时,将输出尖峰信号输出。

[0496] [实施例8的变形例9]

[0497] 实施例8的变形例9至11是将实施例1～4及其变形例的尖峰生成电路用于定时电路的例子。图69的(a)是实施例8的变形例9的尖峰生成电路的电路图。如图69的(a)所示,在尖峰生成电路164中,在电源线28与节点No之间并联连接有多个PFET 39a作为输入电路10。输入端子Tina～Tinc分别经由逆变器39b而与PFET39a的栅极连接。在节点No与接地线26之间连接有电容器C1。节点No与输出电路150的节点Ni连接。

[0498] 图70的(a)和图70的(b)是示出实施例8的变形例9中的各电压相对于时间的图。如图70的(a)所示,在时刻t41、t42以及t43,向输入端子Tinc、Tina以及Tinb分别输入尖峰信号50。如果时刻t41与时刻t43的间隔小于节点Ni的电压下降的时间,则在时刻t43,节点Ni的电压超过阈值电压Vth。由此,输出电路150向输出端子Tout输出尖峰信号52。

[0499] 如图70的(b)所示,尖峰信号50输入到输入端子Tinb的时刻t43远离时刻t42。与时刻t41和时刻t42相邻地输入尖峰信号50。节点Ni的电压不超过阈值电压Vth。在时刻t42至时刻t43之间,节点Ni的电压逐渐下降,在时刻t44,节点Ni的电压成为大致0V。之后,即使在时刻t43尖峰信号50输入,节点Ni的电压也不会超过阈值电压Vth。然后,节点Ni的电压逐渐下降,在时刻t45成为0V。由此,输出电路150不向输出端子Tout输出尖峰信号52。

[0500] 作为输出电路150,使用实施例1的变形例2及3的尖峰生成电路,输入电路10在输

入尖峰信号50输入到多个输入端子Tina至Tinc中的至少一个时,使节点Ni的电压升高与尖峰信号50对应的量。在输入尖峰信号未输入到多个输入端子Tina至Tinc时,节点Ni的电压在比输入尖峰信号的宽度长的期间逐渐下降。输出电路150响应于节点Ni的电压成为阈值电压Vth而将单发的输出尖峰信号52输出给输出端子。由此,尖峰生成电路164作为如下的定时电路而发挥功能:当向多个输入端子Tina至Tinc输入的正方向的多个尖峰信号50在某个期间以内输入时,输出尖峰信号52。

[0501] [实施例8的变形例10]

[0502] 图69的(b)是实施例8的变形例10的尖峰生成电路的电路图。如图69的(b)所示,在尖峰生成电路165中,在接地线26与节点No之间并联连接有多个NFET 39c作为输入电路10。输入端子Tina～Tinc分别与NFET 39c的栅极连接。其他结构与实施例8的变形例9相同,省略说明。

[0503] 使用实施例1的变形例4及5的尖峰生成电路作为输出电路150,输入电路10在负方向的输入尖峰信号50输入到多个输入端子Tina至Tinc中的至少一个时,使节点Ni的电压降低。在输入尖峰信号未输入到多个输入端子Tina至Tinc时,节点Ni的电压在比输入尖峰信号的宽度长的期间内逐渐变高。输出电路150响应于节点Ni的电压成为阈值电压Vth而将单发的输出尖峰信号52输出给输出端子,并且将节点Ni的电压复位。由此,尖峰生成电路165作为如下的定时电路而发挥功能:当向多个输入端子Tina至inc输入的负方向的多个尖峰信号50在某个期间以内输入时,输出尖峰信号52。

[0504] [实施例8的变形例11]

[0505] 图69的(c)是实施例8的变形例11的尖峰生成电路的电路图。如图69的(c)所示,在尖峰生成电路166中,在电源线28与节点No之间并联连接有多个PFET 39a作为输入电路10。输入端子Tina～Tinc分别经由逆变器39b而与PFET 39a的栅极连接。在接地线26与节点No之间并联连接有多个NFET 39c。输入端子Tind～Tine与NFET 39c的栅极连接。其他结构与实施例8的变形例9相同,省略说明。

[0506] 使用实施例1的变形例2及3的尖峰生成电路作为输出电路150,输入电路10在输入尖峰信号50输入到多个输入端子Tina到Tinc中的至少一个时,使节点Ni的电压升高,在输入尖峰信号50输入到多个输入端子Tind到Tine中的至少一个时,使节点Ni的电压降低。在输入尖峰信号未输入到多个输入端子Tina至Tine时,节点Ni的电压在比输入尖峰信号的宽度长的期间内逐渐下降。输出电路150响应于节点Ni的电压成为阈值电压Vth而将单发的输出尖峰信号52输出给输出端子Tout。由此,尖峰生成电路166作为如下的定时电路而发挥功能:当向多个输入端子Tina至Tinc输入的正方向的多个尖峰信号50在某个期间以内输入,并且在同一期间内输入到多个输入端子Tind和Tine的正方向的多个尖峰信号50为某个个数以下时,输出尖峰信号52。

[0507] 在使用实施例1的变形例4及5的尖峰生成电路作为输出电路150的情况下,在输入端子Tina～Tinc与PFET 39a的栅极之间不连接逆变器39b,在输入端子Tind和Tine与NFET 39c的栅极之间连接逆变器。在输入尖峰信号未输入到多个输入端子Tina至Tine时,节点Ni的电压在比输入尖峰信号的宽度长的期间内逐渐变高。由此,尖峰生成电路作为如下的定时电路而发挥功能:当向多个输入端子Tind和Tine输入的负方向的多个尖峰信号50在某个期间以内输入,并且在同一期间内输入到多个输入端子Tina至Tinc的负方向的多个尖峰信

号50为某个个数以下时,输出尖峰信号52。

[0508] 在实施例5的变形例6中,输入电路10的输出电路也可以是实施例1至4及其变形例以外的电路。输出电路只要响应于节点Ni的电压成为阈值电压而将单发的输出尖峰信号输出给输出端子Tout并且将节点Ni的电压复位,在输入信号相对于时间的变化量成为规定的范围时,输出尖峰信号即可。

[0509] 实施例9

[0510] 实施例9是检测电流流动的方向的检测器的例子。图71是实施例9的检测器的框图。如图71所示,在检测器170中,在端T11与端T12之间设置有电流I11流动的路径L11。将沿着从端T11朝向端T12的方向流动的电流I11设为正。在路径L11上设置有N沟道的FET M1。

[0511] 多谐振荡器电路X53向FET M1的栅极输出信号Vg1。比较器X50对路径L11的端T11侧的节点N11的电压V11和参考电压Vref进行比较,输出输出电压Vout。比较器X50在V11为Vref以上时,将输出电压Vout设为高电平,在V11比Vref小时,将输出电压Vout设为低电平。这样,比较器X50根据电压V11与电压Vref的比较结果来检测电流I11流动的方向。

[0512] 图72的(a)和图72的(b)是示出实施例9的检测器的各电压相对于时间的图。图72的(a)示出了电流I11为正电流(从端T11流向端T12的电流)的情况,图72的(b)示出了电流I11为负电流(从端T12流向端T11的电流)的情况。

[0513] 如图72的(a)所示,多谐振荡器电路X53按照周期T5向高电平的基础电压输出低电平的脉冲作为信号Vg1。脉冲的宽度为期间T4。在时刻t50,Vg1为高电平,FET M1使路径L11导通。电流I11为正。节点N11的电压为大致0V,比较器X50的输出电压Vout为低电平。

[0514] 当在时刻t51信号Vg1变为低电平时,FET M1切断路径L11。在路径L11中流动的电流I11几乎为0。节点N11的电压V11逐渐上升。当在时刻t52电压V11达到参考电压Vref时,比较器X50输出高电平。

[0515] 当在时刻t53信号Vg1成为高电平时,FET M1使路径L11导通。电流在路径L11中流动。由此,节点N11的电压成为大致0V,输出电压Vout成为低电平。

[0516] 如图72的(b)所示,在电流I11为负的情况下,当在时刻t51,FET M1切断路径L11时,节点N11的电压V11成为负,绝对值逐渐变大。在时刻t53之前的期间T4中,电压V11未达到参考电压Vref,因此比较器X50的输出电压Vout维持低电平。

[0517] 考虑如下进行电流流动的方向的检测。在路径L11上设置电阻,对电阻两端的电压进行比较,根据两端的电压的大小关系来检测电流的流动方向。但是,如果在路径L11上设置电阻,则会产生由电阻引起的损耗。

[0518] 根据实施例9,在路径L11(第一路径)中,电流I11(第一电流)在端T11(第一端)与端T12(第二端)之间流动。FET M1(第一开关)导通和切断路径L11。在FET M5切断路径L11的切断期间T4中,比较器X50(检测电路)根据比FET M1靠端T11(比第一开关靠第一端和第二端中的任意一个端)这一侧的路径L11的电压V11(第一电压),检测电流I11流动的方向。

[0519] 在实施例9中,在期间T4以外几乎不产生损耗。因此,只要与周期T5相比缩短期间T4,就能够抑制损耗。期间T4优选为周期T5的1/10以下,更优选为1/100以下。

[0520] 将线路L11的端T11这一侧的寄生电容设为C0,将电流I11的绝对值设为|I11|,则在切断了电流I11时,节点N11的电压V11达到参考电压Vref的时间为C0×Vref/|I11|。为了使期间T4小于周期T5(长度T0),C0×Vref/|Iin|<T5(即C0×Vref/|Iin|<T0)。为了使期间

T4充分小于周期T5,优选C0×Vref/|I11|≤T0/10,更优选C0×Vref/|I11|≤T0/100。

[0521] 例如,在为了检测在实施例7中所说明的振动发电的电流的方向而使用检测器的情况下,典型为,C0＝10pF,Vref＝0.1V,|I11|＝10nA。在该情况下,C0×Vref/|I11|＝0.1ms。由此,周期T5优选为1ms以上,更优选为10ms以上。

[0522] [实施例9的变形例1]

[0523] 图73是实施例9的变形例1的检测器的框图。如图73所示,在检测器171中,在端T21与端T22之间设置有电流I12流动的路径L12。将沿着从端T21朝向端T22的方向流动的电流I12设为正。在路径L12上设置有N沟道的FET M2。在端T11与端T12之间施加交流电力。电流I11与电流I12互补。即,在某时刻,电流I11和电流I12流动的方向为相反方向,电流I11的绝对值和电流I12的绝对值大致相同。

[0524] 多谐振荡器电路X53向FET M2的栅极输出信号Vg2。比较器X50对路径L11的端T11侧的节点N11的电压V11和路径L12的端T12侧的节点N12的电压V12进行比较而输出输出电压Vout。比较器X50在V11为V12以上时,将输出电压Vout设为高电平,在V11比V12小时,将输出电压Vout设为低电平。这样,检测器171检测电流I11流动的方向。其他结构与实施例9相同,省略说明。

[0525] 图74是示出实施例9的变形例1的检测器的各电压相对于时间的图。如图74所示,在时刻t50,电流I11为正,电流I12为负。由于节点N11的电压V11与节点N12的电压V12之差为0或非常小,因此比较器X50的输出电压Vout不稳定。

[0526] 当在时刻t55信号Vg1和Vg2成为低电平时,FET M1和M2分别切断路径L11和L12。在路径L11中流动的电流I11几乎为0。节点N11的电压V11逐渐上升,节点N12的电压V12逐渐下降。当V11与V12之差成为能够判定比较器X50的V11>V12的电压差时,比较器X50的输出电压Vout成为高电平。

[0527] 当在时刻t56信号Vg1和Vg2成为高电平时,FET M1和M2分别使路径L11和L12导通。电流在路径L11和L12中流动。由此,节点N11和节点N12的电压成为大致0V,输出电压Vout变得不稳定。

[0528] 在时刻t56与时刻t57之间,电流I11成为负,电流I12成为正。当在时刻t57信号Vg1和Vg2成为低电平时,节点N11的电压V11逐渐下降,节点N12的电压V12逐渐上升。当V11与V12之差成为能够判定比较器X50的V11<V12的电压差时,比较器X50的输出电压Vout成为低电平。

[0529] 当在时刻t58信号Vg1和Vg2成为高电平时,FET M1和M2分别使路径L11和L12导通。由此,节点N11和节点N12的电压成为大致0V,输出电压Vout变得不稳定。

[0530] 根据实施例9的变形例1,在路径L12(第二路径)中,在与端T11互补的端T21(第三端)和与端T12互补的端T22(第四端)之间流动与电流I11互补的电流I12(第二电流)。在切断期间T4(参照图72)中,FET M1和FET M2(第二开关)分别切断路径L11和L12。比较器X50(检测电路)根据比FET M1靠端T11这一侧的节点N11的电压V11(第一电压)和比FET M2靠端T21(与端T11互补的端)这一侧的节点N12的电压V12(第二电压),检测电流I11流动的方向。由此,能够不使用参考电压Vref而检测电流I11的方向。

[0531] [实施例9的变形例2]

[0532] 实施例9的变形例2是将实施例9的变形例1用于电力转换电路的例子,是实施例7

的图56的同步整流电路64。如图56和图57所示,在电压V5为高电平的期间,传输门X15切断从电力端子61a到传输门X9和X10的路径,传输门X13切断从电力端子61b到传输门X11和X12的路径。如时刻t22与时刻t23之间那样,在电流I1的方向为正时,电压V1上升,电压V2下降。如时刻t25与时刻t26之间那样,在电流I1的方向为负时,电压V1下降,电压V2上升。

[0533] 当在时刻t24电压V1成为0.5V以上时,尖峰生成电路X3输出尖峰信号88。FF电路X1使电压V3成为低电平,使电压V4成为高电平。由此,传输门X9和X11导通,传输门X10和X12切断。

[0534] 当在时刻t27电压V2成为0.5V以上时,尖峰生成电路X4输出尖峰信号89。FF电路X1使电压V3成为高电平,使电压V4成为低电平。由此,传输门X9和X11切断,传输门X10和X12导通。

[0535] 在实施例9的变形例2中,传输门X15、X13、尖峰生成电路X3、X4以及FF电路X1作为实施例9的变形例1的检测器而发挥功能。传输门X15作为第一开关而发挥功能,传输门X13作为第二开关而发挥功能。尖峰生成电路X3、X4以及FF电路X1作为检测电流的方向的检测电路而发挥功能。

[0536] [实施例9的变形例3]

[0537] 实施例9的变形例3是将实施例9的变形例1用于电力转换电路的另一例。图75是实施例9的变形例3的同步整流电路的电路图。图76是示出实施例9的变形例3的同步整流电路中的同步整流电路的各节点的电压相对于时间的图。

[0538] 如图75和图76所示,在同步整流电路172中,多谐振荡器电路X53输出输出电压V6。逆变器X52将电压V6反相而作为电压V5。在电压V5为高电平的期间(例如时刻t22与t23之间以及时刻t25与t26之间),电压V10和V11分别为大致电压V1和V2。在电压V5为低电平的期间(例如时刻t23与时刻t24之间以及时刻t26与时刻t27之间),传输门X7和X8断开,因此电压V10和V11为大致0V。

[0539] 在时刻t22与时刻t23之间,电压V10和V11分别为正和负。由此,比较器X50输出高电平作为电压V4。电压V3成为低电平。在时刻t23与时刻t24之间,比较器X50将电压V4维持在高电平。由此,传输门X9和X11导通,传输门X10和X12切断。

[0540] 在时刻t25与时刻t26之间,电压V10和V11分别为负和正。由此,比较器X50输出低电平作为电压V4。电压V3成为高电平。在时刻t26与时刻t27之间,比较器X50将电压V4维持在低电平。由此,传输门X9和X11切断,传输门X10和X12导通。

[0541] 在实施例9的变形例3中,电力端子61a相当于端T11,向传输门X9和X10分支的节点相当于端T12。端T11与端T12之间相当于路径L11。在路径L11中从端T11流向端T12的电流相当于电流I11。电力端子61b相当于端T21,向传输门X11和X12分支的节点相当于端T22。端T21与端T22之间相当于路径L12。在路径L12中从端T21流向端T22的电流相当于电流I12。传输门X15和X13分别相当于第一开关和第二开关。这样,传输门X15、X13以及比较器X50作为实施例9的变形例1的检测器而发挥功能。传输门X15、X13以及比较器X50分别作为第一开关、第二开关以及检测电路而发挥功能。

[0542] 而且,在实施例9的变形例2和3中,传输门X9至X12(开关元件)基于检测器的检测结果(即电压V4)而导通和切断。由此,检测器能够以小损耗来检测电流的方向,因此能够实现损耗小的电力转换电路。特别是在振动发电等环境发电中,产生的电压和电力小。因此,

如果电力转换的损耗大,则难以用作环境发电用的电力转换电路。如实施例9及其变形例2和3那样,通过使用实施例9及其变形例1的检测器,能够抑制损耗,用作环境发电用的电力转换电路。

[0543] 在实施例9的变形例3中,在检测器检测到电流I11流动的方向为从端T11朝向端T12的方向(第一方向)时,传输门X9至X12(开关电路)将端T12与电源端子Ts1(第一电源端子)连接并从接地端子Ts2(第二电源端子)切断,并且将端T22与接地端子Ts2连接并从电源端子Ts1切断。当检测器将电流I11流动的方向检测为从端T12朝向端T11的方向(与第一方向相反的方向的第二方向)时,传输门X9至X12(开关电路)将端T12与接地端子Ts2连接并从电源端子Ts1切断,并且将端T22与电源端子Ts1连接并从接地端子Ts2切断。由此,能够作为同步整流电路而进行动作。

[0544] 在实施例9的变形例2和3中,作为使用实施例9及其变形例1的检测器的电力转换电路,以同步整流电路为例进行了说明,但电力转换电路也可以是降压电路、升压电路、直流-交流电力转换电路或交流-直流电力转换电路。实施例9及其变形例1的检测器也能够用于电力转换电路以外的电气电路和电子电路。

[0545] 实施例10

[0546] 实施例10是使用了尖峰生成电路的电子电路的例子。图77的(a)和图77的(b)是比较例1和实施例10的电子电路的框图。如图77的(a)所示,在比较例1的电子电路173中,FF电路70a的输出端子72b与组合电路77的输入端子连接,组合电路77的输出端子与FF电路70b的输入端子71a连接。

[0547] 如图77的(b)所示,在实施例10的电子电路174中,FF电路70a的输出端子72b与组合电路77a的输入端子连接。组合电路77a的输出端子与尖峰生成电路74的输入端子75连接。组合电路77b的输入端子与尖峰生成电路74的输出端子76连接。FF电路70b的输入端子71a与组合电路77b的输出端子连接。也可以不在FF电路70a与尖峰生成电路74之间连接组合电路77a,也可以不在尖峰生成电路74与FF电路70b之间连接组合电路77b。

[0548] 这里,组合电路77a和77b是如下的电路:在一个或多个输入端子上分别输入高电平或低电平,向一个或多个输出端子分别输出由一个或多个输入端子的输入唯一确定的高电平或低电平。例如是NOT电路、OR电路、AND电路、XOR电路、NOR电路、NAND电路以及由它们的组合构成的电路等。

[0549] FF电路70a和70b是在实施例7的图47的(a)至图47的(c)中所说明的FF电路70。FF电路70例如是RS触发器电路,输入端子71a和71b分别是置位端子和复位端子,输出端子72b和72a分别是输出端子Q和互补输出端子QB。FF电路70是锁存电路,只要是在输入端子71a上输入高电平和低电平中的任意一方的电平时,将输出端子72b的电平保持为上述一方的电平的存储器电路即可。

[0550] 图78的(a)是示出尖峰生成电路的图,图78的(b)和图78的(c)是示出内部状态S和输出电压Vout分别相对于时间的图。如图78的(a)所示,向尖峰生成电路74的输入端子75输入电流Iin。输出端子76的电压为电压Vout。

[0551] 如图78的(b)所示,内部状态S是依赖于电流Iin的历史的状态。在实施例1至4及其变形例中,内部状态S是中间节点Ni的电压。内部状态S相应于电流Iin的历史而变化。例如,在实施例3的图8中,节点N1(相当于中间节点Ni)的电压与输入到输入端子75(Tin)的电流

Iin的积分值成比例。当在时刻t58内部状态S达到阈值状态Sth时,尖峰生成电路74输出尖峰信号52作为电压Vout。尖峰信号52是宽度没有意义而仅时机具有意义的电压脉冲。在时刻t58后,内部状态S立即被复位。

[0552] 内部状态S也可以是例如专利文献6中记载的开关元件的内部状态。例如,内部状态S也可以是作为由电流产生的焦耳热的积分值的温度。在图78的(b)中,内部状态S依赖于电流Iin的历史而向正侧变化,当达到正的阈值状态Sth时,输出尖峰信号52。在内部状态S依赖于电流Iin的历史而向负侧变化的情况下,可以在达到负的阈值状态Sth时,输出尖峰信号52。在图78的(c)中,电压Vout为0V,输出电源电压VDD的尖峰信号52,但也可以是,电压Vout为VDD,输出0V的尖峰信号52。

[0553] 这样,尖峰生成电路74是如下的电路:当依赖于输入到输入端子75的输入电流的历史的内部状态S达到阈值状态Sth时,输出高电平或低电平的单发的尖峰信号52,并且将内部状态S复位为初始值。

[0554] 图79的(a)和图79的(b)是比较例1和实施例10的电子电路的框图,是将图77的(a)和图77的(b)的电子电路连接成网络状的图。也可以在图79的(a)中的多个FF电路70之间以及图79的(b)中的FF电路70与尖峰生成电路74之间设置组合电路。

[0555] 如图79的(a)所示,在比较例1的电子电路175中,在FF电路70的输出端子与下一级的FF电路70之间未设置尖峰生成电路74。向各FF电路70输入时钟信号CLK。FF电路70与时钟信号CLK同步地将数据输出给下一级的FF电路70。在FF电路70之间传送的信号是低电平/高电平的比特信号。

[0556] 如图79的(b)所示,在实施例10的电子电路176中,在FF电路70的输出端子与下一级的FF电路70之间设置有尖峰生成电路74。不向各FF电路70输入时钟信号CLK。从尖峰生成电路74向下一级FF电路70传送的信号是尖峰信号。

[0557] 在图77的(a)的比较例1的电子电路中,通过由前级的FF电路70a输出的比特信号来唯一地改写FF电路70b的状态。即,如果前级确定,则后级唯一地确定。因此,无法仅改写一部分的FF电路70的状态。在图79的(a)中,各FF电路70与时钟信号CLK同步动作,按照电子电路175整体一齐地动作的中央集权的方式进行动作。

[0558] 例如振动发电等环境发电的发电电力小。因此,对在环境发电中使用的电力转换电路进行控制的控制电路要求减小功耗。在与时钟信号同步动作的比较例1的电子电路175中,每当切换时钟信号CLK的低电平和高电平时,在CMOS电路中流动充放电电流。因此,产生待机电力。在环境发电的控制电路中,控制所需的时间比较长,例如为m秒以上。因此,也可以不与时钟信号CLK同步地使电子电路175动作。

[0559] 在图77的(b)的实施例10的电子电路中,FF电路70a(第一存储器电路)的输出端子72b(第一输出端子)与尖峰生成电路74(第一尖峰生成电路)的输入端子75连接。尖峰生成电路74在内部状态S达到阈值状态Sth时输出尖峰信号,与前级的FF电路70a的输出无关。因此,关于输入端子71a(第一输入端子)与尖峰生成电路74的输出端子76连接的FF电路70b(第二存储器电路),只要尖峰生成电路74不输出尖峰信号52,就不会改写后级的FF电路70b的状态。

[0560] 在图79的(b)那样的网络中,能够单独地仅改写一部分的FF电路70的状态。由此,各FF电路70能够异步地动作,电子电路176能够局部地并且分散地进行动作。

[0561] 例如,在实施例7的图44的电力转换电路120中,在整流电路62、64、判定电路65以及降压电路66内的控制电路需要动作时,各控制电路内的尖峰生成电路生成尖峰信号,控制电路进行动作。另一方面,在控制电路可以不动作时,控制电路内的尖峰生成电路不生成尖峰信号。在不生成尖峰信号时,几乎不产生控制电路的待机电力。由此,能够抑制功耗。

[0562] 如图77的(b)所示,FF电路70a的输出端子72b可以与组合电路77a的一个或多个输入端子中的至少一个连接。尖峰生成电路74的输入端子75可以与组合电路77a的一个或多个输出端子连接。在组合电路77a的多个输出端子与尖峰生成电路74的输入端子75连接的情况下,组合电路77a的多个输出端子例如经由OR电路等而与尖峰生成电路74的输入端子75连接。另外,可以是,尖峰生成电路74的输出端子76与组合电路77b的一个或多个输入端子中的至少一个连接,FF电路70b的输入端子71a与组合电路77b的一个或多个输出端子连接。

[0563] 图80的(a)和图80的(b)是示出实施例10的电子电路的例子的图。可以是,FF电路70a的输出端子72b(第一输出端子)与尖峰生成电路74的输入端子75连接,FF电路70a的输出端子72a(第二输出端子)与尖峰生成电路74a(第二尖峰生成电路)的输入端子75连接。由此,能够将FF电路70a的输出输入给多个尖峰生成电路74和74a。也可以在FF电路70a与尖峰生成电路74和74a之间设置组合电路。其他结构与实施例10的图77的(b)相同,省略说明。

[0564] 如图80的(b)所示,FF电路70b的输入端子71a(第一输入端子)与尖峰生成电路74的输出端子76连接,输入端子71b(第二输入端子)与尖峰生成电路74b(第三尖峰生成电路)的输出端子76连接。由此,能够使多个尖峰生成电路74和74b与FF电路70a的输入连接。也可以在FF电路70b与尖峰生成电路74和74b之间设置组合电路。其他结构与实施例10的图77的(b)相同,省略说明。

[0565] [实施例10的变形例1]

[0566] 图81的(a)是实施例10的变形例1的电子电路的框图。如图81的(a)所示,在实施例10的变形例1的电子电路177中,从尖峰生成电路74a向FF电路70a的输入端子71a输入尖峰信号。FF电路70a的输出端子72b与尖峰生成电路74的输入端子75连接。尖峰生成电路74的输出端子76与FF电路70a的输入端子71b连接。

[0567] 当尖峰生成电路74a输出尖峰信号时,FF电路70a向尖峰生成电路74输出高电平。当尖峰生成电路74输出尖峰信号52时,FF电路70a向尖峰生成电路74输出低电平。由此,尖峰生成电路74的输入端子75的电平被复位。

[0568] 如实施例10的变形例1那样,将FF电路70a的输出端子72b与输入端子75连接的尖峰生成电路74的输出端子76连接于FF电路70a的输入端子71b。由此,能够在尖峰生成电路74输出尖峰信号52时,将FF电路70a的输出端子72b的输出复位。

[0569] [实施例10的变形例2]

[0570] 图81的(b)是实施例10的变形例2的电子电路的框图。如图81的(b)所示,在实施例10的变形例2的电子电路177a中,元件或电路79的一端与FF电路70a的输出端子72b连接,另一端与尖峰生成电路74的输入端子75连接。元件或电路79使与一端和另一端之间的电压差对应的电流流过。元件或电路79例如是晶体管、电阻或漏电流元件,是实施例8的变形例2的图64的(a)的恒流元件或恒流电路33b。尖峰生成电路74在输入到输入端子75的电流的积分值达到阈值时输出尖峰信号52。例如是图64的(a)的电容器C1和输出电路150。其他电路结

构与实施例10的变形例1相同,省略说明。

[0571] 在实施例10的变形例2中,在从尖峰信号输入到FF电路70a的输入端子71a起经过了规定的时间后,尖峰生成电路74输出尖峰信号52,并且将FF电路70a复位。

[0572] [实施例10的变形例3]

[0573] 图82的(a)和图82的(b)是实施例10的变形例3的电子电路的框图。电子电路178具有AND电路78a、78b、OR电路78c和78d作为FF电路70c至70f、尖峰生成电路74、74c、组合电路。各电路的电源电压例如是相同的电压VDD。

[0574] 如图82的(a)所示,向FF电路70c的输入端子71a和71b分别输入尖峰信号52b和52c。由此,FF电路70c在尖峰信号52b输入时向输出端子72b输出高电平作为比特信号L/H1,在尖峰信号52c输入时向输出端子72b输出低电平作为比特信号L/H1。

[0575] 向OR电路78c输入尖峰信号52d和52e。OR电路78c的输出输入给FF电路70d的输入端子71a。这样,可以使用OR电路78c等的组合电路而将来自多个路径的尖峰信号输入到一个FF电路70d的输入端子71a。FF电路70d在尖峰信号输入到输入端子71a时,向输出端子72b输出高电平作为比特信号L/H2。

[0576] 向AND电路78a输入比特信号L/H1和L/H2,AND电路78a的输出输入给尖峰生成电路74。在从FF电路70c和70d双方成为高电平起经过了规定的时间后,尖峰生成电路74输出尖峰信号52。可以使用FF电路70c、70d和AND电路78a等的组合电路,在某个条件被满足之前使向尖峰生成电路74的输入待机。

[0577] 尖峰信号52经由OR电路78d而输入给FF电路70d的输入端子71b。由此,FF电路70d向输出端子72b输出低电平作为比特信号L/H2。即,比特信号L/H2被复位。

[0578] 向FF电路70e的输入端子71a和71b分别输入尖峰信号52f和52g。由此,FF电路70e在尖峰信号52f输入时向输出端子72b输出高电平作为比特信号L/H3,在尖峰信号52g输入时向输出端子72b输出低电平作为比特信号L/H3。比特信号L/H3经由时间常数短的尖峰生成电路74c而输入给OR电路78d。由此,即使未输出尖峰信号52,只要比特信号L/H3成为高电平,比特信号L/H2就被复位。另外,如图82的(b)所示,在采用了AND电路78e来代替OR电路78d的情况下,在比特信号L/H2和L/H1为高电平并且比特信号L/H3为低电平的期间,尖峰生成电路74以恒定间隔持续输出尖峰信号52。这样,可以使用FF电路70d、70e和OR电路78d等的组合电路,在尖峰信号52输出之前对FF电路70d进行复位。另外,可以在某个条件被满足之前,持续输出尖峰信号52。

[0579] 向FF电路70f的输入端子71a和71b分别输入尖峰信号52h和52i。由此,FF电路70f在尖峰信号52h输入时向输出端子72b输出高电平作为比特信号L/H4,在尖峰信号52i输入时向输出端子72b输出低电平作为比特信号L/H4。比特信号L/H4输入给AND电路78b。AND电路78b在比特信号L/H4为高电平时使尖峰信号52通过,在比特信号L/H4为低电平时不让尖峰信号52通过。这样,可以使用FF电路70f和AND电路78b的组合电路,仅在某个条件被满足时使尖峰信号52通过。

[0580] 图82的(c)是示出实施例10的变形例3的电子电路的符号的图。如图82的(c)所示,向电子电路178的输入端子Tin输入尖峰信号52b至52i。从电子电路178的输出端子Tout1输出尖峰信号52。从输出端子Tout2输出比特信号L/H1至L/H4。这样,电子电路178在一个或多个尖峰信号输入时,输出一个或多个尖峰信号以及一个或多个比特信号。电子电路178除了

图82的(a)的电路结构以外,只要在一个或多个尖峰信号输入时,输出一个或多个比特信号以及一个或多个尖峰信号中的至少一个信号即可。

[0581] 对向电子电路178输入的尖峰信号的例子进行说明。图83的(a)和图83的(b)是示出向实施例10的变形例3中的电子电路输入的尖峰信号的例子的图。如图83的(a)所示,尖峰信号52j可以是由传感器79a输出的信号。如图83的(b)所示,比较器79b向电子电路79c的输入端子输出比特信号L/H。电子电路79c在比特信号L/H上升和下降时输出尖峰信号52j。尖峰信号52j也可以是在比特信号L/H上升和下降时输出的信号。

[0582] 对使用由电子电路178输出的尖峰信号的电路例进行说明。图84的(a)和图84的(b)是示出使用从实施例10的变形例3中的电子电路输出的尖峰信号的电路例的图。如图84的(a)所示,向晶体管79h的控制端子输入由电子电路178输出的尖峰信号52和/或比特信号L/H。可以是,向FF电路70b的输入端子71a或71b输入由电子电路178输出的尖峰信号52,向晶体管79h的控制端子输入由FF电路70b输出的比特信号L/H。这样,由电子电路178输出的尖峰信号52和/或比特信号L/H可以控制晶体管79h。

[0583] 如图84的(b)所示,向FF电路70b的输入端子71a或71b输入由电子电路178输出的尖峰信号52。这样,可以在FF电路70b的改写中使用由电子电路178输出的尖峰信号52。

[0584] 图85的(a)和图85的(c)是示出使用从实施例10的变形例3中的电子电路输出的尖峰信号的例子的电路图,图85的(b)和图85的(d)是示出从天线输出的电磁波的大小(电场)的图。

[0585] 如图85的(a)所示,电力放大器79d对由电子电路178输出的尖峰信号52进行放大。天线79e将放大后的尖峰信号作为电磁波输出。如图85的(b)所示,从天线79e输出与尖峰信号52相当的尖峰信号。

[0586] 如图85的(c)所示,带通滤波器79f连接在电力放大器79d与天线79e之间。带通滤波器79f仅使尖峰信号52中的适于无线通信的特定频带的成分通过。如图85的(d)所示,从天线79e输出与尖峰信号52中的特定频带相当的信号。

[0587] 可以像图85的(a)至图85的(d)那样将从电子电路178输出的尖峰信号52用于脉冲通信。

[0588] [实施例10的变形例4]

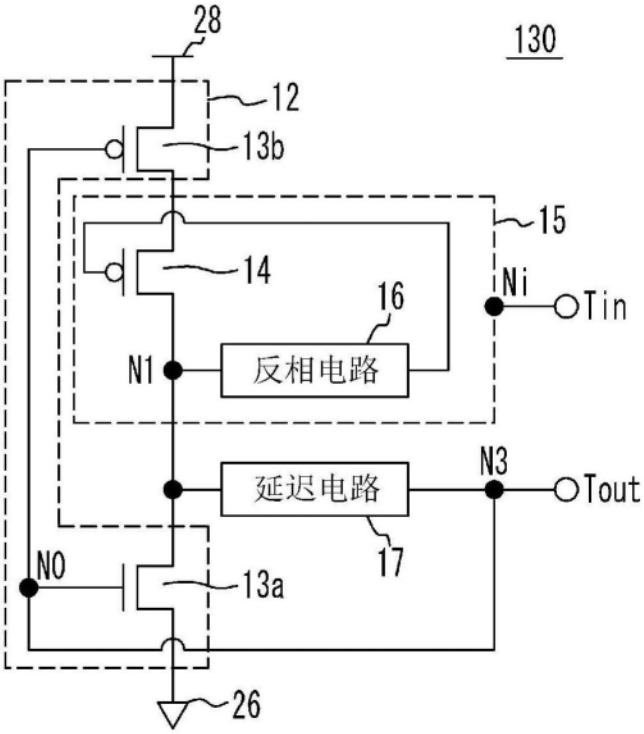
[0589] 图86是实施例10的变形例4的网络电路的示意图。用图82的(c)的符号来示出像实施例10的变形例4那样一个或多个尖峰信号输入并且输出一个或多个尖峰信号以及一个或多个比特信号的电子电路。在该电子电路中,从左侧输入尖峰信号,向右侧输出尖峰信号,向上侧输出比特信号。如图86所示,电子电路178可以网络连接。

[0590] 以上,对本发明的优选的实施例进行了详述,但本发明不限于特定的实施例,能够在权利要求书所记载的本发明的主旨的范围内进行各种变形、变更。

[0591] 标号说明

[0592] 10:输入电路;12、20、22a-22g:逆变器;14、48:FET;16、16a、16b、18:反相电路;17:延迟电路;30:电压转换电路;32:时间常数电路;34:抑制电路;40、74a-74c:尖峰生成电路;42:条件设定电路;44:尖峰处理电路;45、45a-45f:节点电路;46:触发器;47Vg:生成电路;60:发电电路;62、64:整流电路;65:判定电路;66:降压电路;68:蓄电电路。

(a)


28
130
12
13b
15
14
16
Ni
Tin
N1
反相电路
N3
延迟电路
Tout
17
N0
13a
26

(b)

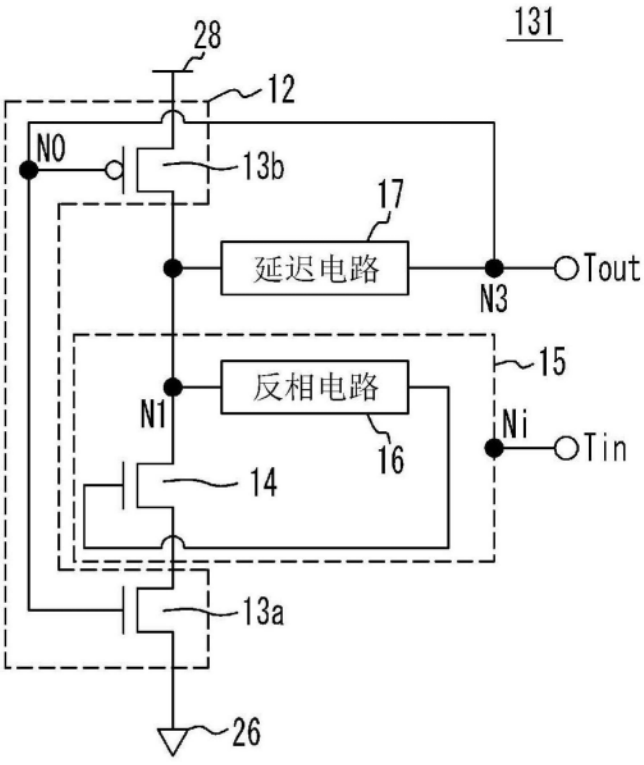

28
131
12
N0
13b
17
延迟电路
Tout
N3
15
反相电路
N1
16
Ni
Tin
14
13a
26

图1

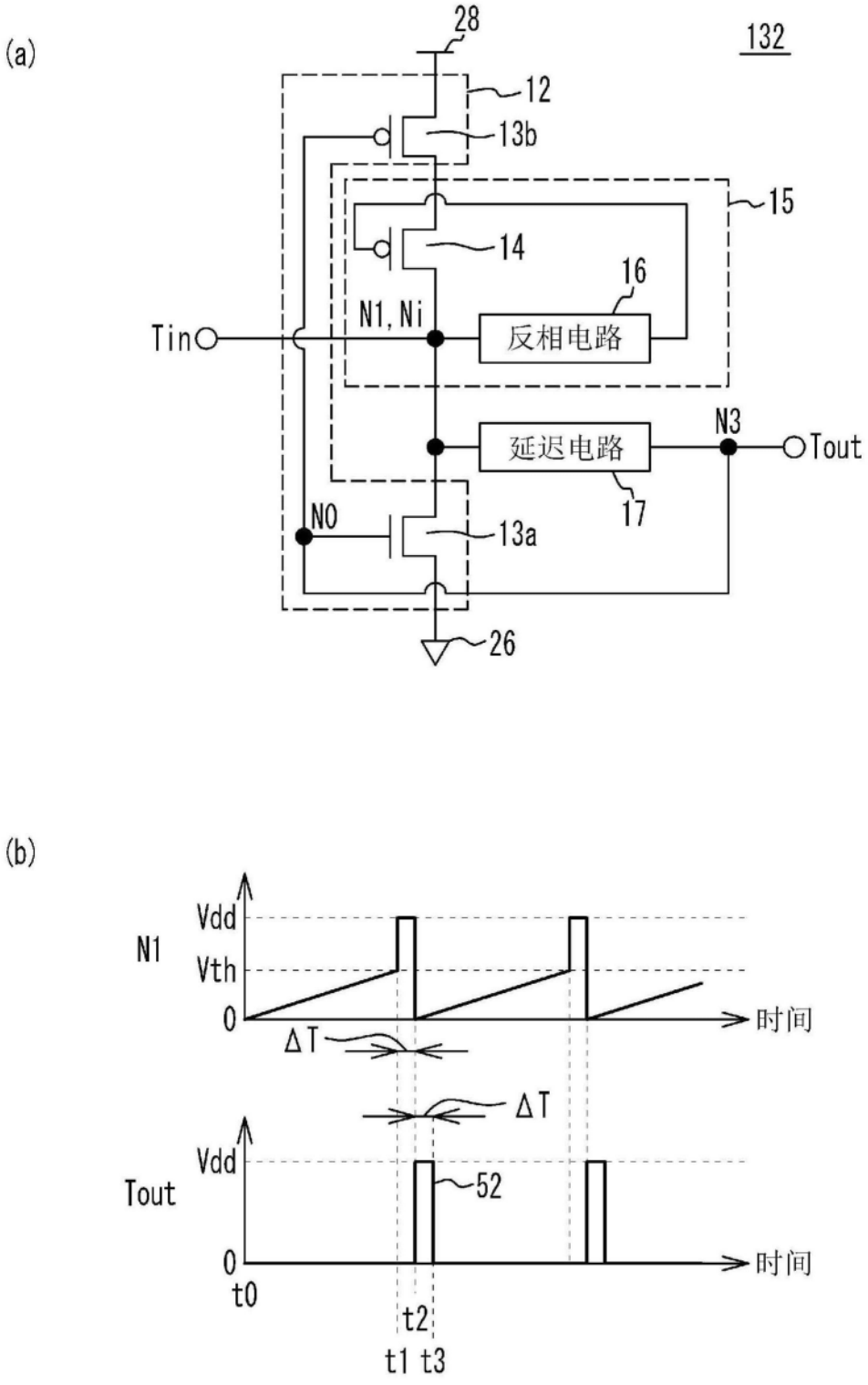

(a)
28
132
12
13b
15
14
16
N1, Ni
Tin
反相电路
N3
Tout
延迟电路
17
N0
13a
26
(b)
N1
Vdd
Vth
0
时间
ΔT
ΔT
Tout
Vdd
52
0
时间
t0
t2
t1 t3

图2

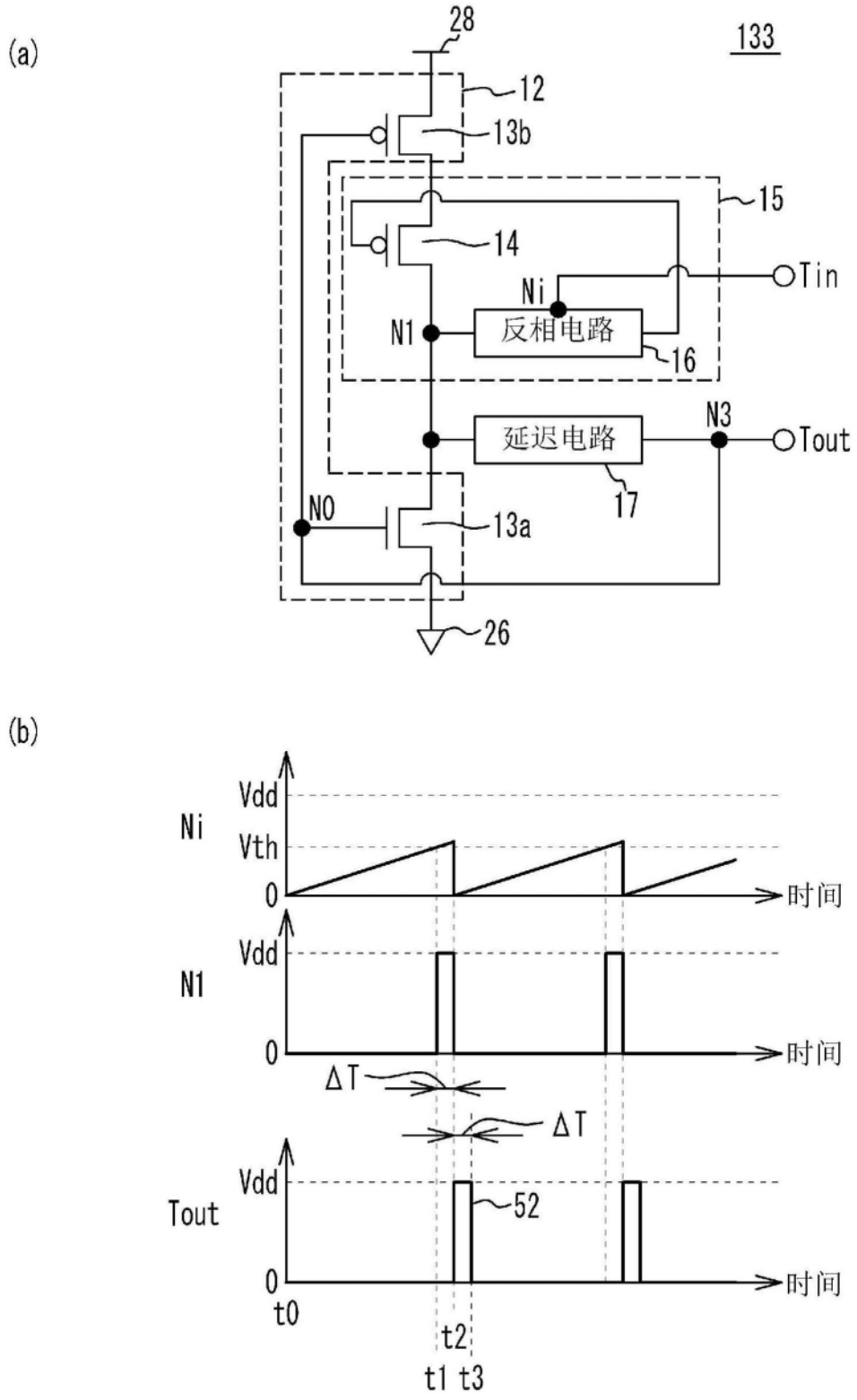

(a)
28
133
12
13b
15
14
Tin
Ni
N1
反相电路
16
N3
Tout
延迟电路
17
N0
13a
26
(b)
Ni
Vdd
Vth
0
时间
N1
Vdd
0
时间
ΔT
ΔT
Tout
Vdd
52
0
时间
t0
t2
t1 t3

图3

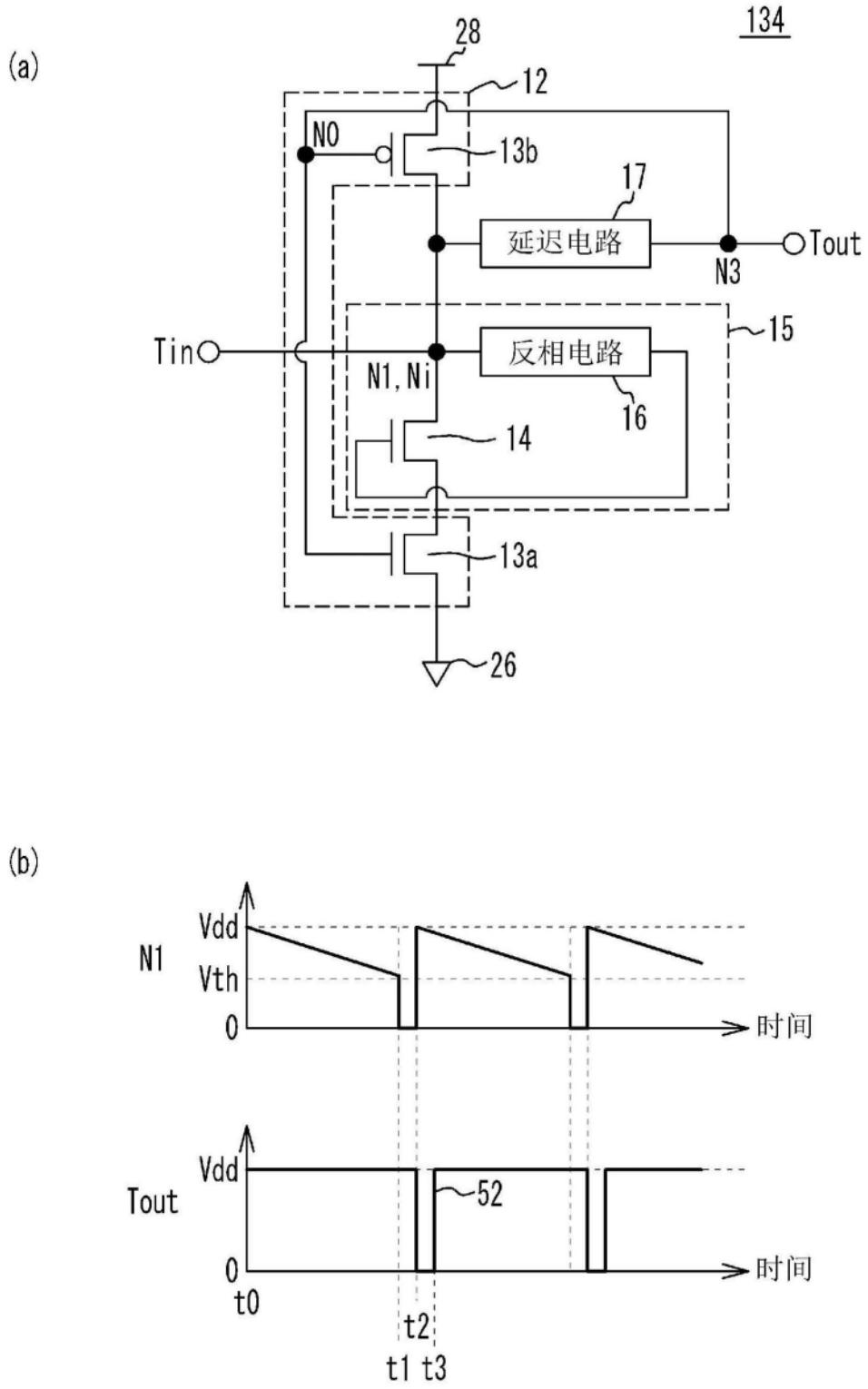

(a)
134
28
12
N0
13b
17
延迟电路
Tout
N3
15
Tin
N1, Ni
反相电路
16
14
13a
26
(b)
N1
Vdd
Vth
0
时间
Tout
Vdd
52
0
时间
t0
t2
t1 t3

图4

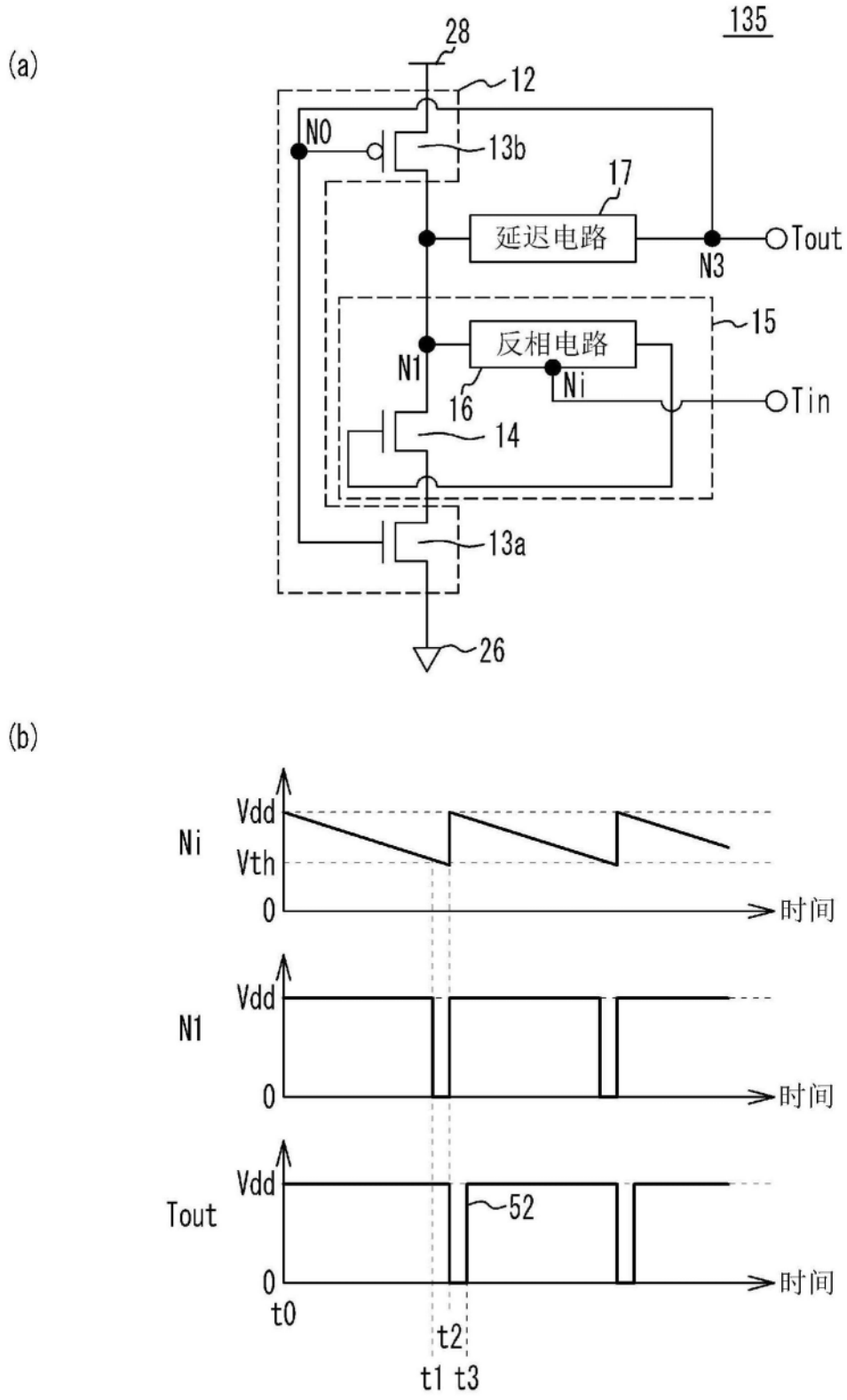

(a)
135
28
12
N0
13b
17
延迟电路
Tout
N3
15
反相电路
N1
Ni
16
Tin
14
13a
26
(b)
Ni
Vdd
Vth
0
时间
N1
Vdd
0
时间
Tout
Vdd
52
0
时间
t0
t2
t1 t3

图5

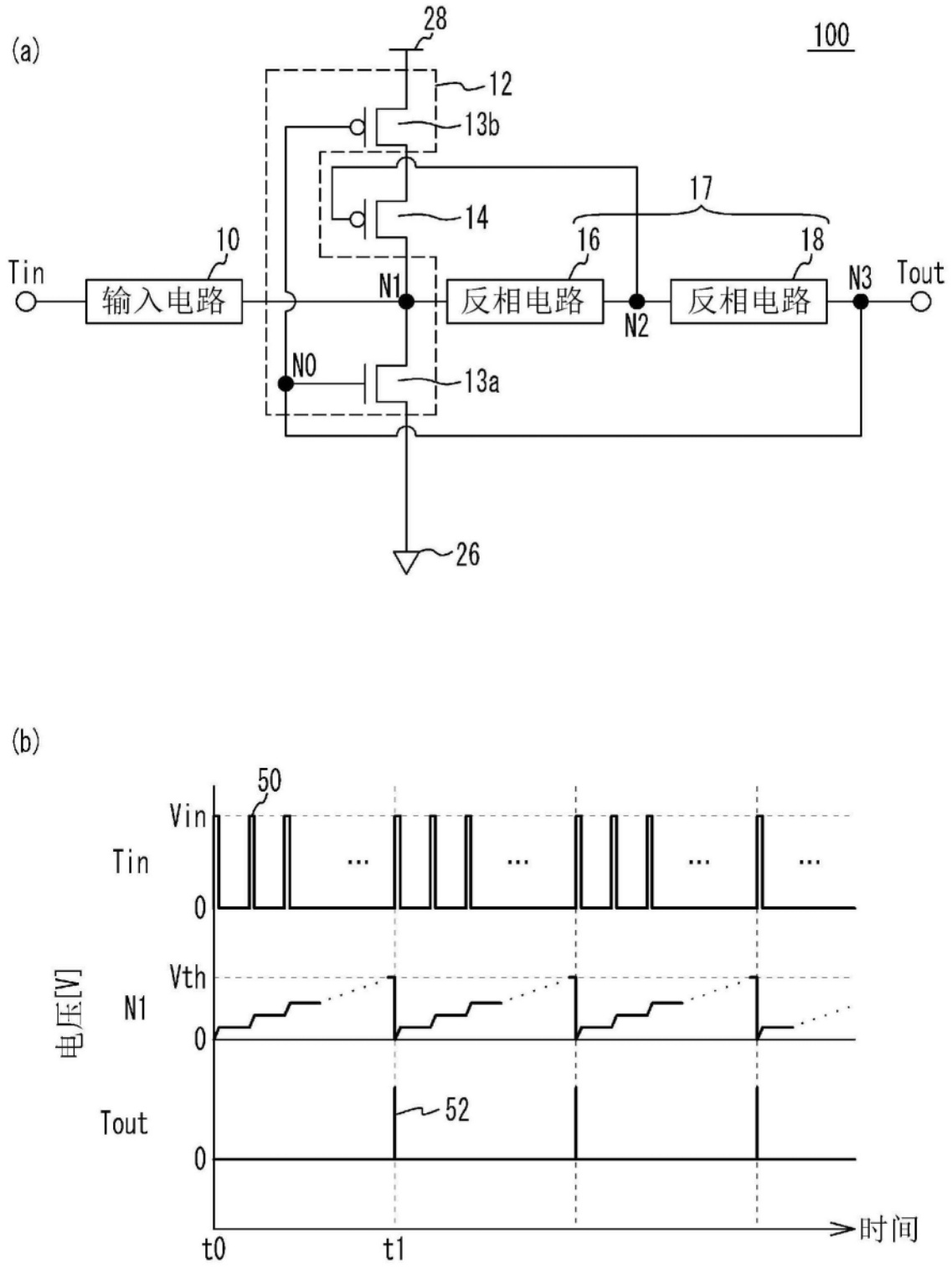

(a)
100
28
12
13b
14
17
10
16
18
Tin
输入电路
N1
反相电路
N2
反相电路
N3
Tout
N0
13a
26
(b)
50
Vin
Tin
0
Vth
N1
0
电压[V]
52
Tout
0
时间
t0
t1

图6

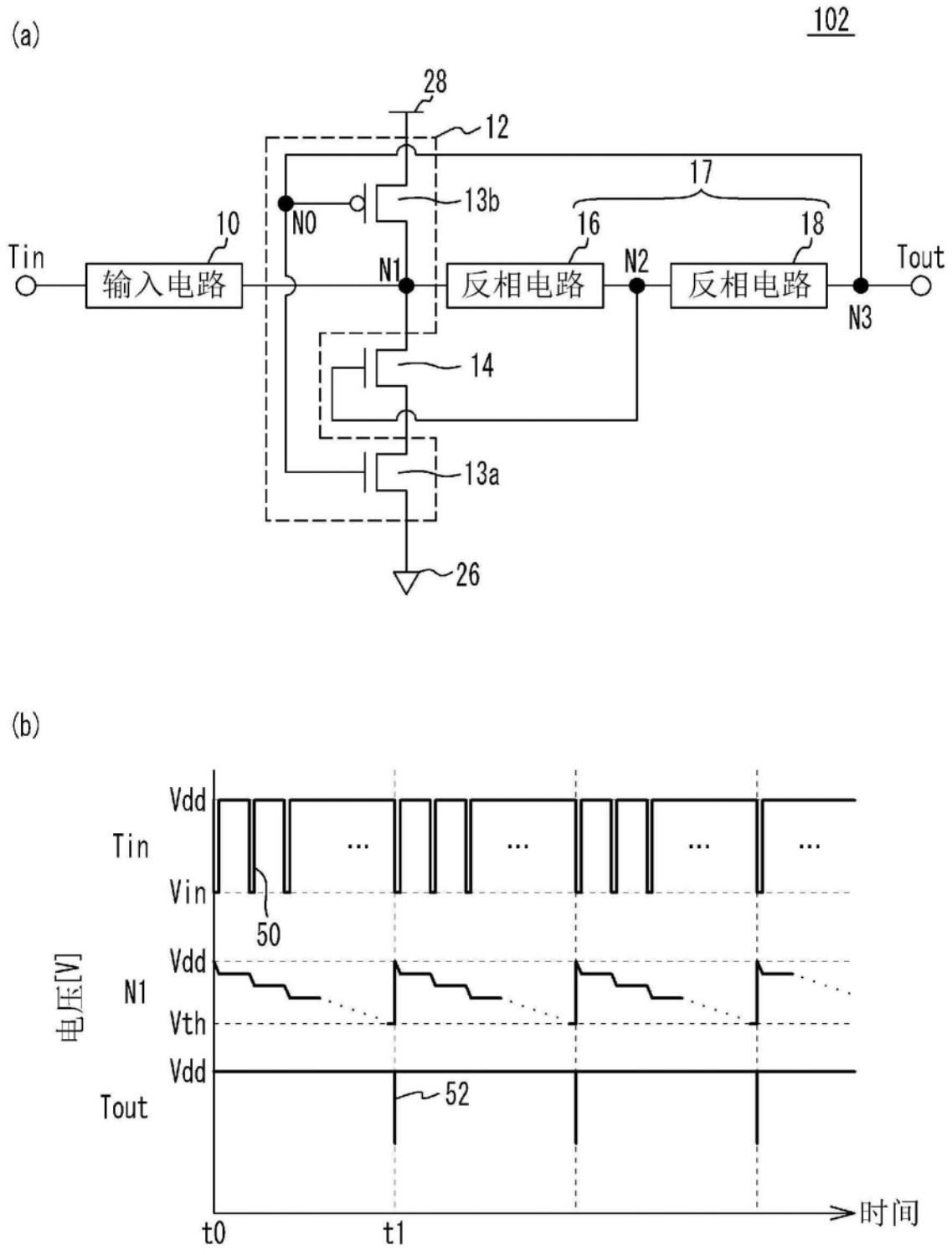

(a)
102
28
12
17
13b
N0
10
16
18
Tin
输入电路
N1
反相电路
N2
反相电路
Tout
N3
14
13a
26
(b)
Vdd
Tin
Vin
50
Vdd
N1
Vth
Vdd
Tout
52
电压[V]
时间
t0
t1

图7

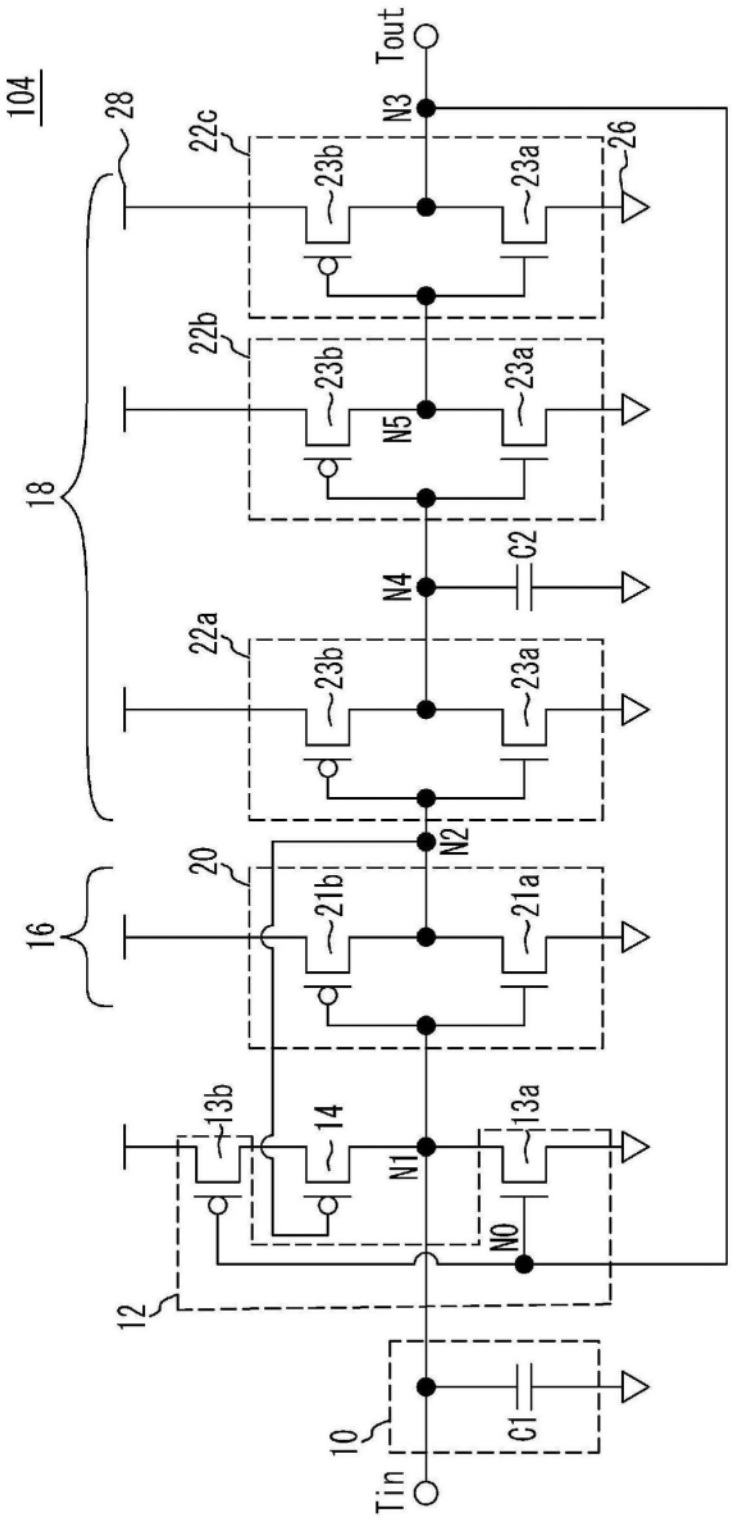

104
28
22c
23b
23a
26
Tout
N3
22b
23b
23a
N5
18
C2
N4
22a
23b
23a
N2
20
21b
21a
16
13b
14
13a
N1
N0
12
10
C1
Tin

图8

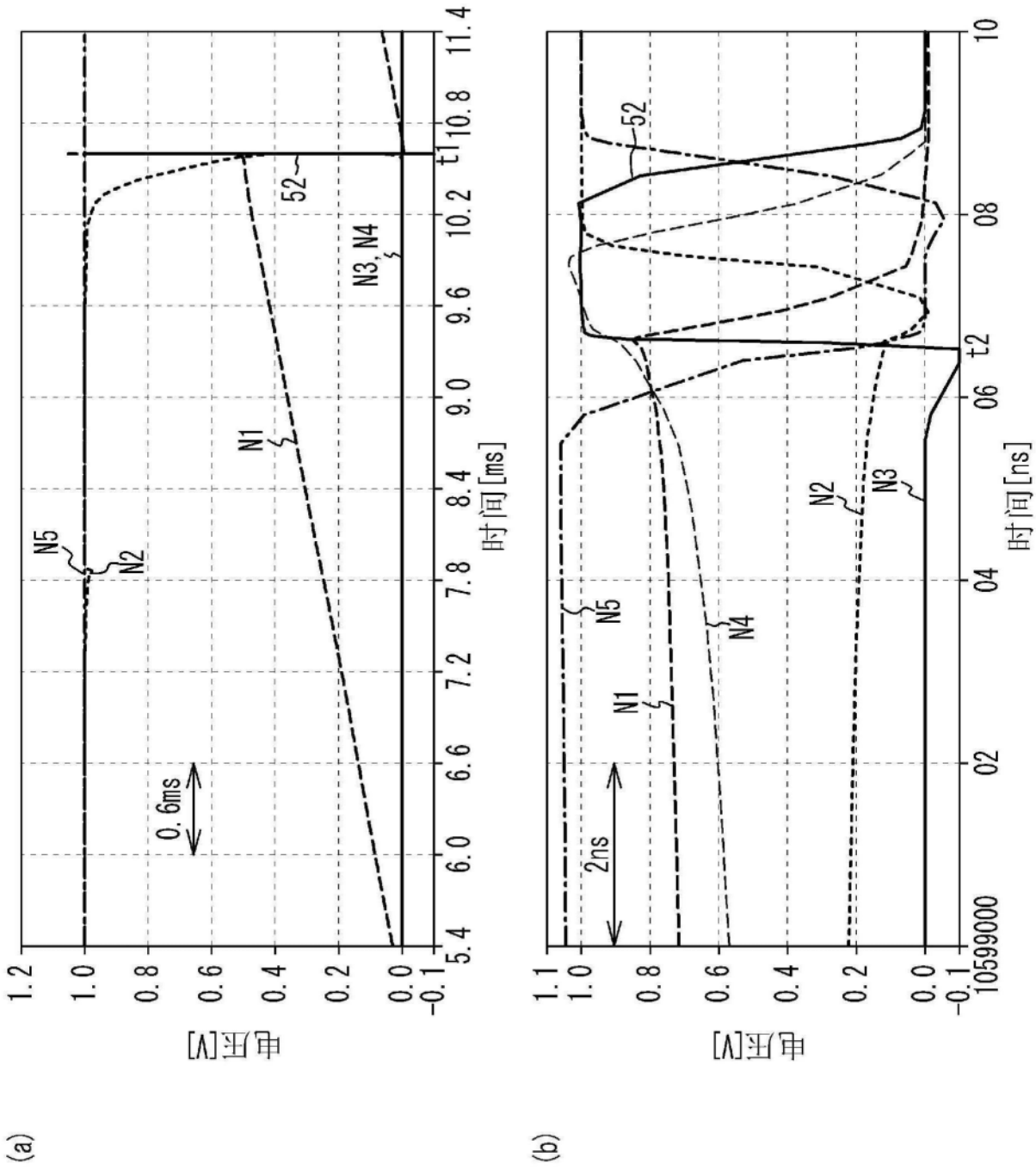

(a)
电压[V]
时间[ms]
N5
N2
N1
52
N3, N4
0.6ms
t1
(b)
电压[V]
时间[ns]
52
N5
N1
N4
N2
N3
2ns
t2

图9

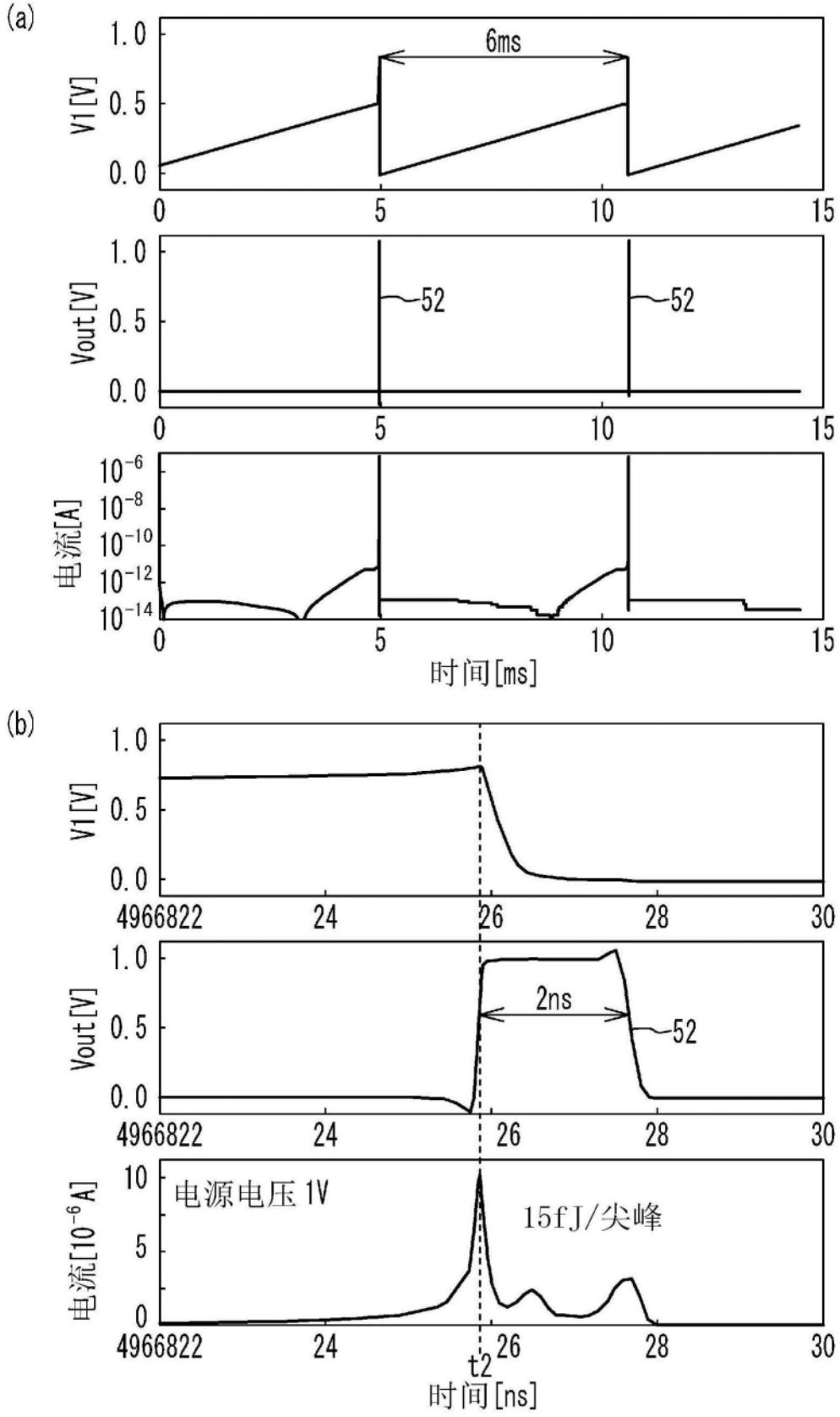

(a)
6ms
V1[V]
Vout[V]
52
52
电流[A]
时间[ms]
(b)
V1[V]
Vout[V]
2ns
52
电流[10⁻⁶A]
电源电压 1V
15fJ/尖峰
t2
时间[ns]

图10

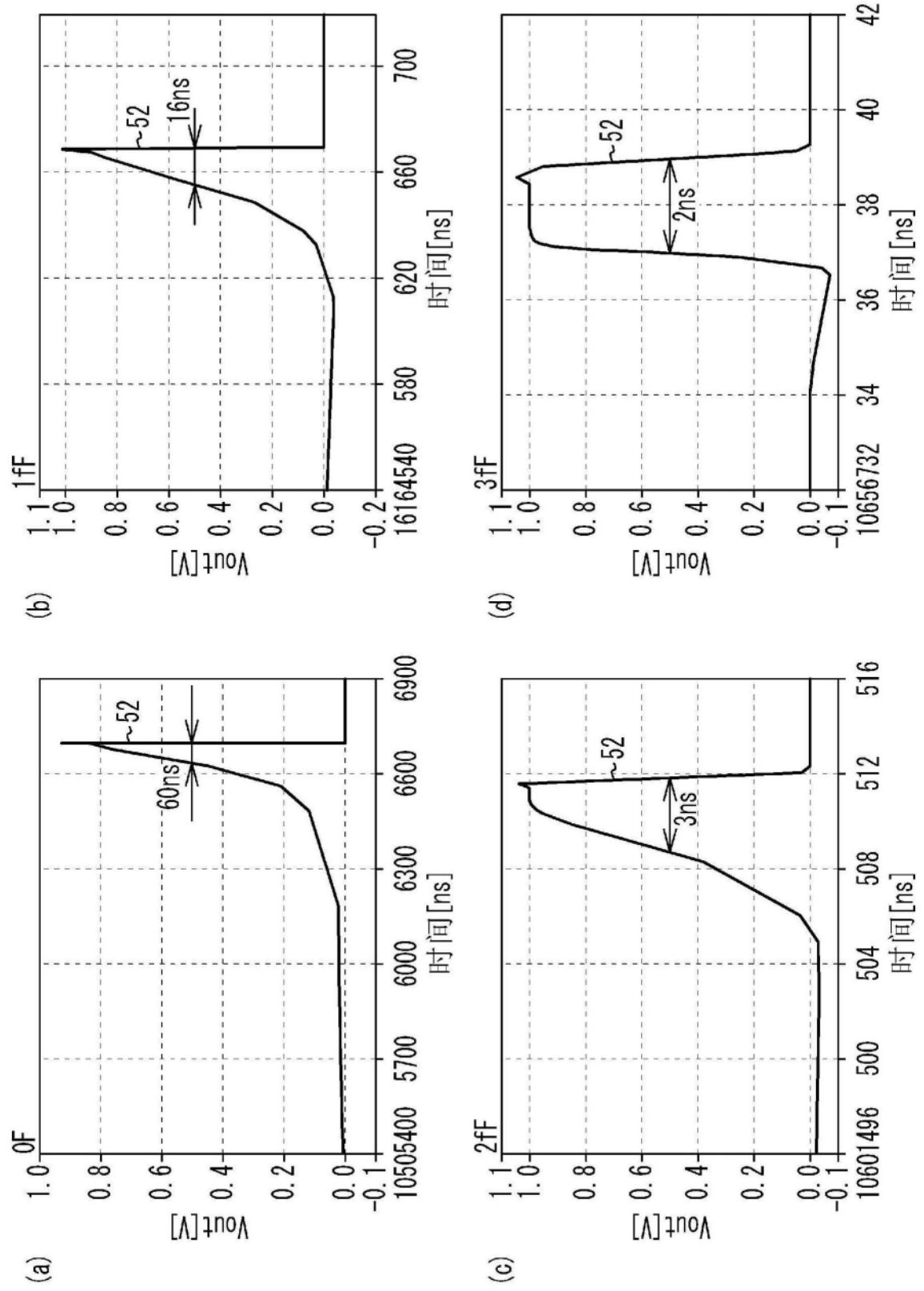

(a)
0F
Vout[V]
时间[ns]
52
60ns
(b)
1fF
Vout[V]
时间[ns]
52
16ns
(c)
2fF
Vout[V]
时间[ns]
52
3ns
(d)
3fF
Vout[V]
时间[ns]
52
2ns

图11

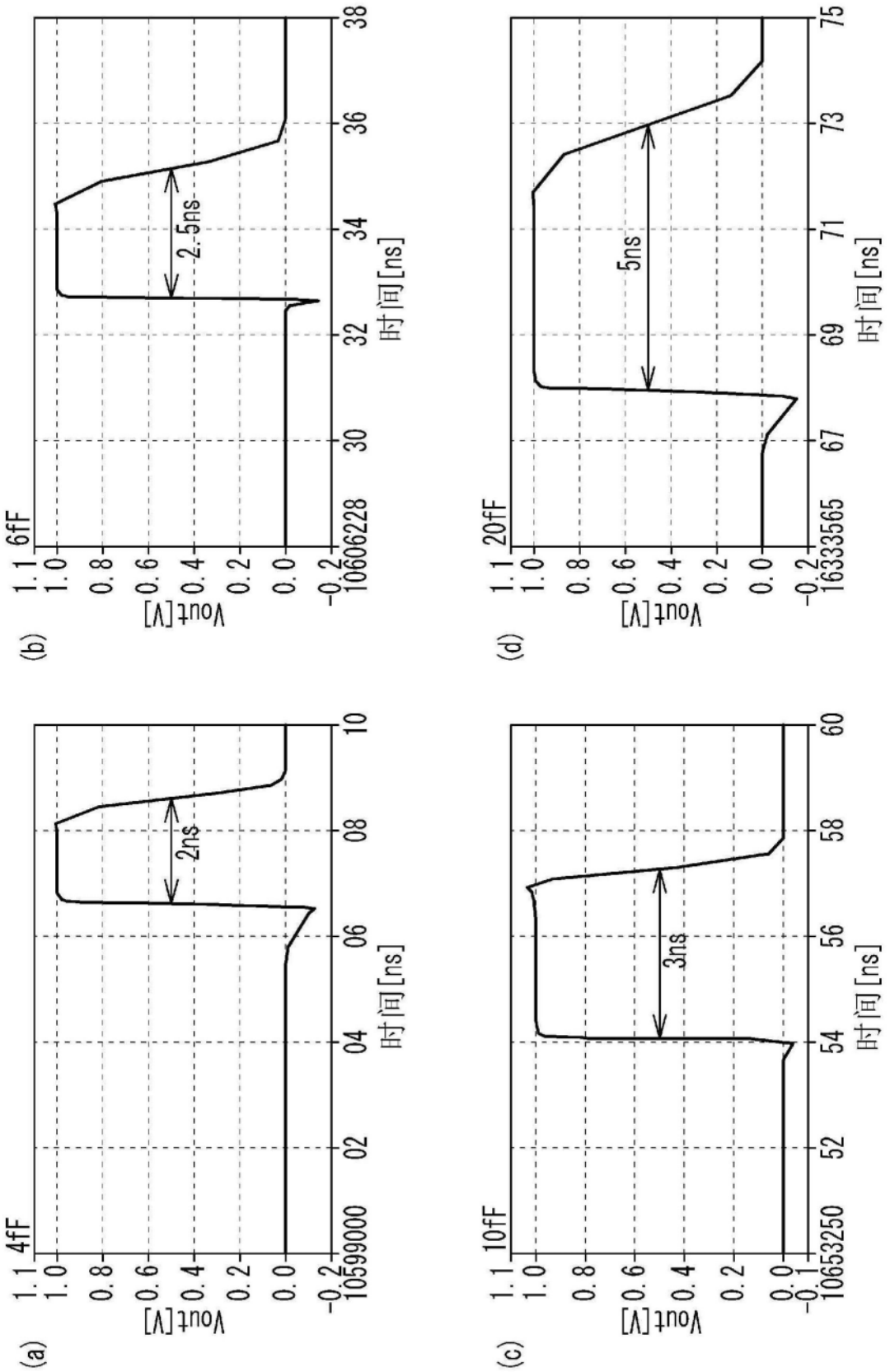

(a)
4fF
2ns
Vout[V]
时间[ns]
(b)
6fF
2.5ns
Vout[V]
时间[ns]
(c)
10fF
3ns
Vout[V]
时间[ns]
(d)
20fF
5ns
Vout[V]
时间[ns]

图12

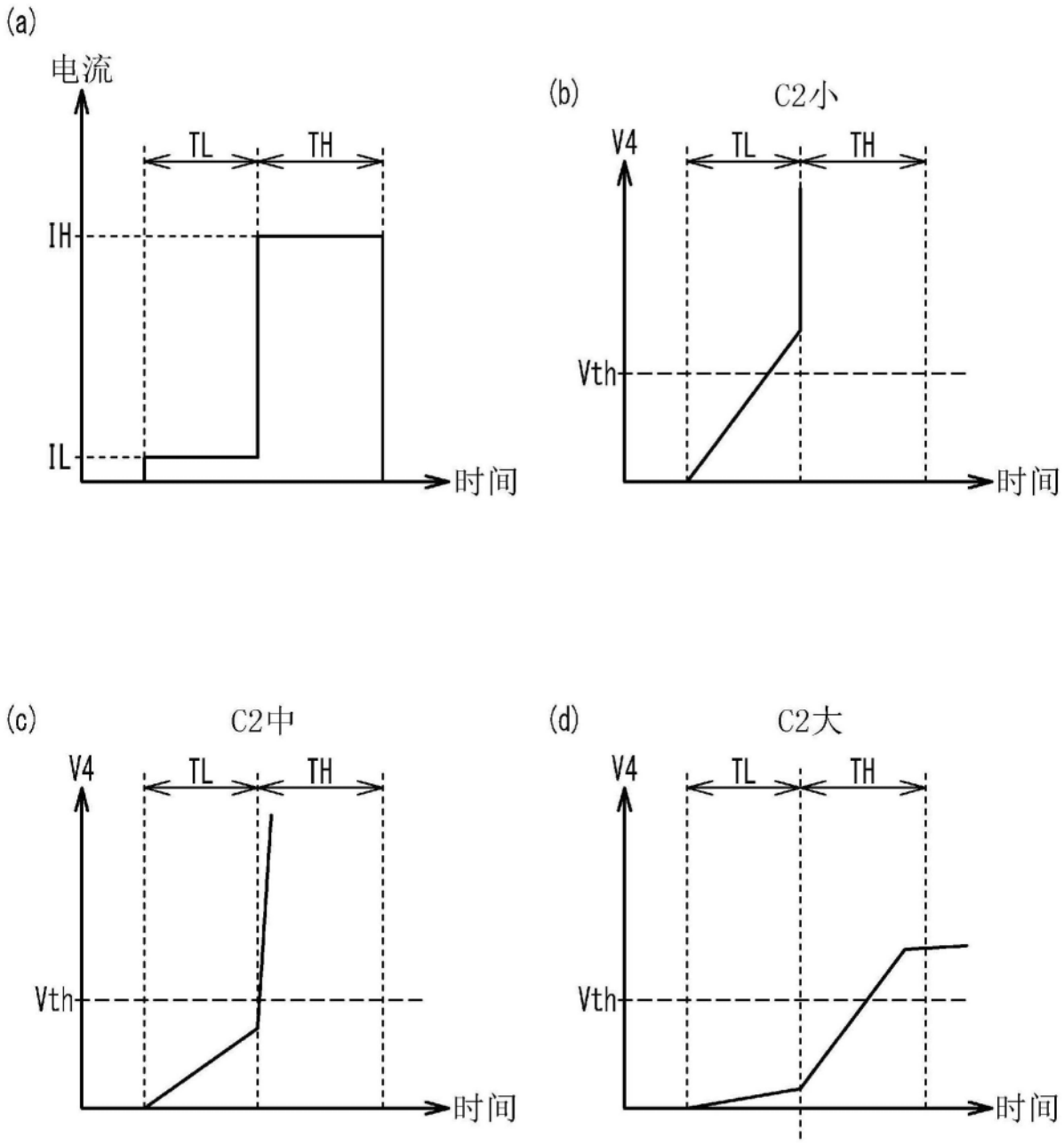

(a)
电流
TL
TH
IH
IL
时间
(b)
C2小
V4
TL
TH
Vth
时间
(c)
C2中
V4
TL
TH
Vth
时间
(d)
C2大
V4
TL
TH
Vth
时间

图13

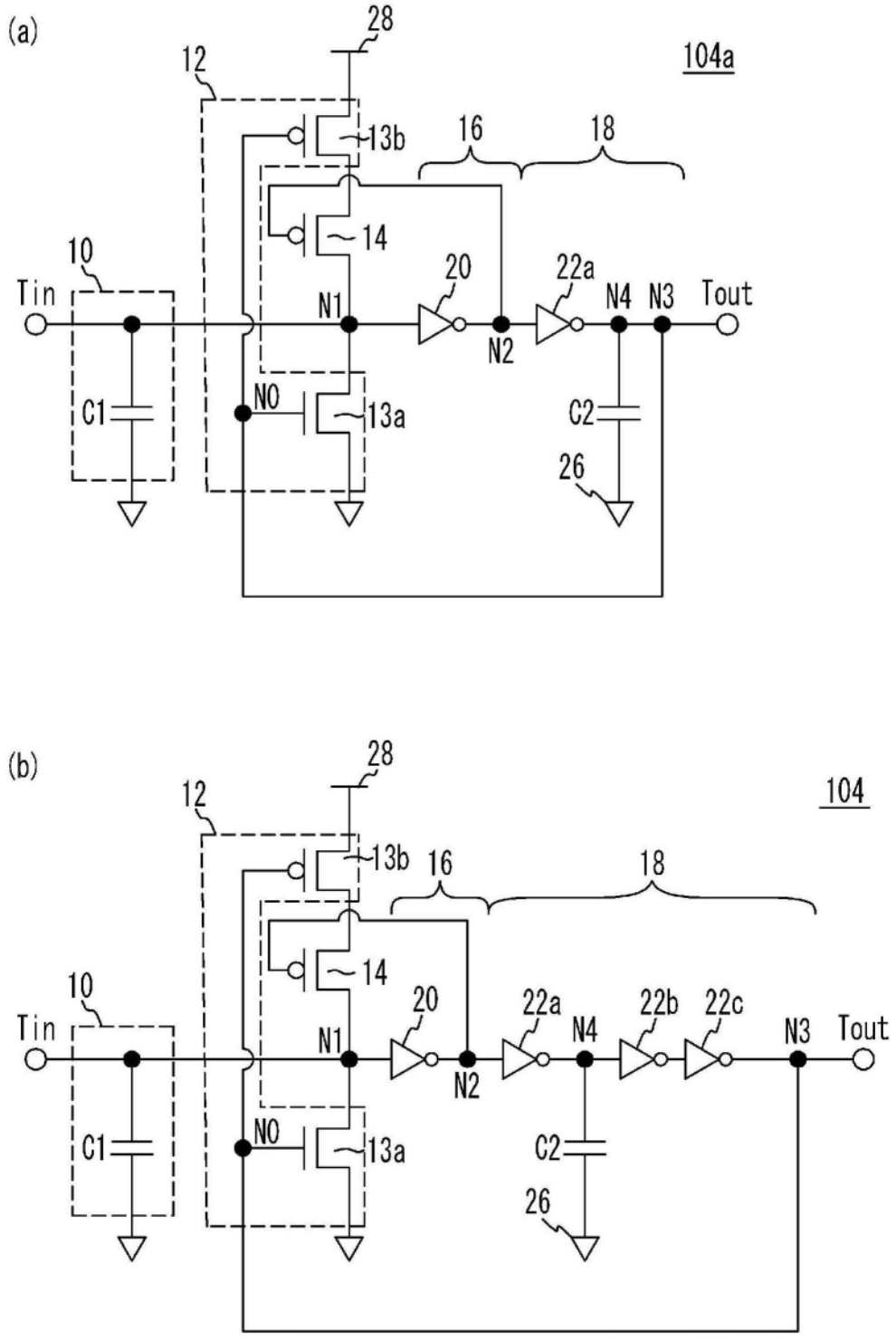

(a)
28
12
104a
13b
16
18
14
10
20
22a
Tin
N1
N4
N3
Tout
N2
C1
N0
13a
C2
26
(b)
28
12
104
13b
16
18
14
10
20
22a
22b
22c
Tin
N1
N4
N3
Tout
N2
C1
N0
13a
C2
26

图14

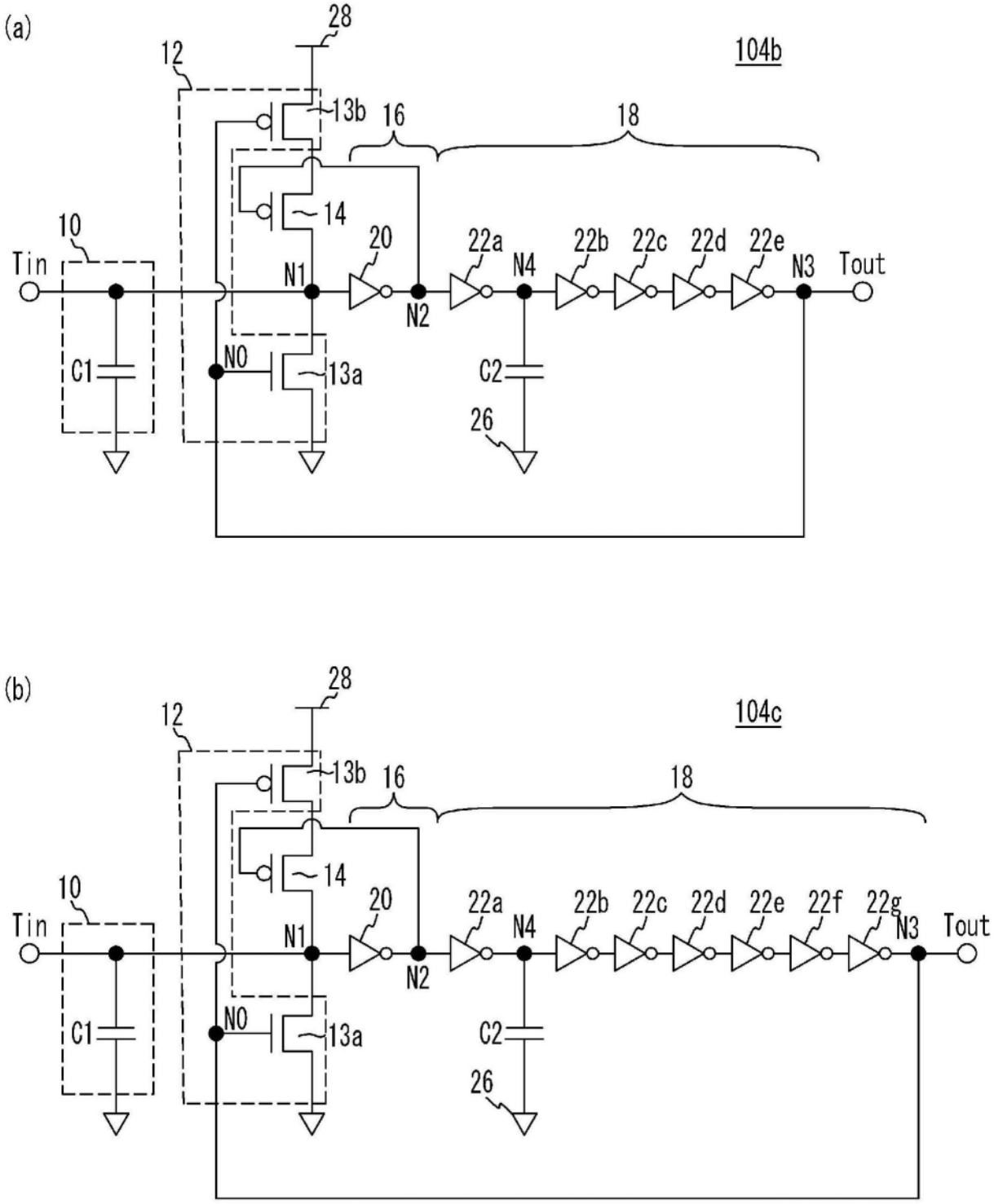

(a)
28
12
104b
13b
16
18
14
10
20
22a
22b
22c
22d
22e
Tin
N1
N4
N3
Tout
N2
C1
N0
13a
C2
26
(b)
28
12
104c
13b
16
18
14
10
20
22a
22b
22c
22d
22e
22f
22g
Tin
N1
N4
N3
Tout
N2
C1
N0
13a
C2
26

图15

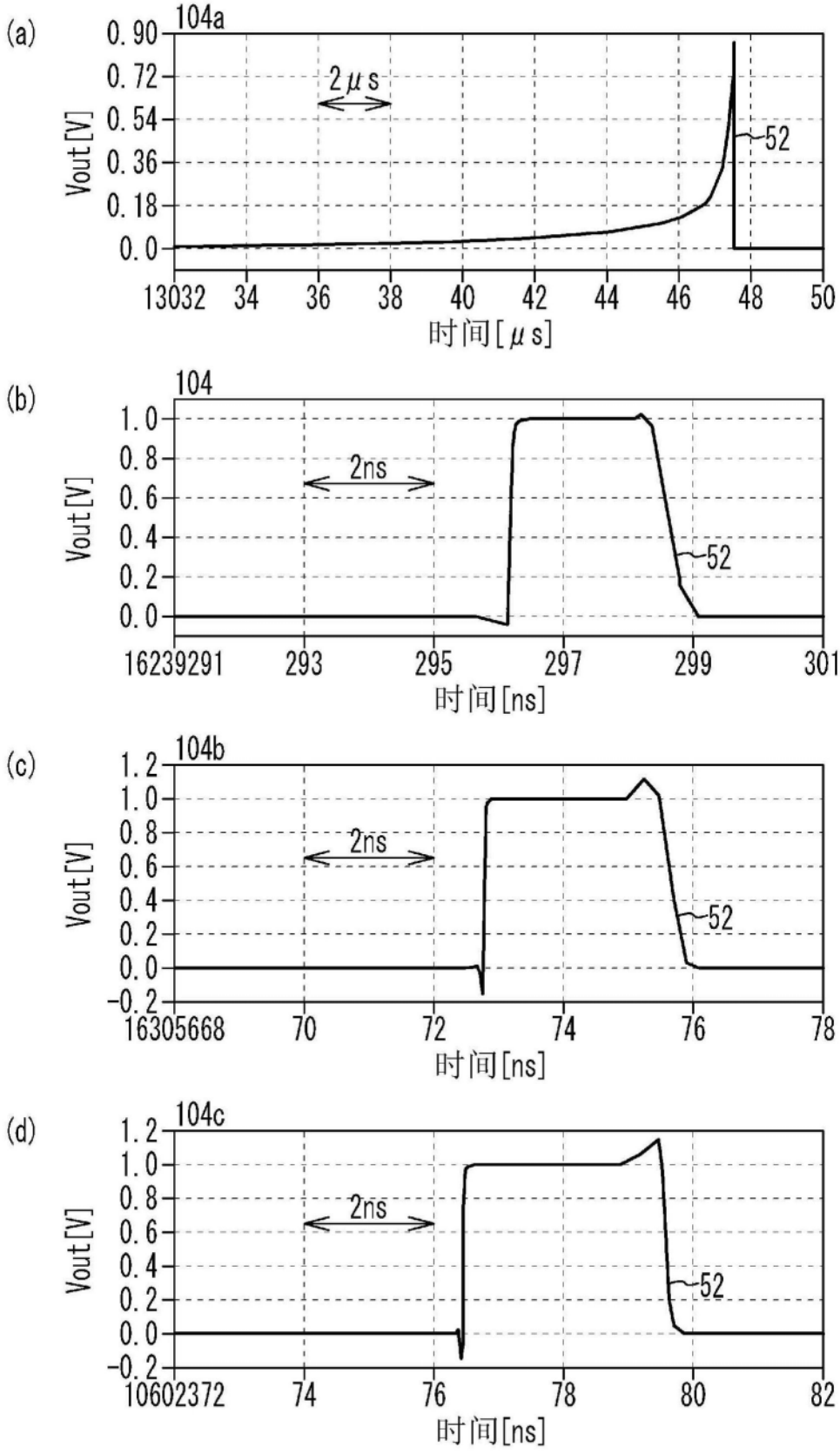

(a)
104a
0.90
0.72
0.54
0.36
0.18
0.0
Vout[V]
2μs
52
13032
34
36
38
40
42
44
46
48
50
时间[μs]
(b)
104
1.0
0.8
0.6
0.4
0.2
0.0
Vout[V]
2ns
52
16239291
293
295
297
299
301
时间[ns]
(c)
104b
1.2
1.0
0.8
0.6
0.4
0.2
0.0
-0.2
Vout[V]
2ns
52
16305668
70
72
74
76
78
时间[ns]
(d)
104c
1.2
1.0
0.8
0.6
0.4
0.2
0.0
-0.2
Vout[V]
2ns
52
10602372
74
76
78
80
82
时间[ns]

图16

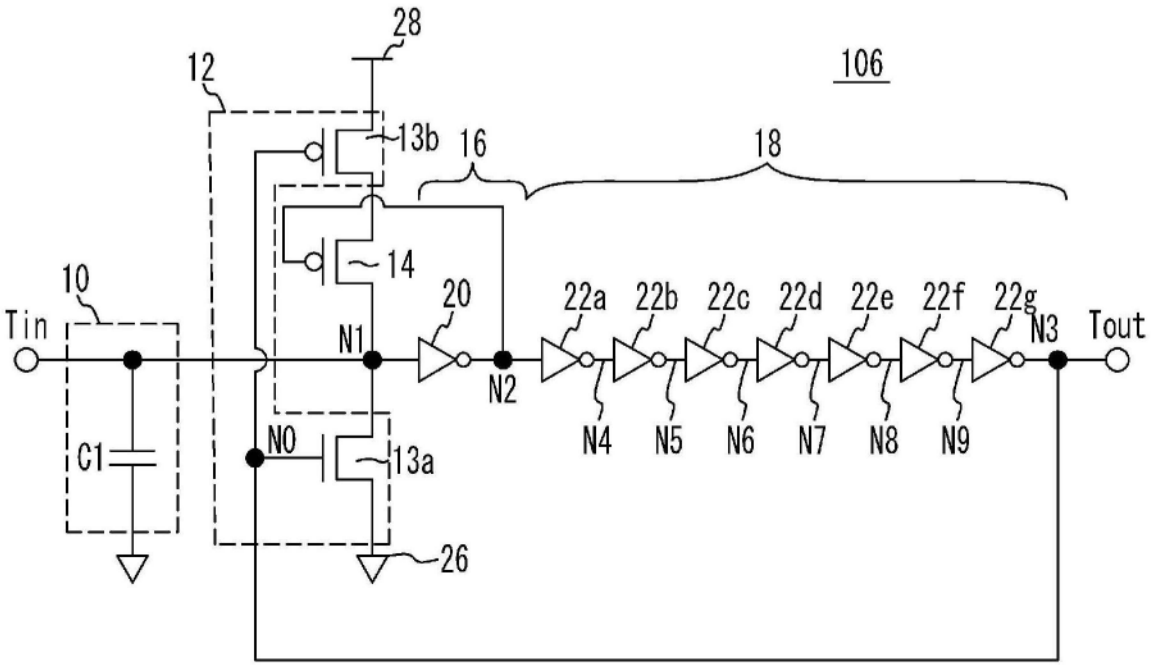

28
12
106
13b
16
18
14
10
20
22a
22b
22c
22d
22e
22f
22g
N3
Tout
Tin
N1
N2
N4
N5
N6
N7
N8
N9
C1
N0
13a
26

图17

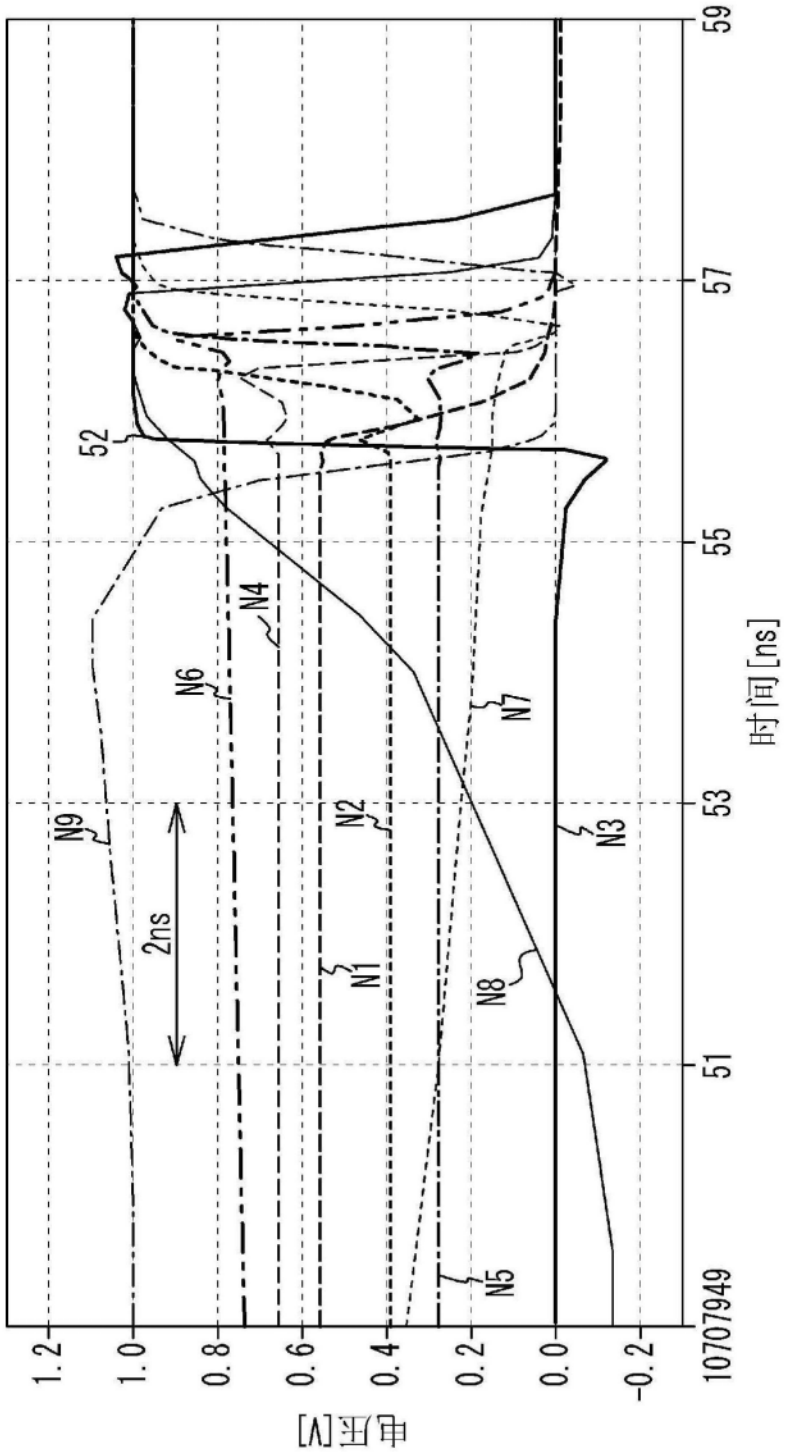

电压[V]
1.2
1.0
0.8
0.6
0.4
0.2
0.0
-0.2
时间[ns]
59
57
55
53
51
10707949
52
N1
N2
N3
N4
N5
N6
N7
N8
N9
2ns

图18

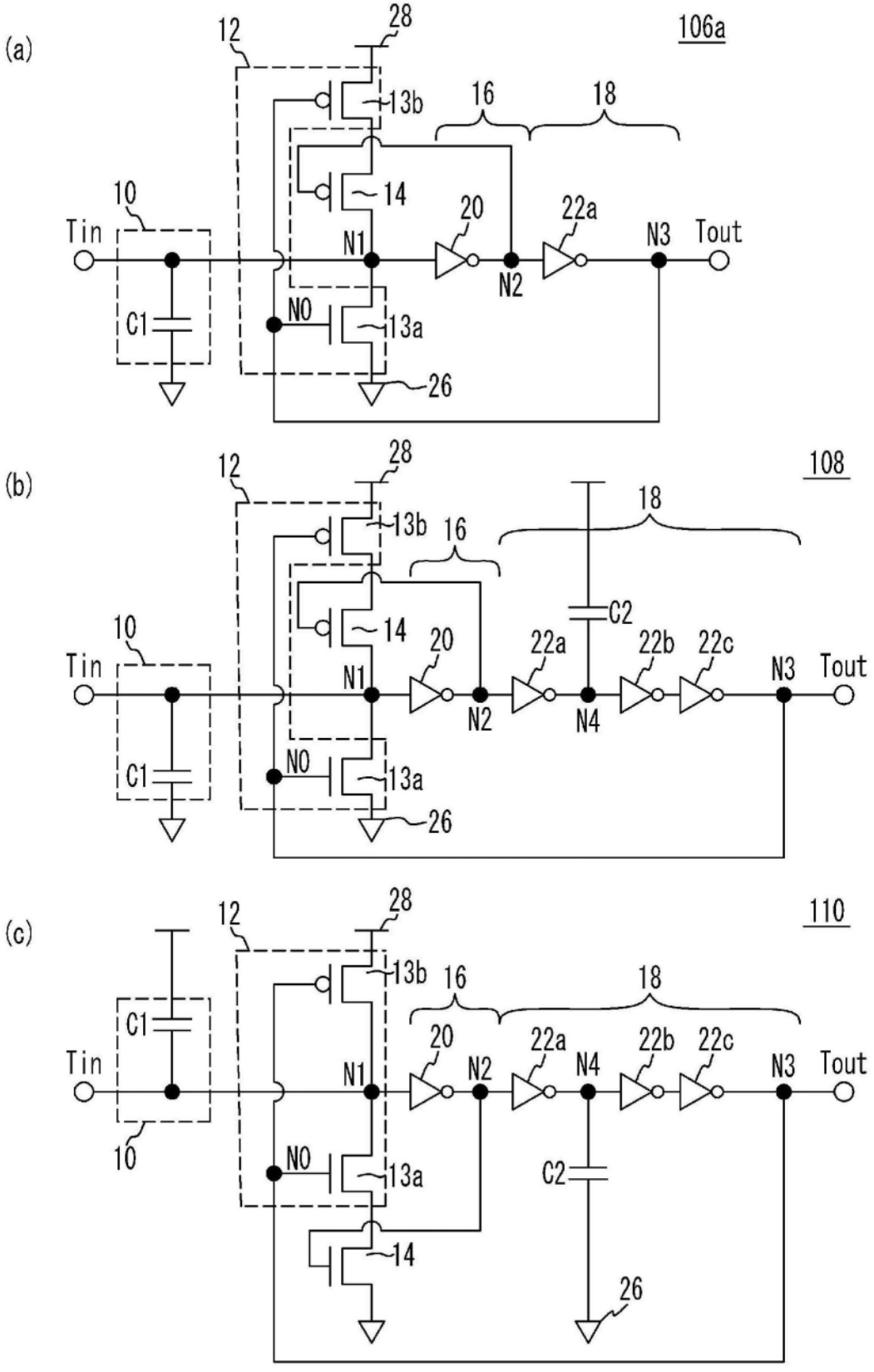

(a)
106a
12
28
13b
16
18
14
10
Tin
20
22a
N3
Tout
N1
N2
C1
N0
13a
26
(b)
108
12
28
18
13b
16
C2
14
10
Tin
20
22a
22b
22c
N3
Tout
N1
N2
N4
C1
N0
13a
26
(c)
110
12
28
13b
16
18
C1
20
22a
22b
22c
Tin
N1
N2
N4
N3
Tout
10
N0
13a
C2
14
26

图19

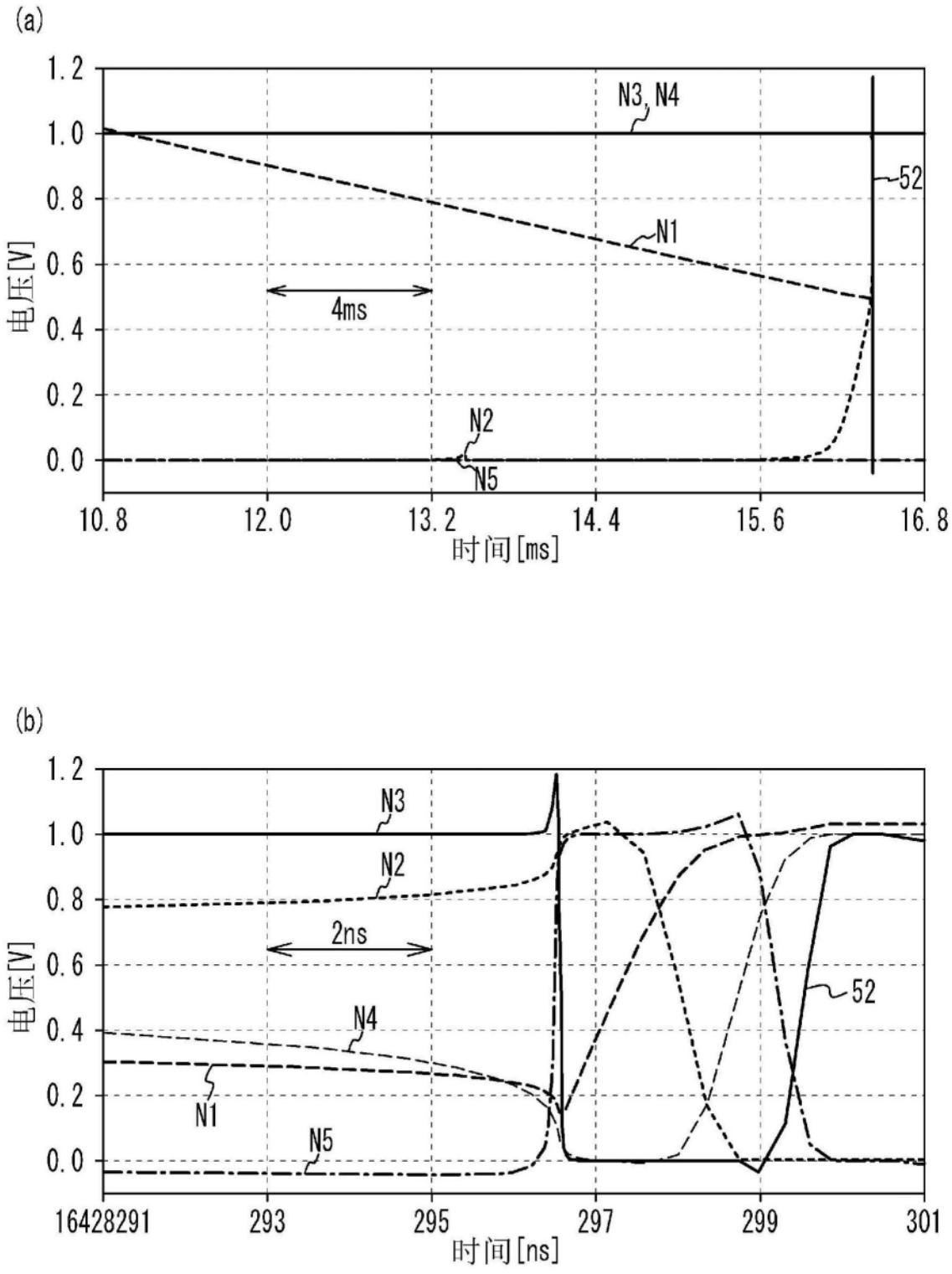

(a)
1.2
1.0
0.8
0.6
0.4
0.2
0.0
电压[V]
N3, N4
52
N1
4ms
N2
N5
10.8
12.0
13.2
14.4
15.6
16.8
时间[ms]
(b)
1.2
1.0
0.8
0.6
0.4
0.2
0.0
电压[V]
N3
N2
2ns
52
N4
N1
N5
16428291
293
295
297
299
301
时间[ns]

图20

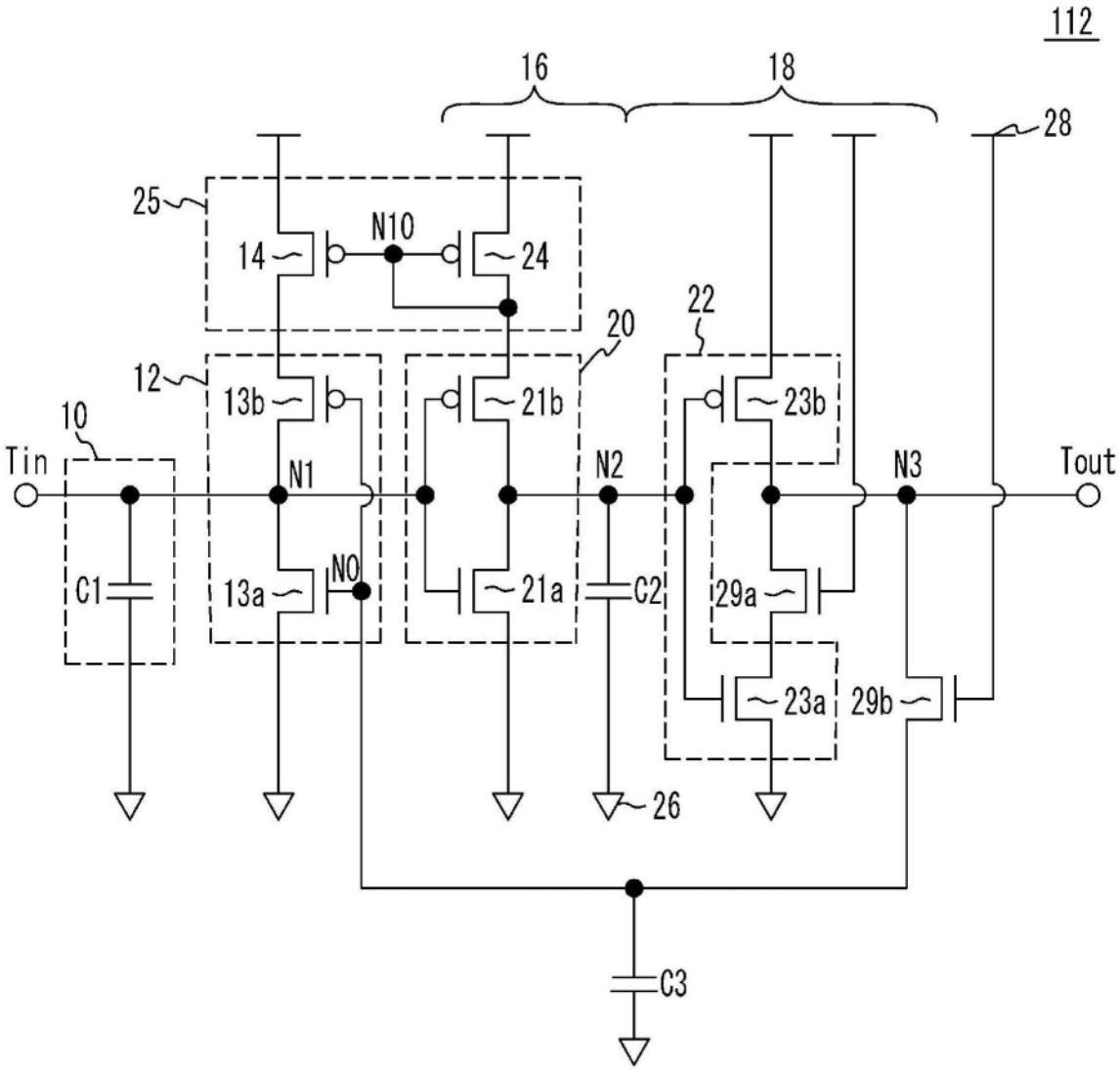

112
16
18
28
25
N10
14
24
22
20
12
13b
21b
23b
10
Tin
N1
N2
N3
Tout
C1
13a
N0
21a
C2
29a
23a
29b
26
C3

图21

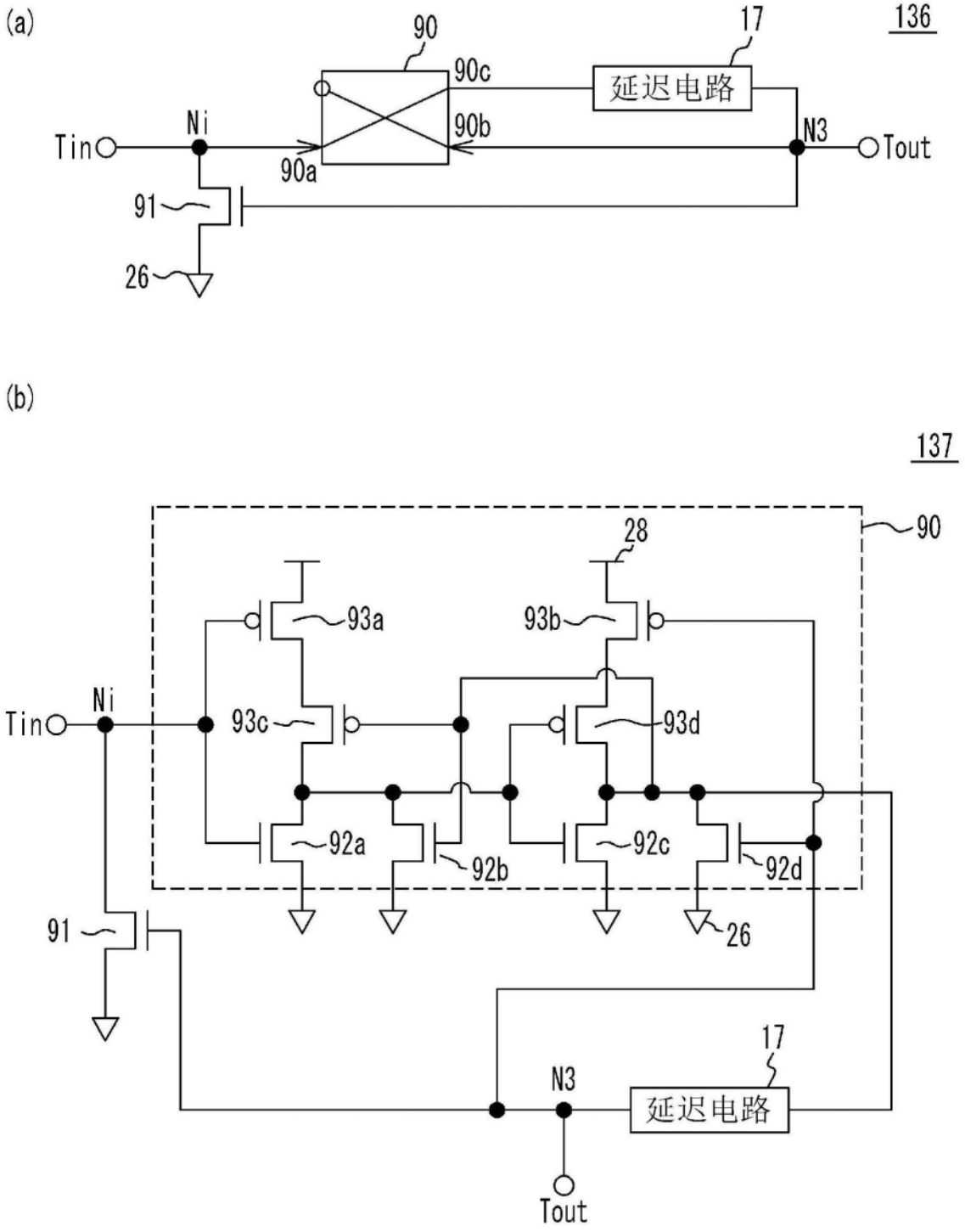

(a)
136
90
17
90c
延迟电路
Ni
90b
N3
Tin
Tout
90a
91
26
(b)
137
90
28
93a
93b
Tin
Ni
93c
93d
92a
92b
92c
92d
91
26
17
N3
延迟电路
Tout

图22

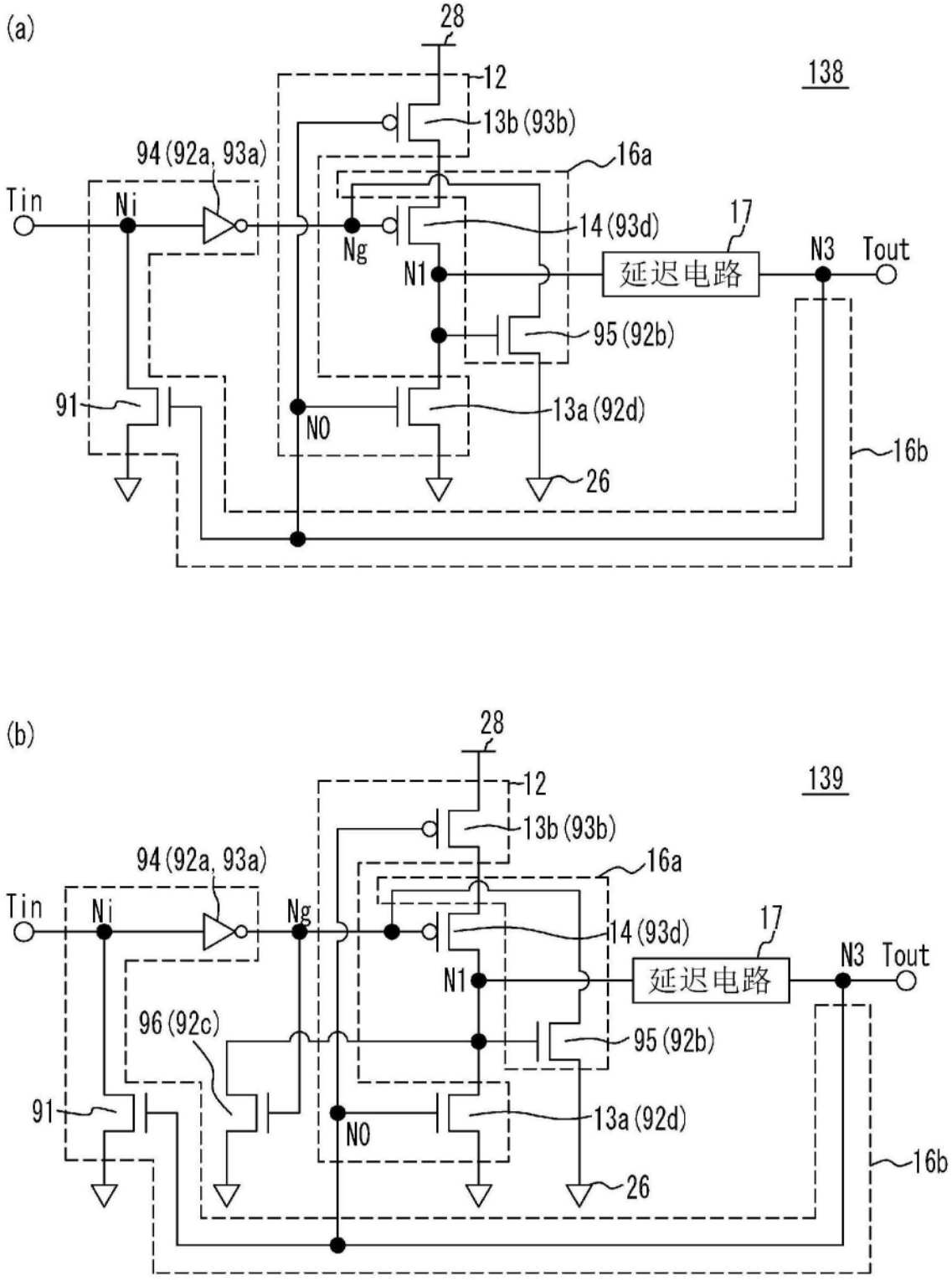

(a)
28
12
138
13b (93b)
94 (92a, 93a)
16a
Tin
Ni
14 (93d)
17
Ng
N1
延迟电路
N3
Tout
95 (92b)
91
N0
13a (92d)
16b
26
(b)
28
139
12
13b (93b)
94 (92a, 93a)
16a
Tin
Ni
Ng
14 (93d)
17
N1
延迟电路
N3
Tout
96 (92c)
95 (92b)
91
N0
13a (92d)
16b
26

图23

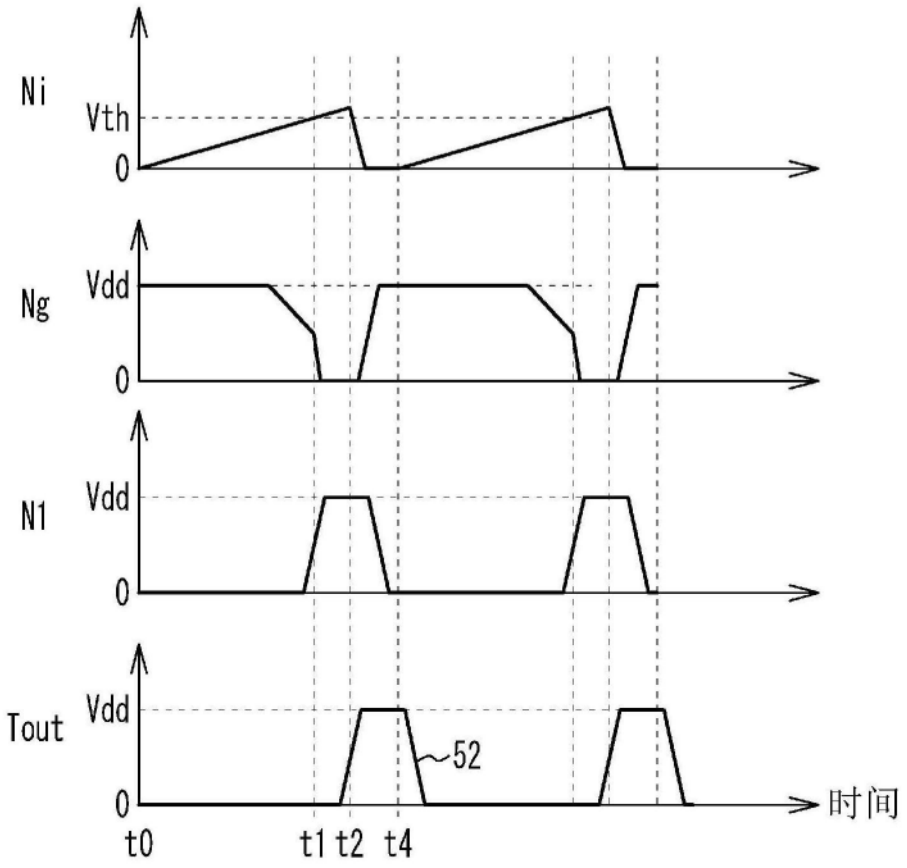


图24

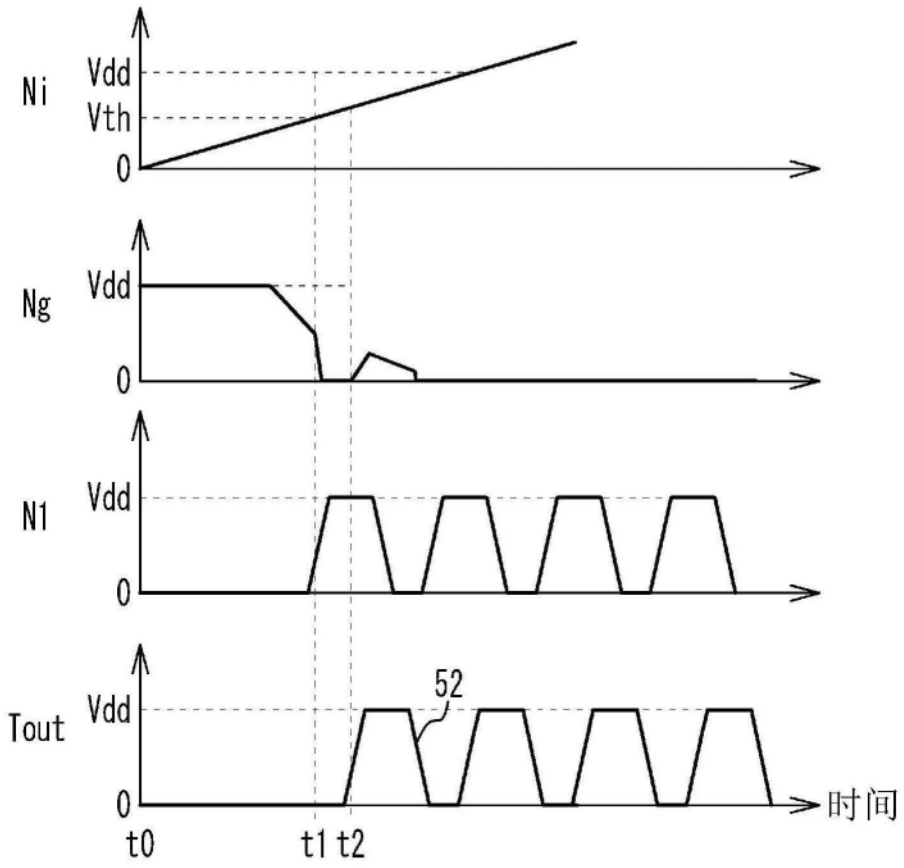


图25

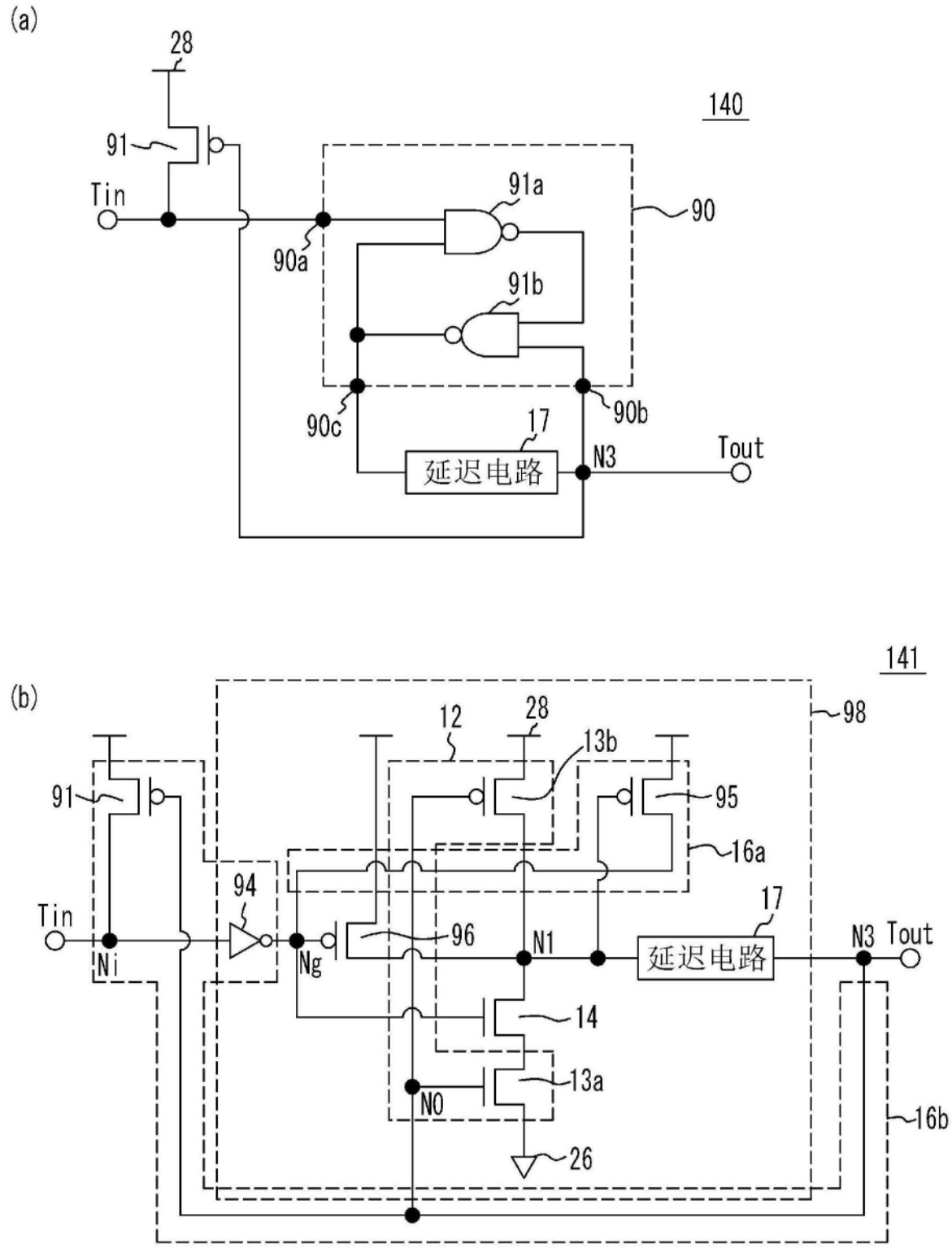

(a)
28
140
91
Tin
91a
90
90a
91b
90c
90b
17
延迟电路
N3
Tout
(b)
141
98
12
28
13b
91
95
16a
94
17
Tin
96
N1
N3
Tout
Ni
Ng
延迟电路
14
13a
N0
16b
26

图26

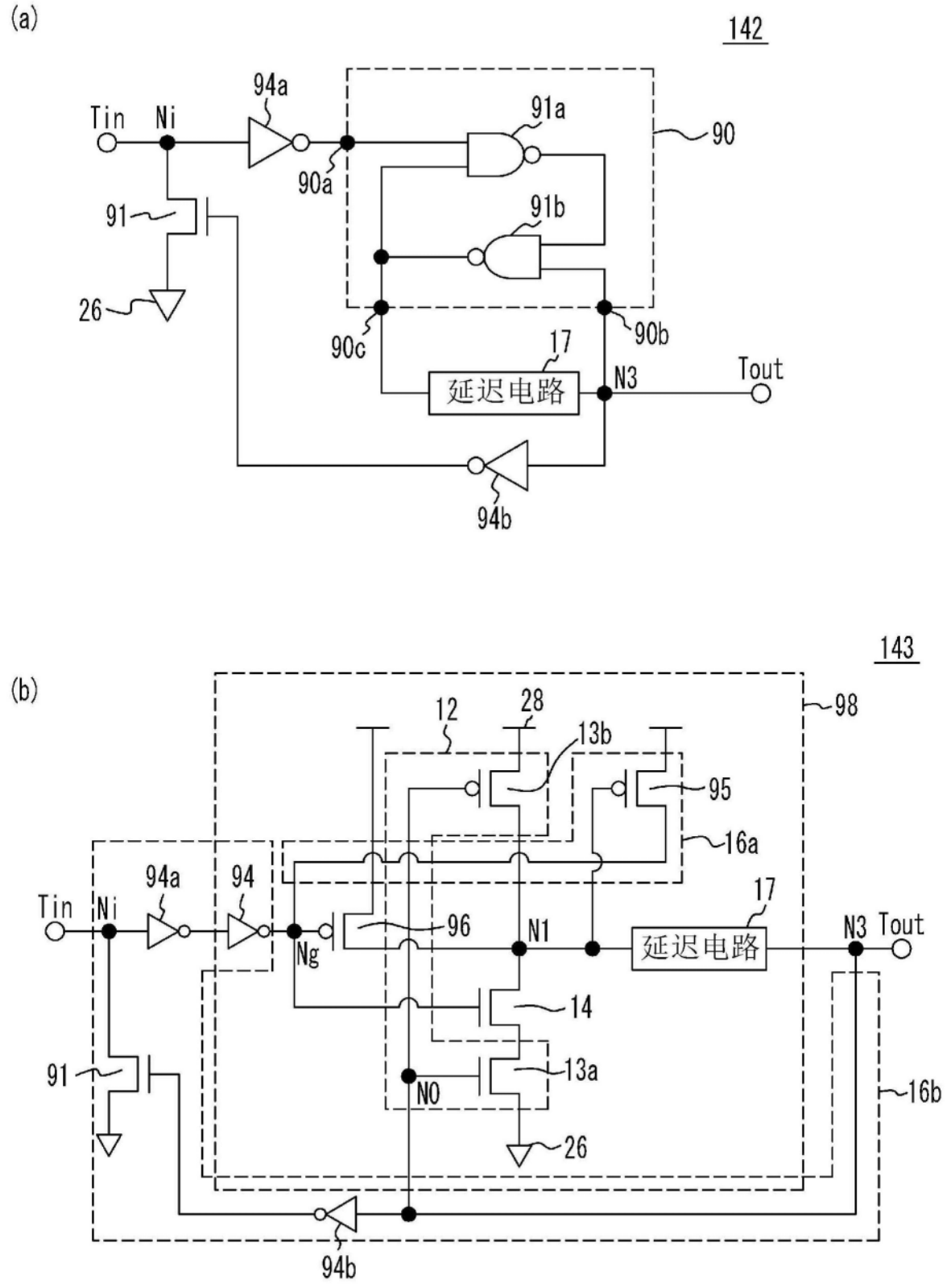

(a)
142
Tin
Ni
94a
90a
91a
90
91b
91
26
90c
17
延迟电路
N3
Tout
90b
94b
(b)
143
98
12
28
13b
95
16a
Tin
Ni
94a
94
Ng
96
N1
17
延迟电路
N3
Tout
14
91
13a
N0
16b
26
94b

图27

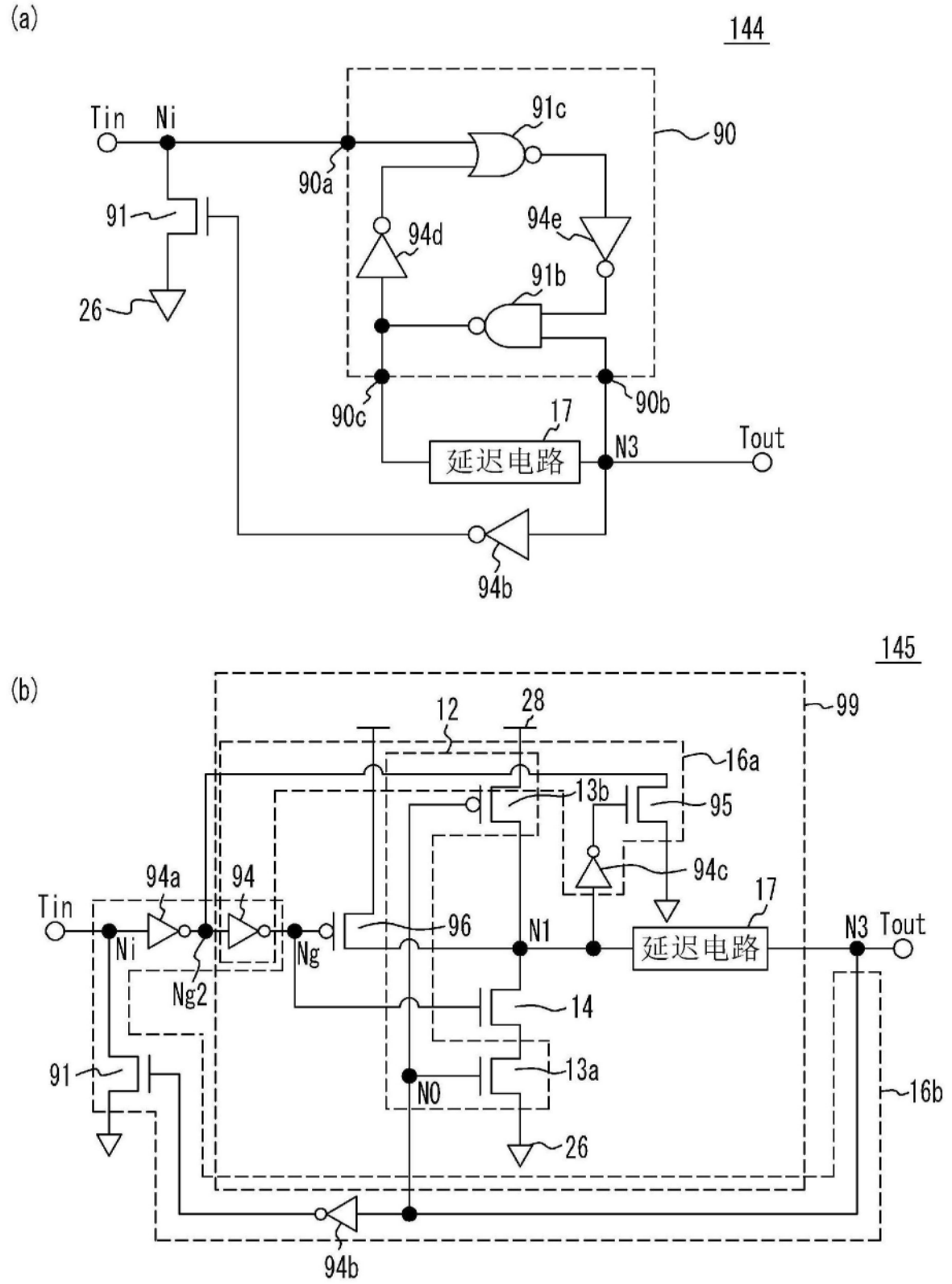

(a)
144
Tin
Ni
90a
91c
90
91
94d
94e
91b
26
90c
90b
17
延迟电路
N3
Tout
94b
(b)
145
99
12
28
16a
13b
95
94c
17
94a
94
Tin
Ni
Ng2
Ng
96
N1
延迟电路
N3
Tout
14
91
N0
13a
16b
26
94b

图28

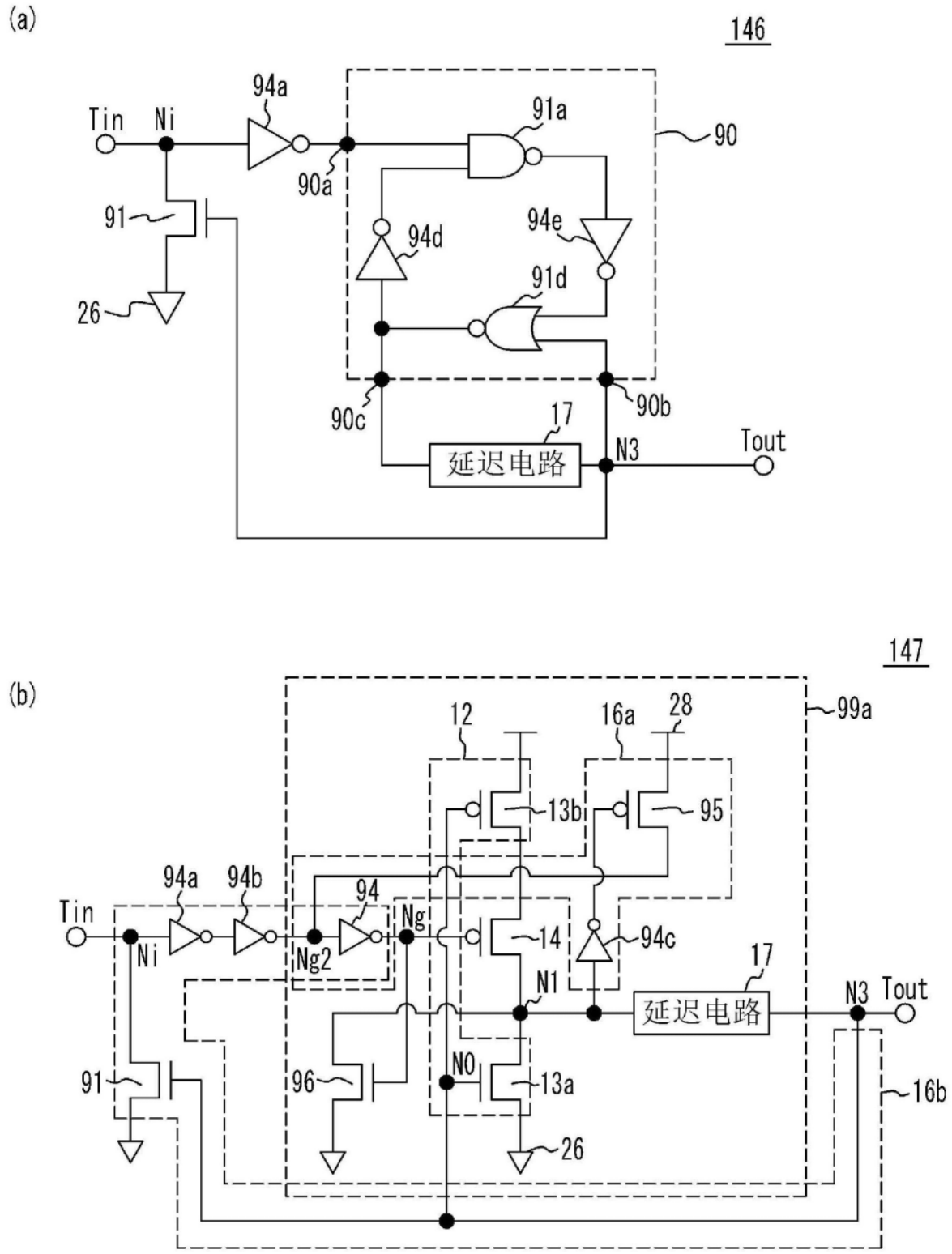

(a)
146
Tin
Ni
94a
90a
91a
90
91
94d
94e
91d
26
90c
90b
17
延迟电路
N3
Tout
(b)
147
99a
12
16a
28
13b
95
94a
94b
94
Tin
Ni
Ng
Ng2
14
94c
17
N1
延迟电路
N3
Tout
91
96
N0
13a
16b
26

图29

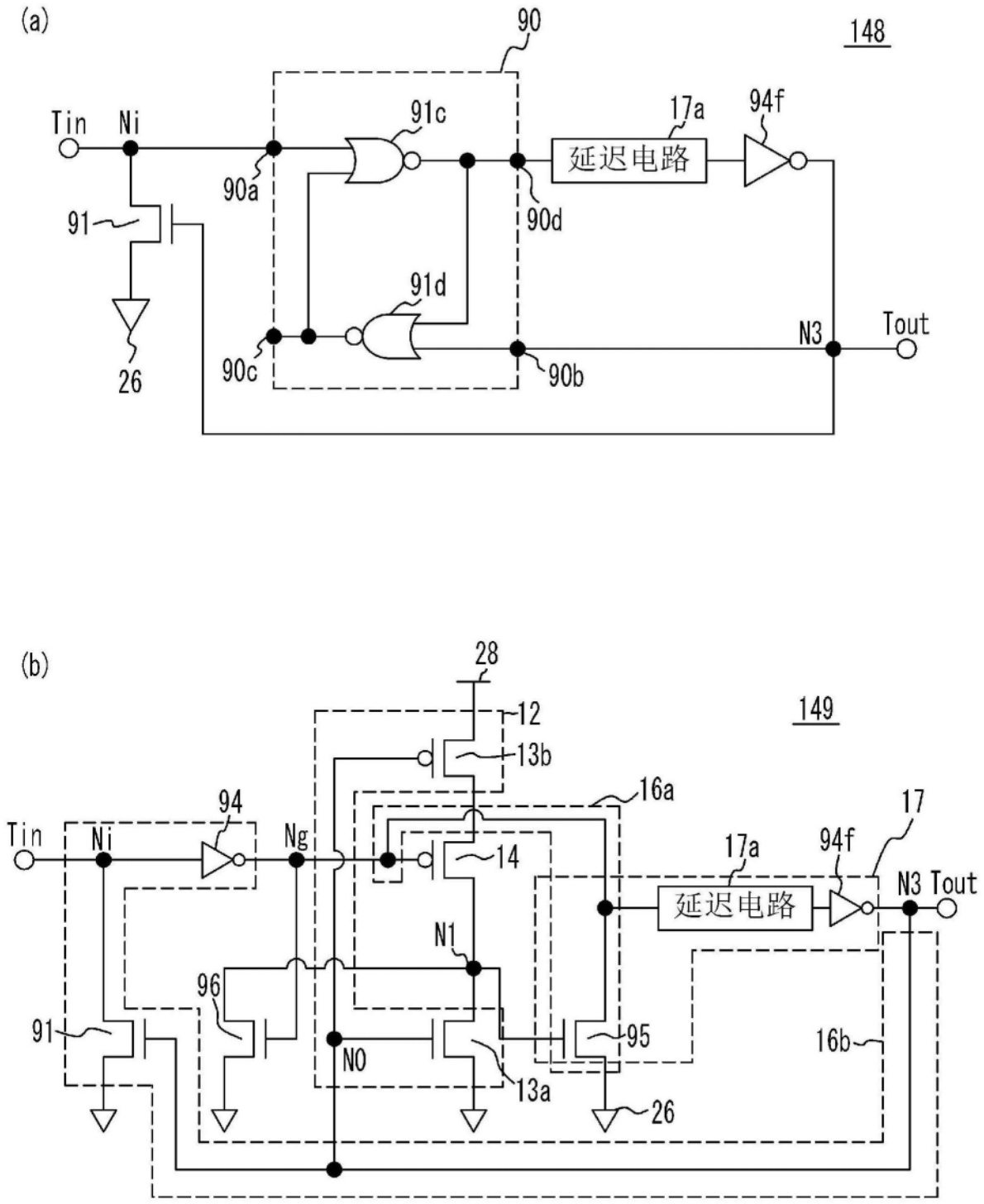

(a)
90
148
Tin
Ni
91c
17a
94f
延迟电路
90a
91
90d
91d
N3
Tout
26
90c
90b
(b)
28
12
149
13b
16a
94
17
Tin
Ni
Ng
14
17a
94f
N3 Tout
延迟电路
N1
96
91
95
16b
NO
13a
26

图30

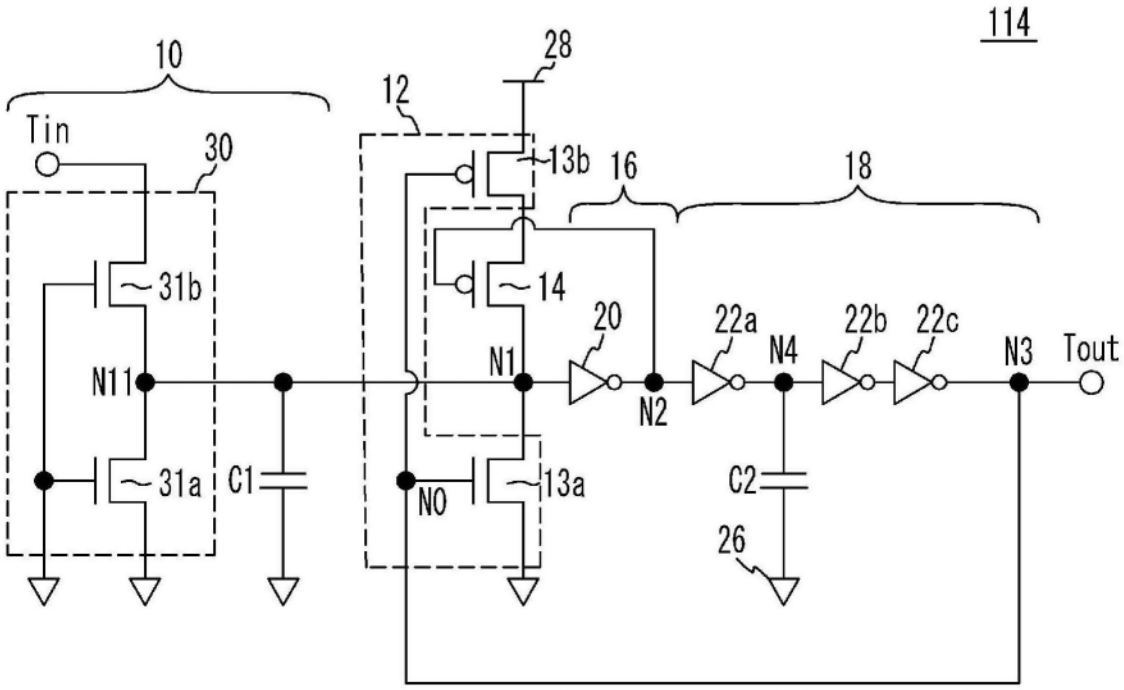

114
10
28
12
Tin
30
13b
16
18
31b
14
20
22a
22b
22c
N11
N1
N4
N3
Tout
N2
31a
C1
N0
13a
C2
26

图31

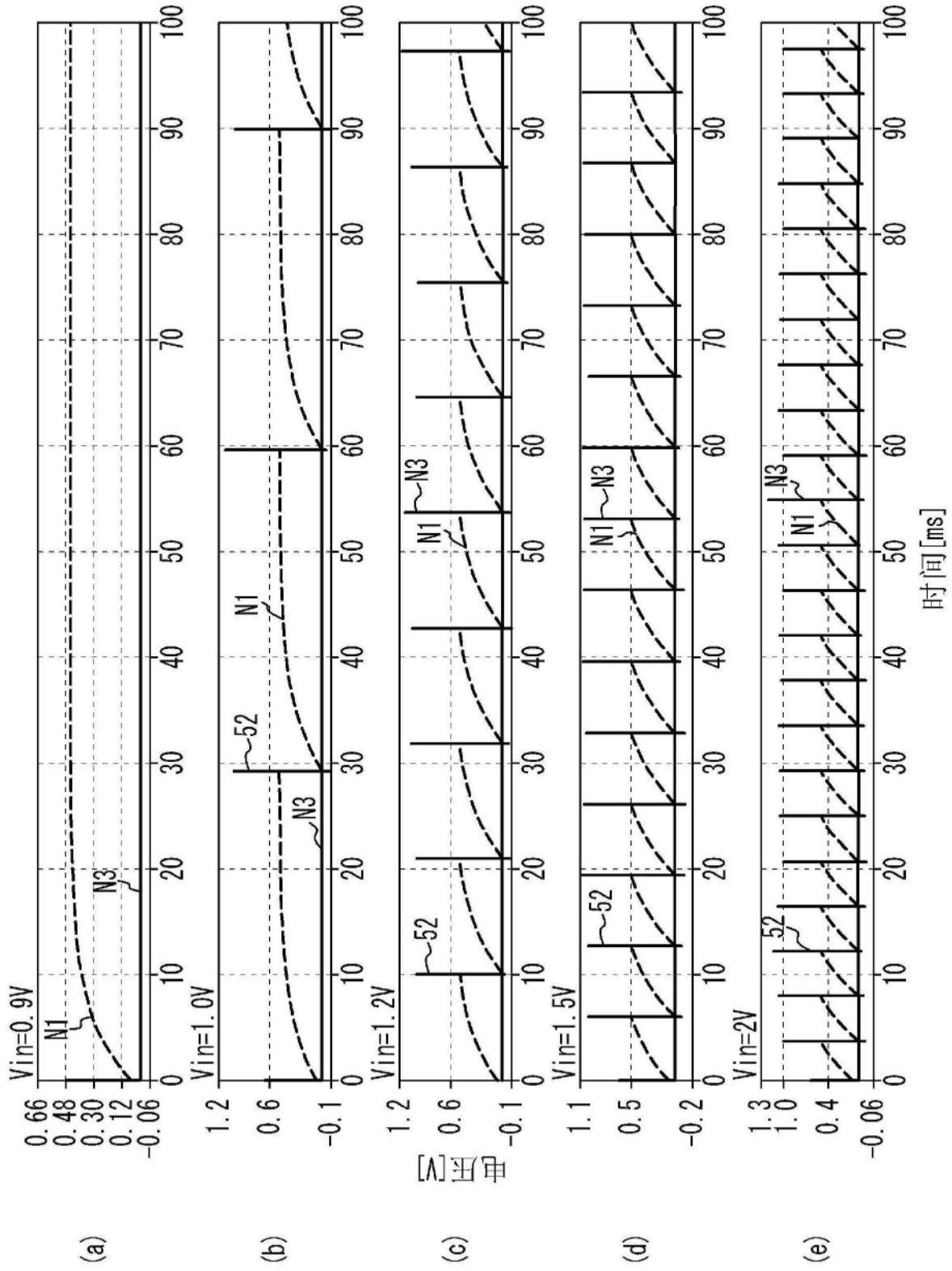


图32

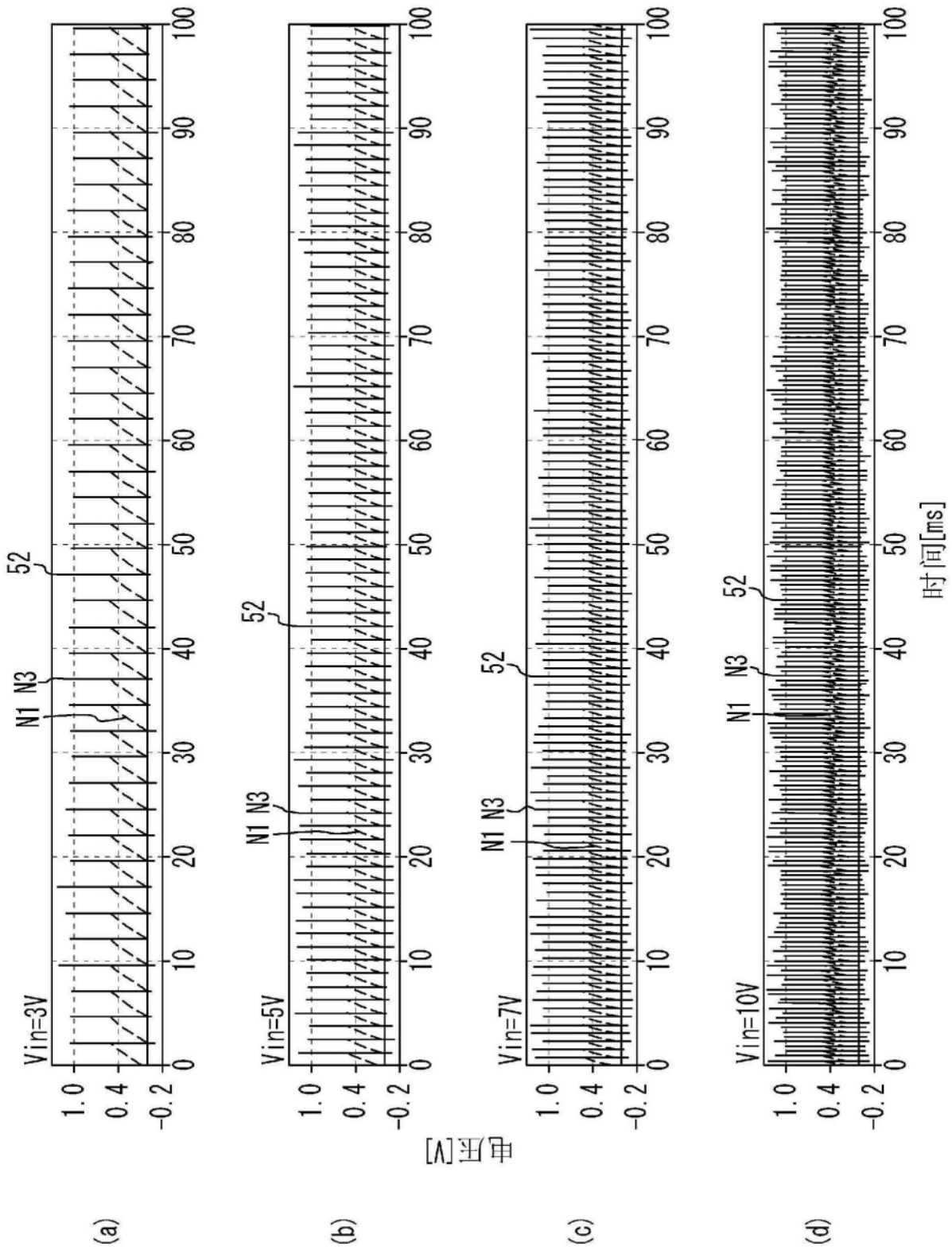

(a)
(b)
(c)
(d)
Vin=3V
Vin=5V
Vin=7V
Vin=10V
N1
N3
52
电压[V]
时间[ms]
1.0
0.4
-0.2
0
10
20
30
40
50
60
70
80
90
100

图33

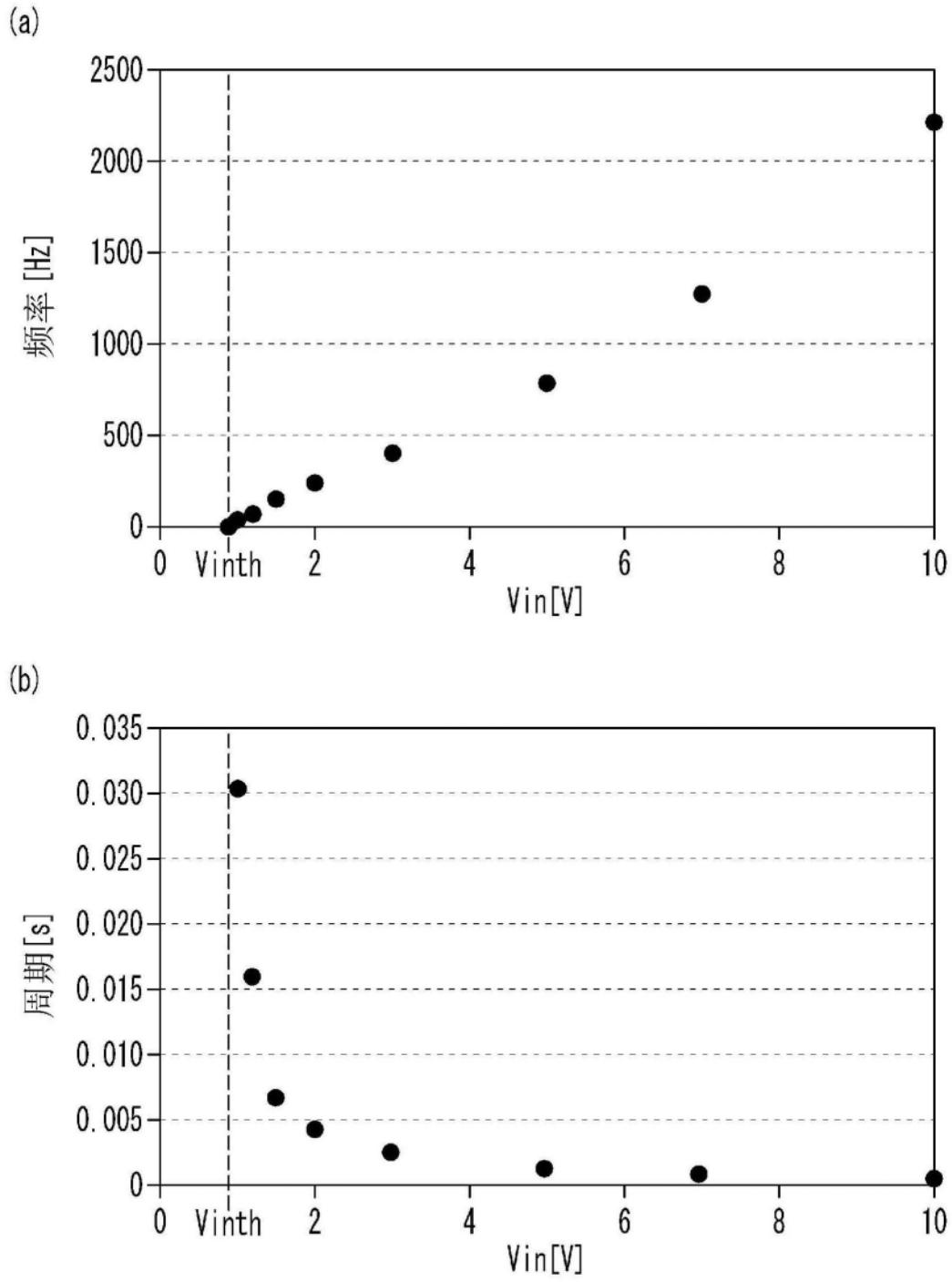

(a)
2500
2000
1500
1000
500
0
频率 [Hz]
0
Vinth
2
4
6
8
10
Vin[V]
(b)
0.035
0.030
0.025
0.020
0.015
0.010
0.005
0
周期 [s]
0
Vinth
2
4
6
8
10
Vin[V]

图34

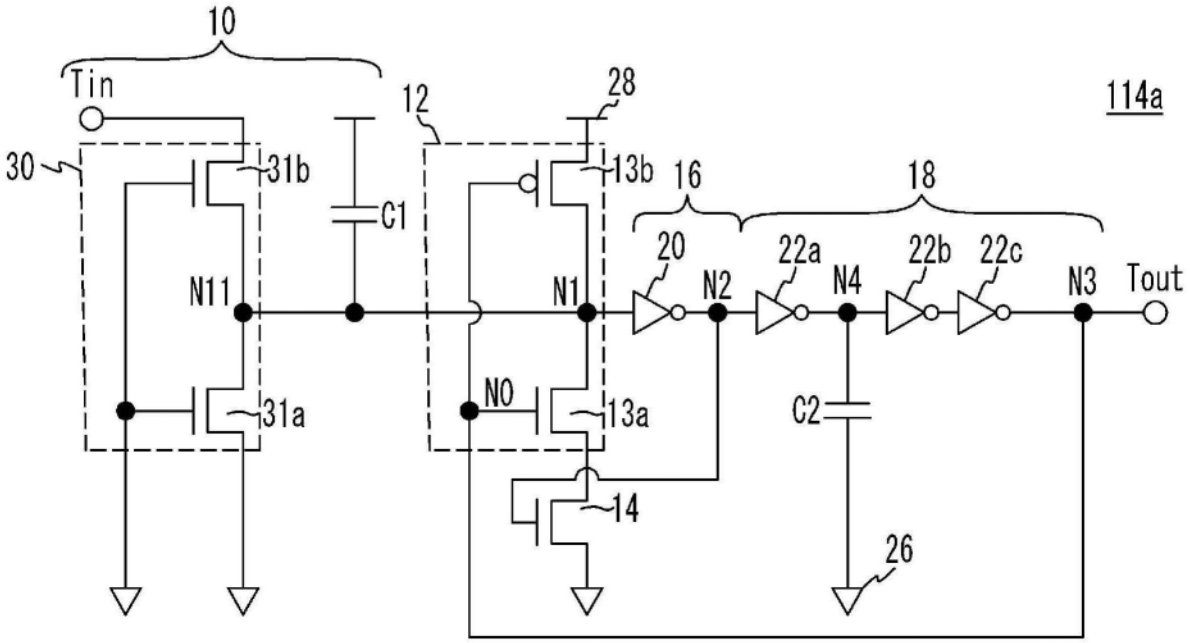

10
Tin
12
28
114a
30
31b
C1
13b
16
18
20
22a
22b
22c
N11
N1
N2
N4
N3
Tout
N0
31a
13a
C2
14
26

图35

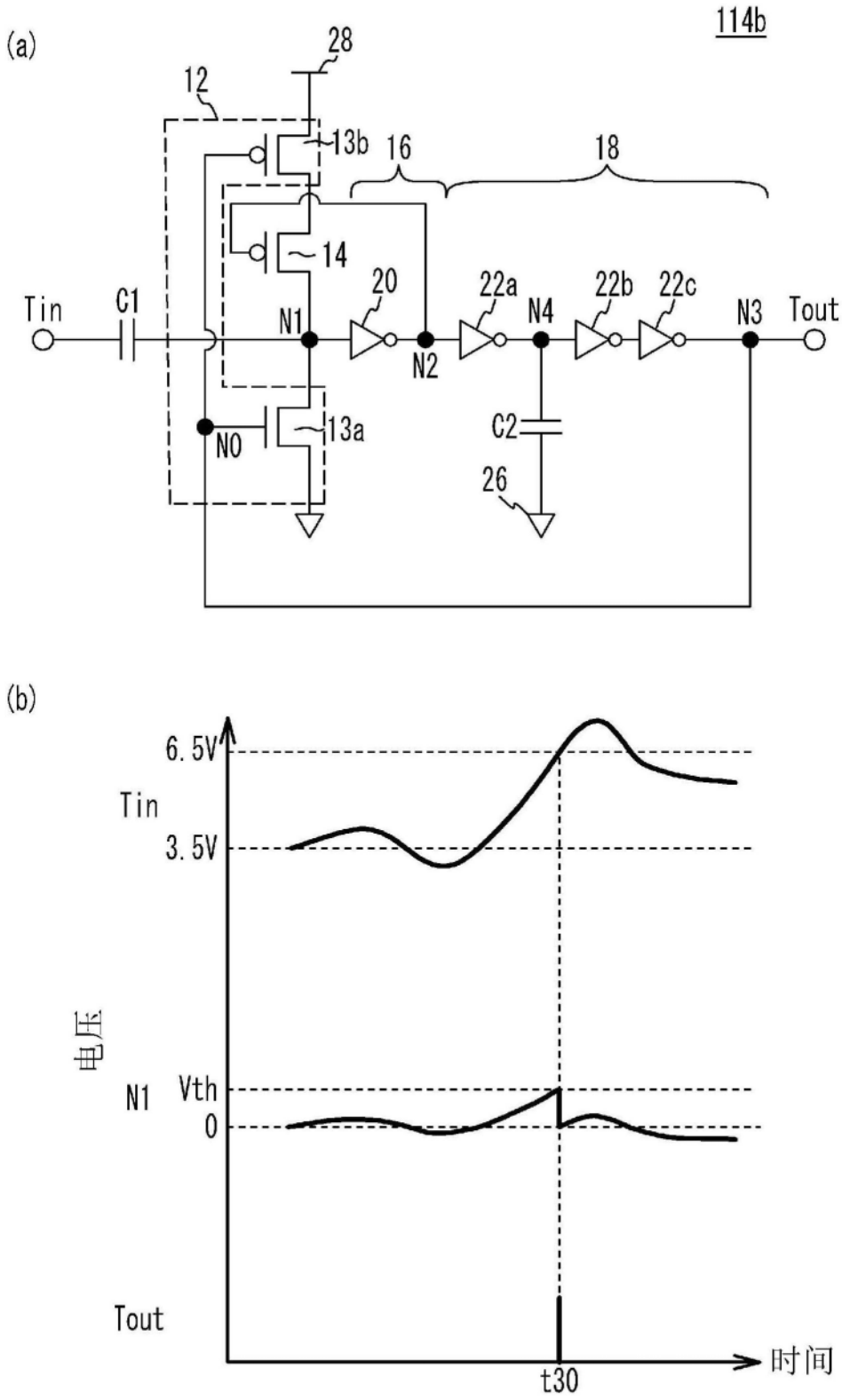

(a)
114b
28
12
13b
16
18
14
20
22a
22b
22c
Tin
C1
N1
N2
N4
N3
Tout
N0
13a
C2
26
(b)
6.5V
Tin
3.5V
电压
N1
Vth
0
Tout
时间
t30

图36

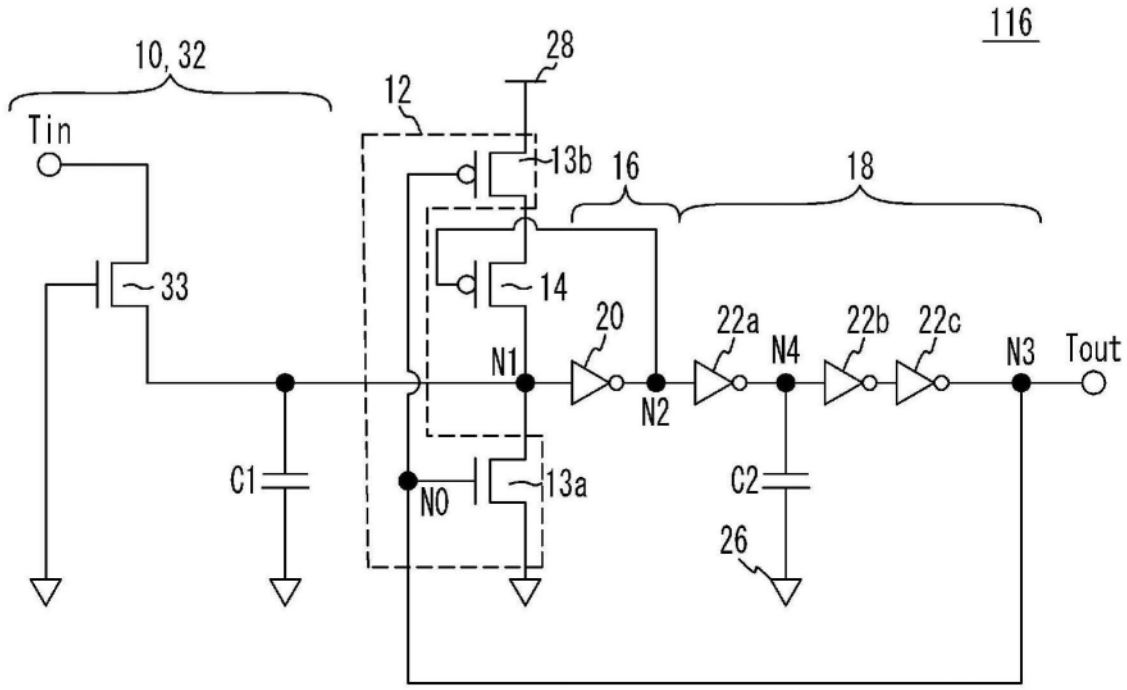

116
10, 32
28
12
Tin
13b
16
18
33
14
20
22a
22b
22c
N1
N4
N3
Tout
N2
C1
N0
13a
C2
26

图37

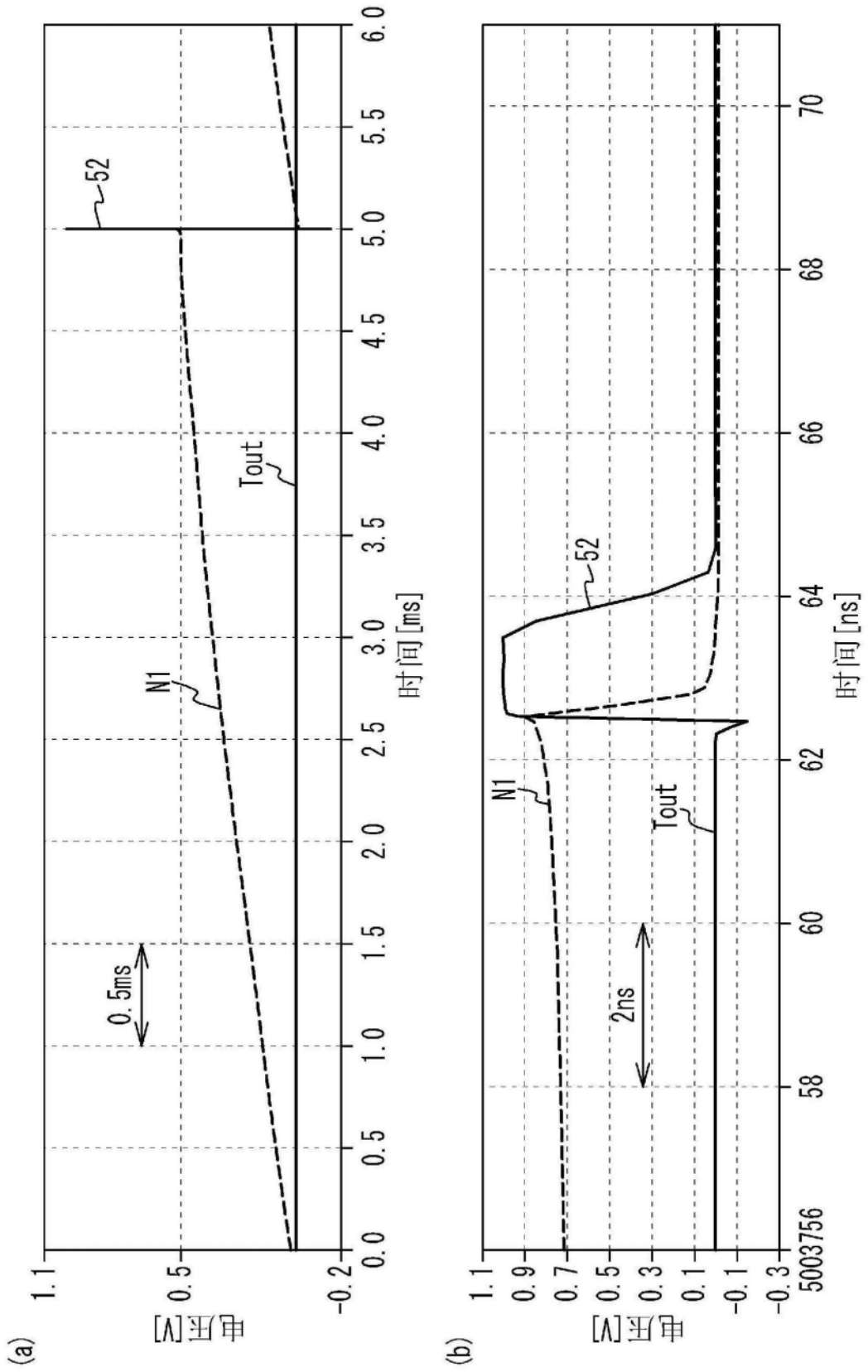

(a)
电压[V]
1.1
0.5
-0.2
0.0
0.5
1.0
1.5
2.0
2.5
3.0
3.5
4.0
4.5
5.0
5.5
6.0
时间[ms]
52
Tout
N1
0.5ms
(b)
电压[V]
1.1
0.9
0.7
0.5
0.3
0.1
-0.1
-0.3
58
60
62
64
66
68
70
时间[ns]
52
N1
Tout
2ns
5003756

图38

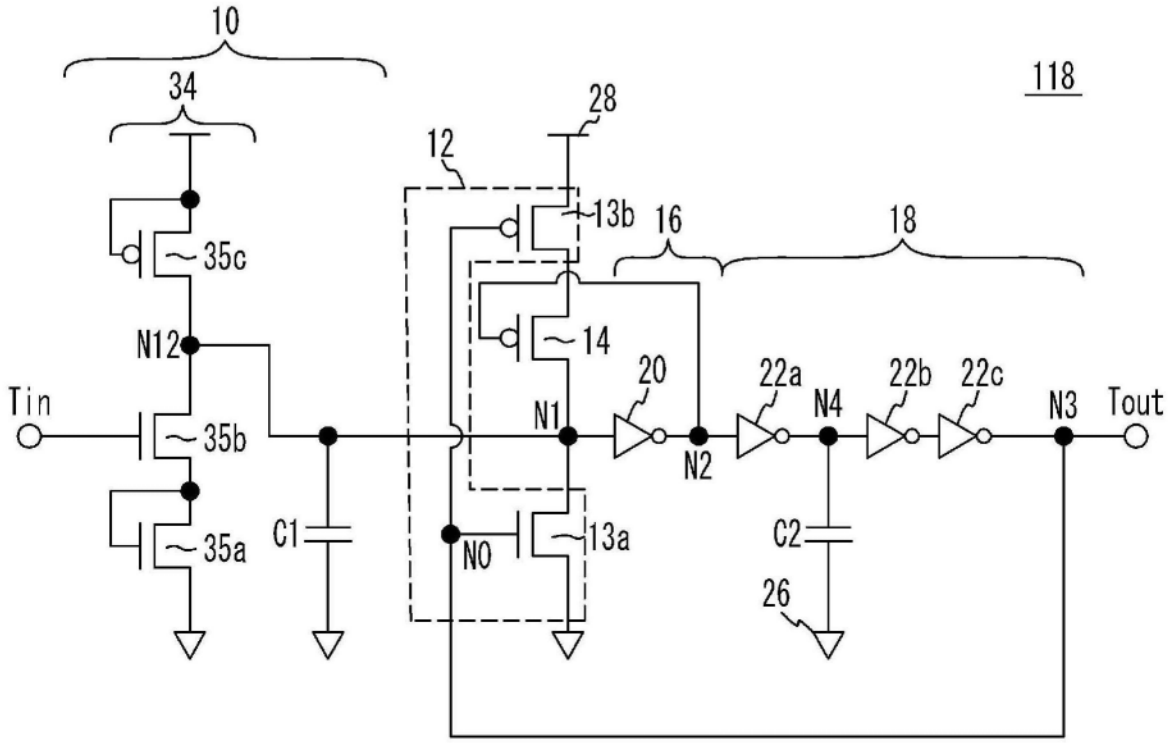

10
34
118
28
12
13b
16
18
35c
14
N12
20
22a
22b
22c
Tin
N1
N4
N3
Tout
35b
N2
C1
N0
13a
C2
35a
26

图39

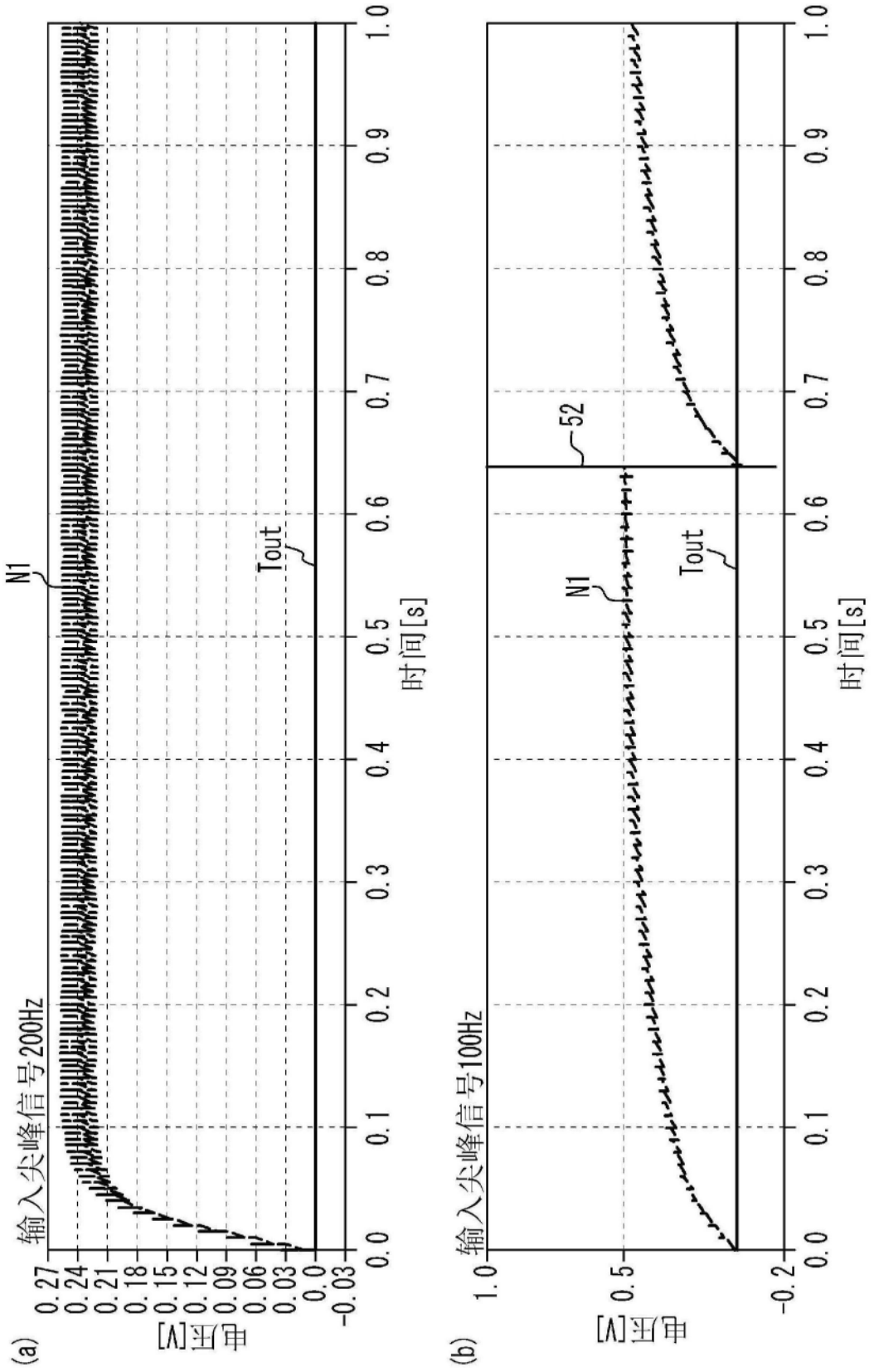

(a)
输入尖峰信号200Hz
N1
Tout
电压[V]
时间[s]
0.27
0.24
0.21
0.18
0.15
0.12
0.09
0.06
0.03
0.0
-0.03
0.0
0.1
0.2
0.3
0.4
0.5
0.6
0.7
0.8
0.9
1.0
(b)
输入尖峰信号100Hz
52
N1
Tout
电压[V]
时间[s]
1.0
0.5
-0.2

图40

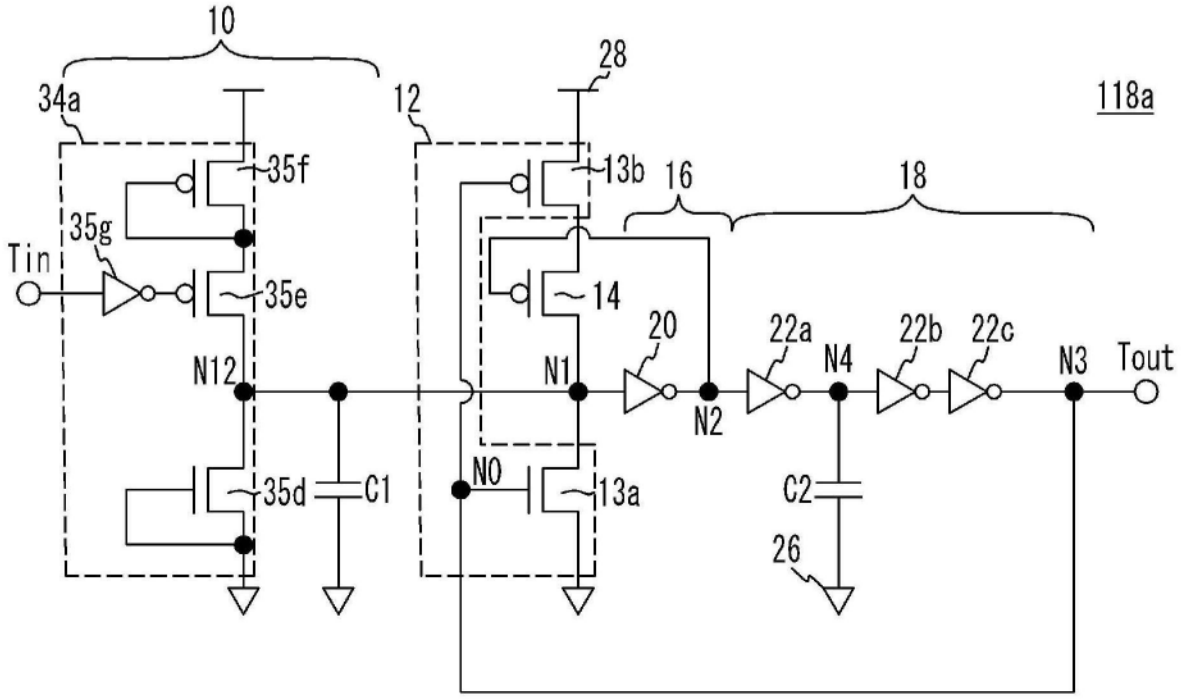

10
34a
12
28
118a
35f
13b
16
18
35g
Tin
35e
14
20
22a
22b
22c
N12
N1
N4
N3
Tout
N2
35d
C1
N0
13a
C2
26

图41

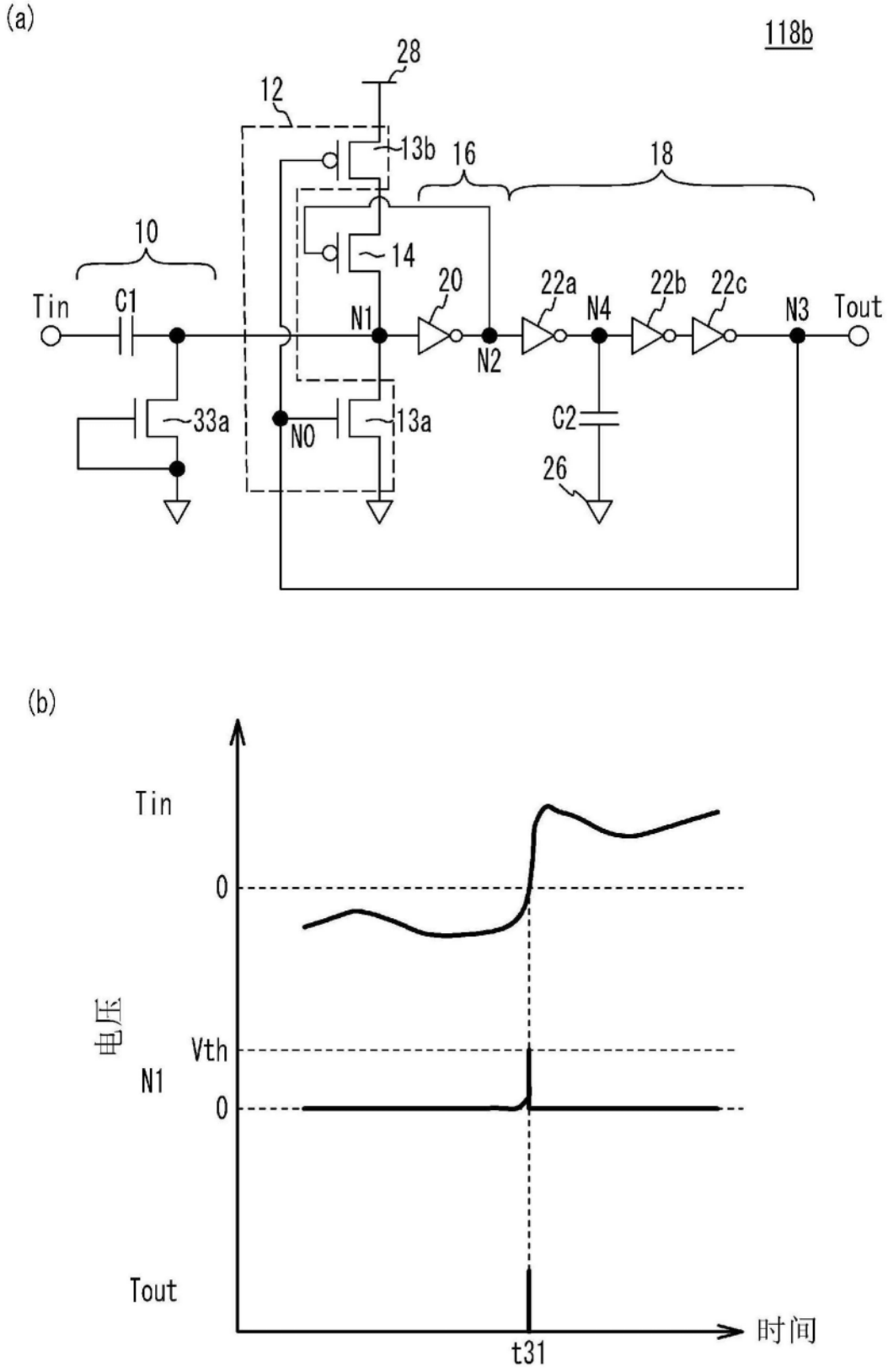

(a)
118b
28
12
13b
16
18
10
14
20
22a
22b
22c
Tin
C1
N1
N2
N4
N3
Tout
33a
N0
13a
C2
26
(b)
Tin
0
电压
Vth
N1
0
Tout
时间
t31

图42

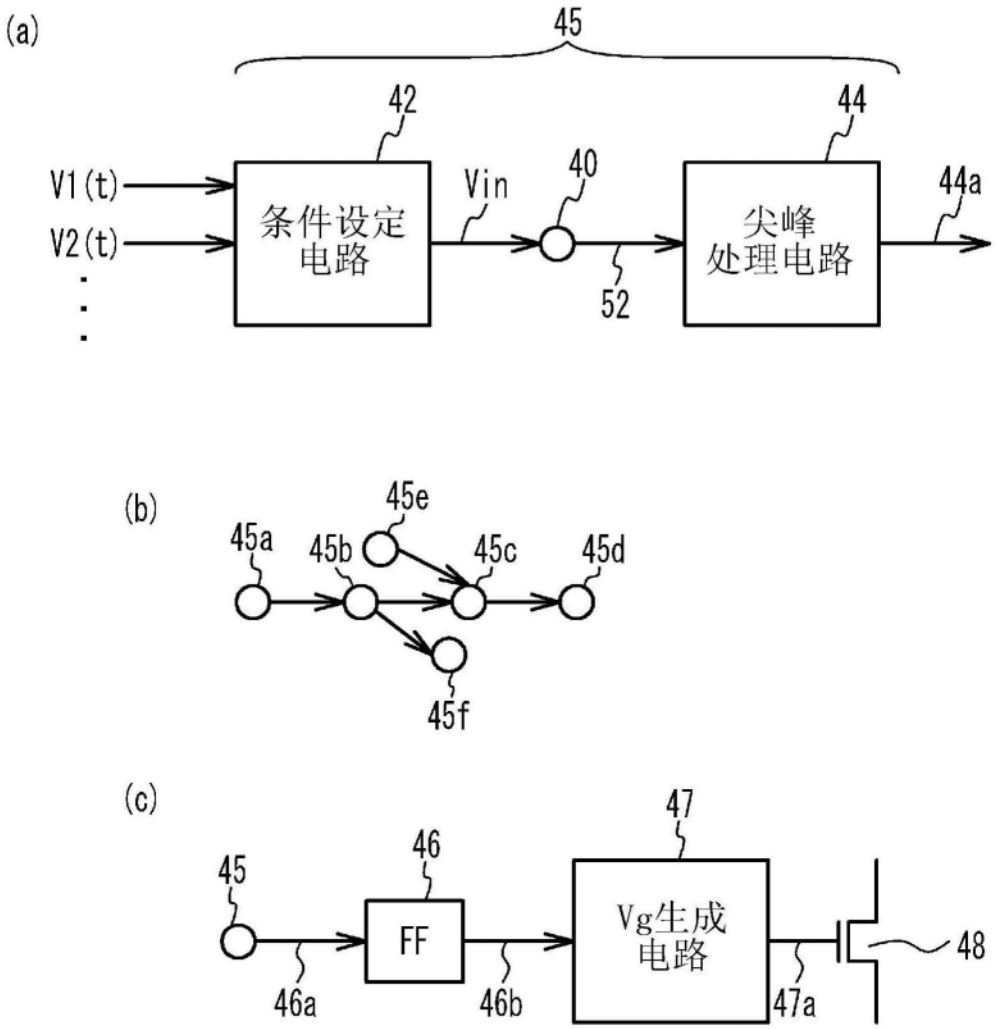

(a)
45
42
44
V1(t)
V2(t)
条件设定电路
Vin
40
52
尖峰处理电路
44a
(b)
45e
45a
45b
45c
45d
45f
(c)
47
46
45
FF
Vg生成电路
48
46a
46b
47a

图43

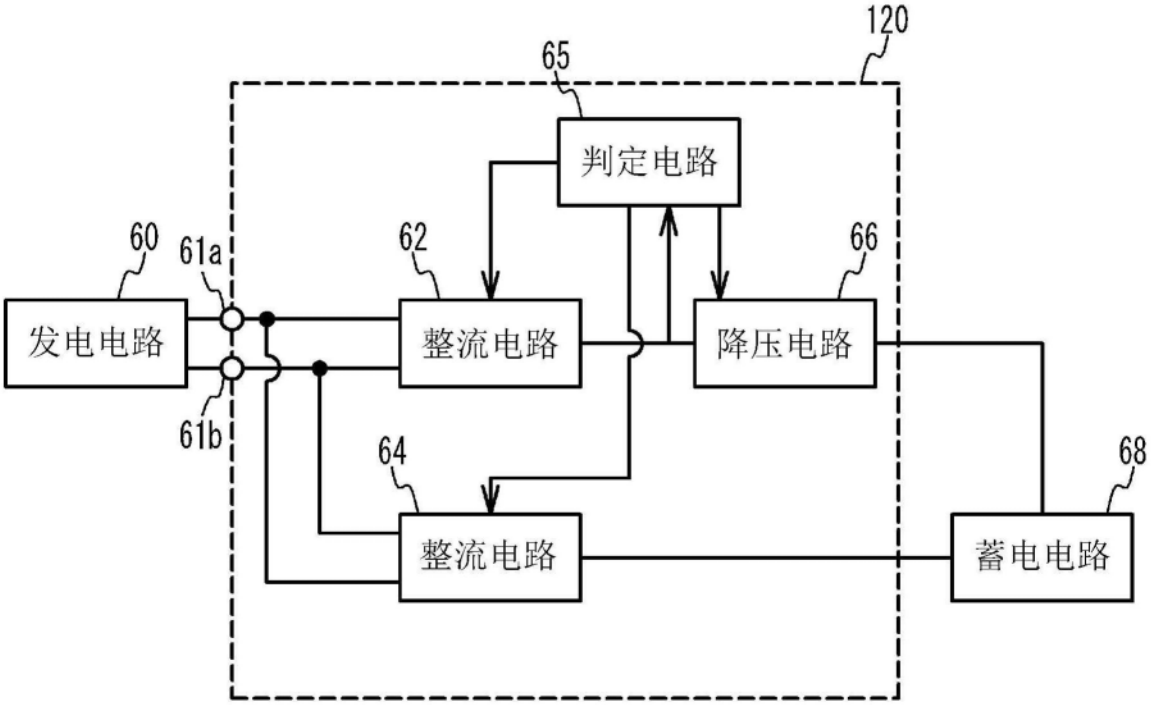

120
65
判定电路
60
61a
62
66
发电电路
整流电路
降压电路
61b
64
68
整流电路
蓄电电路

图44

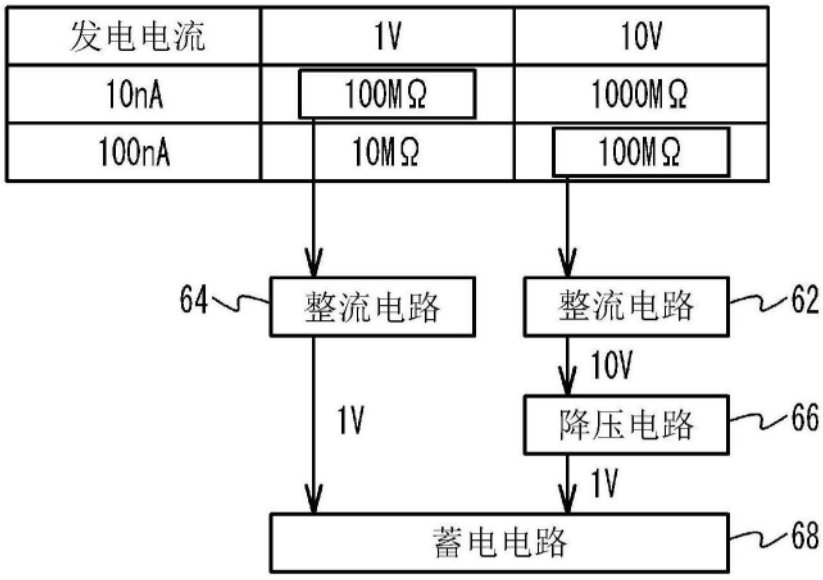

发电电流
1V
10V
10nA
100MΩ
1000MΩ
100nA
10MΩ
100MΩ
64
整流电路
整流电路
62
10V
1V
降压电路
66
1V
蓄电电路
68

图45

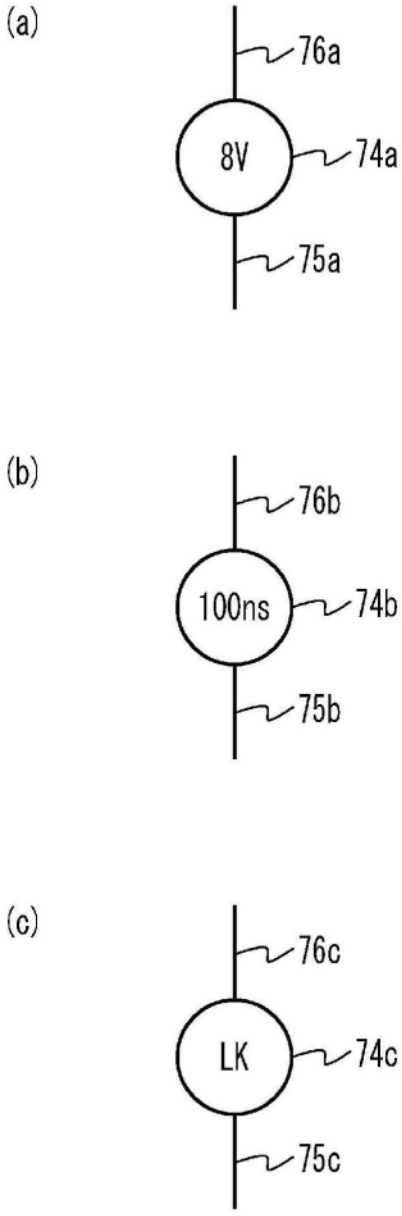


图46

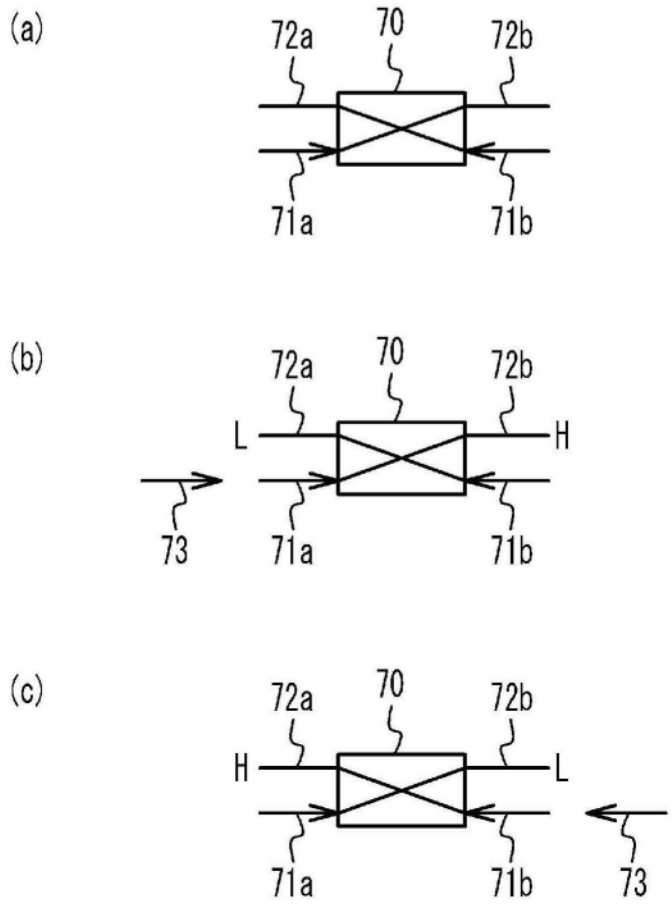

(a)
72a
70
72b
71a
71b
(b)
72a
70
72b
L
H
73
71a
71b
(c)
72a
70
72b
H
L
71a
71b
73

图47

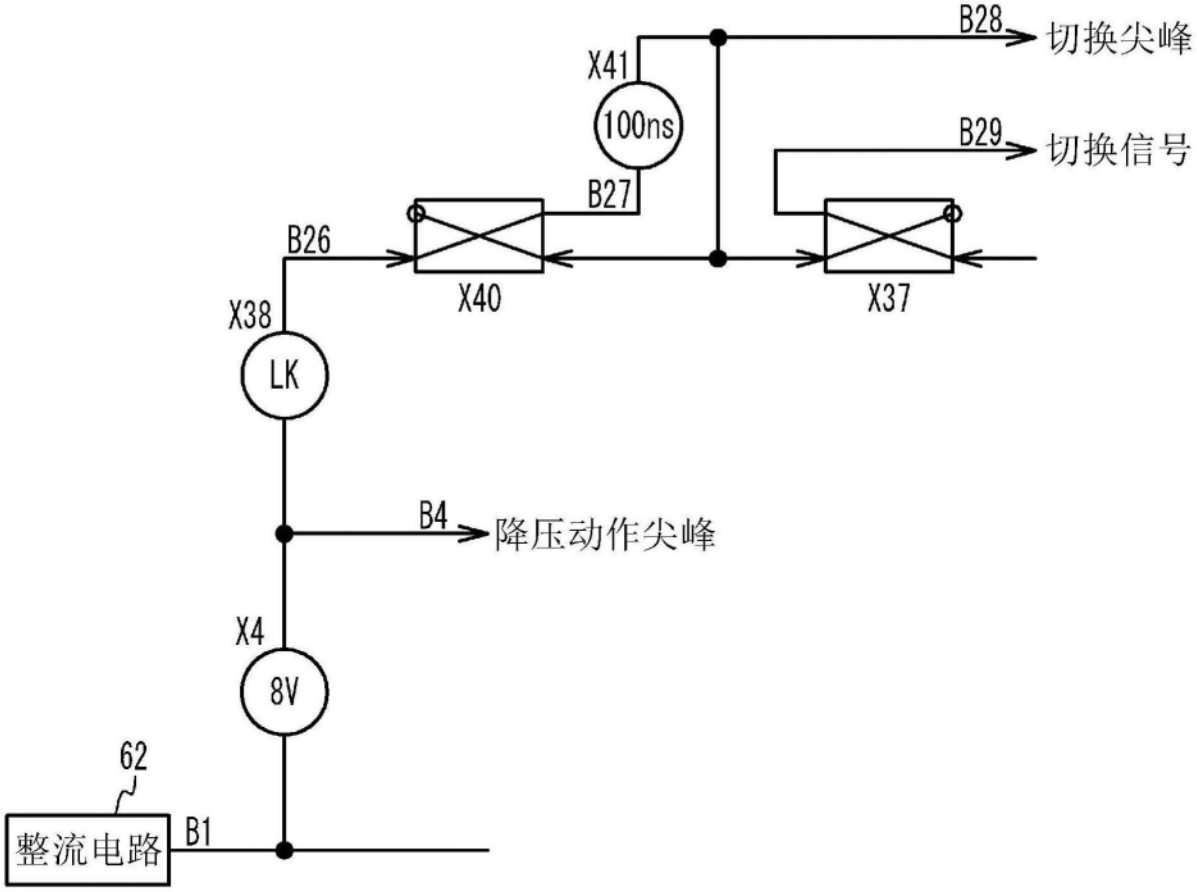

B28
切换尖峰
X41
100ns
B29
切换信号
B27
B26
X40
X37
X38
LK
B4
降压动作尖峰
X4
8V
62
整流电路
B1

图48

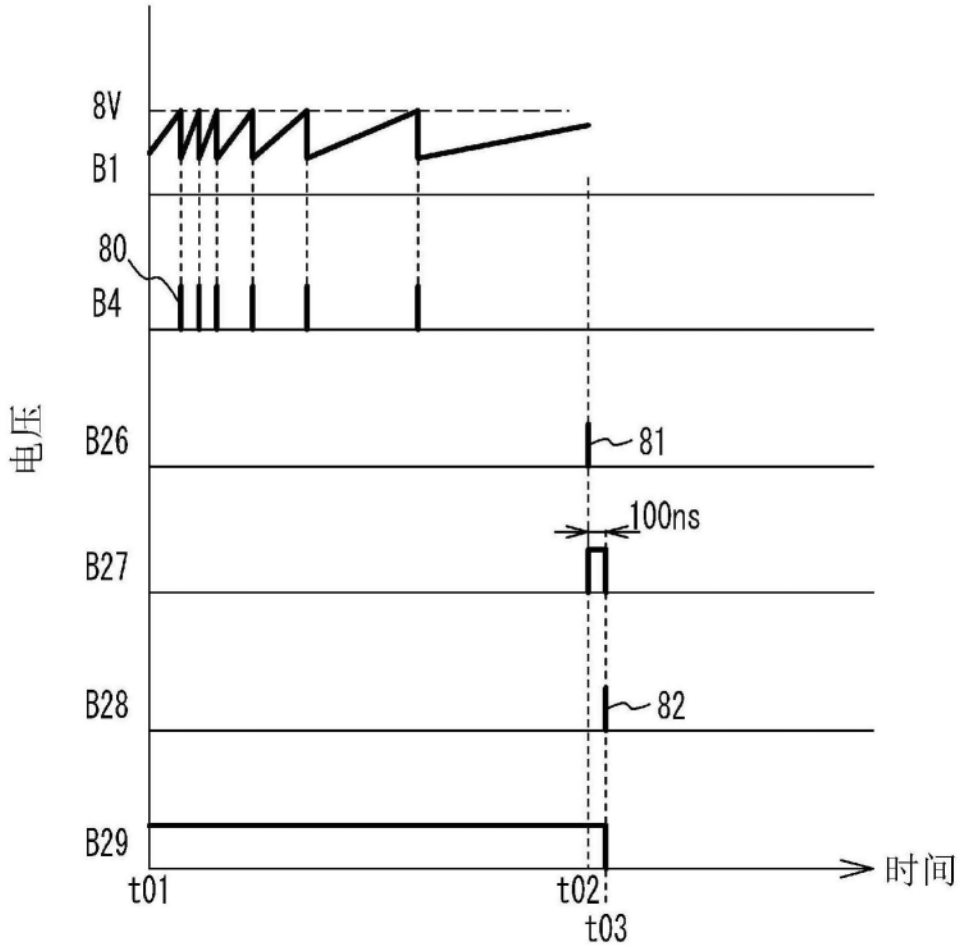


图49

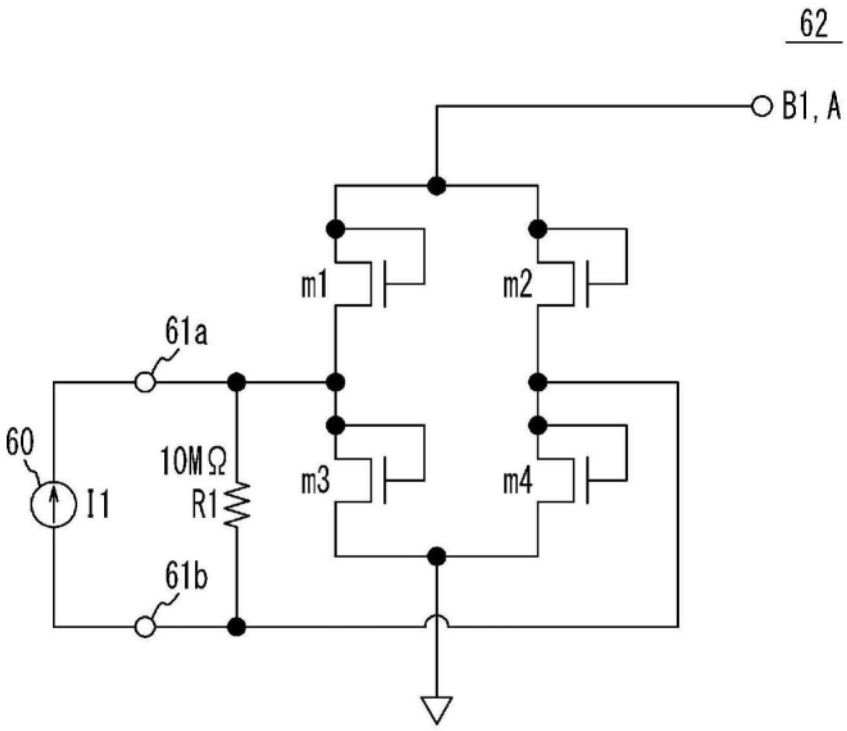


图50

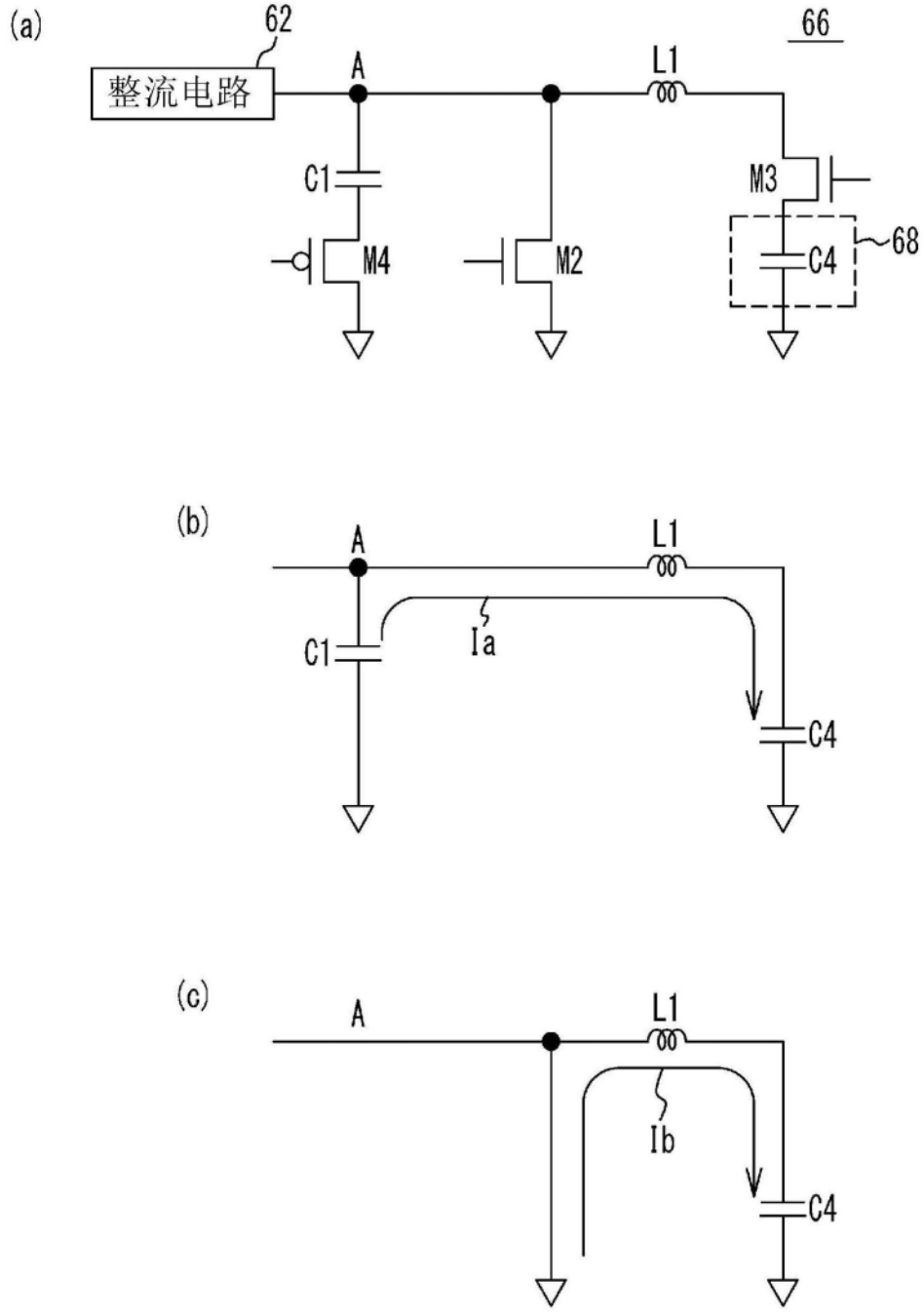


图51

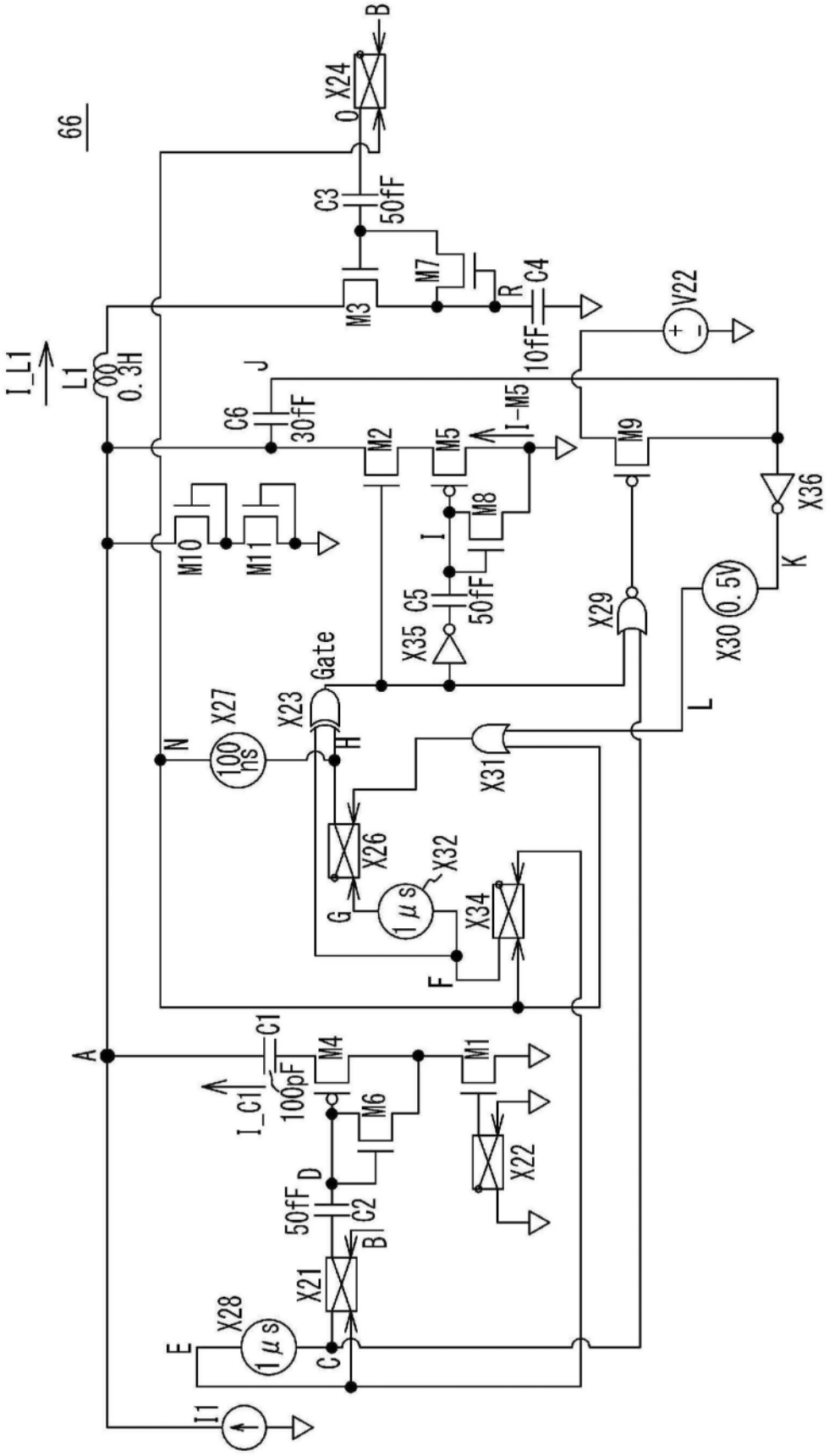

66
B
X24
0
C3
50fF
M7
R
C4
10fF
M3
V22
I_L1
L1
0.3H
J
C6
30fF
M2
M5
I-M5
M9
X36
M10
M11
I
M8
K
C5
50fF
X35
X29
X30
0.5V
Gate
X27
X23
N
100 ns
H
X31
L
X26
X32
G
1 μs
X34
F
A
C1
100pF
I_C1
M4
M1
M6
X22
D
50fF
C2
B
X21
X28
1 μs
E
C
I1

图52

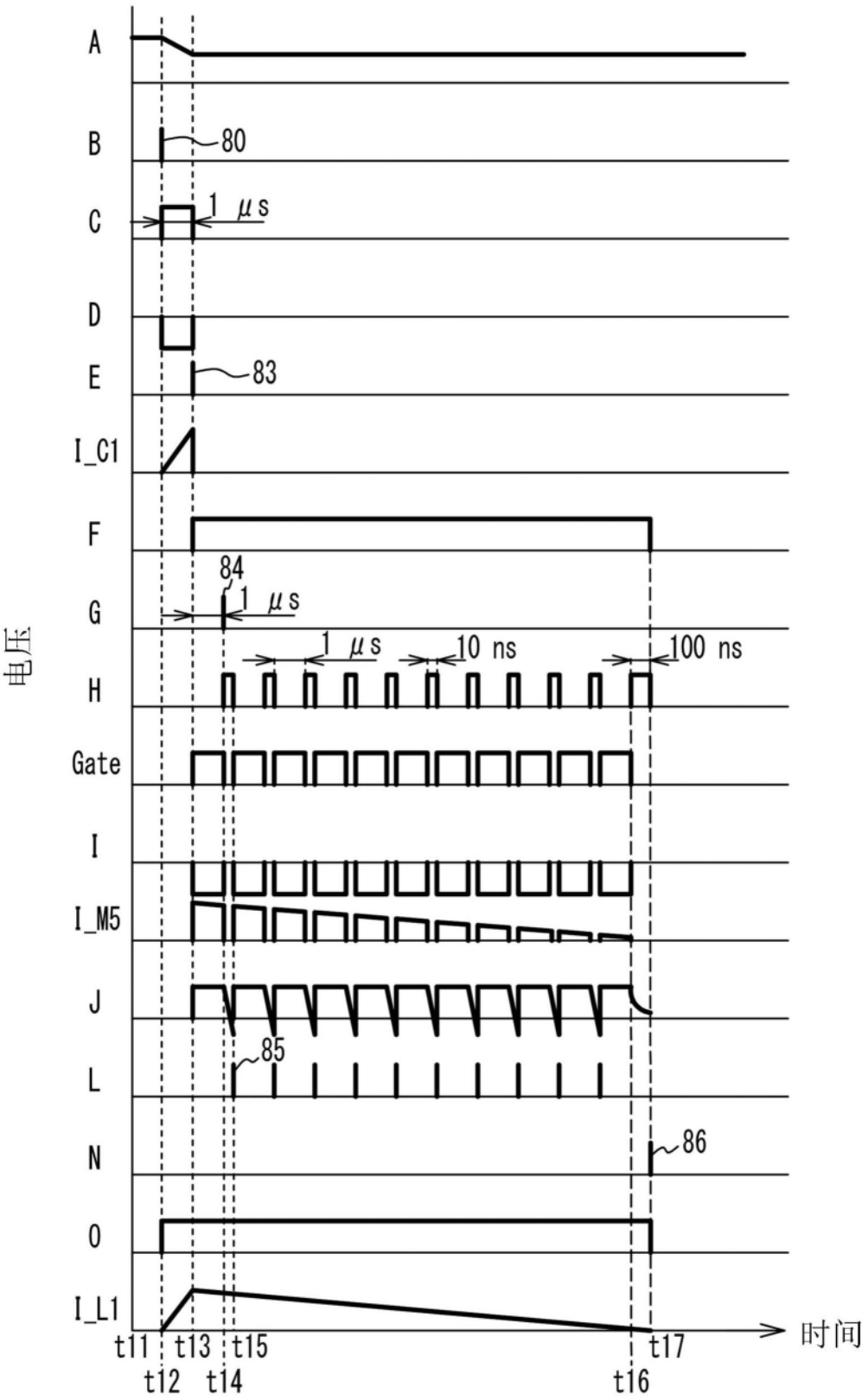

A
B
80
C
1 μs
D
E
83
I_C1
F
84
G
1 μs
1 μs
10 ns
100 ns
H
Gate
I
I_M5
J
85
L
N
86
O
I_L1
电压
时间
t11
t12
t13
t14
t15
t16
t17

图53

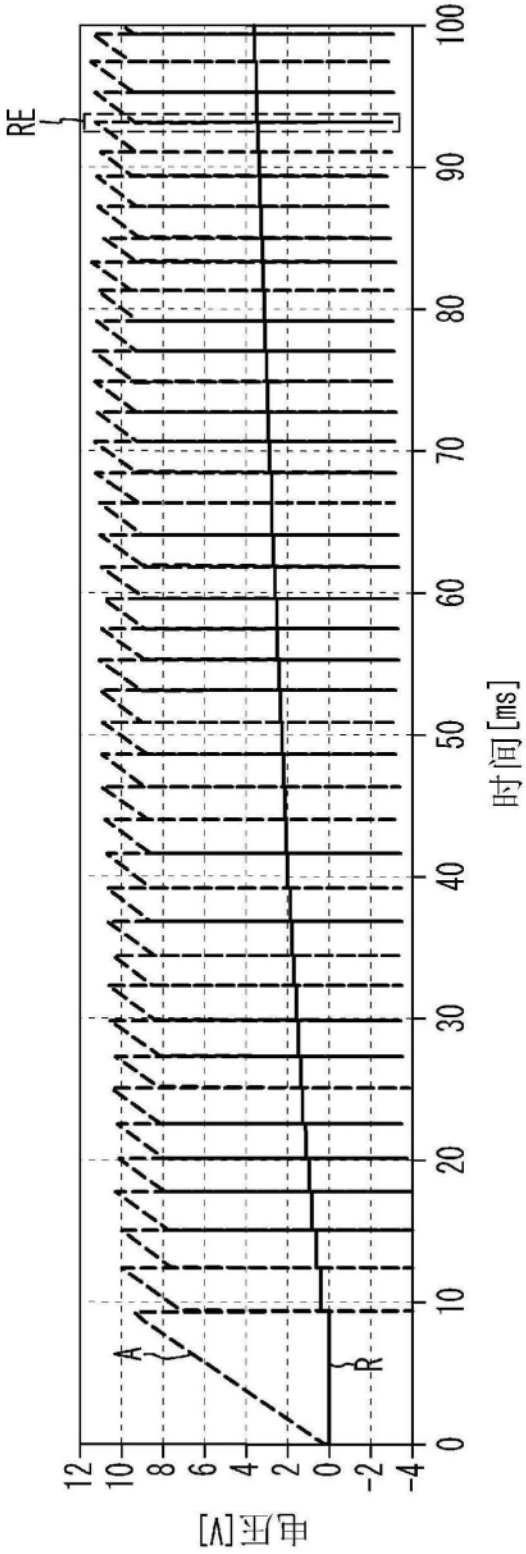


图54

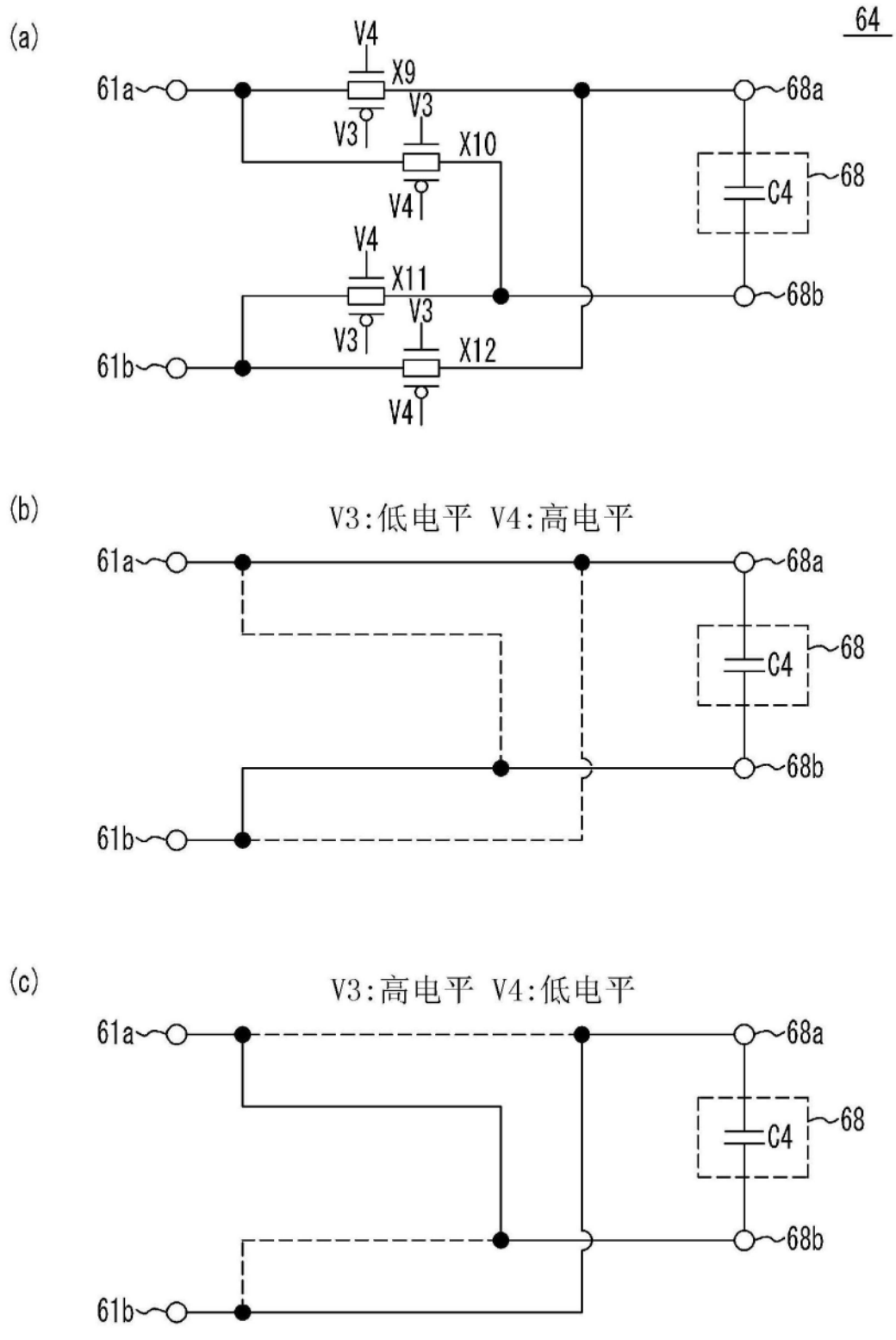

(a)
64
V4
X9
61a
V3
V3
X10
68a
C4
68
V4
V4
X11
68b
V3
V3
X12
61b
V4
(b)
V3:低电平 V4:高电平
61a
68a
C4
68
68b
61b
(c)
V3:高电平 V4:低电平
61a
68a
C4
68
68b
61b

图55

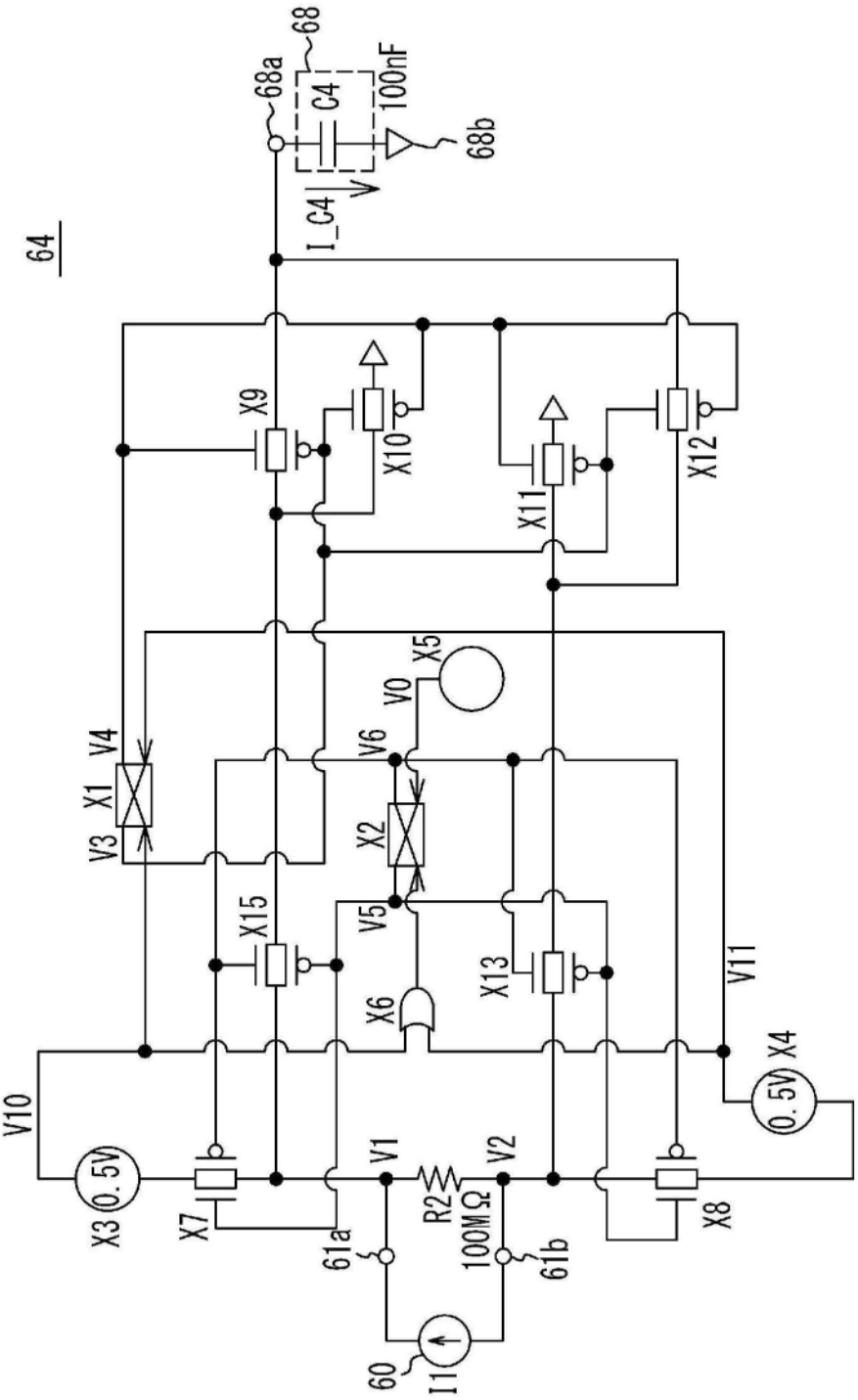

64
68
68a
C4
100nF
68b
I_C4
X9
X10
X11
X12
X5
V0
V4
X1
V3
V6
X2
V5
X15
X13
V11
X6
X4
0.5V
V10
X3
0.5V
X7
V1
V2
R2
100MΩ
X8
61a
61b
60
I1

图56

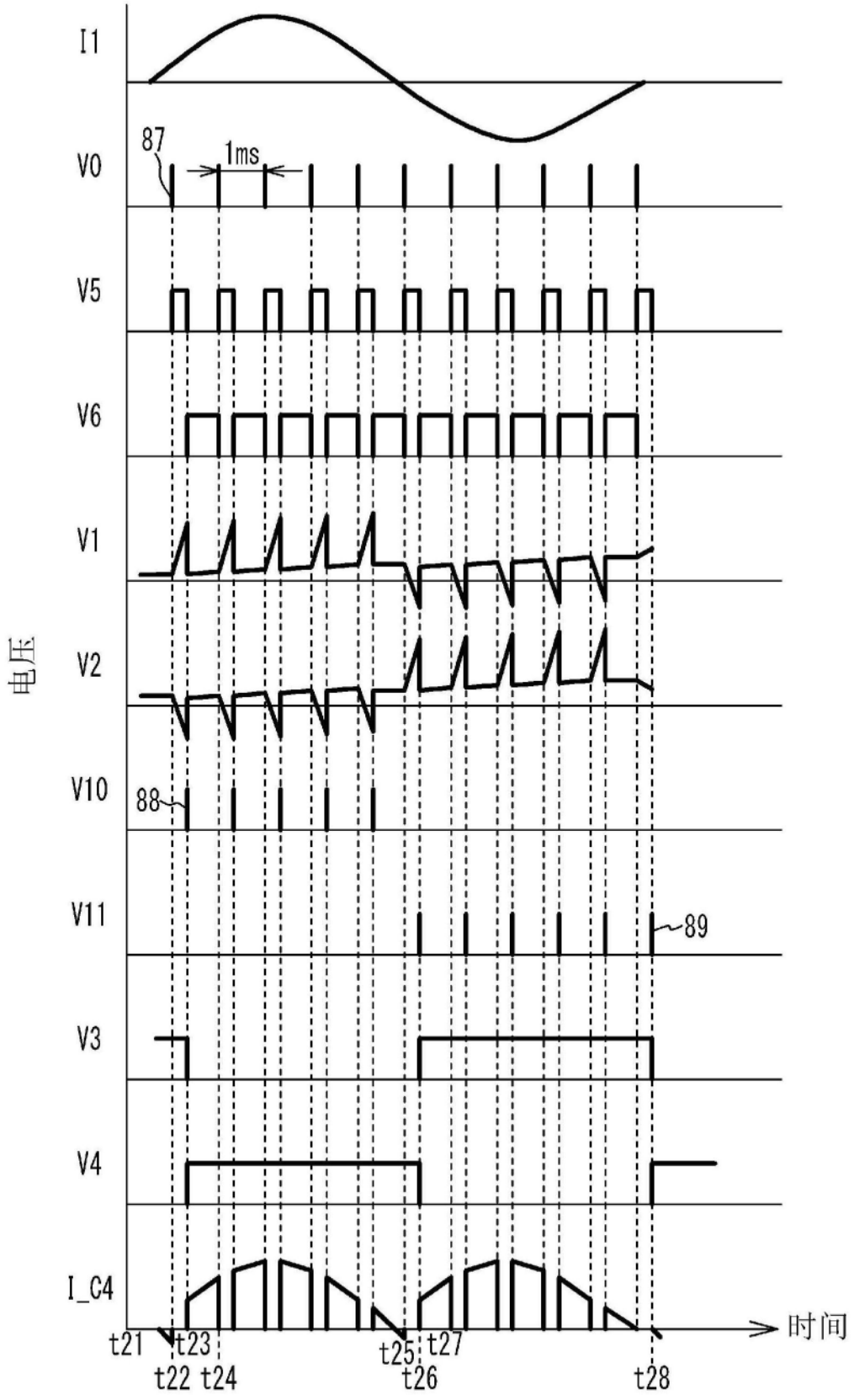

I1
V0
87
1ms
V5
V6
V1
V2
电压
V10
88
V11
89
V3
V4
I_C4
时间
t21
t22
t23
t24
t25
t26
t27
t28

图57

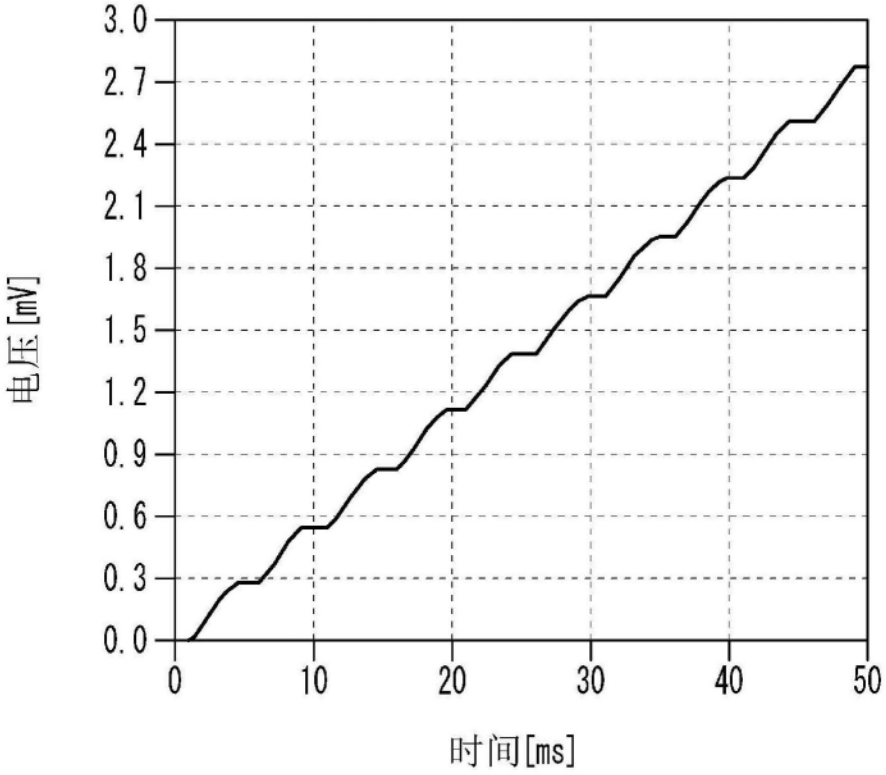


图58

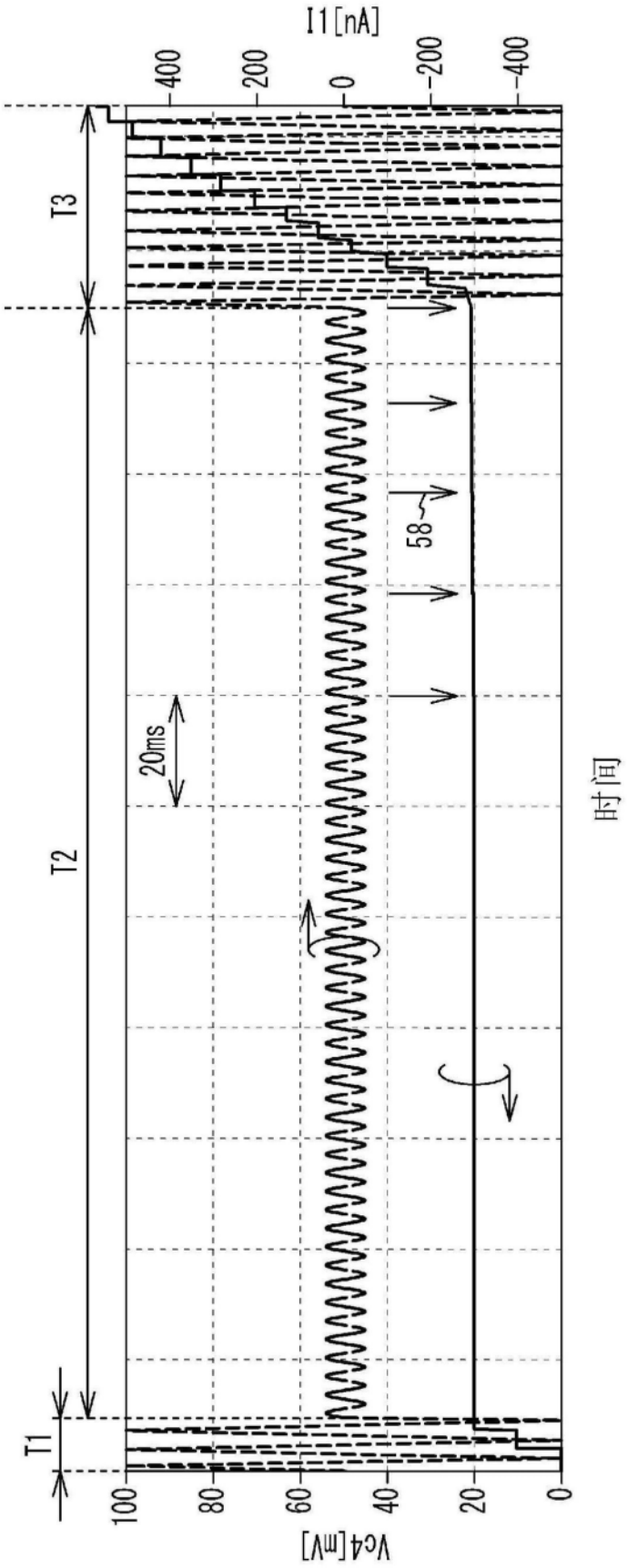


图59

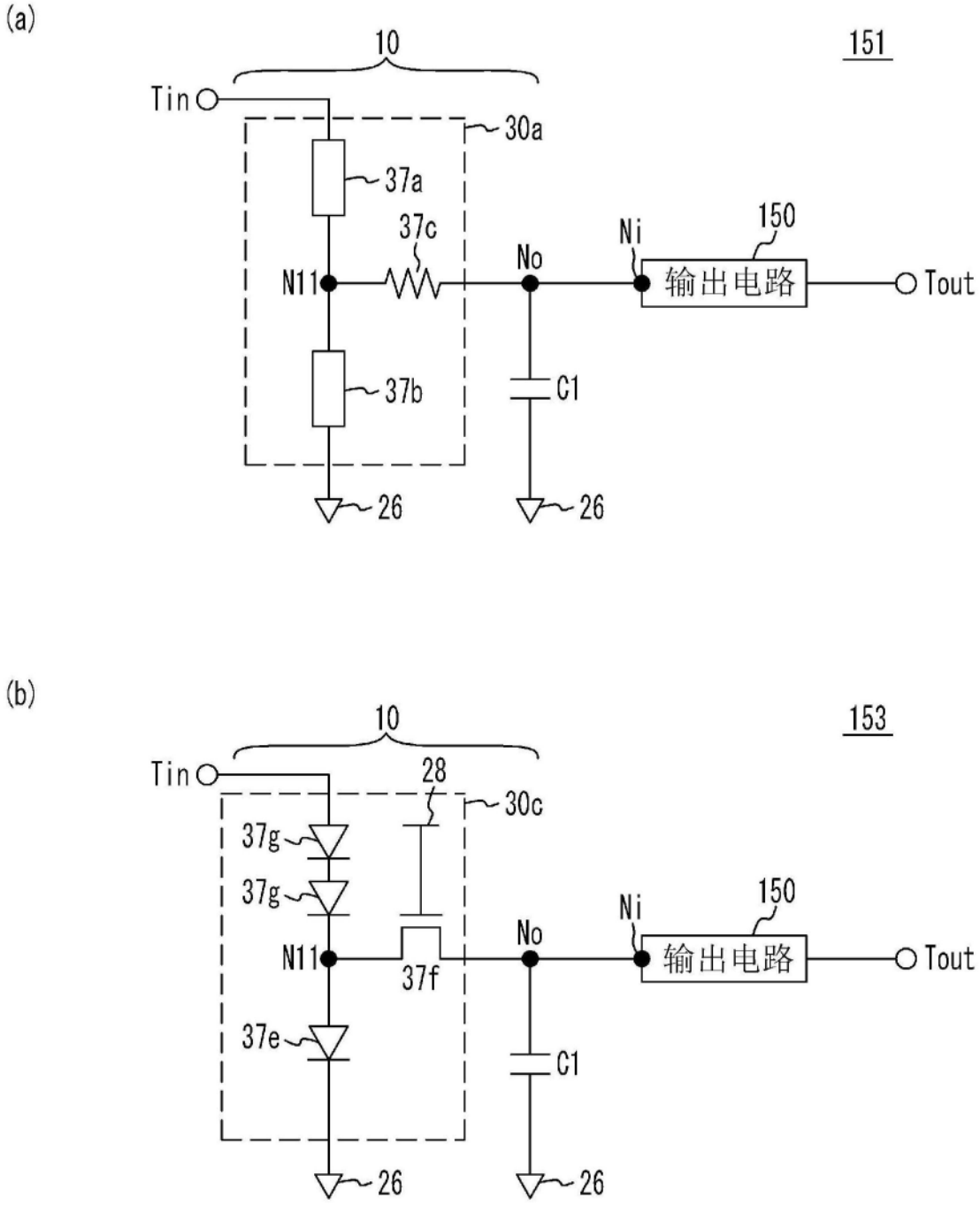

(a)
10
151
Tin
30a
37a
37c
150
Ni
No
N11
输出电路
Tout
37b
C1
26
26
(b)
10
153
Tin
28
30c
37g
37g
Ni
150
No
N11
37f
输出电路
Tout
37e
C1
26
26

图60

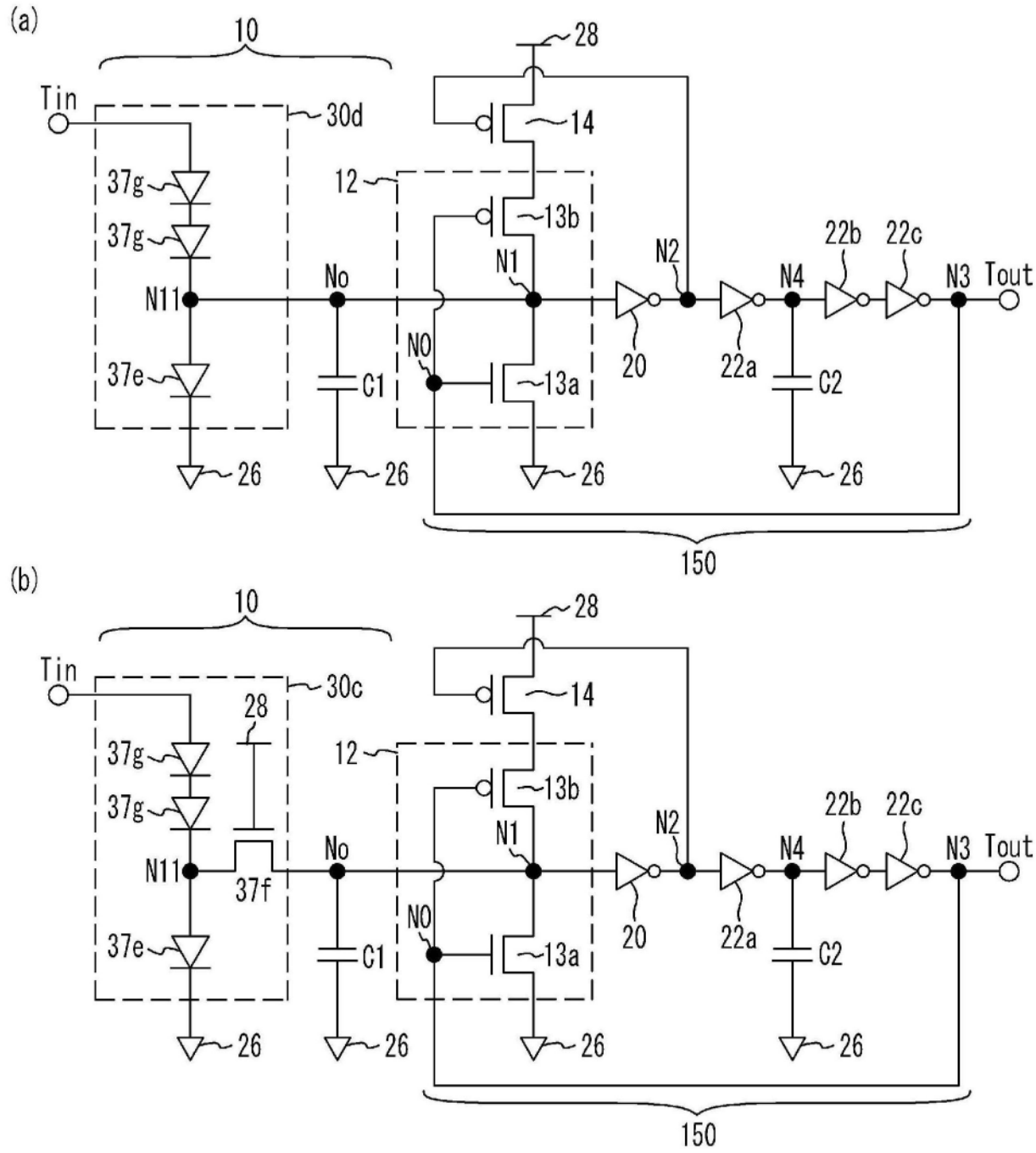

(a)
10
28
Tin
30d
14
37g
12
37g
13b
N1
N2
22b
22c
N11
No
N4
N3
Tout
N0
37e
C1
13a
20
22a
C2
26
26
26
26
26
150
(b)
10
28
Tin
30c
28
14
37g
12
37g
13b
N1
N2
22b
22c
N11
37f
No
N4
N3
Tout
N0
37e
C1
13a
20
22a
C2
26
26
26
26
26
150

图61

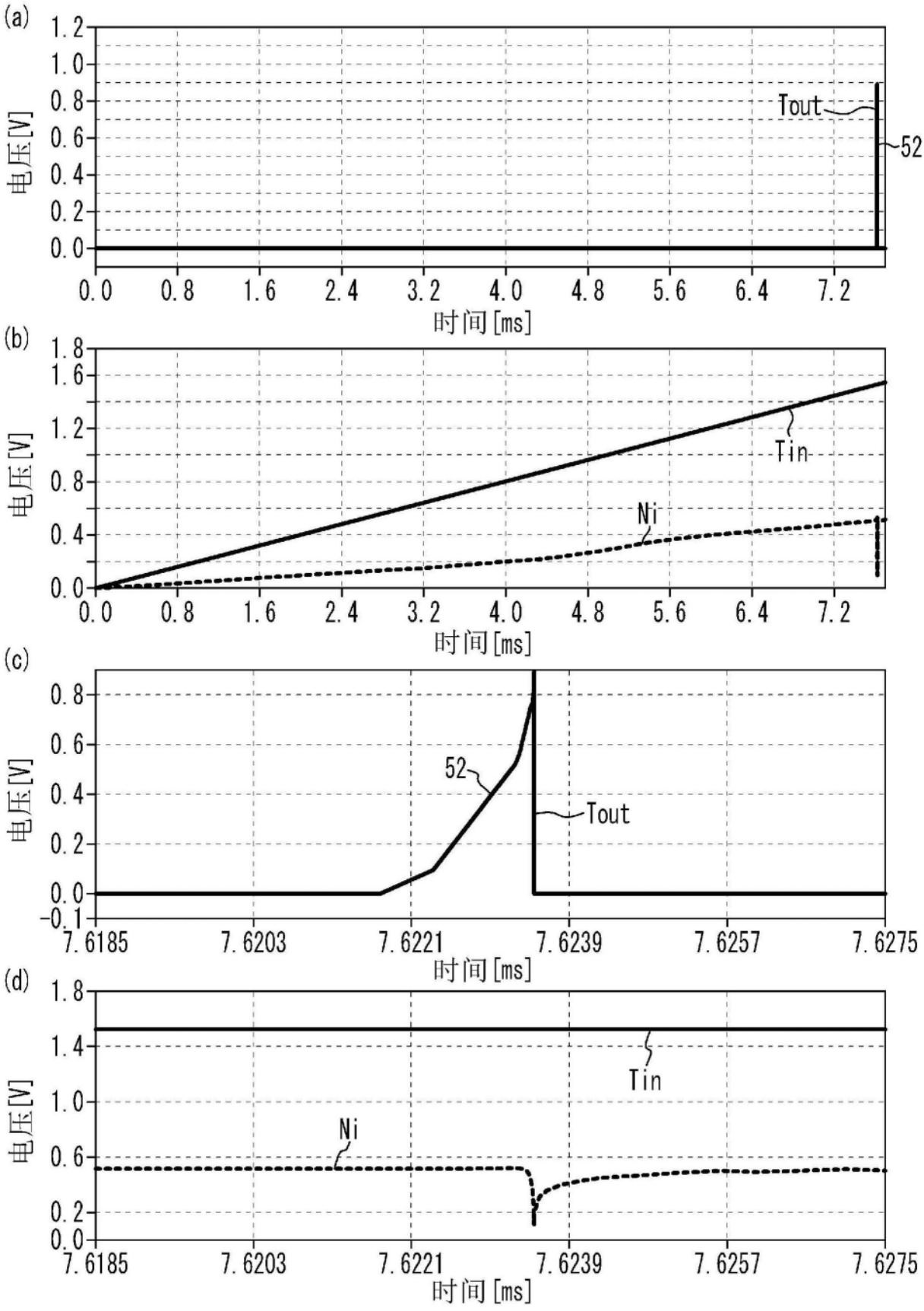

(a)
电压[V]
1.2
1.0
0.8
0.6
0.4
0.2
0.0
Tout
52
0.0
0.8
1.6
2.4
3.2
4.0
4.8
5.6
6.4
7.2
时间[ms]
(b)
电压[V]
1.8
1.6
1.2
0.8
0.4
0.0
Tin
Ni
0.0
0.8
1.6
2.4
3.2
4.0
4.8
5.6
6.4
7.2
时间[ms]
(c)
电压[V]
0.8
0.6
0.4
0.2
0.0
-0.1
52
Tout
7.6185
7.6203
7.6221
7.6239
7.6257
7.6275
时间[ms]
(d)
电压[V]
1.8
1.4
1.0
0.6
0.2
0.0
Tin
Ni
7.6185
7.6203
7.6221
7.6239
7.6257
7.6275
时间[ms]

图62

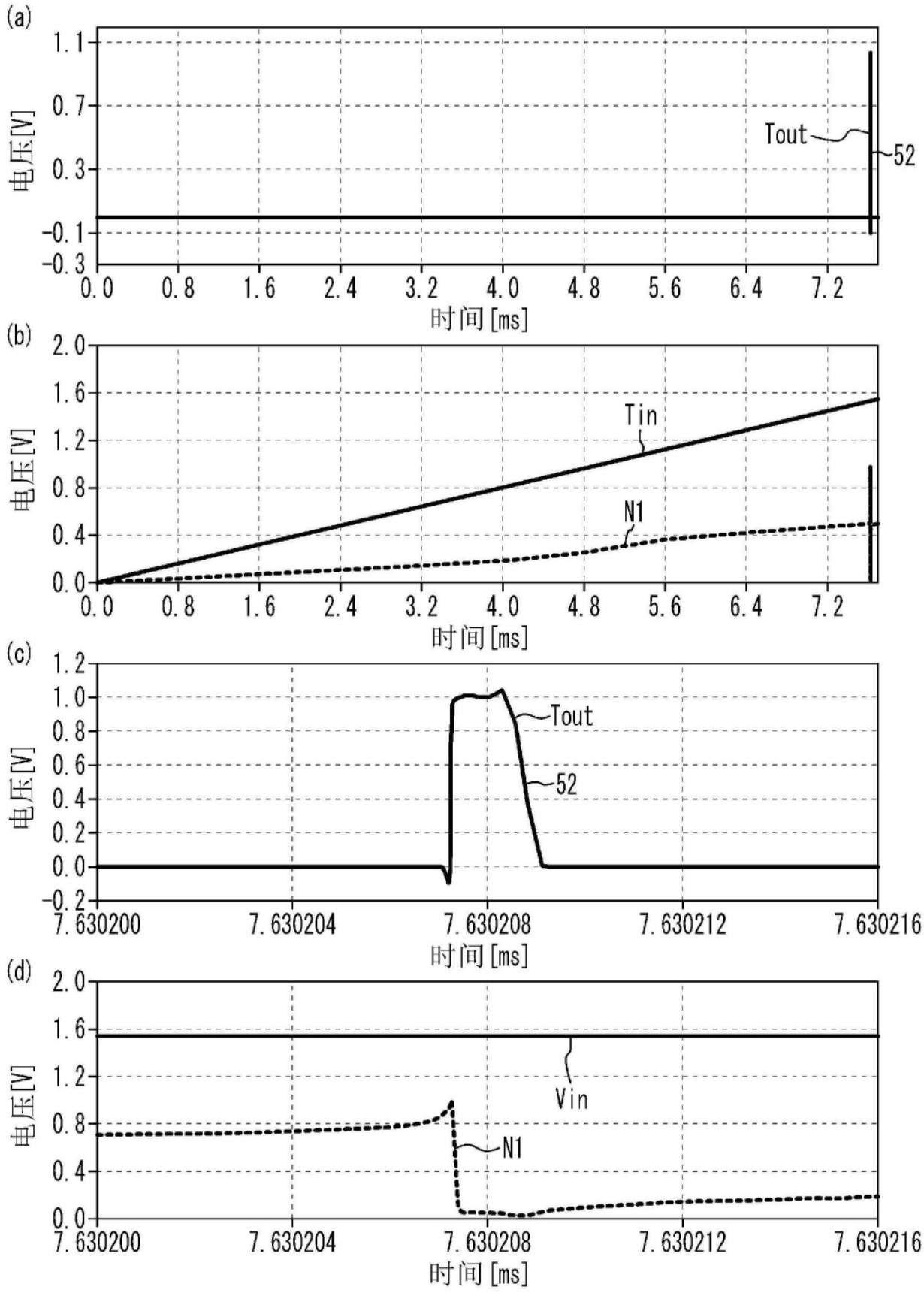

(a)
1.1
0.7
0.3
-0.1
-0.3
电压[V]
Tout
52
0.0
0.8
1.6
2.4
3.2
4.0
4.8
5.6
6.4
7.2
时间[ms]
(b)
2.0
1.6
1.2
0.8
0.4
0.0
电压[V]
Tin
N1
0.0
0.8
1.6
2.4
3.2
4.0
4.8
5.6
6.4
7.2
时间[ms]
(c)
1.2
1.0
0.8
0.6
0.4
0.2
0.0
-0.2
电压[V]
Tout
52
7.630200
7.630204
7.630208
7.630212
7.630216
时间[ms]
(d)
2.0
1.6
1.2
0.8
0.4
0.0
电压[V]
Vin
N1
7.630200
7.630204
7.630208
7.630212
7.630216
时间[ms]

图63

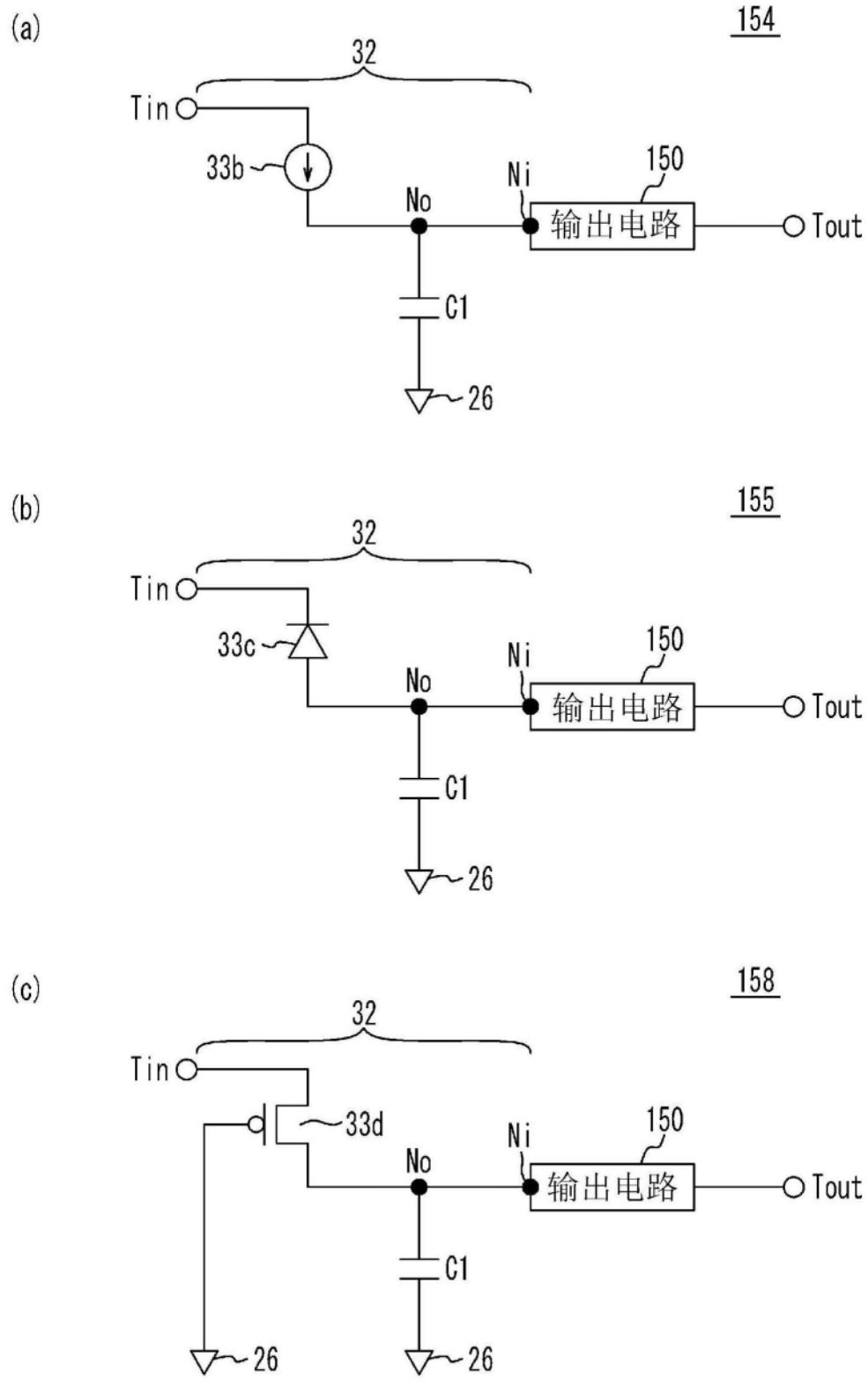

(a)
154
32
Tin
33b
Ni
150
No
输出电路
Tout
C1
26
(b)
155
32
Tin
33c
Ni
150
No
输出电路
Tout
C1
26
(c)
158
32
Tin
33d
Ni
150
No
输出电路
Tout
C1
26
26

图64

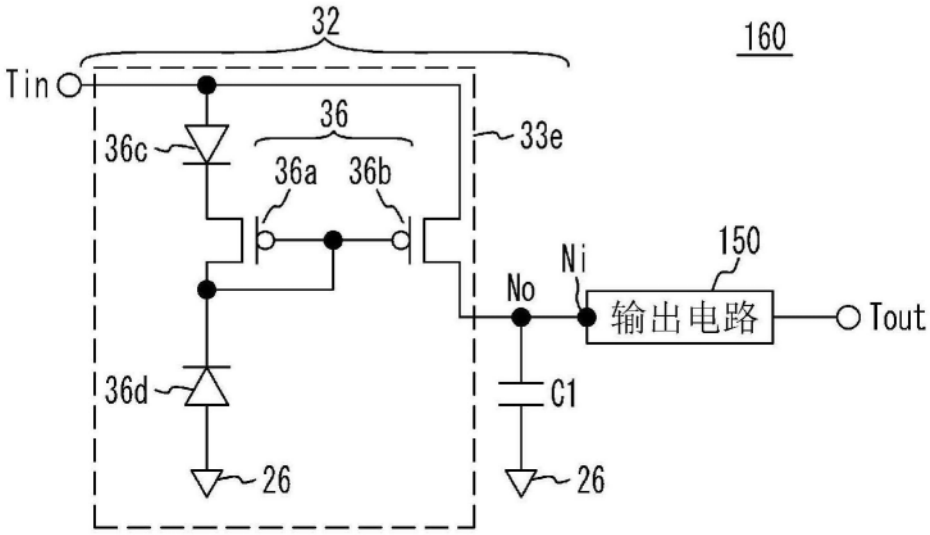


图65

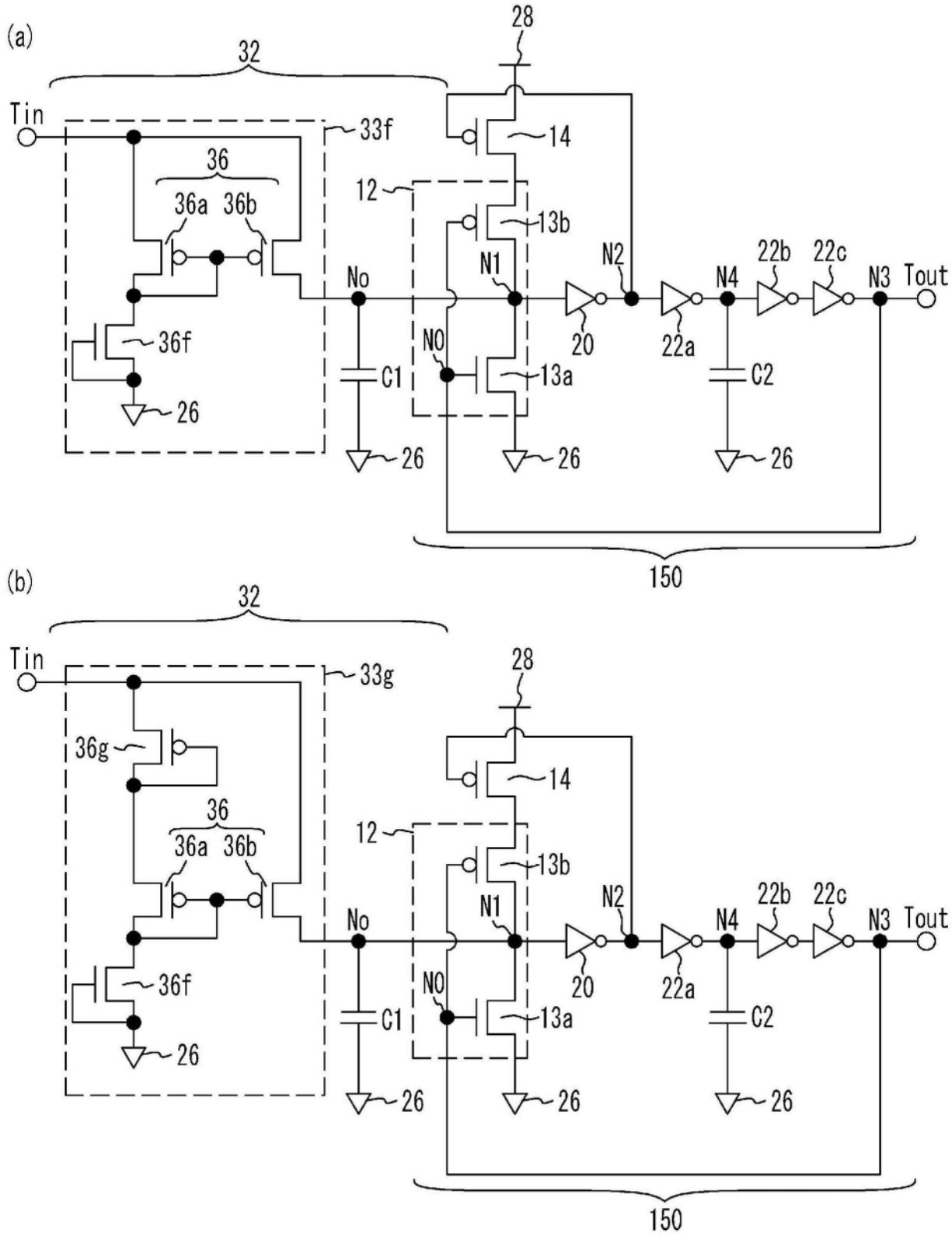

(a)
32
28
Tin
33f
14
36
36a
36b
12
13b
N1
N2
22b
22c
No
N4
N3
Tout
36f
N0
20
22a
C1
13a
C2
26
150
(b)
32
Tin
33g
28
36g
14
36
12
36a
36b
13b
N1
N2
22b
22c
No
N4
N3
Tout
36f
N0
20
22a
C1
13a
C2
26
150

图66

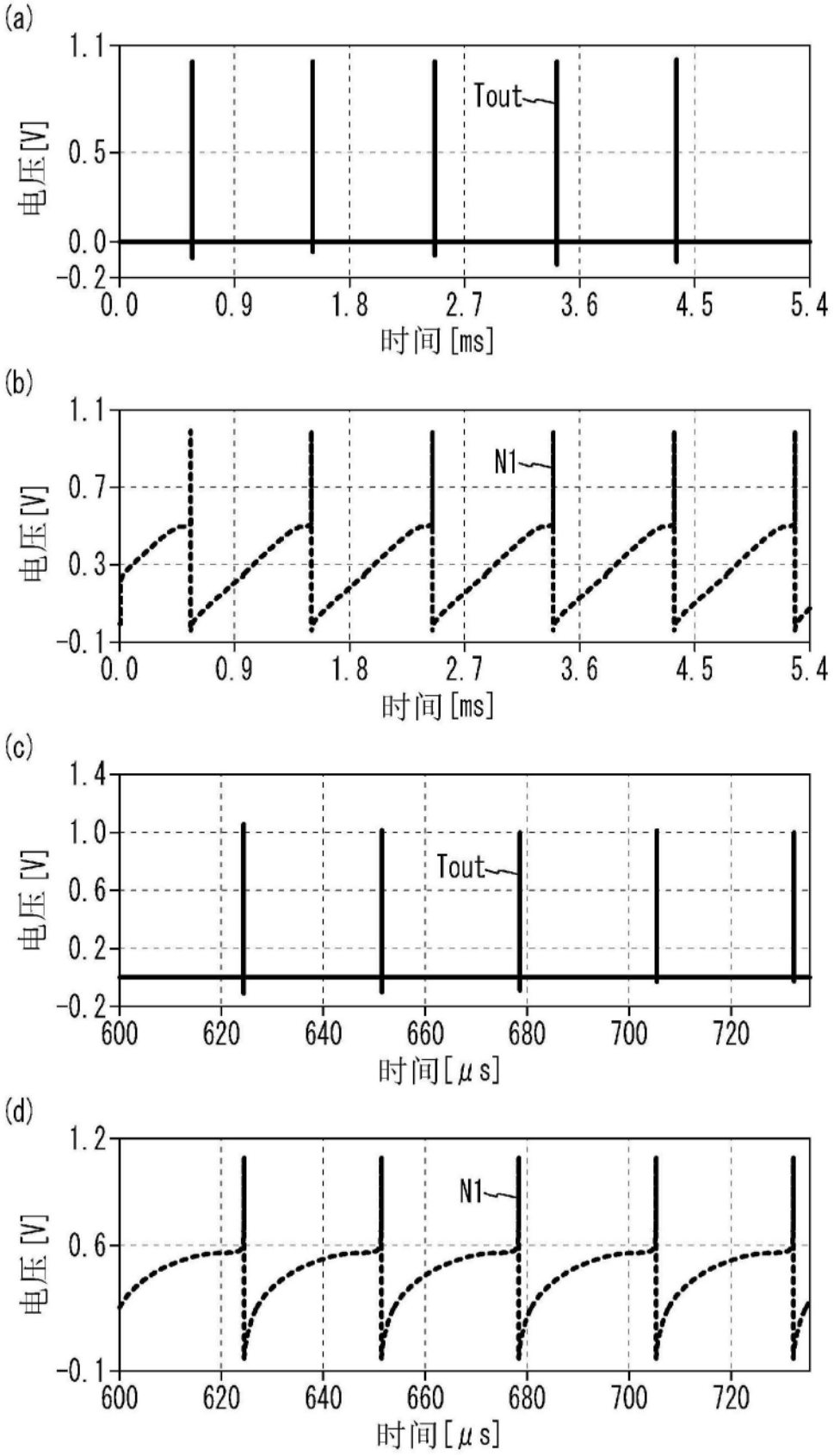

(a)
1.1
0.5
0.0
-0.2
电压[V]
Tout
0.0
0.9
1.8
2.7
3.6
4.5
5.4
时间[ms]
(b)
1.1
0.7
0.3
-0.1
电压[V]
N1
0.0
0.9
1.8
2.7
3.6
4.5
5.4
时间[ms]
(c)
1.4
1.0
0.6
0.2
-0.2
电压[V]
Tout
600
620
640
660
680
700
720
时间[μs]
(d)
1.2
0.6
-0.1
电压[V]
N1
600
620
640
660
680
700
720
时间[μs]

图67

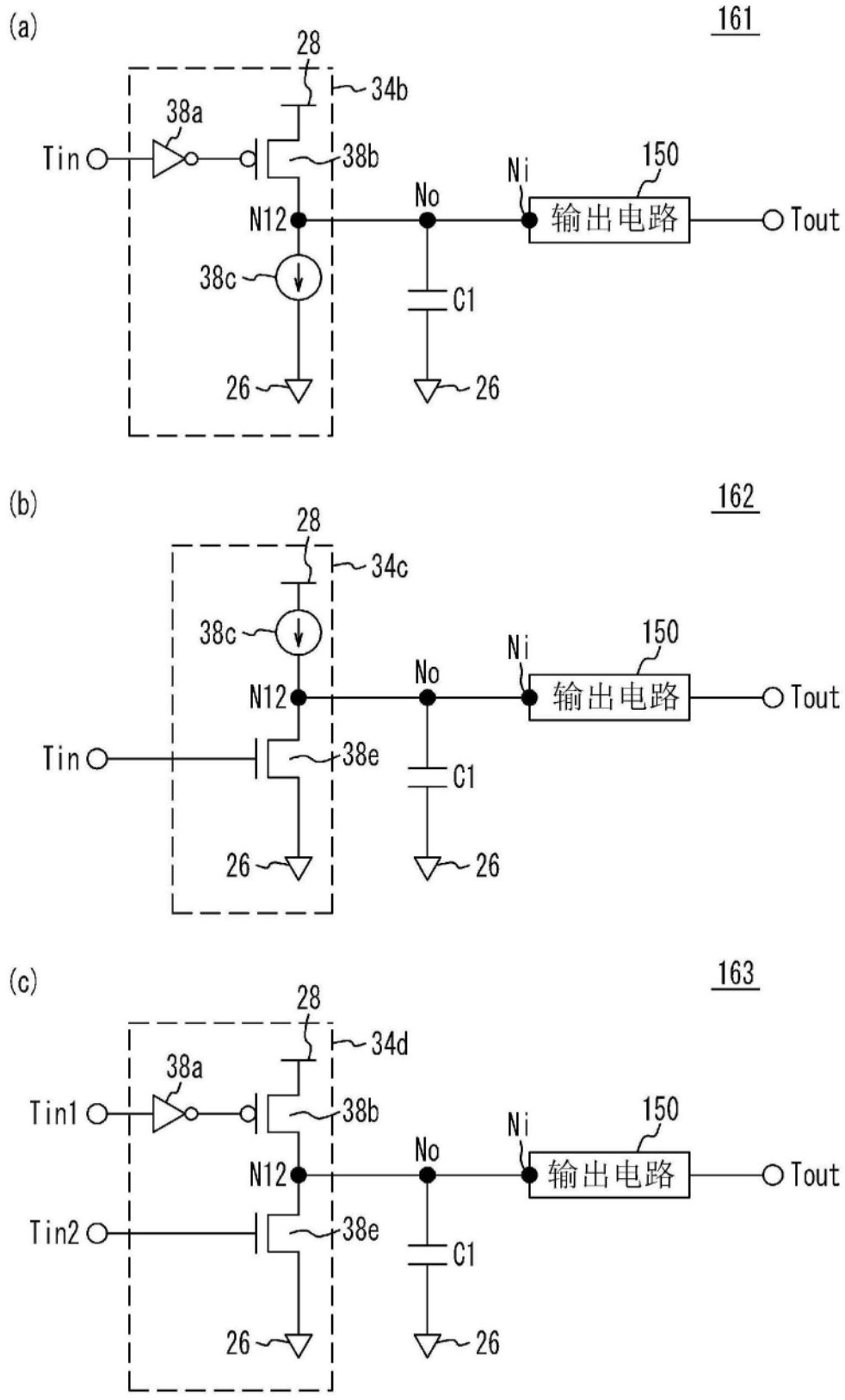

(a)
161
28
34b
38a
Tin
38b
Ni
150
No
N12
输出电路
Tout
38c
C1
26
26
(b)
162
28
34c
38c
Ni
150
No
N12
输出电路
Tout
Tin
38e
C1
26
26
(c)
163
28
34d
38a
Tin1
38b
Ni
150
No
N12
输出电路
Tout
Tin2
38e
C1
26
26

图68

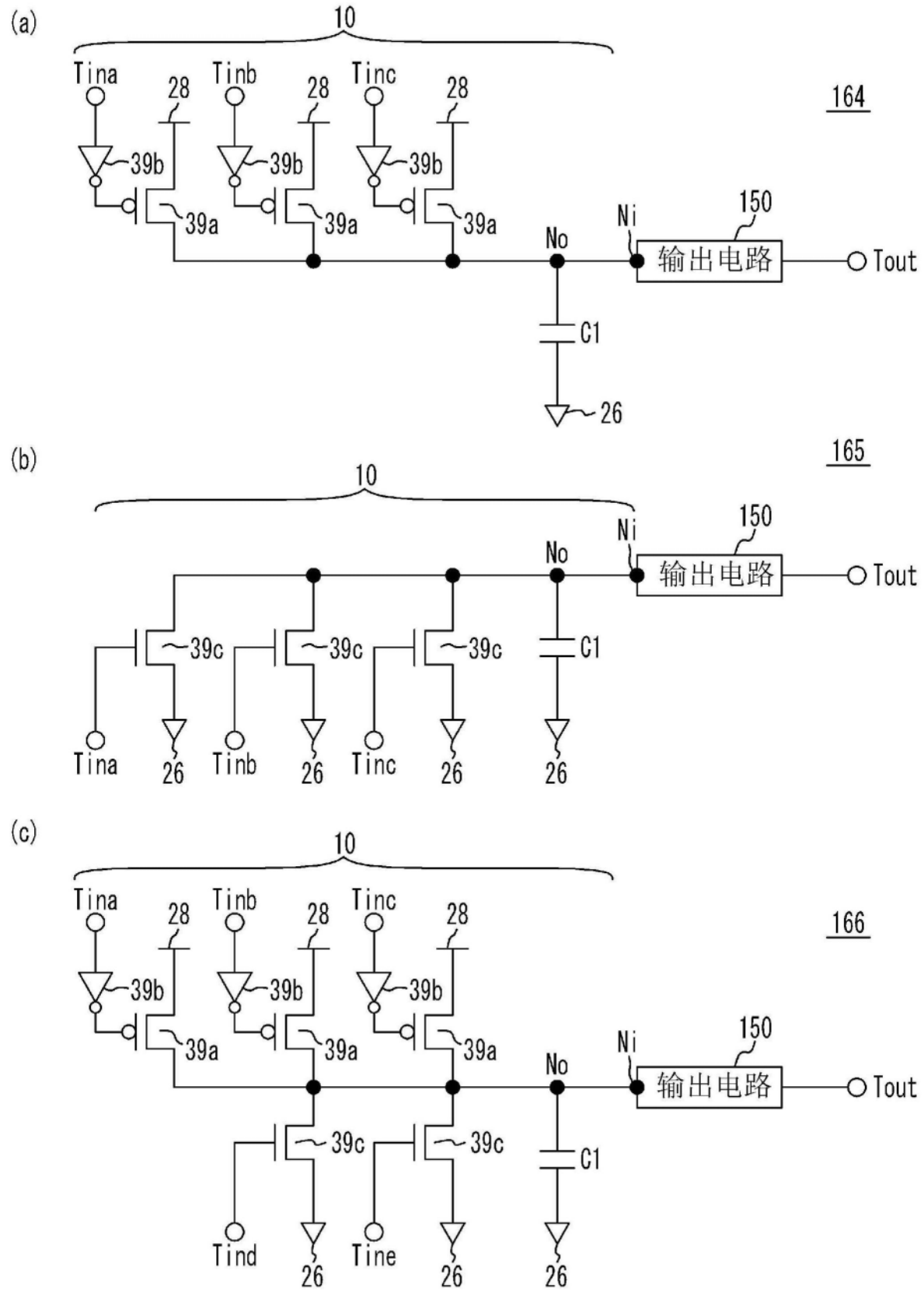

(a)
10
Tina
Tinb
Tinc
28
39b
39a
164
150
Ni
No
输出电路
Tout
C1
26
(b)
165
(c)
166
39c
Tind
Tine

图69

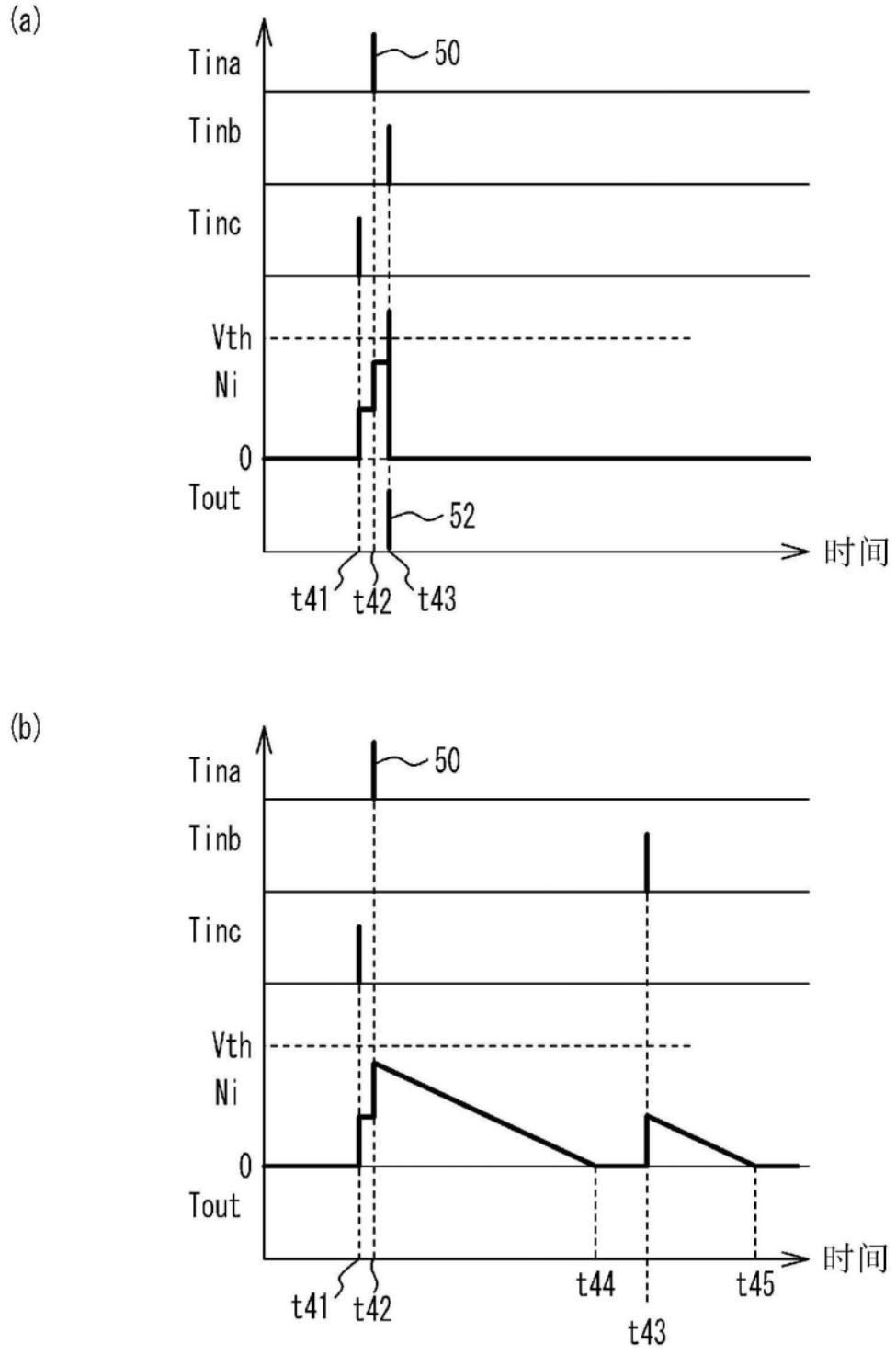

(a)
Tina
50
Tinb
Tinc
Vth
Ni
0
Tout
52
时间
t41
t42
t43
(b)
Tina
50
Tinb
Tinc
Vth
Ni
0
Tout
时间
t41
t42
t44
t45
t43

图70

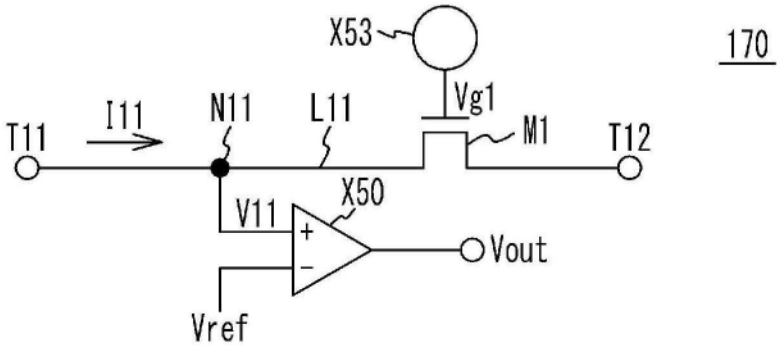


图71

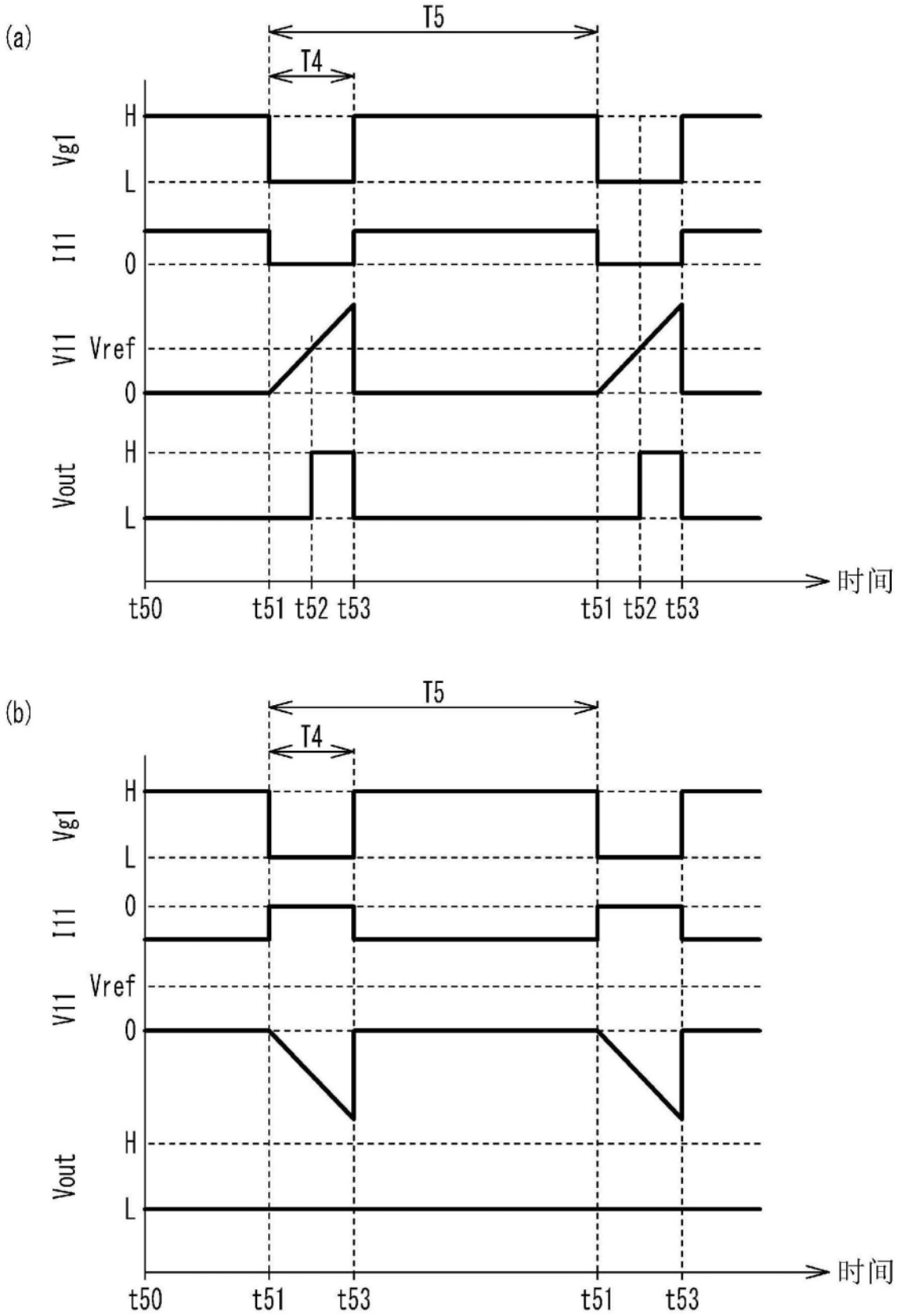

(a)
T5
T4
Vg1
H
L
I11
0
V11
Vref
0
Vout
H
L
时间
t50
t51 t52 t53
t51 t52 t53
(b)
T5
T4
Vg1
H
L
I11
0
V11
Vref
0
Vout
H
L
时间
t50
t51
t53
t51
t53

图72

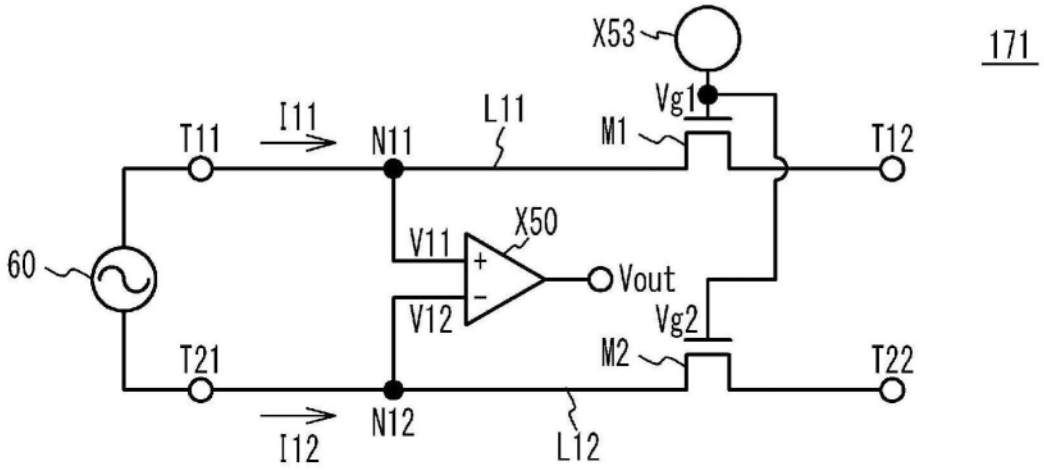

X53
171
Vg1
T11
I11
N11
L11
M1
T12
X50
V11
60
Vout
V12
Vg2
T21
M2
T22
N12
I12
L12

图73

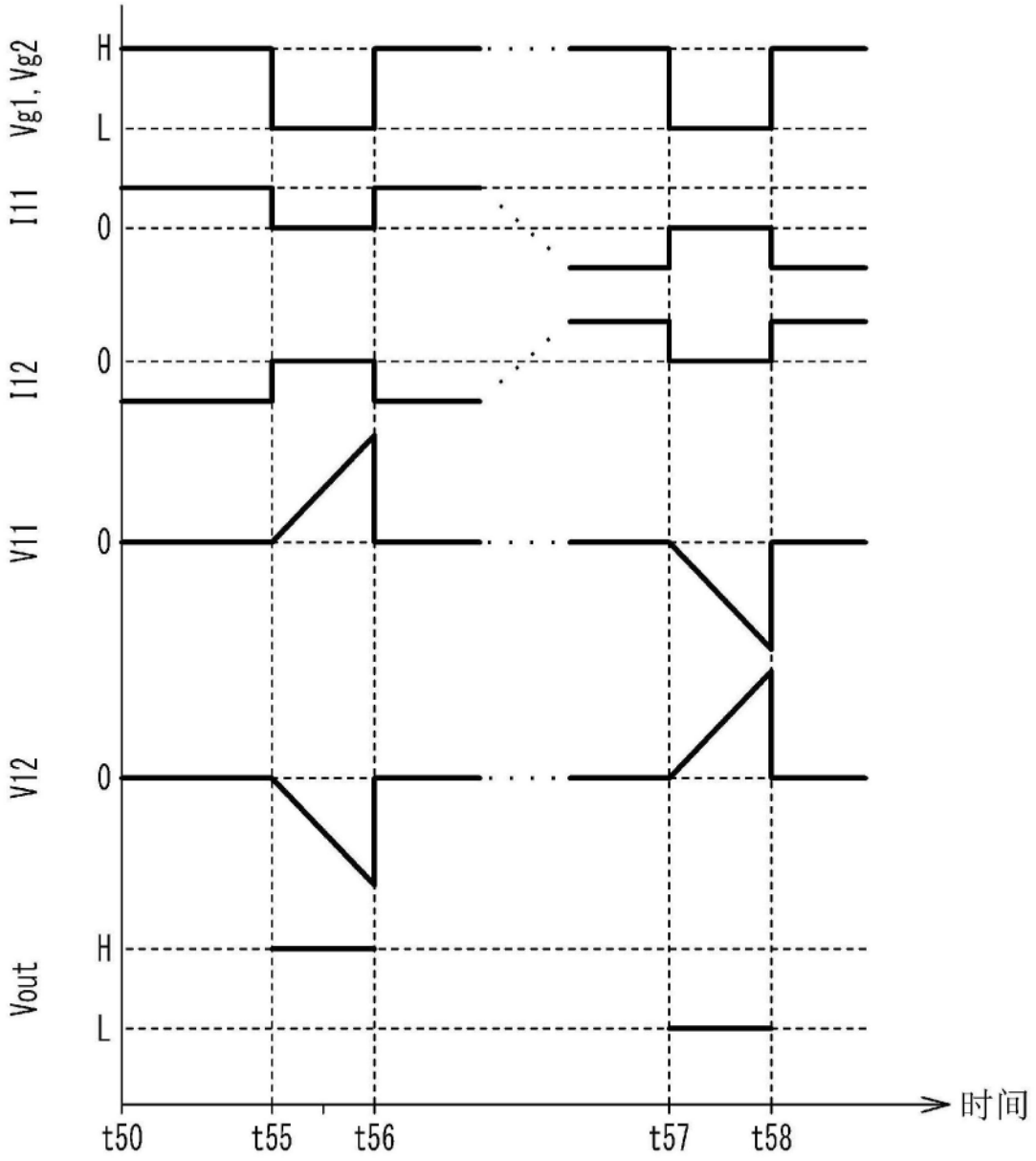


图74

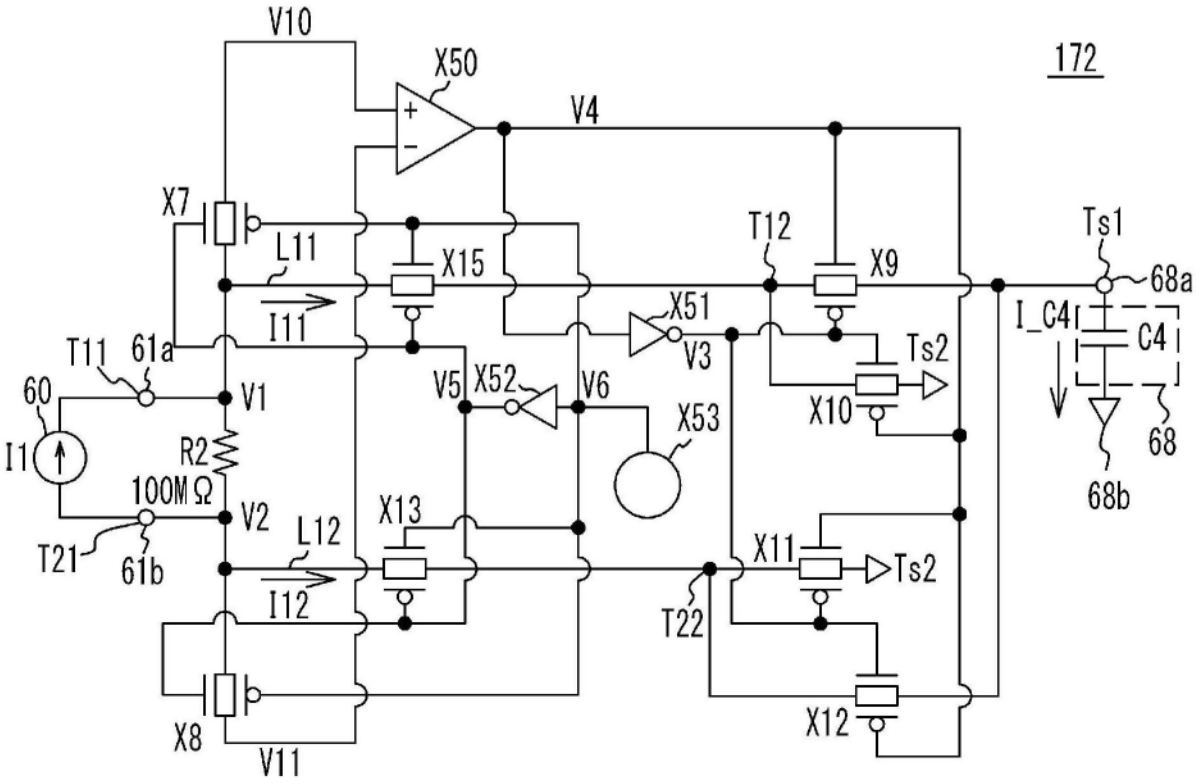

V10
X50
172
V4
X7
L11
X15
T12
X9
Ts1
68a
I11
X51
V3
I_C4
C4
T11
61a
Ts2
60
V1
V5
X52
V6
X53
X10
68
I1
R2
100MΩ
V2
X13
L12
X11
Ts2
T21
61b
I12
T22
68b
X8
V11
X12

图75

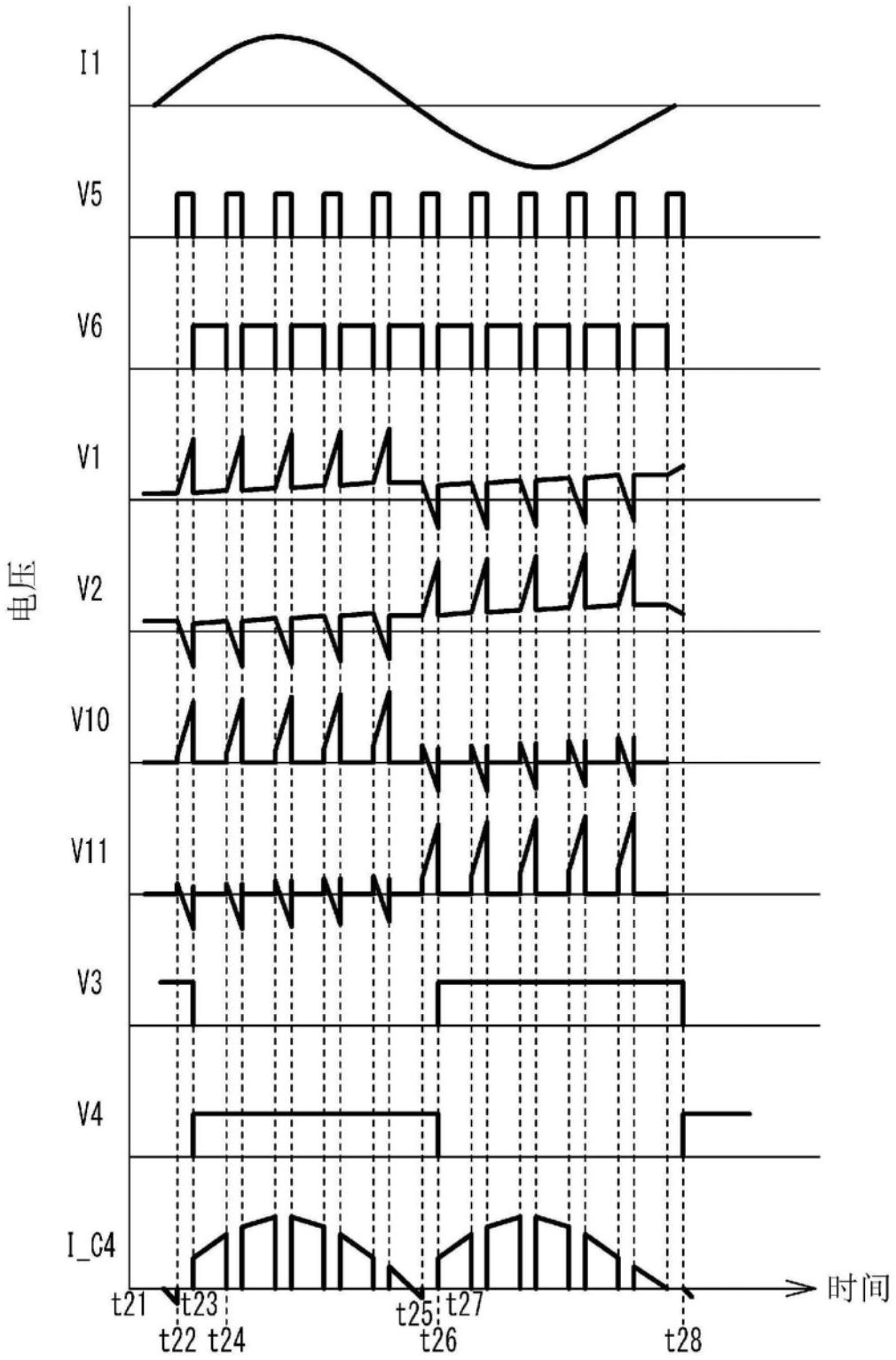

I1
V5
V6
V1
V2
V10
V11
V3
V4
I_C4
电压
时间
t21
t22
t23
t24
t25
t26
t27
t28

图76

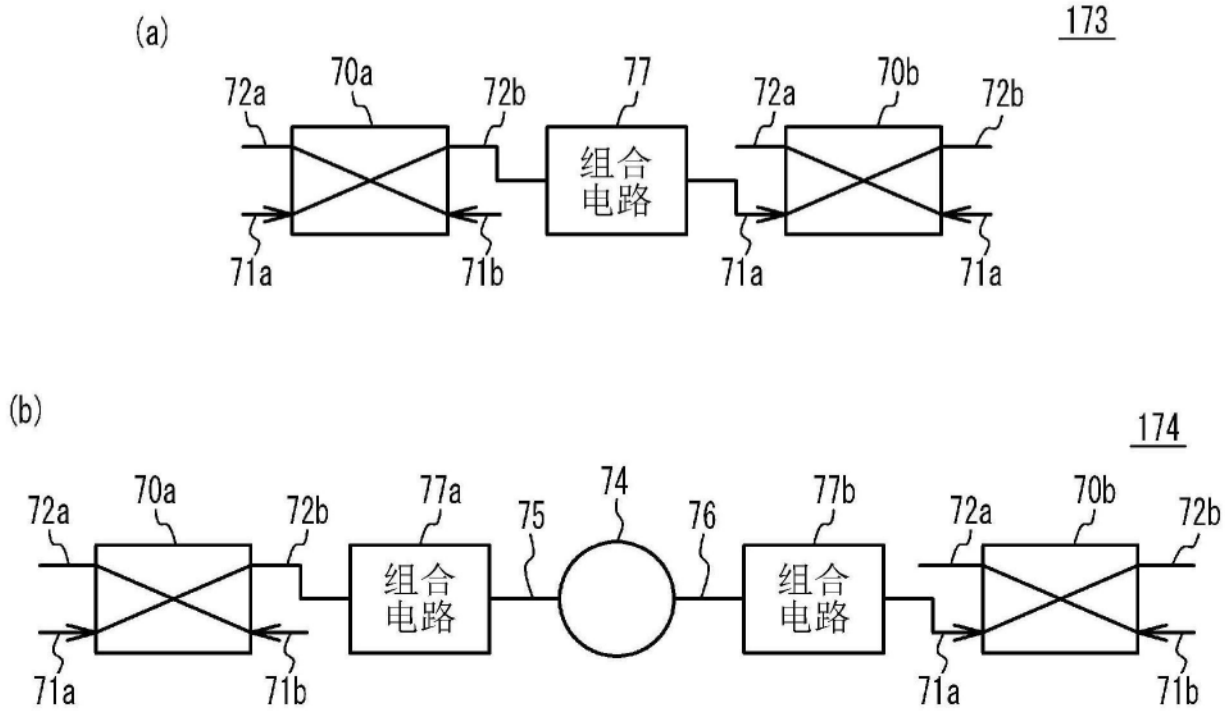

(a)
173
72a
70a
72b
77
组合
电路
72a
70b
72b
71a
71b
71a
71a
(b)
174
72a
70a
72b
77a
组合
电路
75
74
76
77b
组合
电路
72a
70b
72b
71a
71b
71a
71b

图77

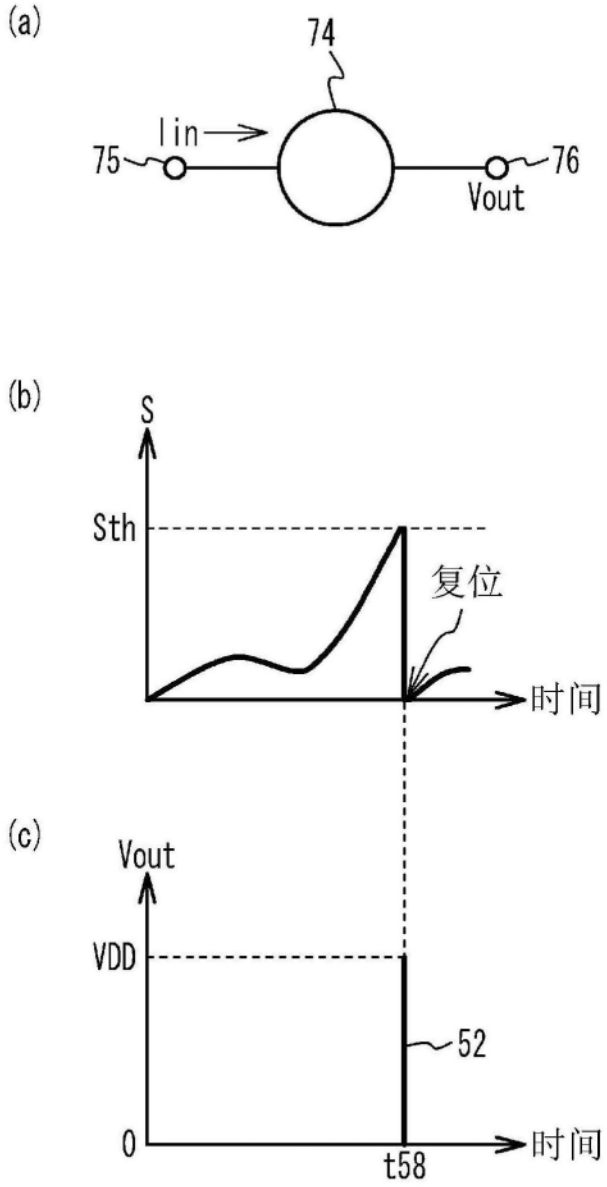


图78

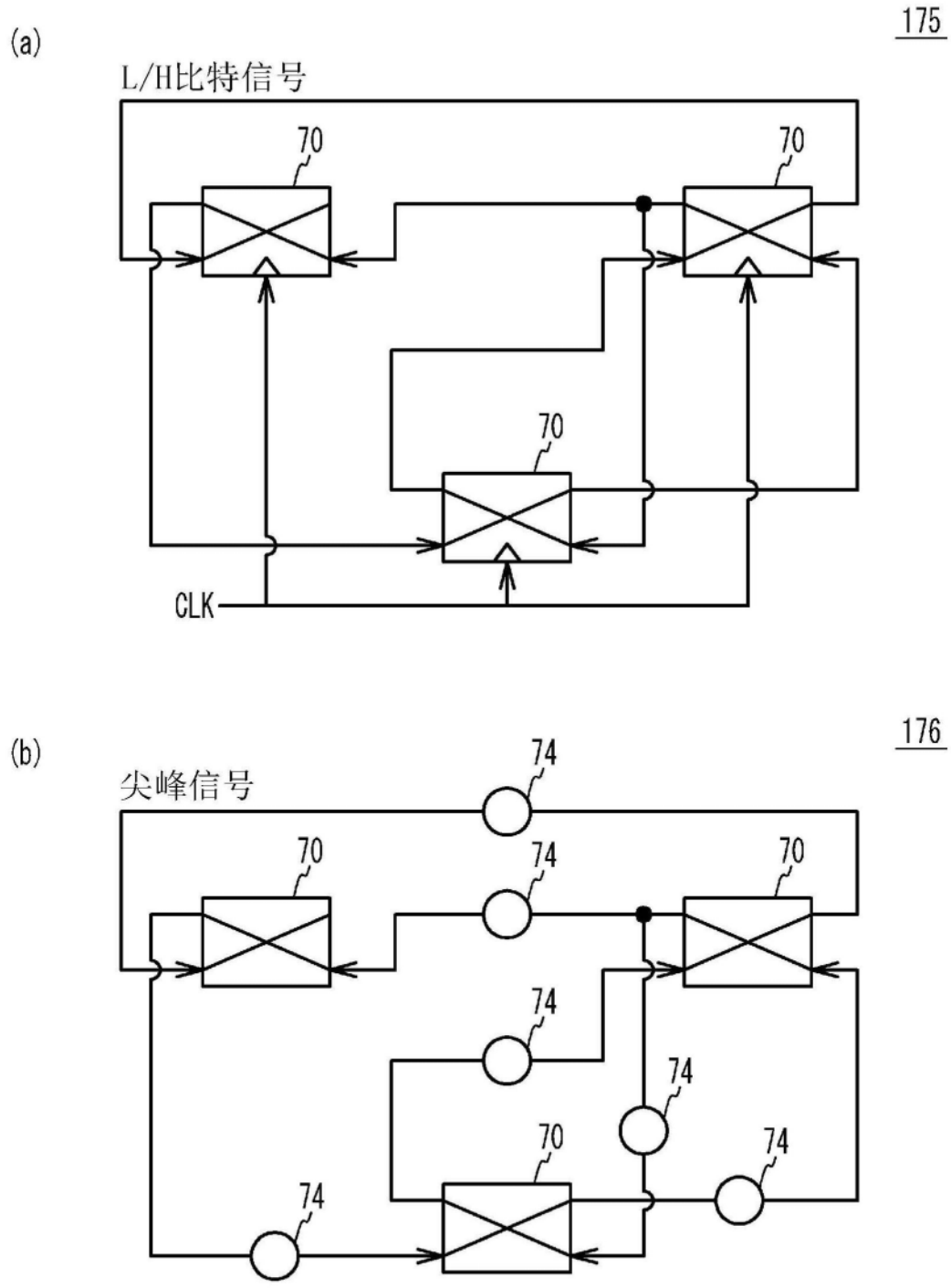


图79

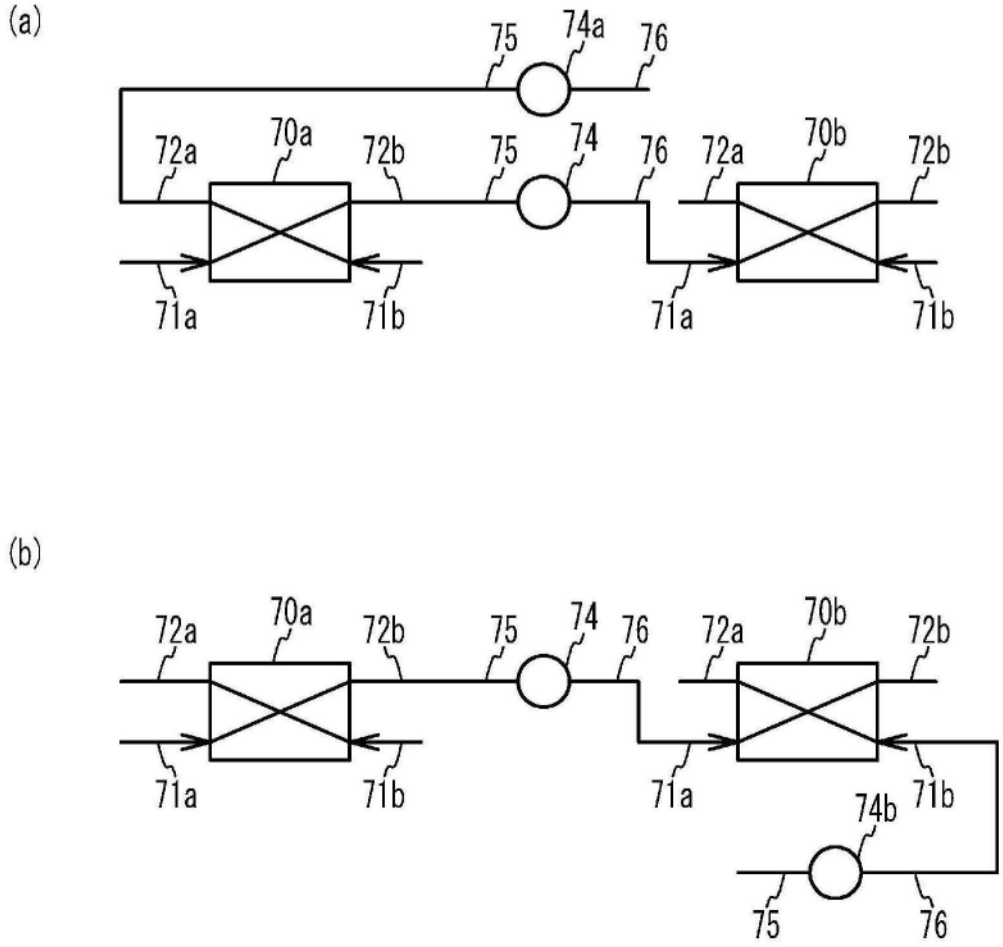

(a)
75
74a
76
72a
70a
72b
75
74
76
72a
70b
72b
71a
71b
71a
71b
(b)
72a
70a
72b
75
74
76
72a
70b
72b
71a
71b
71a
71b
74b
75
76

图80

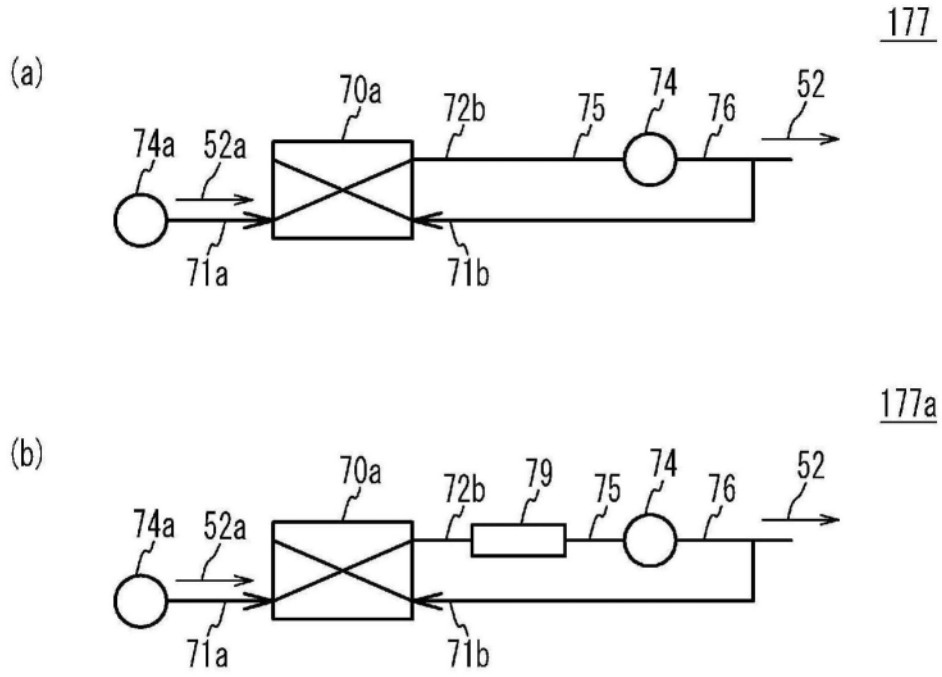

177
(a)
70a
72b
75
74
76
52
74a
52a
71a
71b
177a
(b)
70a
72b
79
75
74
76
52
74a
52a
71a
71b

图81

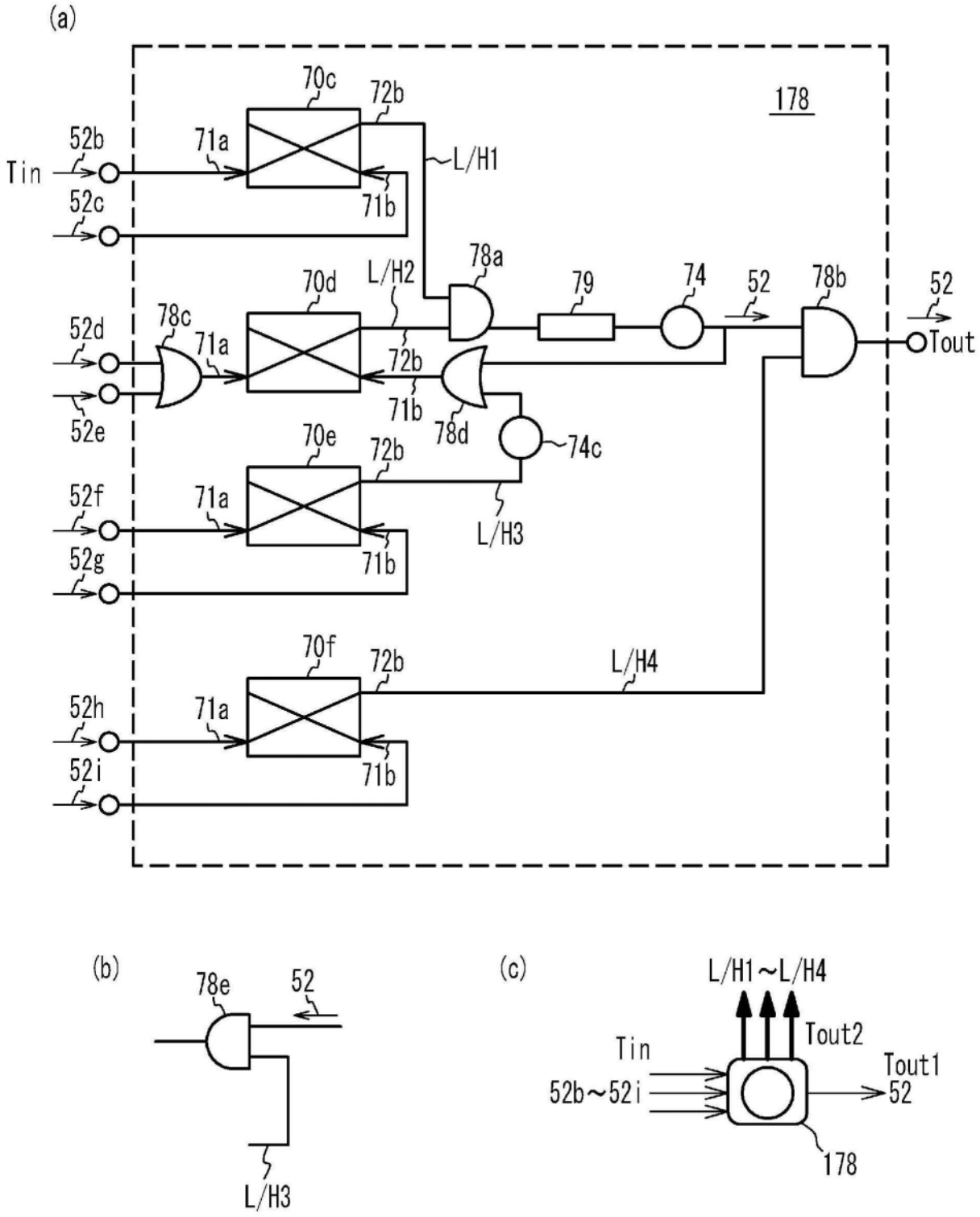

(a)
178
70c
72b
52b
71a
Tin
L/H1
52c
71b
78a
70d
L/H2
79
74
52
78b
52
52d
78c
71a
72b
Tout
71b
52e
78d
74c
70e
72b
52f
71a
L/H3
71b
52g
70f
72b
L/H4
52h
71a
71b
52i
(b)
78e
52
L/H3
(c)
L/H1～L/H4
Tout2
Tin
Tout1
52b～52i
52
178

图82

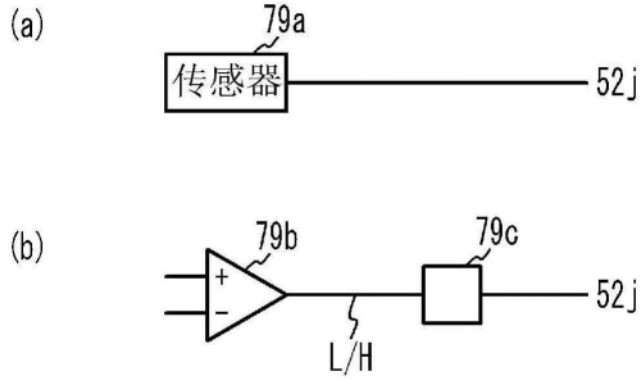

(a)
79a
传感器
52j
(b)
79b
79c
+
−
52j
L/H

图83

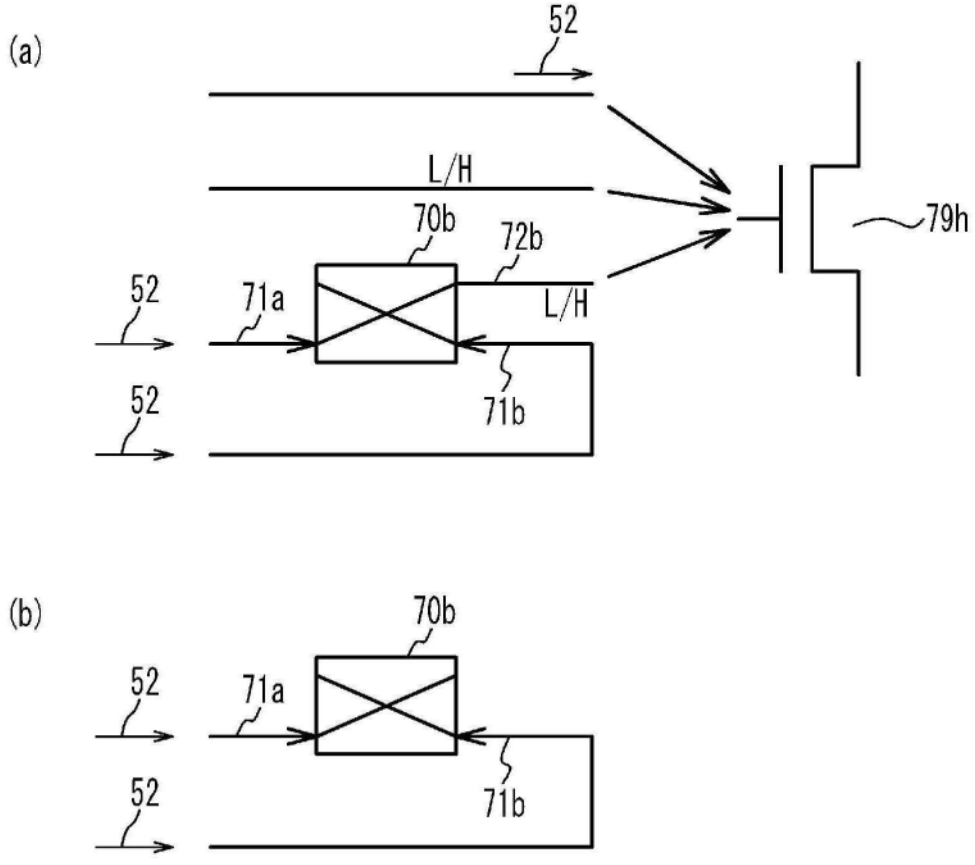

(a)
52
L/H
70b
72b
79h
52
71a
L/H
52
71b
(b)
70b
52
71a
52
71b

图84

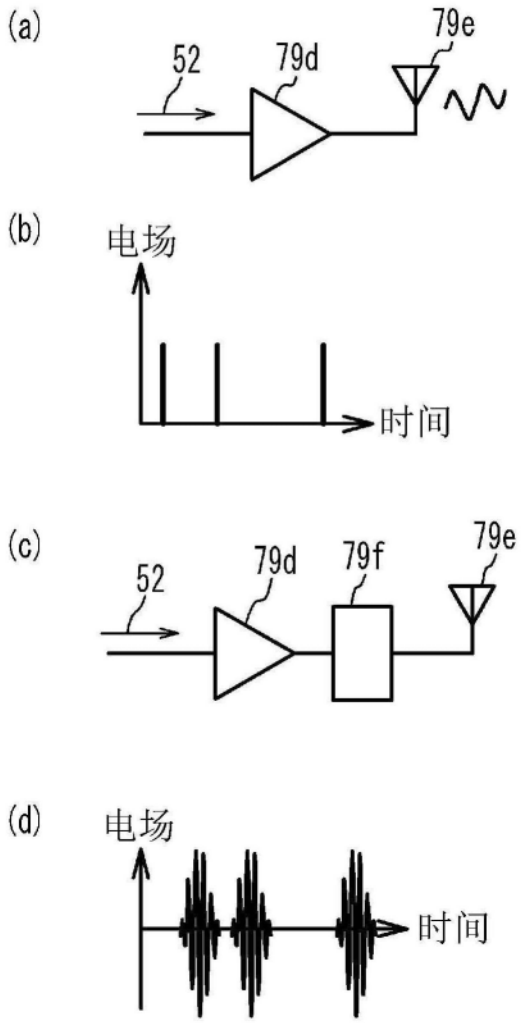


图85

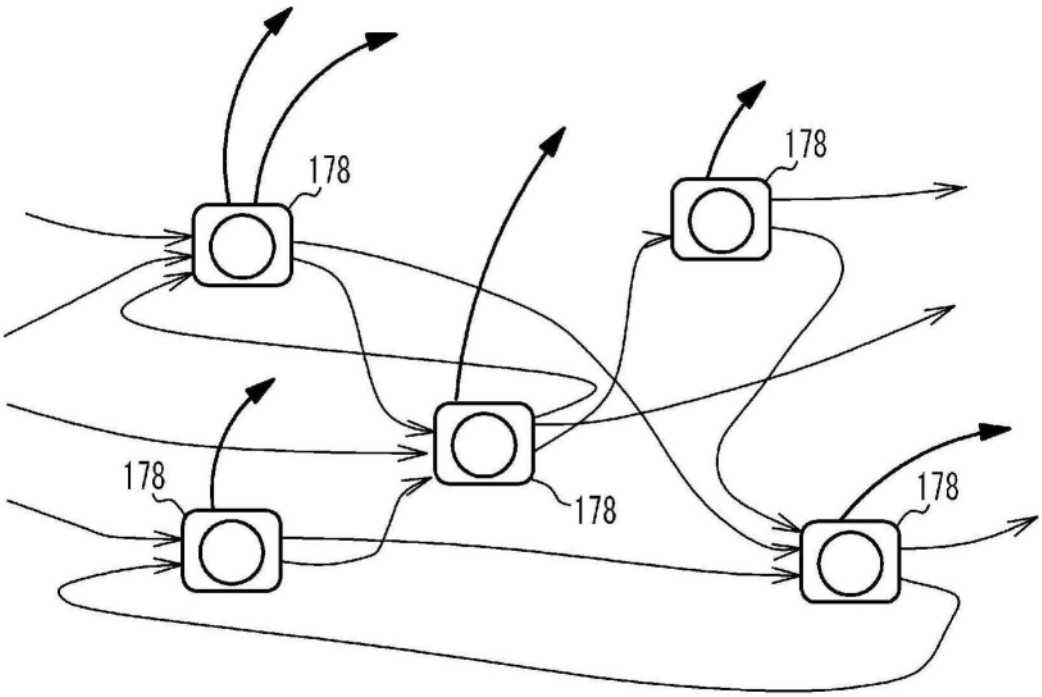


图86