

申請日期: 91.6.14	案號: 91112994
類別: H01L 21/20	

(以上各欄由本局填註)

發明專利說明書

575909

一、 發明名稱	中 文	以沈積製程將互連區域選擇性合金化之方法
	英 文	A METHOD OF SELECTIVELY ALLOYING INTERCONNECT REGIONS BY DEPOSITION PROCESS
二、 發明人	姓 名 (中文)	1. 保羅·R·貝瑟 2. 趙烈(暫譯)
	姓 名 (英文)	1. PAUL R. BESSER 2. LARRY ZHAO
	國 籍	1. 美國 2. 中國
	住、居所	1. 美國·加州94087·桑尼威·猶克堂街1087號 1087 Yorktown Drive, Sunnyvale, CA 94087 U.S.A. 2. 美國·德州78749·奧斯汀·索門島街9110號 9110 Sommerland Way, Austin, TX 78749 U.S.A.
三、 申請人	姓 名 (名稱) (中文)	1. 高級微裝置公司
	姓 名 (名稱) (英文)	1. ADVANCED MICRO DEVICES, INC.
	國 籍	1. 美國
	住、居所 (事務所)	1. 美國·加州94088-3453·桑尼威·第1AMD區·M/S 68·郵政信箱3453號 One AMD Place, P.O. Box 3453, Sunnyvale, Mail Stop 68, CA, 94088-3453, U.S.A.
	代表人 姓 名 (中文)	1. 理查·J·諾迪
	代表人 姓 名 (英文)	1. RICHARD J. RODDY



本案已向

國(地區)申請專利
美國 US

申請日期
2001/06/20

案號
09/884,027

主張優先權
有

有關微生物已寄存於

寄存日期
寄存號碼

無



五、發明說明 (1)

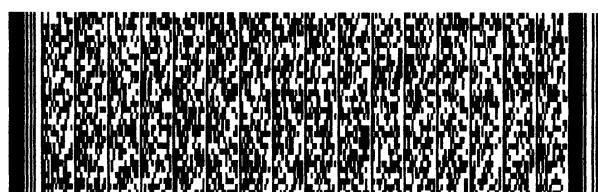
【技術領域】

本發明係關於半導體製程之領域，特別是關於在金屬互連結構中電遷移空隙之降低。

【發明背景】

關於超大型積體半導體裝置接線對高密度與效能急遽增加之需求已難以提供次微米尺寸、低容阻金屬化圖案而滿足。此特別適用當由於微小化而具有高縱橫比(深度對寬度)之次微米細微結構特徵例如通孔、接觸區域、線、凹槽、以及其他形狀開口或凹處。習知的半導體裝置一般包括半導體基板(通常為摻雜之單晶矽)與複數個依序形成的間層介質以及導電圖案。自其形成之積體電路包括複數個以連線(inter-wiring)間間距隔開之導線圖案。一般來說，垂直間隔金屬化層之導電圖案以垂直向填充通孔之導電插腳電氣連接，該通孔形成在隔開金屬層之間層介質層，而其他充填接觸孔之導電插腳以主動裝置區域(例如電晶體之源極/汲極區域，形成於半導體基板之內或之上)建立電連接。形成在類似凹槽開口之導線一般實質平行半導體基板而延伸。依據現今技術此類之半導體裝置可包括5層或更多層之金屬化以滿足裝置幾何與微微小化(micro-miniaturization)要求。

用以形成用於電互連垂直分隔之金屬化層之導電插腳之常見使用方法為熟知之「金屬鑲嵌法」(damascene)型式製程。一般而言，此製程包含在介質間層形成開口(或通孔)，其依序隔開垂直分隔之金屬化層。此通孔一般使



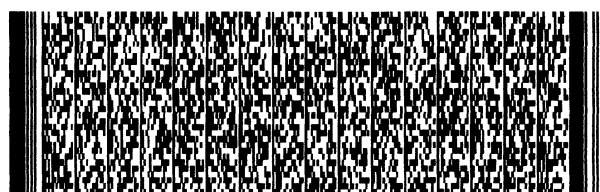
五、發明說明 (2)

用習知之微影與蝕刻技術而形成。在通孔形成之後，利用習知技術將通孔以導電材料（例如鎢或銅）填充。於介質間層之表面之多餘導電材料一般接著以化學機械平面化技術（CMP）移除。

高效能微處理器應用需要快速之半導體電路，以及積體電路之速度隨著互連圖案之電阻與電容而反向變化。當積體電路變得更複雜並且細微結構特徵尺寸與間隔變得更小，則積體電路之速度變得與電晶體本身更無關，而與互連圖案更相關。若互連節點繞經相當的距離，例如數百微米或更多（如於次微米技術），則互連電容值限制電路節點電容負載以及因此而限制電路速度。當積體密度增加並且細微結構特徵尺寸減小，依照次微米設計規則，由於積體電路速度延遲，排斥率明顯地降低製造產量與增加製造成本。

增加電路速度之一種方法是降低導電圖案之電阻。一般使用鋁，因為其價格便宜、低電阻並且易於蝕刻。然而，當用於通孔/接觸處與凹槽之開口之尺寸降至次微米範圍，使用鋁則會造成步階覆蓋問題。不良之步階覆蓋導致高電流密度與強化的電遷移。再者，當使用低介電常數聚醯胺材料作為介質間層時，與鋁接觸會產生濕氣/偏差之可靠度問題，而這些問題已降低在不同的金屬化層之間形成的互連處之可靠度。

銅（Cu）以及以銅為主之合金特別適合用於大型積體電路（VLSI）與超大型積體電路（ULSI）半導體裝置，該等裝置



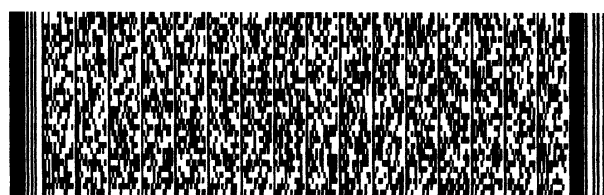
五、發明說明 (3)

需要多層之金屬化層。銅以及以銅為主之合金金屬化系統具有非常低的電阻率(明顯地低於鎢,甚至低於先前使用鋁及其合金之較佳系統)。此外,銅對電遷移有較高之電阻。再者,銅與其合金享有優於許多其他導電材料(如銀與金)相當價格上的優勢。並且,相對於鋁以及耐熔型材料,銅及其合金可於低溫立即地沉積而以熟知之電鍍技術形成(與製造產量之要求完全相容之沉積率),例如無電(electroless)與電鍍技術。

第1圖顯示使用銅金屬鑲嵌法之金屬互連結構之部分之橫剖面示意圖。較低層之金屬層10(包括銅線),亦稱之為M1,經由通孔14連接至較高層之金屬層16(包括銅線)。屏障層18與20(例如以氮化物形成)覆蓋金屬層10與16。金屬層10與16以介質層12(例如以氧化物形成)分隔。通孔14以金屬填充而形成導電插腳15。

通孔14之形成包含執行通孔蝕刻穿經介質層12與屏障層20,而停止於下方之金屬層10上。預濺鍍蝕刻製程(例如使用氫)一般先於通孔屏障與銅沉積使用。

在場之影響下移動,藉由電子之間與金屬離子之動量交換,電遷移(EM)定義為金屬原子之傳輸。用於第1圖之銅金屬鑲嵌結構中電遷移之兩個臨界面為在22之界面V1M1與在24之介面V1M2。V1M1介面22之電遷移測試包括從金屬層16(M2)中上方之銅線經由導電插腳15與通孔14流通電子至金屬層10(M1)中下方之銅線。V1M2介面24之電遷移測試包括電子以相反方向流通。於V1M1介面22之情況,電



五、發明說明 (4)

遷移空隙一般在通孔14之銅/氮化物(或銅/屏障層)之介面產生。如第2圖中,顯示了電遷移空隙26。電遷移空隙26表現出降低裝置之可靠度。

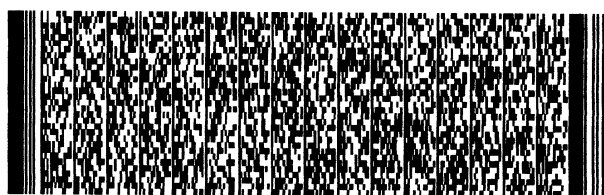
當鋁作為互連材料,為人熟知的是使用合金元素以改善鋁電阻以便電遷移。最廣泛使用之一種合金元素為鋁銅合金。當於鋁中加入少量濃度之銅,電遷移之可靠度增加幾個數量級。類似地,銅之合金元素已在研究當中。然而,在鋁與銅之間有製程差異,其使得在銅製程流程中插入合金為挑戰性之課題。例如,鋁為沉積、圖案與蝕刻製程,而銅一般為具有物理氣相沉積(physical vapor deposition, PVD)晶種與電化學填充製程之金屬鑲嵌製程。

於電化學沉積期間嘗試引入合金至銅線,但許多銅合金於水溶液中不是電活性。另一具潛力溶液為在PVD銅晶種沉積期間濺鍍銅合金,但問題在於因為不同金屬具有不同濺鍍產量,相較於銅矩陣,合金元素傾向以不同速率濺鍍。另一問題是在製程之後,線中之合金元素均勻性,其由晶種層厚度、縱橫比、銅標的中合金百分比、退火條件、以及電鍍處理以決定。另外影響合金均勻性之問題是線寬變化。

【發明概要】

有需要提供金屬互連結構與其製造方法,以於金屬化層中使用銅並且在關鍵電遷移失敗位置改善電遷移性質。

藉由本發明之實施例以滿足這些與其他需要,本發明



五、發明說明 (5)

之實施例提供金屬互連結構，包含銅線與在該銅線上之介質層。通孔經由介質層延伸至銅線。銅合金元素層（包含銅合金元素）佈線通孔以及覆蓋由通孔曝露之銅線。導電插腳填充通孔。僅於銅線中鄰近導電插腳之銅線區域設置銅與合金元素之固態溶液。

藉由設置銅合金元素層，其佈線直接位於銅線之上之通孔，銅與合金元素之固態溶液可直接在導電插腳之下方之銅線區域形成。因此，在最關鍵電遷移失敗位置（亦即在下之銅線中之通孔之下方之最快擴散位置）設置銅與合金元素之固態溶液。

藉由本發明之另一實施型態亦滿足先前提到之需要，本發明之另一實施型態提供一種選擇合金元素至互連金屬化之方法。該方法包括步驟：經由介質層蝕刻開口以曝露下方之金屬化層之部分；以及，形成通孔。合金元素層沉積於通孔內以佈線通孔並且覆蓋金屬化層之曝露部分。合金元素之固態溶液以及金屬化層形成在曝露部分。

於本發明之再另一實施型態提供一種方法，該方法提供合金元素給位於由介質層覆蓋之銅線之頂部之通孔之下方之銅。該方法沉積合金元素層於通孔內以佈線通孔並且覆蓋由通孔曝露之銅線之頂部。導電插腳形成於通孔內並且執行退火。退火導致在銅線之頂部之合金元素之固態溶液之形成，該銅線之頂部以合金元素層覆蓋。

本發明之上述與其他之特徵、實施型態以及優點將由以下之詳細說明並且結合圖式而更清楚。



五、發明說明 (6)

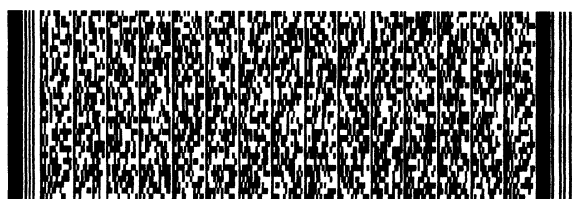
【發明之詳細說明】

本發明係針對並解決關於在金屬互連結構之銅線中之電遷移失敗之問題。藉由提供插入至關鍵電遷移失敗位置之銅線之銅合金元素(關鍵電遷移失敗位置為在位於下方金屬之通孔之下方之最快速擴散位置)，本發明部分地解決這些問題。於本發明之實施例中，在通孔圖案化與蝕刻之後，並且在耐熔屏障金屬沉積之前，合金元素沉積於通孔內以及在下方之金屬層之曝露的銅之頂部上。在合金元素層之上方沉積耐熔屏障金屬之後，執行銅填充。接著退火該結構以穩定顆粒結構。退火作為允許合金元素進入具有銅之固態溶液與通孔附近。當藉由平面化自場移除多餘之銅、屏障金屬與合金金屬，該結構完成。

第3圖顯示於形成通孔之後，金屬互連結構之剖面圖。在第3圖中，第一金屬層(M1)包含銅線30。以銅或銅合金製作之銅線30以擴散屏障層32覆蓋。用於擴散屏障層32之例示材料為氮化物，雖然在不悖離本發明之範疇可使用其他材料。介質層34設置於擴散屏障層32上。介質層34可以習知之介質材料，如氧化物或有機或無機之低介電常數(K)之介質材料製作。低介電常數之介質材料有利於降低結構之電阻-電容(RC)。

通孔36經由介質層34與擴散屏障層32蝕刻。通孔36延伸至金屬化層之銅線30之頂部。用以形成第3圖之結構之方法，包括蝕刻步驟，本質上可為習知的。

為了增加銅線30中之電遷移之電阻，銅合金元素層



五、發明說明 (7)

38(亦解釋為合金元素層38)沉積於通孔36中。因此，合金元素層38覆蓋通孔之側壁、銅線30之頂部、以及場。例示之合金元素包括錫(Sn)、鈀(Pd)、碳(C)、鈣(Ca)、鎂(Mg)、鋁(Al)與鈦(Hf)。於特別的較佳實施例中，使用錫或鋁作為合金元素。這些元素，當與銅合金時，會增加銅的電遷移電阻。

合金元素層38可藉由習知之方法沉積，包括更多先進方法如改良之離子化物理氣相沉積、中空陰極磁控管濺鍍、或自離子化電漿沉積。沉積合金元素層38之較佳方式是避免銅突出，如此合金元素之優良步階覆蓋是令人滿意的。由於這些理由，以上所提到之先進沉積方法是有利的。

合金元素層38之沉積較佳地在相同之沉積設備之原位置(in-situ)(不破壞真空)執行，使用該沉積設備以沉積屏障金屬層與銅晶種。對用於自純標的之合金元素沉積之沉積工具設置額外的腔室。例如，若沉積元素為錫，則標的為錫。例如，合金元素層38可沉積厚度介於大約50 Å至200 Å。

在銅線30之頂部上之通孔36內設置合金元素層38係提供合金元素(例如錫或鋁)直接於最關鍵電遷移失敗位置之其中之一(亦即在下方銅之通孔之下方之最快速擴散位置)。

在第5圖中，屏障金屬層40已沉積在合金元素層38之上方。屏障金屬層40，包括例如鈹(Ta)或氮化鈹(TaN)之



五、發明說明 (8)

耐熔屏障金屬，可防止銅擴散至介質層34。它亦作為提供附著給接續的銅晶種層。以習知方法沉積屏障金屬層40。

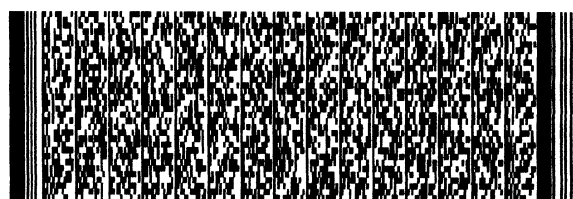
第6圖顯示於通孔36內填充銅之後，第5圖之結構。在屏障金屬層40上形成銅晶種層(未圖示)之後，接續銅填充42。通孔36例如可以習知之沉積技術，如電化學沉積、物理氣相沉積、或化學氣相沉積來填充銅。銅填充42在屏障金屬層40之界限內與場之上方完全地填充通孔36。

在填充銅或以銅為主之合金之後，執行退火，其有特定之功效。其中之一功效為穩定顆粒結構。然而，另一功效為在通孔36內以及周圍形成合金元素與銅之固態溶液區域44及46。在銅線30內之固態溶液區域44以虛線繪出，在通孔36內之固態溶液區域46亦以虛線繪出。於第6圖之示意圖，固態溶液區域44、46之配置僅為例示。

於本發明之特定實施例，例示之退火處理曝露結構至溫度大約 150°C 至大約 400°C ，時間約10至約90分鐘。於特別之較佳實施例中，溫度為大約 200°C 至大約 300°C 。

於第7圖中，將結構平面化以移除多餘的銅填充、屏障金屬層40與形成於場上之合金元素層38。導電插腳48因此形成於通孔36之內。導電插腳48可考慮包含銅或以銅為主之合金48、屏障金屬層40以及合金元素層38，還有形成於通孔36內之任何固態溶液區域46。

當銅合金元素之固態溶液形成於區域44(為關鍵電遷移失敗位置，亦即銅線30中通孔36之下方之最快速擴散之位置)內，即為達到目標地且有效地改善結構之電遷移可



五、發明說明 (9)

靠度。此可完成而不需嘗試以適合用以改善銅之電遷移之合金元素摻雜整個銅線30。

雖然已詳細說明與解釋本發明，但應清楚了解其僅為例示說明而非限制，本發明之範疇將由所附申請專利範圍所述界定。



圖式簡單說明

【圖式說明】

第1圖係根據習知方法建構之金屬互連結構之剖面圖。

第2圖顯示由習知之金屬互連製程方法形成之具有電遷移空隙之第1圖之結構。

第3圖係根據本發明之實施例，於蝕刻通孔之後，金屬互連結構之部分之剖面圖。

第4圖為根據本發明之實施例，顯示接續在通孔中沉積合金元素層之後，第3圖之結構。

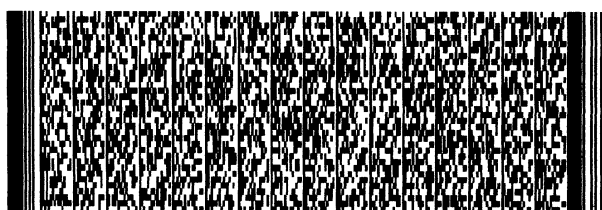
第5圖為根據本發明之實施例，顯示接續在合金元素層之上方沉積屏障金屬層之後，第4圖之結構。

第6圖為根據本發明之實施例，顯示接續在銅場製程之後並退火以形成固態溶液區域之後，第5圖之結構。

第7圖為根據本發明之實施例，顯示在執行平面化之後，第6圖之結構。

【符號說明】

10、16	金屬層	12	介質層
14	通孔	15	導電插腳
18、20	屏障層	22、24	介面
26	電遷移空隙	30	銅線
32	擴散屏障層	34	介質層
36	通孔	38	合金元素層
40	屏障金屬層	42	銅填充
44、46	固態溶液區域	48	導電插腳



四、中文發明摘要 (發明之名稱：以沈積製程將互連區域選擇性合金化之方法)

本發明提供一種金屬互連結構與其製法，以提供在介質層內佈線通孔之合金元素層。該合金元素層因此插入於關鍵電遷移失敗之位置，亦即在下方金屬之通孔之下方之快速擴散之位置。一旦在通孔執行銅填充，退火步驟允許合金元素進入固態溶液，以銅進入並環繞該通孔。合金元素與位在銅線中之通孔之底部之銅之固態溶液改善該結構之電遷移可靠度。

英文發明摘要 (發明之名稱：A METHOD OF SELECTIVELY ALLOYING INTERCONNECT REGIONS BY DEPOSITION PROCESS)

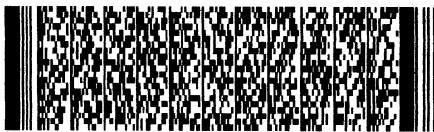
A metal interconnect structure and method for making the same provides an alloying elements layer that lines a via in a dielectric layer. The alloying element layer is therefore inserted at a critical electromigration failure site, i.e., at the fast diffusion site below the via in the underlying metal. Once the copper fill is performed in the via, an annealing step allows the alloying element to go into solid solution with the copper in and around the via. The solid



四、中文發明摘要 (發明之名稱：以沈積製程將互連區域選擇性合金化之方法)

英文發明摘要 (發明之名稱：A METHOD OF SELECTIVELY ALLOYING INTERCONNECT REGIONS BY DEPOSITION PROCESS)

solution of the alloying element and copper at the bottom of the via in the copper line improves the electromigration reliability of the structure.



六、申請專利範圍

1. 一種金屬互連結構，包含：

銅線；

位在該銅線上之介質層；

通孔，經由該介質層延伸至該銅線；

銅合金元素層，包含合金元素以佈線該通孔並覆蓋由該通孔曝露之銅線；

導電插腳，填充該通孔；以及

在該銅線中銅與該合金元素之固態溶液，僅位於鄰近該導電插腳之銅線區域。

2. 如申請專利範圍第1項之結構，其中該合金元素為以下元素之至少一個：錫(Sn)、鈀(Pd)、碳(C)、鈣(Ca)、鎂(Mg)、鋁(Al)與鈦(Hf)。

3. 如申請專利範圍第2項之結構，其中該導電插腳包含銅。

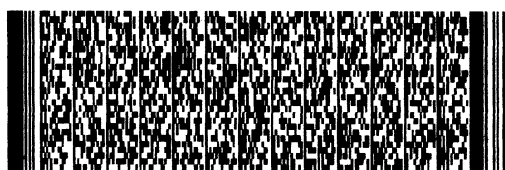
4. 如申請專利範圍第3項之結構，復包含在該導電插腳中銅與該合金元素之固態溶液。

5. 如申請專利範圍第4項之結構，其中該合金元素層之厚度介於大約50 Å至大約200 Å。

6. 如申請專利範圍第5項之結構，復包含位在介於該合金元素層與該導電插腳之間之通孔中之擴散屏障層。

7. 如申請專利範圍第6項之結構，其中該擴散屏障層包含鈮或氮化鈮(tantalum nitride)。

8. 一種選擇性地製合金元素至互連金屬化之方法，包含步驟：



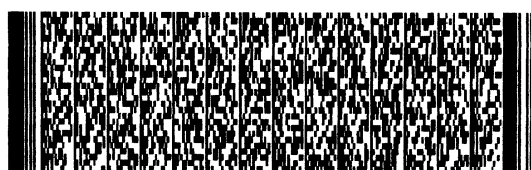
六、申請專利範圍

蝕刻開口穿經介質層，以曝露下方金屬化層之部分，並且形成通孔；

於該通孔中沉積合金元素層，以佈線該通孔並且覆蓋該金屬化層之該曝露部分；以及

在該曝露部分形成該合金元素與該金屬化層之固態溶液。

9. 如申請專利範圍第8項之方法，其中該金屬化層以銅或以銅為主之合金製作。
10. 如申請專利範圍第8項之方法，其中該合金元素為以下元素之至少一個：錫(Sn)、鈀(Pd)、碳(C)、鈣(Ca)、鎂(Mg)、鋁(Al)與鈦(Hf)。
11. 如申請專利範圍第10項之方法，復包含在該開口沉積屏障層以及以銅或以銅為主之合金填充該開口。
12. 如申請專利範圍第11項之方法，其中該沉積合金元素層之步驟包括沉積該合金元素層使厚度介於大約50 Å至大約200 Å。
13. 如申請專利範圍第12項之方法，其中該沉積合金元素層之步驟包括以下其中之一沉積技術：先進離子化物理氣相沉積、中空陰極磁控管濺鍍、以及自離子化電漿沉積。
14. 如申請專利範圍第13項之方法，其中形成該固態溶液之該步驟包含以介於大約150°C至大約400°C之間之溫度退火約10分鐘至約90分鐘。
15. 一種在以介質層覆蓋之銅線之頂部之通孔之下方提供



六、申請專利範圍

合金元素給銅之方法，包含步驟：

於通孔內沉積合金元素層，以佈線該通孔並且覆蓋由該通孔曝露之該銅線之該頂部；

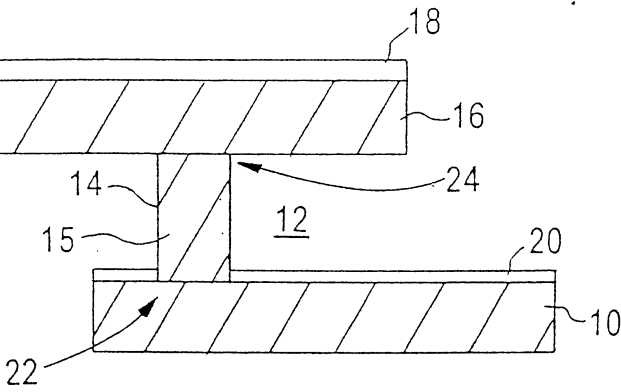
在該通孔內形成導電插腳；以及

退火以導致位於該銅線之該頂部之該合金元素之固態溶液之形成，該銅線由該合金元素層所覆蓋。

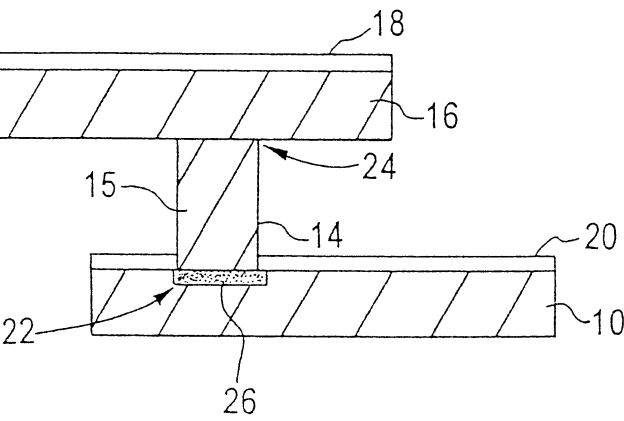
- 16.如申請專利範圍第15項之方法，其中該合金元素為以下元素之至少一個：錫(Sn)、鈀(Pd)、碳(C)、鈣(Ca)、鎂(Mg)、鋁(Al)與鈦(Hf)。
- 17.如申請專利範圍第16項之方法，其中該形成導電插腳之步驟包含在該合金元素層之上方沉積屏障層，以及在該屏障層之上方沉積銅。
- 18.如申請專利範圍第17項之方法，其中沈積合金元素層之該步驟包括以下其中之一沉積技術：先進離子化物理氣相沉積、中空陰極磁控管濺鍍、以及自離子化電漿沉積。
- 19.如申請專利範圍第18項之方法，其中該退火之步驟包括以介於大約150°C至約400°C之間之溫度退火約10分鐘至約90分鐘。



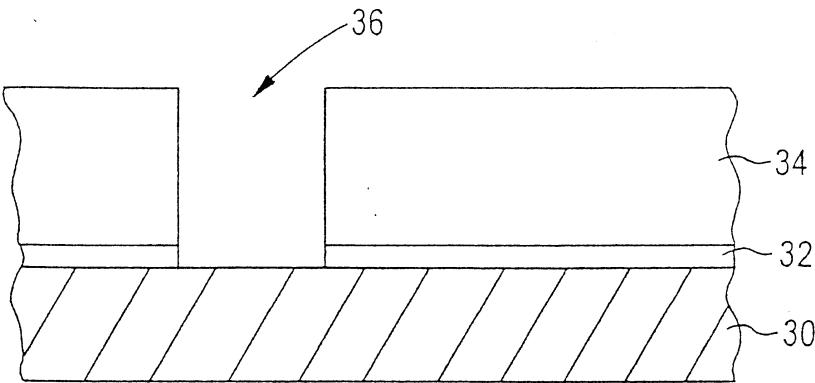
第1圖
(先前技術)



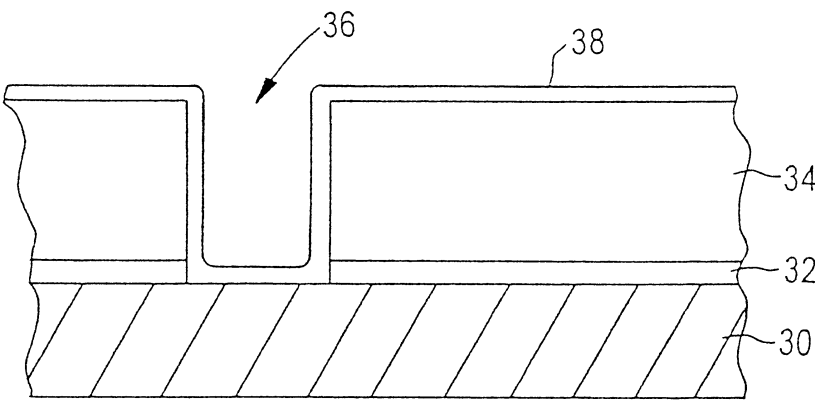
第2圖
(先前技術)



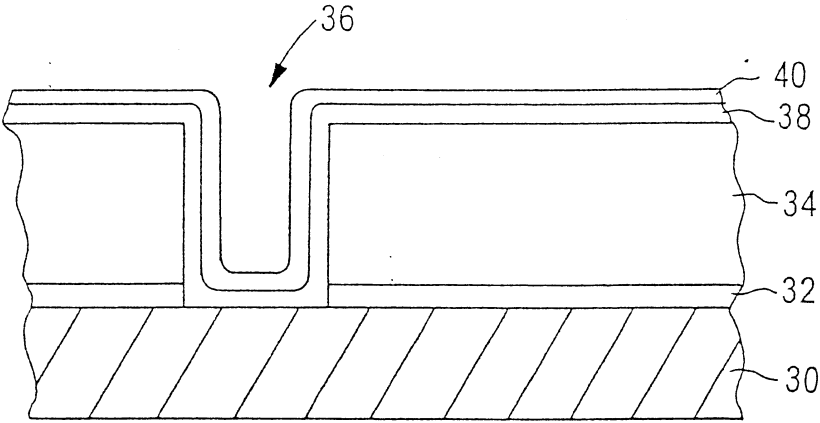
第3圖



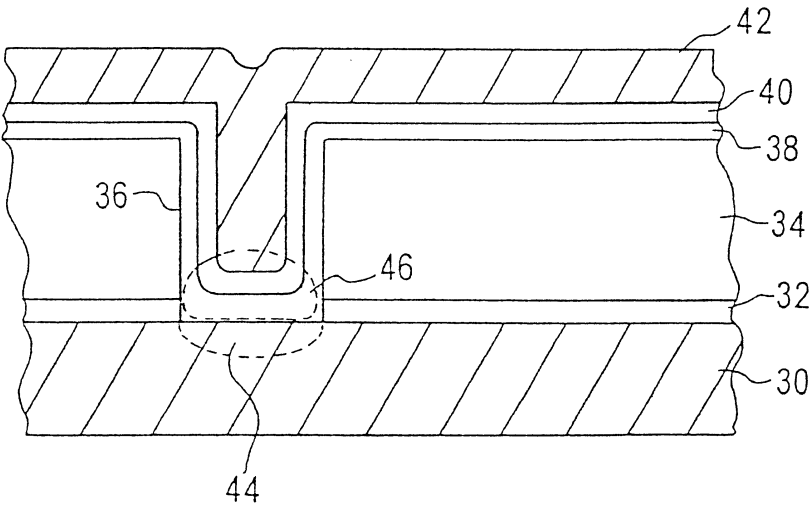
第4圖



第5圖



第6圖



第7圖

