

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4999289号  
(P4999289)

(45) 発行日 平成24年8月15日(2012.8.15)

(24) 登録日 平成24年5月25日(2012.5.25)

(51) Int.Cl.	F I	
HO 1 L 29/78 (2006.01)	HO 1 L 29/78	3 O 1 V
HO 1 L 21/336 (2006.01)	HO 1 L 21/28	3 O 1 D
HO 1 L 21/28 (2006.01)	HO 1 L 29/44	L
HO 1 L 29/41 (2006.01)	HO 1 L 29/50	M
HO 1 L 29/417 (2006.01)	HO 1 L 29/58	G
請求項の数 18 (全 17 頁) 最終頁に続く		

(21) 出願番号	特願2005-189131 (P2005-189131)	(73) 特許権者	310024033
(22) 出願日	平成17年6月29日(2005.6.29)		エスケーハイニックス株式会社
(65) 公開番号	特開2006-186303 (P2006-186303A)		SK hynix Inc.
(43) 公開日	平成18年7月13日(2006.7.13)		大韓民国京畿道利川市夫鉢邑京忠大路2091
審査請求日	平成20年3月28日(2008.3.28)		2091, Gyeongchung-aero, Bubal-eub, Icheon-si, Gyeonggi-do, Korea
(31) 優先権主張番号	10-2004-0112365	(74) 代理人	100118913
(32) 優先日	平成16年12月24日(2004.12.24)		弁理士 上田 邦生
(33) 優先権主張国	韓国 (KR)	(74) 代理人	100112737
			弁理士 藤田 考晴
		(74) 代理人	100136168
			弁理士 川上 美紀
最終頁に続く			

(54) 【発明の名称】 非対称リセスされたゲートを有する金属酸化膜半導体電界効果トランジスタ及びその製造方法

(57) 【特許請求の範囲】

【請求項1】

リセスされたゲートを有する金属酸化膜半導体電界効果トランジスタにおいて、半導体基板の所定深さに形成された2つのリセス領域と、前記リセス領域をギャップ充填して前記半導体基板に所定高さに形成され、一方の前記リセス領域とミスアラインされた第1のゲート電極と、当該ミスアラインの方向と異なる方向に他方の前記リセス領域とミスアラインされた第2のゲート電極と、前記第1及び第2のゲート電極の側面に形成されたスペーサーと、を含み、ソース領域及びドレーン領域は、前記スペーサーが形成されていない前記半導体基板内の領域にドーパント注入して形成されていることを特徴とする、非対称リセスされたゲートを有する金属酸化膜半導体電界効果トランジスタ。

【請求項2】

前記ゲート電極は、前記ソース領域側にミスアラインされていることを特徴とする、請求項1に記載の非対称リセスされたゲートを有する金属酸化膜半導体電界効果トランジスタ。

【請求項3】

前記リセス領域の前記ドレーン領域側の上部エッジには、前記スペーサーに連結される絶縁膜パターンが形成されることを特徴とする、請求項1に記載の非対称リセスされたゲートを有する金属酸化膜半導体電界効果トランジスタ。

【請求項4】

前記リセス領域の深さは、50～2500であることを特徴とする、請求項1に記載の非対称リセスされたゲートを有する金属酸化膜半導体電界効果トランジスタ。

【請求項5】

前記ゲート電極上部に形成されたハードマスクを更に含むことを特徴とする、請求項1に記載の非対称リセスされたゲートを有する金属酸化膜半導体電界効果トランジスタ。

【請求項6】

リセスされたゲートを有する金属酸化膜半導体電界効果トランジスタにおいて、半導体基板の所定深さに形成された2つのリセス領域と、

前記リセス領域をギャップ充填して前記半導体基板に所定高さに形成され、一方の前記リセス領域とミスアラインされ、当該ミスアラインの方向の反対方向には前記リセスにかからないようにパターニングされた第1のゲート電極と、当該ミスアラインの方向と異なる方向に他方の前記リセス領域とミスアラインされ、当該異なる方向の反対方向には前記リセスにかからないようにパターニングされた第2のゲート電極と、

前記第1及び第2のゲート電極の側面に形成されたスペーサーと、を含み、ソース領域及びドレーン領域は、前記スペーサーが形成されていない前記半導体基板内の領域にドーパント注入して形成されていることを特徴とする、非対称リセスされたゲートを有する金属酸化膜半導体電界効果トランジスタ。

【請求項7】

前記ゲート電極は、前記ソース領域側にミスアラインされていることを特徴とする、請求項6に記載の非対称リセスされたゲートを有する金属酸化膜半導体電界効果トランジスタ。

【請求項8】

前記リセス領域の深さは、50～2500であることを特徴とする、請求項6に記載の非対称リセスされたゲートを有する金属酸化膜半導体電界効果トランジスタ。

【請求項9】

前記ゲート電極上部に形成されたハードマスクを更に含むことを特徴とする、請求項6に記載の非対称リセスされたゲートを有する金属酸化膜半導体電界効果トランジスタ。

【請求項10】

リセスされたゲートを有する金属酸化膜半導体電界効果トランジスタを製造する方法において、

半導体基板を所定深さまでエッチングして2つのリセス領域を形成する段階と、

前記リセス領域をギャップ充填しながら前記半導体基板に所定高さに少なくとも1層以上の導電膜を形成する段階と、

一方の前記リセス領域とミスアラインされるようにパターニングして第1のゲート電極を形成するとともに、当該ミスアラインの方向と異なる方向に他方の前記リセス領域とミスアラインされるようにパターニングして第2のゲート電極を形成する段階と、

前記第1及び第2のゲート電極の側面にスペーサーを形成する段階と、

前記スペーサーが形成されていない前記半導体基板内の領域にドーパントを注入してソース領域及びドレーン領域を形成する段階と、

を含むことを特徴とする、非対称リセスされたゲートを有する金属酸化膜半導体電界効果トランジスタの製造方法。

【請求項11】

前記ゲート電極は、前記ソース領域側にミスアラインされることを特徴とする、請求項10に記載の非対称リセスされたゲートを有する金属酸化膜半導体電界効果トランジスタの製造方法。

【請求項12】

前記スペーサーを形成する段階で、前記リセス領域の前記ドレーン領域側の上部エッジに前記スペーサーに連結される絶縁膜パターンを形成することを特徴とする、請求項10に記載の非対称リセスされたゲートを有する金属酸化膜半導体電界効果トランジスタの製造方法。

10

20

30

40

50

## 【請求項 13】

前記リセス領域の深さは、50～2500であることを特徴とする、請求項10に記載の非対称リセスされたゲートを有する金属酸化膜半導体電界効果トランジスタの製造方法。

## 【請求項 14】

前記導電膜上部にハードマスクを形成する段階を更に含むことを特徴とする、請求項10に記載の非対称リセスされたゲートを有する金属酸化膜半導体電界効果トランジスタの製造方法。

## 【請求項 15】

リセスされたゲートを有する金属酸化膜半導体電界効果トランジスタを製造する方法において、

半導体基板を所定深さまでエッチングして2つのリセス領域を形成する段階と、

前記リセス領域をギャップ充填しながら前記半導体基板に所定高さになくとも1層以上の導電膜を形成する段階と、

一方の前記リセス領域とミスアラインされ、当該ミスアラインの方向の反対方向には前記リセスにかからないようにパターニングされた第1のゲート電極を形成するとともに、当該ミスアラインの方向と異なる方向に他方の前記リセス領域とミスアラインされ、当該異なる方向の反対方向には前記リセスにかからないようにパターニングされた第2のゲート電極を形成する段階と、

前記第1及び第2のゲート電極の側面にスペーサーを形成する段階と、

前記スペーサーが形成されていない前記半導体基板内の領域にドーパントを注入してソース領域及びドレイン領域を形成する段階と、

を含むことを特徴とする、非対称リセスされたゲートを有する金属酸化膜半導体電界効果トランジスタの製造方法。

## 【請求項 16】

前記ゲート電極は、前記ソース領域側にミスアラインされることを特徴とする、請求項15に記載の非対称リセスされたゲートを有する金属酸化膜半導体電界効果トランジスタの製造方法。

## 【請求項 17】

前記リセス領域の深さは、50～2500であることを特徴とする、請求項15に記載の非対称リセスされたゲートを有する金属酸化膜半導体電界効果トランジスタの製造方法。

## 【請求項 18】

前記導電膜上部にハードマスクを形成する段階を更に含むことを特徴とする、請求項15に記載の非対称リセスされたゲートを有する金属酸化膜半導体電界効果トランジスタの製造方法。

## 【発明の詳細な説明】

## 【技術分野】

## 【0001】

本発明は、半導体素子の製造方法に関するもので、特にDRAMなどの半導体素子のリセスゲート構造においてゲートとソース/ドレイン領域との間のオーバーラップによる非正常的な漏洩電流を減らすことができる、非対称リセスされたゲートを有する金属酸化膜半導体電界効果トランジスタ及びその製造方法に関するものである。

## 【背景技術】

## 【0002】

一般的に、金属酸化膜半導体電界効果トランジスタ(MOSFET)は、半導体基板の上部に形成されたゲート電極が薄い絶縁膜により隔離されている電界効果トランジスタとして、接合型トランジスタのようにインピーダンスの低下なく高密度集積化に適した特性を有している半導体素子である。

## 【0003】

10

20

30

40

50

ところが、半導体素子の集積度が高まるに伴って、素子の大きさが縮小するため、トランジスタのスレッシュOLD電圧が低くなってショットチャンネル効果が発生するか、またはシャロウトレンチ素子分離工程時、活性領域のエッジによるINWE (Inverse Narrow Width Effect) 現象が大きくなる。これにより、MOSFETのサブスレッシュOLD領域及びオフ(off)領域における漏洩電流の特性が現れるようになり、半導体素子の特性低下、例えば、DRAMのリフレッシュやデータ保持時間などの低下を起す。

#### 【0004】

一方、最近は、半導体基板のドーピング濃度を増加させなくてもチャンネルの長さを増加させてスレッシュOLD電圧を減少することができる、リセスされたゲートを有するMOSFETが登場するようになった。このようなリセスされたゲートを有するMOSFETの製造方法は、チャンネル領域になる半導体基板を所定深さにリセスし、リセスされた基板にゲート電極を形成することによって、垂直方向におけるチャンネルの長さを増加させた。言い換えれば、半導体基板がリセスされた長さぐらい有効チャンネルの長さが増加するため、チャンネル領域にドーピング濃度を増加させなくてもショットチャンネルのマージンの確保が可能であるので、DRAMのリフレッシュやデータ保持時間などの特性の低下を防止する。

#### 【0005】

図1a及び図1bは、従来技術によるリセスされたゲートを有するMOSFET構造を示す垂直断面図である。

#### 【0006】

図1aを参照すれば、従来のMOSFETにおいて、半導体基板10としてのシリコン基板にはSTI構造の素子分離膜12が形成されており、素子分離膜12の間の基板10におけるリセス領域をゲート絶縁膜14を通じて所定深さにギャップ充填してリセスしたゲート電極16、18が形成されている。また、ゲート電極16、18の側壁には、絶縁物質からなったスペーサー22が形成されている。この時、ゲート電極の下部16はドーパポリシリコン、その上部18は金属または金属シリサイドで形成されており、ゲート電極上部には絶縁物質、例えばSiONなどのハードマスク20が更に形成されている。

#### 【0007】

そして、スペーサー22により露出した半導体基板10には、N型またはP型ドーパントがイオン注入されたソース/ドレイン領域24が形成されており、ハードマスク20及びゲート電極16、18の側壁には絶縁物質からなったスペーサー26が形成されている。

#### 【0008】

また、スペーサー26の間に露出した半導体基板10を浅くエッチングした溝が形成され、その溝にはギャップ充填されたコンタクト28が形成されている。

#### 【0009】

このような構成を有する、従来技術におけるリセスされたゲートを有するMOSFETは、リセス領域にあるゲート電極16の幅が基板上部のゲート電極18の幅より広がって、一般の平面構造のMOSFETに比べてチャンネルの長さが増加するようになる。それによって、前述したショットチャンネル効果による問題を解決する。しかし、ゲート電極16、18とソース/ドレイン領域24との間のオーバーラップが増加する(b)ようになり、GIDL (Gate Induce Drain Leakage)が増加したり、ストレスの最高点と電気場の最高点がリセスされたゲートエッジで一致する(a)ことによって、非正常的に漏洩電流が増加するようになるなどの問題点が発生する。これにより、前述のようリセスされたゲートのMOSFETを有するDRAMにおいては、相変わらずリフレッシュやデータ保持時間などが減少するようになる。

#### 【0010】

これを改善するため、図1bのようにリセスされたゲート電極16の幅を減らしてソース及びドレイン領域を広めたアウターゲート構造に作る場合、幅を減少してリセスしたゲ

10

20

30

40

50

ート領域を定義してこれをエッチングするのが非常に難しい。

【0011】

【特許文献1】米国特許第6,358,800号

【特許文献2】米国特許第6,414,347号

【特許文献3】米国特許第6,034,396号

【発明の開示】

【発明が解決しようとする課題】

【0012】

前述した従来技術の問題点を解決するための本発明の目的は、リセスされたゲートにおいてソースまたはドレインのいずれかの領域側がリセス領域とミスアラインされるようにして、ゲート電極とソース/ドレイン領域との間のオーバーラップを減らしながら、非正常的な漏洩電流を減らすことができる非対称リセスされたゲートを有するMOSFETを提供することにある。

10

【0013】

本発明の他の目的は、半導体基板にリセス領域を形成した後にゲート電極用導伝物質をギャップ充填し、これをミスアラインさせてパターニングすることによって、ソースまたはドレインのいずれかの領域にゲート電極の幅が増加された非対称のリセスされたゲートを形成することによって、ゲート電極とソース/ドレイン領域との間のオーバーラップを減らしながら、非正常的な漏洩電流を減らすことができる非対称リセスされたゲートを有するMOSFETの製造方法を提供することにある。

20

【課題を解決するための手段】

【0014】

前述の目的を達成するために、本発明の非対称リセスされたゲートを有するMOSFETは、リセスされたゲートを有する金属酸化膜半導体電界効果トランジスタ(MOSFET)において、半導体基板の所定深さに形成された2つのリセス領域と、前記リセス領域をギャップ充填して前記半導体基板に所定高さに形成され、一方の前記リセス領域とミスアラインされた第1のゲート電極と、当該ミスアラインの方向と異なる方向に他方の前記リセス領域とミスアラインされた第2のゲート電極と、前記第1及び第2のゲート電極の側面に形成されたスペーサーと、を含み、ソース領域及びドレイン領域は、前記スペーサーが形成されていない前記半導体基板内の領域にドーパント注入して形成されていることを特徴とする。

30

【0015】

前記ゲート電極は、前記ソース領域側にミスアラインされていることが好ましい。

【0016】

また、前記リセス領域の前記ドレイン領域側の上部エッジには、前記スペーサーに連結される絶縁膜パターンが形成されることが好ましい。

【0017】

また、前記リセス領域の深さは、50～2500であることが好ましい。

【0018】

さらに、前記ゲート電極上部に形成されたハードマスクを更に含むことが好ましい。

40

【0019】

本発明の一実施形態においては、本発明の非対称リセスされたゲートを有するMOSFETは、リセスされたゲートを有する金属酸化膜半導体電界効果トランジスタ(MOSFET)において、半導体基板の所定深さに形成された2つのリセス領域と、前記リセス領域をギャップ充填して前記半導体基板に所定高さに形成され、一方の前記リセス領域とミスアラインされ、当該ミスアラインの方向の反対方向には前記リセスにかからないようにパターニングされた第1のゲート電極と、当該ミスアラインの方向と異なる方向に他方の前記リセス領域とミスアラインされ、当該異なる方向の反対方向には前記リセスにかからないようにパターニングされた第2のゲート電極と、前記第1及び第2のゲート電極の側面に形成されたスペーサーと、を含み、ソース領域及びドレイン領域は、前記スペーサーが

50

形成されていない前記半導体基板内の領域にドーパント注入して形成されていることを特徴とする。

【0020】

前記ゲート電極は、前記ソース領域側にミスアラインされていることが好ましい。

【0021】

また、前記リセス領域の深さは、50～2500 であることが好ましい。

【0022】

さらに、前記ゲート電極上部に形成されたハードマスクを更に含むことが好ましい。

【0023】

また、前述の他の目的を達成するために、本発明の非対称リセスされたゲートを有するMOSFETの製造方法は、リセスされたゲートを有する金属酸化膜半導体電界効果トランジスタ(MOSFET)を製造する方法において、半導体基板を所定深さまでエッチングして2つのリセス領域を形成する段階と、前記リセス領域をギャップ充填しながら前記半導体基板に所定高さに少なくとも1層以上の導電膜を形成する段階と、一方の前記リセス領域とミスアラインされるようにパターニングして第1のゲート電極を形成するとともに、当該ミスアラインの方向と異なる方向に他方の前記リセス領域とミスアラインされるようにパターニングして第2のゲート電極を形成する段階と、前記第1及び第2のゲート電極の側面にスペーサーを形成する段階と、前記スペーサーが形成されていない前記半導体基板内の領域にドーパントを注入してソース領域及びドレイン領域を形成する段階と、を含むことを特徴とする。

【0024】

前記ゲート電極は、前記ソース領域側にミスアラインされることが好ましい。

【0025】

また、前記スペーサーを形成する段階で、前記リセス領域の前記ドレイン領域側の上部エッジに前記スペーサーに連結される絶縁膜パターンを形成することが好ましい。

【0026】

また、前記リセス領域の深さは、50～2500 であることが好ましい。

【0027】

さらに、前記導電膜上部にハードマスクを形成する段階を更に含むことが好ましい。

【0028】

本発明の他の実施形態においては、本発明の非対称リセスされたゲートを有するMOSFETの製造方法は、リセスされたゲートを有するMOSFETを製造する方法において、半導体基板を所定深さまでエッチングして2つのリセス領域を形成する段階と、前記リセス領域をギャップ充填しながら前記半導体基板に所定高さに少なくとも1層以上の導電膜を形成する段階と、一方の前記リセス領域とミスアラインされ、当該ミスアラインの方向の反対方向には前記リセスにかからないようにパターニングされた第1のゲート電極を形成するとともに、当該ミスアラインの方向と異なる方向に他方の前記リセス領域とミスアラインされ、当該異なる方向の反対方向には前記リセスにかからないようにパターニングされた第2のゲート電極を形成する段階と、前記第1及び第2のゲート電極の側面にスペーサーを形成する段階及び前記スペーサーが形成されていない前記半導体基板内の領域にドーパントを注入してソース領域及びドレイン領域を形成する段階と、を含むことを特徴とする。

【0029】

前記ゲート電極は、前記ソース領域側にミスアラインされることが好ましい。

【0030】

また、前記リセス領域の深さは、50～2500 であることが好ましい。

【0031】

さらに、前記導電膜上部にハードマスクを形成する段階を更に含むことが好ましい。

【発明の効果】

10

20

30

40

50

## 【0032】

本発明では、リセスされたゲートにおいてソースまたはドレインのいずれかの領域側がリセス領域とミスアラインされるようにしてゲート電極とソース/ドレイン領域との間のオーバーラップを減らすことができる。

## 【0033】

また、本発明では、非対称リセスされたゲート構造によりソース/ドレイン領域のプロファイル形態が変更されるため、電気場の最高点とストレスの最高点が互いに一致して発生する非正常的な漏洩電流を大きく減らすことができるので、DRAMにおけるリフレッシュやデータ保持時間などの電気的特性を向上させることができる。

## 【発明を実施するための最良の形態】

10

## 【0034】

以下添付した図面を参考にして本発明の実施形態について当業者が容易に実施できるよう詳細に説明する。

## 【0035】

図面においては、いろいろな層及び領域を明確に表現するために厚さを拡大して示した。明細書の全体を通じて類似の部分に対しては同一な図面符号を付けて説明する。

## 【0036】

図2は、本発明の一実施形態に係る非対称リセスされたゲートを有するMOSFET構造を示す垂直断面図である。図2に示すように、本発明の一実施形態に係る非対称リセスされたゲートを有するMOSFETは次のような構造を有する。

20

## 【0037】

半導体基板100としてのシリコン基板には、STI構造の素子分離膜102が形成されている。この素子分離膜102の間の半導体基板100の一部が所定深さにエッチングされたリセス領域には、ゲート絶縁膜110を通じてギャップ充填されたゲート電極112、114が所定高さに形成される。これらのゲート電極112、114は、ソース/ドレイン領域122の中でいずれかの領域に対応するリセス領域とミスアラインされる。そして、リセスされたゲート電極112、114の側壁には絶縁物質からなったスペーサー120が形成されている。この時、下部ゲート電極112はドーパポリシリコン、上部ゲート電極114は金属または金属シリサイドで形成されており、ゲート電極114の上部には絶縁物質、例えばSiONなどのハードマスク116がさらに形成される。

30

## 【0038】

そして、スペーサー120により露出した半導体基板100内には、N型またはP型ドーパントがイオン注入されたソース/ドレイン領域122が形成されており、ハードマスク116及びゲート電極112、114の側壁には絶縁物質からなったスペーサー124が形成されている。

## 【0039】

また、スペーサー124の間に露出した半導体基板100を浅くエッチングした溝が形成され、その溝にはギャップ充填したコンタクト126が形成されている。

## 【0040】

本発明の非対称リセスされたゲートを有するMOSFETにおいて、リセスされたゲート電極112、114がミスアラインされる領域は、ソース/ドレイン領域のうち、ストレージノード電極に連結されるソース領域が好ましい。そして、ドレイン領域側のリセス領域の上部エッジには、スペーサー120に連結される絶縁膜パターンが形成される。また、本発明において、半導体基板100のリセス領域は50～2500であることが好ましい。

40

## 【0041】

このような構成を有する本発明の一実施形態に係るMOSFETは、ソース領域側にアウターゲートの形態、そしてドレイン領域側にインナーゲートの形態を有する非対称リセスされたゲートを備えることによって、リセスされたゲートを確保するためのマージンを維持しながら、従来よりもゲートとソース/ドレイン領域との間のオーバーラップ長さ(

50

C)を減らすことができる。その上、本発明のMOSFETは非対称リセスされたゲート構造によりソース/ドレイン領域のプロファイル形態が変更されるため、電気場の最高点Aがリセス領域の側面側、そしてストレスの最高点Bがリセス領域のエッジに位置するので、最高点の不一致により非正常的な漏洩電流が減少するようになる。

【0042】

図3a乃至図3eは、本発明の一実施形態に係る非対称リセスされたゲートを有するMOSFET製造方法を説明するための図である。これらの図面を参照して、本発明の一実施形態に係るMOSFET製造方法について説明する。

【0043】

まず、図3aに示すように、半導体基板100としてのシリコン基板にはSTI構造の素子分離膜102を形成する。また、素子分離膜102の間の半導体基板100にはN型またはP型ドーパントをイオン注入してウェル及びスレッシュホールド電圧調節領域104を形成する。

【0044】

そして、図3bに示すように、半導体基板100にリセス領域を定義するフォトリソトパターン106を形成した後、基板表面から所定深さ、例えば50～2500程度にエッチングしてリセス領域108を形成する。

【0045】

図3cに示すように、リセス領域がある半導体基板100全面にはゲート絶縁膜110を形成し、その上にはゲート電極導電膜112、114としてのドーパントシリコン、金属または金属シリサイドを順次積層する。そしてSiONなどのハードマスク116を更に積層する。

【0046】

ソース領域側にミスアラインされてリセスされたゲート電極マスクを用いた乾式エッチング工程でハードマスク116をパターニングし、ゲート電極導電膜(不図示)を順次パターニングしてリセスされたゲート電極112、114を形成する。

【0047】

この時、本発明はゲート電極マスクがソース領域側にミスアラインされているため、ゲート電極のパターニング工程時、ゲート電極マスクのミスアラインによりドレイン領域と隣接したリセス領域に対応する所定領域が露出する。それによって、ゲート電極マスクをエッチングマスクでゲート電極をパターニングすると、露出した領域、即ちリセス領域内に位置するゲート電極導電膜の一部が損失して溝118が形成される。

【0048】

図3dに示すように、リセスされたゲート電極112、114の側壁及び半導体基板の上部には絶縁物質(例えば、シリコン酸化膜)からなったスペーサー120を形成する。この時、スペーサー120はドレイン領域側リセス領域の上部、即ち、溝をギャップ充填する絶縁膜パターンと共に形成される。

【0049】

そして、スペーサー120により露出した半導体基板100内にN型またはP型ドーパントをイオン注入してソース/ドレイン領域122を形成する。それによって、非対称リセスされたゲート構造によりソース/ドレイン領域122の垂直プロファイル形態が変更される。

【0050】

続いて、図3eに示すように、ハードマスク116及びゲート電極112、114の側壁には絶縁物質からなったスペーサー124を形成し、スペーサー124により露出した半導体基板100を浅くエッチングして溝を形成する。その後、ドーパントシリコン膜などでギャップ充填し、その表面を化学機械的錬磨工程で平坦化してソース/ドレインコンタクト126を形成する。

【0051】

図4は、本発明に係る非対称リセスされたゲートを有するMOSFETシミュレーション

10

20

30

40

50

ンによる電気場及びストレス結果を示す図面である。

【 0 0 5 2 】

図 4 に示すように、本発明の M O S F E T シミュレーション結果をみると、非対称リセスされたゲート構造によりソース/ドレイン領域のプロファイル形態が変更されるため、電気場の最高点 A がリセス領域の側面側に、ストレスの最高点 B がリセス領域のエッジに位置する。それによって、電気場及びストレスの最高点が互いに不一致となるため、リセスされたゲートを有する M O S F E T の非正常的な漏洩電流の特性を減らすことができる。

【 0 0 5 3 】

図 5 a 及び図 5 b は、従来及び本発明に係るリセスされたゲートを有する M O S F E T の活性領域マスク及びゲートマスクを比較した図面である。

10

【 0 0 5 4 】

図 5 a に示す従来技術のリセスされたゲートマスク 1 4 2 に比べて、図 5 b の本発明のゲートマスク 1 4 2 は、フィーチャー ( f e a t u r e ) またはゲート長さの約 0 . 1 倍 ~ 0 . 5 倍ミスアラインされた幅 d を有する。未説明の図面符号 1 4 0 は活性領域、1 4 4 はリセスされたゲートマスクを示す。

【 0 0 5 5 】

図 6 は、本発明の他の実施形態に係る非対称リセスされたゲートを有する M O S F E T 構造を示す垂直断面図である。図 6 に示すように、本発明の他の実施形態に係る非対称リセスされたゲートを有する M O S F E T は次のような構造を有する。

20

【 0 0 5 6 】

他の実施形態に係る非対称リセスゲートは、図 6 に示すように、リセスされたゲート電極 2 1 2 の幅を減らしてソース及びドレイン領域を広めたアウターゲート構造に作る場合、幅が減少した、リセスされたゲート領域を定義し、これをエッチングして形成する。

【 0 0 5 7 】

より詳細には、半導体基板 2 0 0 としてのシリコン基板に S T I 構造の素子分離膜 2 0 2 が形成されており、素子分離膜 2 0 2 の間の基板 2 0 0 一部を所定深さにエッチングしたリセス領域にゲート絶縁膜 2 1 0 が形成されている。この時、リセス領域はゲート電極形成領域の幅に比べて小さな幅を有するように形成されている。

【 0 0 5 8 】

30

リセス領域内にギャップ充填されて半導体基板 2 0 0 に所定高さに形成され、ソース/ドレイン領域 2 2 2 の中でいずれかの領域に対応するリセス領域とミスアラインされ、残り他のリセス領域とは正アラインされてリセスされたゲート電極 2 1 2 、 2 1 4 が形成されている。それによって、リセスされたゲート電極 2 1 2 の幅を減らしてソース及びドレイン領域 2 2 2 を広めたアウターゲート構造に作ることが可能である。

【 0 0 5 9 】

この時、ゲート電極 2 1 4 の上部には絶縁物質、例えば S i O N などのハードマスク 2 1 6 が更に形成される。そして、リセスされたゲート電極 2 1 2 、 2 1 4 の側壁には絶縁物質からなったスペーサー 2 1 0 が形成されている。

【 0 0 6 0 】

40

スペーサー 2 0 により露出した半導体基板 2 0 0 内に N 型または P 型ドーパントがイオン注入されたソース/ドレイン領域 2 2 2 が形成されており、ハードマスク 2 1 6 及びゲート電極 2 1 2 、 2 1 4 の側壁には絶縁物質からなったスペーサー 2 2 4 が形成されている。また、スペーサー 2 2 4 の間に露出した半導体基板 2 0 0 を浅くエッチングした溝が形成され、その溝にギャップ充填したコンタクト 2 2 6 が形成されている。

【 0 0 6 1 】

即ち、本発明の他の実施形態に係る M O S F E T のリセスされたゲート電極はソース領域側にアウターゲート形態で、ドレイン領域側に正アラインされる、非対称的にリセスされたゲート構造を有する。それによって、リセスされたゲートを確保するためのマージンを維持しながら、従来よりもゲートとソース/ドレイン領域との間のオーバーラップ長さ

50

を減らすことができる。

【0062】

その上、本発明のMOSFETは非対称リセスされたゲート構造によりソース/ドレイン領域のプロファイル形態が変更されるため、電気場の最高点Aがリセス領域の側面側、そしてストレスの最高点Bがリセス領域のエッジに位置するので、最高点の不一致により非正常的な漏洩電流が減少するようになる(図2参照)。

【0063】

以上、本発明の好ましい実施形態について詳細に説明したが、本発明の権利範囲はこれに限定されるのではなく、請求範囲に記載した、本発明の基本概念を用いた当業者のいろいろな変形及び改良形態も本発明の権利範囲に属することは勿論である。

【産業上の利用可能性】

【0064】

本発明によれば、リセスされたゲートにおいてソースまたはドレインのいずれかの領域側がリセス領域とミスアラインされるようにしてゲート電極とソース/ドレイン領域との間のオーバーラップを減らすことができる。

【0065】

また、非対称リセスされたゲート構造によりソース/ドレイン領域のプロファイル形態が変更されるため、電気場の最高点とストレスの最高点が互いに一致して発生する非正常的な漏洩電流を大きく減らすことができるので、DRAMにおけるリフレッシュやデータ保持時間などの電気的特性を向上させることができる。

【0066】

従って、本発明の産業利用性はきわめて高いものといえる。

【図面の簡単な説明】

【0067】

【図1a】従来技術によるリセスされたゲートを有するMOSFET構造を示す垂直断面図である。

【図1b】従来技術によるリセスされたゲートを有するMOSFET構造を示す垂直断面図である。

【図2】本発明の一実施形態に係る非対称リセスされたゲートを有するMOSFET構造を示す垂直断面図である。

【図3a】本発明の一実施形態に係る非対称リセスされたゲートを有するMOSFET製造方法を説明するための図である。

【図3b】本発明の一実施形態に係る非対称リセスされたゲートを有するMOSFET製造方法を説明するための図である。

【図3c】本発明の一実施形態に係る非対称リセスされたゲートを有するMOSFET製造方法を説明するための図である。

【図3d】本発明の一実施形態に係る非対称リセスされたゲートを有するMOSFET製造方法を説明するための図である。

【図3e】本発明の一実施形態に係る非対称リセスされたゲートを有するMOSFET製造方法を説明するための図である。

【図4】本発明に係る非対称リセスされたゲートを有するMOSFETシミュレーションによる電気場及びストレス結果を示す図面である。

【図5a】従来技術のリセスされたゲートを有するMOSFETの活性領域マスク及びゲートマスクを比較した図面である。

【図5b】本発明に係るリセスされたゲートを有するMOSFETの活性領域マスク及びゲートマスクを比較した図面である。

【図6】本発明の他の実施形態に係る非対称リセスされたゲートを有するMOSFET構造を示す垂直断面図である。

【符号の説明】

【0068】

10

20

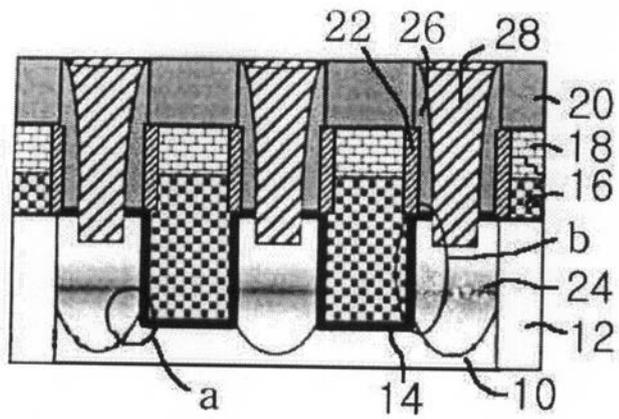
30

40

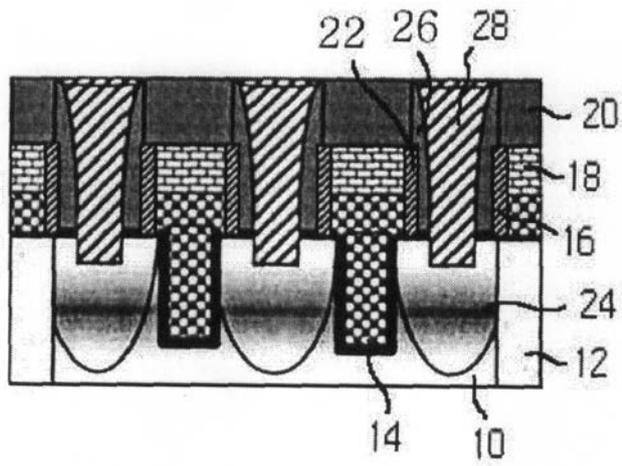
50

100 半導体基板、102 素子分離膜、104 スレッシュホールド電圧調節領域、108 リセス領域、110 ゲート絶縁膜、112、114 ゲート電極、116 ハードマスク、118 溝、120、124 スパースー、126 ソース/ドレインコンタクト。

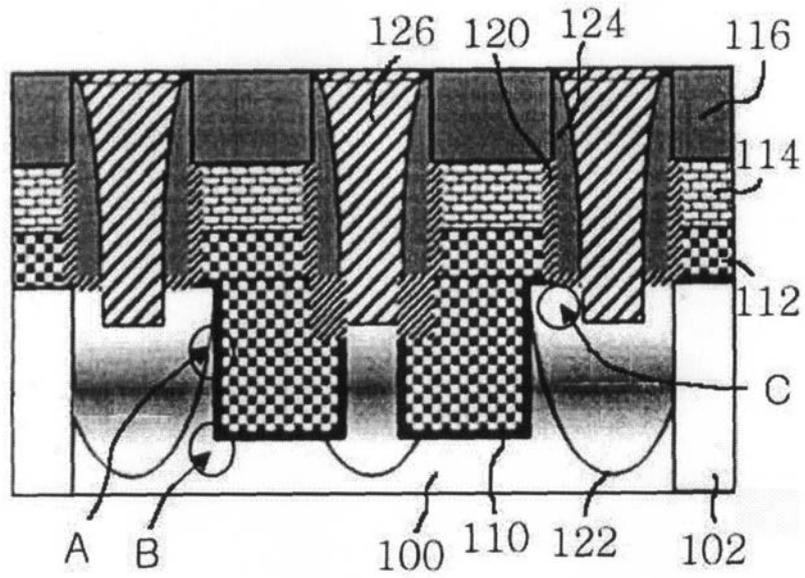
【図1a】



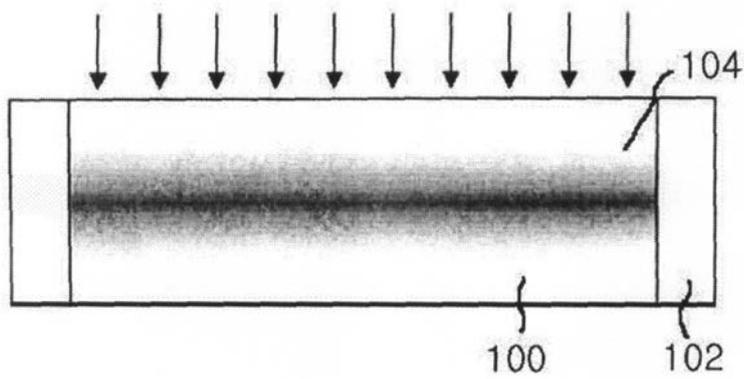
【図 1 b】



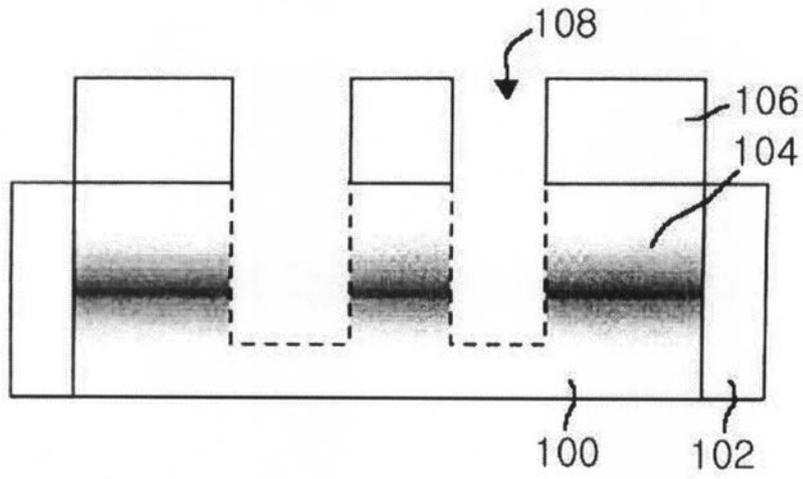
【図 2】



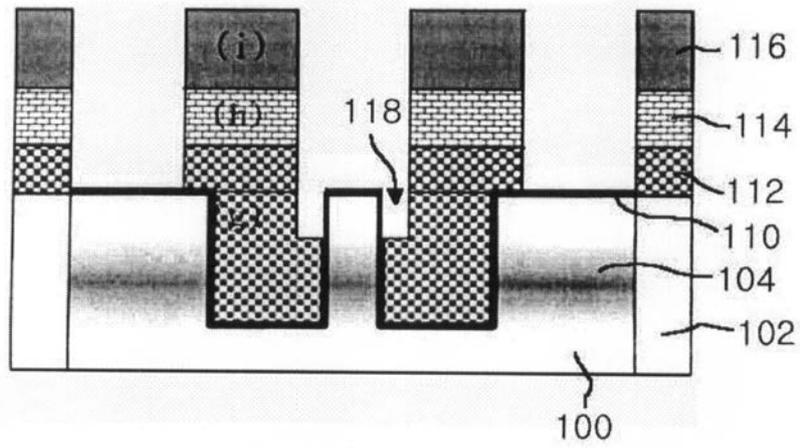
【図 3 a】



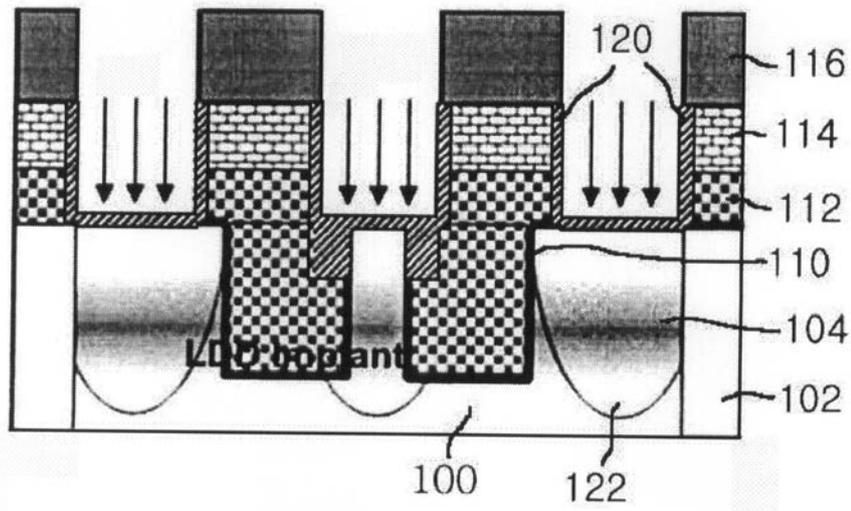
【 図 3 b 】



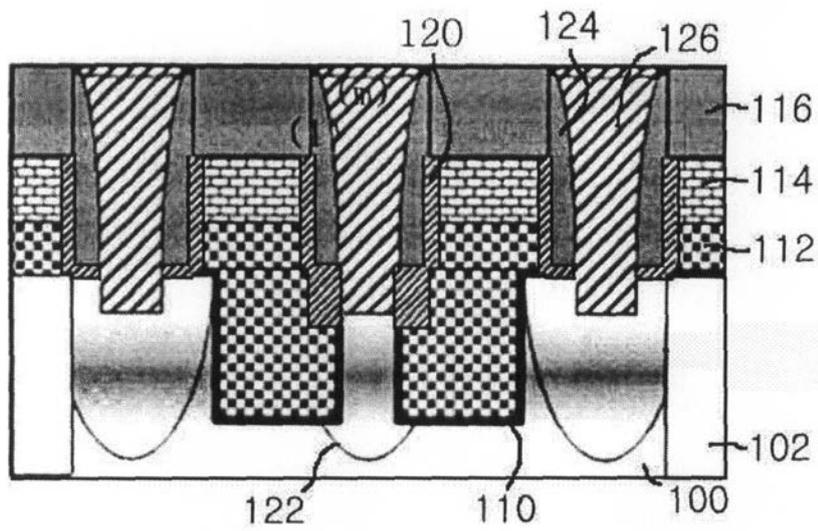
【 図 3 c 】



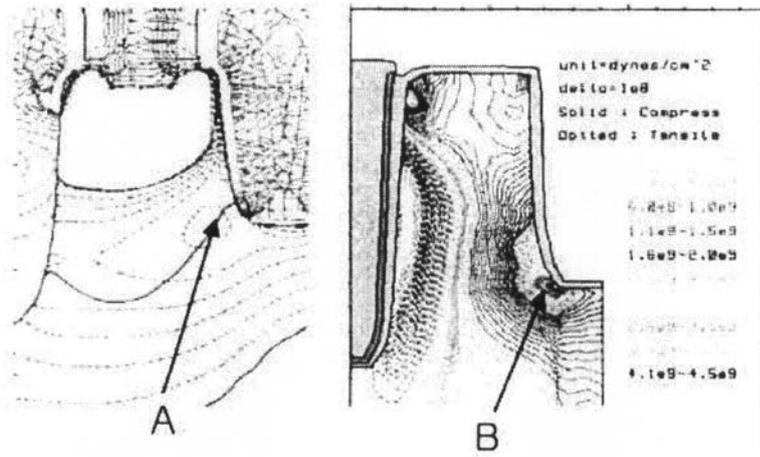
【 図 3 d 】



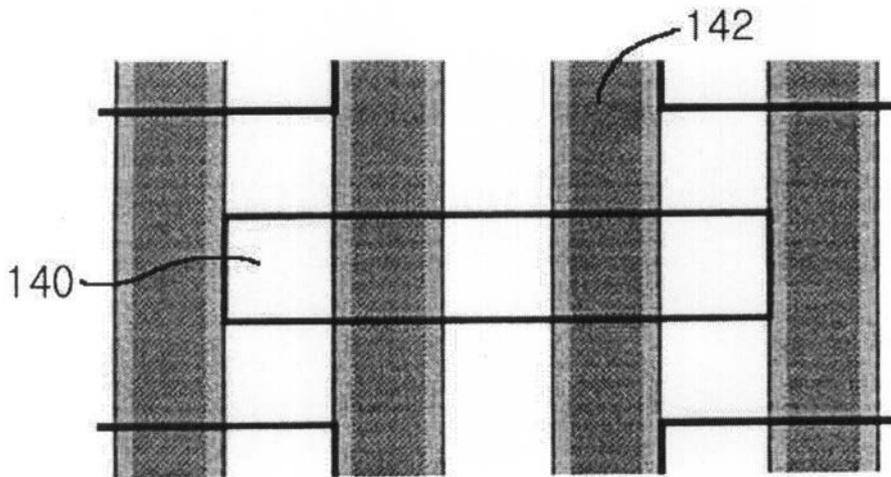
【 図 3 e 】



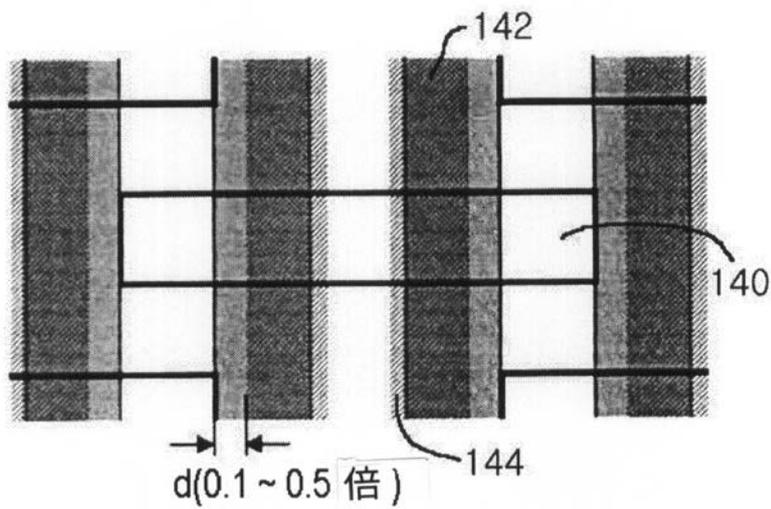
【 図 4 】



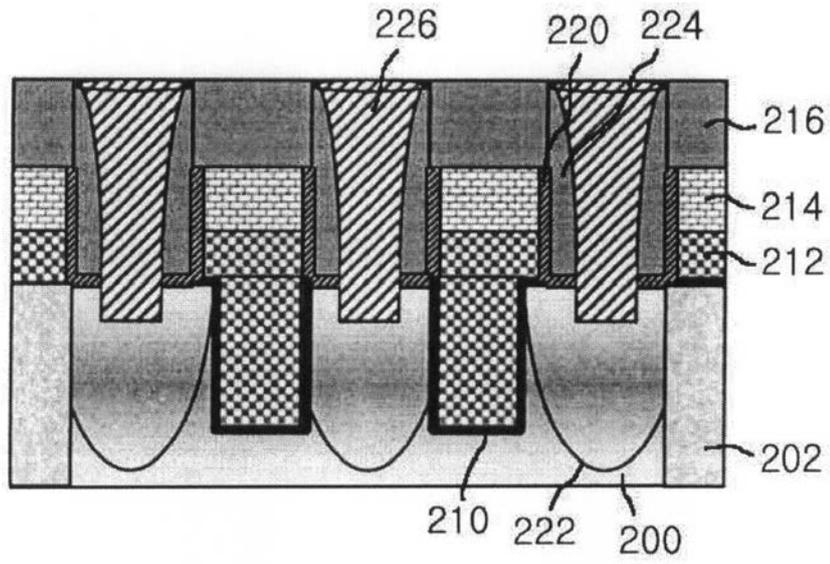
【 図 5 a 】



【 図 5 b 】



【図6】



## フロントページの続き

(51)Int.Cl. F I  
H 0 1 L 29/423 (2006.01) H 0 1 L 27/10 6 7 1 Z  
H 0 1 L 29/49 (2006.01)  
H 0 1 L 27/108 (2006.01)  
H 0 1 L 21/8242 (2006.01)

(72)発明者 スー ムン シク  
大韓民国 ギュンギ-ドォ ヨンギン-シ プンデオグチョン 1-ドン 692-1 スジ 2  
-チャ サムソン アパートメント 201-1406

審査官 辻 弘輔

(56)参考文献 特開平07-288324(JP,A)  
特開平07-153952(JP,A)  
特開2004-311977(JP,A)  
特開2001-077365(JP,A)  
実開昭57-087545(JP,U)

(58)調査した分野(Int.Cl., DB名)  
H 0 1 L 2 9 / 7 8  
H 0 1 L 2 1 / 3 3 6  
H 0 1 L 2 1 / 2 8  
H 0 1 L 2 1 / 8 2 4 2  
H 0 1 L 2 7 / 1 0 8  
H 0 1 L 2 9 / 4 1  
H 0 1 L 2 9 / 4 1 7  
H 0 1 L 2 9 / 4 2 3  
H 0 1 L 2 9 / 4 9