(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2023년05월19일
(11) 등록번호 10-2535073
(24) 등록일자 2023년05월17일

(51) 국제특허분류(Int. Cl.)
G02F 1/1343 (2006.01) *G02F 1/1362* (2006.01)
G02F 1/1368 (2006.01)
(52) CPC특허분류
G02F 1/134363 (2013.01)
G02F 1/134345 (2021.01)
(21) 출원번호 10-2018-7005372
(22) 출원일자(국제) 2016년07월21일
심사청구일자 2021년05월31일
(85) 번역문제출일자 2018년02월23일
(65) 공개번호 10-2018-0025988
(43) 공개일자 2018년03월09일
(86) 국제출원번호 PCT/US2016/043230
(87) 국제공개번호 WO 2017/019420
국제공개일자 2017년02월02일
(30) 우선권주장
62/196,359 2015년07월24일 미국(US)
(56) 선행기술조사문헌
US06225968 A
US06243062 A

(73) 특허권자
오레곤 스테이트 유니버시티
미국, 오레곤 97331-2140, 코발리스, 커 어드미니스트레이션 빌딩 312
아모르픽스, 인크
미국 오리건 97333 코밸리스 에스더블유 제퍼슨 애비뉴 508
(72) 발명자
코웰 이. 윌리엄 3세
미국 오리건주 97330-2203 코밸리스 엔더블유 크리스토퍼 피아이 2156
뉴턴 존
뉴질랜드 1071 오클랜드 오라케이 레이하나 스트리트 41
(74) 대리인
김태홍, 김진희

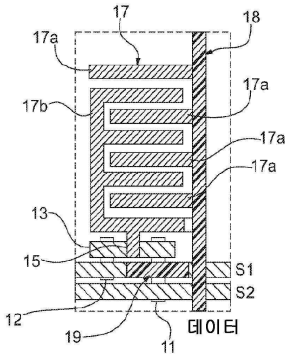
전체 청구항 수 : 총 10 항 심사관 : 한상일

(54) 발명의 명칭 **비결정질 금속 비선형 저항기를 능동형 서브 픽셀 디바이스로서 사용하는 인-플레인 스위칭 액정 디스플레이 백플레인**

(57) 요 약

인-플레인 스위칭 액정 디스플레이 서브 픽셀을 위한 능동 디바이스로서 비결정질 금속 비선형 저항기를 사용하는 회로에 대한 물리적 레이아웃이 제공된다. 스토리지 커패시터의 하부 전극과 2개의 비결정질 금속 비선형 저항기의 하부 상호접속부는 동시에 성막되고 패터닝될 수 있다. 스토리지 커패시터의 영역은 데이터 신호 상호접속부와 스토리지 커패시터 하부 전극의 오버랩에 의해 규정되고, 이것은 하부 전극의 사이즈 및/또는 하부 전극과 오버랩되는 데이터 신호 상호접속부의 사이즈를 통해 용이하게 변경되며 픽셀의 개구율(aperture ratio)을 열화시키지(degrade) 않는다. 서브 픽셀 회로의 2개의 실시형태가 개시된다. 선택 라인 브릿지를 이용하는 하나의 실시형태는 이미지 데이터의 전체 도트 반전의 사용을 가능하게 한다. 두번째 실시형태만이 이미지 데이터의 열 반전을 가능하게 한다.

대 표 도 - 도2d



(52) CPC특허분류
G02F 1/134354 (2021.01)
G02F 1/134372 (2021.01)
G02F 1/136213 (2013.01)
G02F 1/1368 (2013.01)

명 세 서

청구범위

청구항 1

인-플레인 스위칭 액정 서브 픽셀 회로(in-plane switching liquid crystal sub-pixel circuit)에 있어서,

비결정질 금속 박막을 포함하는 개별 하부 전극 상호접속부를 각각 구비하는 제1 비결정질 금속 비선형 저항기와 제2 비결정질 금속 비선형 저항기; 및

비결정질 금속 박막을 포함하는 하부 커패시터 전극을 구비하는 스토리지 커패시터

를 포함하고,

상기 하부 전극 상호접속부와 하부 커패시터 전극은 동일 평면 내에 배치되는 것인, 서브 픽셀 회로.

청구항 2

제1항에 있어서,

상기 하부 커패시터 전극의 비결정질 금속 박막과 상기 하부 전극 상호접속부의 비결정질 금속 박막은 50 nm 이하의 두께를 갖는 것인, 서브 픽셀 회로.

청구항 3

제1항 또는 제2항에 있어서,

상기 하부 전극 상호접속부와 하부 커패시터 전극 위에 배치된 유전체 층을 포함하고, 상기 스토리지 커패시터는 상기 유전체 층의 일부가 사이에 배치된 상기 하부 커패시터 전극 상에 배치된 데이터 신호 상호접속부를 포함하고, 상기 데이터 신호 상호접속부, 상기 하부 커패시터 전극, 및 상기 유전체 층의 일부는 함께 상기 스토리지 커패시터를 제공하는 것인, 서브 픽셀 회로.

청구항 4

제3항에 있어서,

상기 유전체 층 위의 평면에 배치된 2개의 액정 커패시터 전극을 포함하고, 상기 액정 커패시터 전극 및 데이터 신호 상호접속부는 동일 평면에 배치되는 것인, 서브 픽셀 회로.

청구항 5

제4항에 있어서,

상기 제1 비결정질 금속 비선형 저항기와 상기 제2 비결정질 금속 비선형 저항기 사이에 전기적으로 접속된 상부 콘택트를 포함하고, 상기 상부 콘택트는 상기 액정 커패시터 전극 중 선택된 하나의 액정 커패시터 전극에 전기적으로 접속되는 것인, 서브 픽셀 회로.

청구항 6

제4항에 있어서,

상기 유전체 층 위에 배치된 결정질 금속을 포함하는 적어도 하나의 선택 라인으로서, 상기 적어도 하나의 선택 라인은 갭(gap)이 사이에 배치된 제1 세그먼트 및 제2 세그먼트를 구비하고, 상기 제1 비결정질 금속 비선형 저항기와 상기 제2 비결정질 금속 비선형 저항기 중 선택된 하나의 저항기의 하부 전극은 상기 제1 세그먼트와 상기 제2 세그먼트 사이의 갭 내에 배치되는 것인, 상기 적어도 하나의 선택 라인; 및

상기 선택 라인의 상기 제1 세그먼트와 상기 제2 세그먼트에 전기적으로 접속되고, 상기 선택된 비결정질 금속 비선형 저항기의 상기 하부 전극 상에 배치되는 상호접속 브릿지

를 포함하는, 서브 픽셀 회로.

청구항 7

제6항에 있어서,

상기 상호접속 브릿지는 상기 제1 세그먼트 및 상기 제2 세그먼트로부터 상기 액정 커패시터 전극의 평면으로 연장되는 것인, 서브 픽셀 회로.

청구항 8

제1항에 기재된 서브 픽셀 회로의 어레이로서,

상기 제1 비결정질 금속 비선형 저항기와 상기 제2 비결정질 금속 비선형 저항기의 상기 하부 전극 상호접속부 위에 배치되는 터널 장벽 층을 포함하는 서브 픽셀 회로의 어레이.

청구항 9

행/열 매트릭스(row/column matrix)로 배열되는 제6항에 기재된 서브 픽셀 회로의 어레이로서,

상기 서브 픽셀 회로의 어레이는 매트릭스 행을 따라 상기 액정 커패시터 전극 아래에 물리적으로 위치된 상기 선택 라인으로부터 상기 액정 커패시터 상에 물리적으로 위치된 선택 라인으로, 그리고 다시 상기 액정 커패시터 아래에 물리적으로 위치된 상기 선택 라인으로 상기 상호접속 브릿지의 위치를 변경하는 각각의 서브 픽셀 액정 커패시터에 인가되는 전계를 독립적으로 제어하도록 구성되는 것인, 서브 픽셀 회로의 어레이.

청구항 10

각각의 서브 픽셀 액정 커패시터에 인가되는 전계를 독립적으로 제어하도록 구성되는 행/열 매트릭으로 배열된 제1항에 기재된 서브 픽셀 회로의 어레이.

발명의 설명

기 술 분 야

[0001] 본 발명의 일 양태에서, 본 발명은 일반적으로 픽셀 내의 기판에 평행한 액정 물질의 분극을 변조하는데 사용되는 픽셀의 매트릭스를 갖는 액정 디스플레이 백플레인의 실현에 관한 것이다. 본 발명의 능동 디바이스는, 각 픽셀에서 액정 분극(polarization)을 그리고 이에 따라 픽셀 휘도를 제어할 수 있게 하는 비결정질 금속 박막 비선형 저항기를 포함할 수 있다.

배 경 기 술

[0002] 인-플레인 스위칭(IPS: in-plane switching) 서브 픽셀 회로를 채택하는 액정 디스플레이(LCD: liquid crystal display)는 현재 최신 기술로 간주된다. IPS LCD는 전통적인 VA(vertical alignment) 기반 LCD 서브 픽셀 회로에 비해 시야각 및 작동 속도에서 이점을 갖는다. IPS 및 VA LCD 서브 픽셀 회로 간의 주요 차이점은 2개의 전극(즉, 서브 픽셀 전극)의 상대 위치이며, 두 전극 사이에 위치한 액정 물질을 분극시키기 위해 전기장이 인가된다. 액정 물질이 분극되는 범위(extent)는 백플레인을 통해 전송되는 광의 양을 제어한다. 백플레인을 통한 광 전송의 제어는 디지털 이미지가 LCD에 생성되는 수단이다. IPS 기반 서브 픽셀 회로는 하나의 기판(즉, 백플레인) 상에 배치된 두 전극을 가지며, VA 기반 서브 픽셀 회로는 백플레인 상의 하나의 전극 및 제2 기판 상의 하나의 전극(즉, 컬러 필터(CF: color filter))을 갖는다. 현재 IPS LCD 기술은 서브 픽셀 전극 사이에 적용되어 IPS LCD 상의 디지털 이미지를 제어하는 전계의 크기를 제어하기 위해 백플레인에 위치한 박막 트랜지스터(TFT: thin-film transistor)를 사용한다.

[0003] 능동 디바이스, 도전 층 및 절연 층이 제조되는 유리 기판인 LCD 백플레인은, 백플레인과 유리의 다른 층 사이에 위치한 액정 물질을 정확하게 분극시킴으로써 액정 디스플레이 상의 이미지를 제어한다. 컬러 필터 유리(CF)로 알려진 특정 실시형태에서 유리의 제2 층은 컬러 이미지를 생성하는데 사용되는 서브 픽셀 당 하나인 컬러 필터의 위치이다. 현재, 선호되는 백플레인 능동 디바이스는 박막 트랜지스터(TFT)이며, 이것은 순차적으로 성막되고 패터닝된 박막 층으로 구성된 반도체 기반 디바이스이다. TFT에 사용되는 박막 반도체 물질은 성능 및 제조 비용 문제를 야기하는 낮은 캐리어 이동도, 광 및 온도 감도, 제조 복잡성을 포함하는 많은 제한을

갖는다. 따라서, 여기에 개시된 것과 같은 이러한 제한을 극복하는 새로운 디바이스는 최신 기술의 진보를 나타낸다.

발명의 내용

[0004] 비결정질 금속 비선형 저항기(AMNR: amorphous metal non-linear resistor)는 반도체 물질을 사용하지 않고 이에 따라 AMNR에 기초한 LCD 백플레인은 TFT 기반 LCD 백플레인과 연관된 성능 및 비용 문제를 극복할 수 있기 때문에, AMNR이 본 발명의 회로에서의 사용에 특히 바람직할 수 있다. (공개 PCT 출원 WO 2014074360 및 미국 특허 9,099,230에 AMNR이 더 개시되어 있고, 그 전체 내용이 여기에 참조로 포함되어 있다.) 따라서, AMNR 기반 LCD 백플레인은 중요한 기술적 진보를 제공할 수 있다. 예컨대, LCD 백플레인 기판의 면에서 액정 물질의 분극을 변조하는 픽셀 전극인 인-플레인 스위칭(IPS)의 사용은 화질면에서 LCD의 성능을 향상시켰다. IPS LCD 백플레인 내의 능동 디바이스로서의 AMNR의 사용은 간단한 물질과 프로세스로 제조되어 제조 비용이 감소되는 고성능 LCD를 제공할 수 있다.

[0005] 따라서, 본 발명의 일 양태에서, 본 발명은 액정 디스플레이 백플레인에서 인-플레인 스위칭을 위한 서브 픽셀 회로에 관한 것이며, 여기서 회로는 이러한 회로의 제조 방법을 따른 AMNR을 포함할 수 있다. 특히, 두 개 이상의 AMNR 각각 및 스토리지 커패시터의 하부 전극에 대한 전기적 상호접속을 단일 층에 제공하기 위해 비결정질 금속 박막이 패터닝될 수 있다.

[0006] 추가적인 양태에서, 본 발명은 AMNR 비결정질 금속 상호접속부와 동시에 성막되는 AMTF 하부 전극을 갖는 스토리지 커패시터 및 2개의 AMNR을 이용하는 서브 픽셀 회로를 제조하는 방법을 제공할 수 있다. 서브 픽셀 회로는 회로를 물리적으로 구현하는데 사용되는 물질을 지지하는 기판 상에 배치될 수 있다. 또한, 서브 픽셀 회로는 동일한 물리적 평면에 위치한 두개의 전극 사이에 배치된 액정 물질을 가로 지르는 기판에 평행한 전기장의 인가를 허용할 수 있다. 개시된 예시적인 제조 방법을 통해, 본 발명은 독립적으로 제어되어 LCD 상에 이미지를 생성할 수 있는 픽셀의 어드레싱 가능한 매트릭스에 개시된 서브 픽셀 회로의 상호접속을 제공할 수 있다. 여기에 개시된 예시적인 제조 프로세스는 반도체 기반 TFT 백플레인 제조 비용에 비해 제조 비용이 감소된 IPS 기반 LCD를 제조할 수 있는 LCD 백플레인 제조 수단을 제공할 수 있다. 더 적은 프로세스 단계, 더 간단한 프로세스 단계, 및 반도체 콘텐트의 제거로 인해, 제조 비용이 감소될 수 있다.

도면의 간단한 설명

[0007] 전술한 요약 및 본 발명의 예시적인 실시형태에 대한 다음의 상세한 설명은 첨부된 도면과 함께 읽을 때 더 이해될 수 있다.

도 1은 인-플레인 스위칭 액정 디스플레이 서브 픽셀 회로의 집중 소자 모델(lumped element model)을 개략적으로 도시한다.

도 2a 내지 도 2d는 도 1의 모델에 대응하는 물리적 디바이스를 형성하기 위한 예시적인 프로세스를 개략적으로 도시하며, 이 디바이스는 동시에 성막되고 패터닝된 AMTF 제1 층으로 형성된 스토리지 커패시터 및 2개의 비결정질 금속 비선형 저항기를 갖는 듀얼 선택 인-플레인 스위칭 LCD 서브 픽셀 회로를 포함한다.

도 3a 내지 도 3d는 도 2d의 디바이스의 단면도를 개략적으로 도시하며, 도 3b는 경로 A-B-C를 가로 지르는 단면을 도시하고, 도 3c는 경로 3C-3C를 가로 지르는 단면을 도시한다.

도 4a 및 도 4b는 행 및 열 반전에 독립적으로 어드레싱될 수 있는 서브 픽셀의 매트릭스를 형성하기 위해 개별 서브 픽셀이 접속될 수 있는 수단을 개략적으로 도시한다.

도 5a 내지 도 5d는 4개의 포토리소그래픽 패터닝 마스크를 사용하는 예시적인 공정을 통해 동시에 성막되고 패터닝된 AMTF 제1 층으로 형성된 스토리지 캐패시터 및 2개의 AMNR로 열 반전없이 듀얼 선택 IPS LCD 서브 픽셀 회로를 형성하는 예시적인 프로세스를 개략적으로 도시한다.

도 6a 및 도 6b는 열 반전을 가능하게 하지 않으며 데이터 신호 상호접속부 사이에 형성되고 비결정질 금속 하부 전극을 구비한 스토리지 캐패시터를 구비하는 AMNR 기반의 IPS LCD 서브 픽셀 회로 및 경로 A-B-C를 통한 단면의 예시적으로 구현을 개략적으로 도시한다.

도 7a 및 도 7b는 열 반전 없이 행 반전에 독립적으로 어드레싱될 수 있는 서브 픽셀의 매트릭스를 형성하기 위해 개별 서브 픽셀이 접속될 수 있는 수단을 개략적으로 도시한다.

발명을 실시하기 위한 구체적인 내용

[0008] 이제 유사한 엘리먼트들이 전체적으로 유사한 도면부호로 넘버링된 도면들을 참조하면, 본 발명에 따른 예시적인 디바이스들 및 방법들은 액정 디스플레이 백플레인에 인-플레인 스위칭을 제공할 수 있다. 이러한 디바이스 및 방법은 전형적으로 대칭 전류-전압(IV) 특성을 갖는 2단자 디바이스로 설명될 수 있는 비결정질 금속 비선형 저항기(AMNR)를 포함할 수 있다. 예컨대, 도 1은 전기장을 커패시터(6)에 인가함으로써 2개의 AMNR(5)이 액정 물질(LC)을 정밀하게 분극시키는데 사용될 수 있는 서브 픽셀 회로(8)의 비제한적인 예시적 집중 소자 다이어그램을 개략적으로 도시한다. 점선(8) 내의 영역은 서브 픽셀의 물리적 요소를 나타낸다. 커패시터(6)는 전극(2, 3) 사이에 배치된 액정 물질(LC)로 구성된 유전체와 함께 노드(A 및 B)에 전기적으로 접속된 전극(2, 3)을 포함할 수있다. 전극(2, 3)은 백플레인 기판 상의 동일한 물리적 평면에 배치된 인듐 주석 산화물(ITO: indium tin oxide)을 포함할 수 있고, 노드(A 및 B)는 서브 픽셀 회로(8)에 의해 제어되는 서브 픽셀의 데이터 및 선택 노드일 수 있다. 서브 픽셀 회로(8)의 동작에 장점을 제공하기 위해 스토리지 커패시터(7)가 액정 커패시터(6)에 병렬로 전기적으로 접속될 수 있다. 스토리지 커패시터는 액정 커패시터(6) 상에 위치된 전압을 버퍼링하고 이에 따라 액정 커패시터(6)에 대하여 존재하는 전압 의존 커패시턴스 및 누설 효과를 감소시킨다.

[0009] 액정 물질은 액정 물질을 가로 질러 인가된 전계에 반응하여 배향을 변화시키는 장 분자(long molecules)이며, 즉 액정 물질은 전계의 인가를 통해 분극된다. 따라서, 분극은, 액정 분자가 물리적으로 이동하거나 더 정확히 회전되는 물리적 프로세스이다. 동일 방향으로 다수 반복적으로 회전될 때, 액정 물질은 동일 방향에서의 회전에 적은 저항을 경험한다. 더 적은 회전 저항은 동일하게 인가된 전계에서 액정 물질의 분극의 크기를 변경시키고 이것은 바람직하지 않은 효과이다. 분극 크기 변화를 피하기 위해, 액정 물질에 인가되는 전계의 극성은 규칙적으로 변화되거나, 보다 정확하게는 반전될 수 있다. 개시된 본 발명의 특정 비제한적인 실시형태는 어레이의 행과 열 모두에 의해 IPS LCD 서브 픽셀의 어레이에 인가된 전계의 반전을 허용한다. 어레이의 순차적 열의 반전에 추가하여 어레이의 순차적 행의 반전은 도트 반전으로서 통상의 기술자에 의해 언급된다. 행 반전으로서 통상의 기술자에게 언급된 본 발명의 다른 비제한적인 실시형태에서, 순차적인 열은 반전되지 않고 IPS LCD 서브 픽셀의 어레이 내의 순차적 행은 반전된다.

[0010] 도 2a-3c는 도 1에 도시된 회로 모델에 대응하는 IPS(in-plane switching) LCD 서브 픽셀 회로를 제조하기 위한 비제한적이고 예시적인 프로세스를 개략적으로 도시한다. (도 2a 내지 도 2d의 점선 박스 내의 영역은 도 1에서의 윤곽 영역에 대응한다) 도 2a 내지 도 3c에 제시된 예시적 프로세스 시퀀스는 5개의 패터닝 단계를 사용하는 고해상도 및 초고해상도 IPS LCD 텔레비전의 대량(high-volume) 제조를 위한 기술의 현재 상태에 유리하게 비교되는 4가지 물질 층의 패터닝을 채택할 수 있다. 또한, 예시적 프로세스는 인접한 서브 픽셀의 극성에 관하여 도트 반전의 사용을 허용한다.

[0011] 먼저, 50nm 미만의 두께를 갖는 비결정질 금속 박막(AMTF: amorphous metal thin film)이, 동시에 성막되고, 스토리지 커패시터(7)의 하부 전극(10) 내로 패터닝되고, 2개의 AMNR 하부 상호접속부(11, 12)로 패터닝될 수 있다. 하부 상호접속부(11, 12)는 픽셀의 매트릭스 내의 픽셀을 어드레싱하기 위한 제1 및 제2 행 선택 라인을 제공할 수 있다. AMTF 층은 성막시에 0.5 nm 미만의 RMS 거칠기로 매우 평활(ultra-smooth)하게 될 수 있다. AMTF 전극(10) 및 상호접속부(11, 12)의 매우 평활한, 즉 0.5 nm 미만의 RMS 표면 형태는 하부 전극(10)을 포함하는 스토리지 커패시터(7) 및/또는 하부 전극(11, 12)을 포함하는 AMNR(5)을 가로질러 전계를 정밀하게 인가할 수 있는 능력을 제공할 수 있다. 전극(10) 및 상호접속부(11, 12)를 제공하기 위한 AMTF의 패터닝 이후에, 도 3b의 터널 장벽(32)을 제공하기 위해, 금속 산화물, 금속 질화물, 반도체 산화물 또는 반도체 질화물을 포함하지만 이에 한정되지 않는 패터닝되지 않은 유전체 층이 전극(10) 및 상호접속부(11, 12)에 성막될 수 있다.

[0012] 이어서, 이것에 한정되지 않지만 결정질 금속의 박막 또는 2개 이상의 결정질 금속의 박막의 스택을 포함하는 층이 터널 장벽(32) 상에 성막될 수 있다. 이어서, 성막된 결정질 금속 박막 또는 결정질 금속 박막의 스택은 도 2b, 도 3b의 선택 라인 상호접속부(S1, S2)를 형성하고 선택 라인(S1, S2) 사이의 상호접속 노드(13)(도 1의 노드(A)에 대응됨)를 선택하도록 패터닝될 수 있다.

[0013] 이것에 한정되지 않지만 금속 산화물, 금속 질화물, 반도체 산화물 또는 반도체 질화물을 포함하는 절연 유전체 층(34)은 패터닝된 선택 라인(S1, S2) 및 상호접속 노드(13) 상에 성막될 수 있다. 절연 층(34)은 스토리지 커패시터(7)를 위한 유전체의 제2 층으로서, AMNR(5)을 위한 패시베이션 층(passivation layer)으로서, 그리고 선택 라인(S1, S2)의 위와 후속하여 성막된 금속 층의 아래에 위치된 ILD(inter-layer dielectric)로서 기능할 수 있다. 후속하여, 도 2c의 스토리지 커패시터 콘택트(14), 선택 상호접속 노드 콘택트(15), 및 선택 라인 브릿지 콘택트(16)를 제공하기 위해 유전체 층(34) 내의 홀(hole)이 패터닝될 수 있다.

[0014] 최종적으로, 유전체 층(34) 상에 상부 층 금속 스택(top layer metal stack)이 성막될 수 있다. 스택의 제1 층(37)은 투명 도전성 산화물, 예컨대 인듐 주석 산화물(ITO: indium tin oxide) 층(37)을 포함할 수 있다. ITO 층(37)은 도 1에 예시된 액정 커패시터(6)에 대응하는 IPS 액정 커패시터(17)의 전극들(17a, 17b)을 형성할 수 있다. 금속 스택의 후속 층(들)(36)은, ITO 층(37) 상에 순차적으로 성막될 수 있고, 결정질 금속의 박막 또는 2개 이상의 결정질 금속의 박막의 스택을 포함할 수 있다. 결정질 금속 박막 또는 결정질 금속의 2개 이상의 박막의 스택의 ITO 층(37)과의 조합은 열 반전이 수행될 수 있는 데이터 신호 상호접속부(18) 및 선택 라인 브릿지(19)를 제공할 수 있다. AMNR(5)의 하부 상호접속부(11, 12)가 제1 및 제2 행 선택 라인을 제공할 수 있기 때문에, AMNR(5)에 의해 행 선택과 선택 라인 브릿지(19)에 의한 열 반전의 조합은 함께 IPS LCD에서의 도트 반전을 수행할 수 있다. 디지털 신호 상호접속부(18)와 ITO 액정 커패시터(17) 사이의 접촉은, ITO 액정 커패시터 층(37) 상에 직접적으로 데이터 신호 상호접속부(18)를 순차적으로 성막하는 것에 의해 이루어질 수 있다. 따라서, 도 2a 내지 도 3c의 구조를 도 1의 구조와 상관시키면, 도 3c의 스토리지 커패시터(20)를 제공하기 위해, 도 1의 스토리지 커패시터(7)는 하부 전극(10), 터널 장벽(32), 절연 층(34) 및 데이터 신호 상호접속부(18)의 조합에 의해 실현되는 것으로 보일 수 있다. 마찬가지로, 도 1의 하나의 AMNR(5)은 상호접속부(12), 터널 장벽(32), 선택 라인(S1), 및 선택 상호접속 노드(13)의 조합에 의해 실현되고, 도 1의 다른 AMNR(5)은 상호접속부(11), 터널 장벽(32), 선택 라인(S2), 및 선택 상호접속 노드(13)의 조합에 의해 실현되는 것으로 보일 수 있다.

[0015] 본 발명의 특정 실시형태에서, 상부 층 금속 스택을 패터닝하기 위한 프로세스 시퀀스는 이것에 한정되지 않지만 멀티-톤 노출 프로세스(multi-tone exposure process)를 사용할 수 있다. 이 프로세스는 하나의 포토리소그래픽 마스크를 통해 IPS 액정 커패시터(17), 데이터 신호 상호접속부(18) 및 선택 라인 브릿지(19)의 형성을 가능하게 한다.

[0016] 개시된 본 발명의 다른 실시형태에서, ITO 층(37) 및 후속하여 성막된 결정질 금속 층(36)을 에칭하기 위해 사용되는 화학물은 ITO 또는 결정질 금속 층(들)만을 에칭하도록 설계될(engineered) 수 있다. 따라서, 개시된 에칭 화학물은 이 화학물에 의해 에칭되는 층에 선택적으로 규정될 수 있다. 선택적 에칭 화학물의 사용은 멀티-톤 포토리소그래픽 패터닝 기술의 유효성을 향상시킬 수 있고, 또한 2개의 개별 마스킹 층들의 사용을 가능하게 할 수 있다.

[0017] 도 3a 내지 도 3c는 도 2d의 디바이스의 단면도를 개략적으로 도시한다. 경로 A-B-C를 따른 단면도는 선택 라인(S2) 및 선택 상호접속 노드(13)을 포함하는 AMNR(5) 위의 선택 라인 브릿지(19)의 경로를 나타낸다. ITO가 결정질 금속보다 저항성이 높기 때문에, 선택 라인 저항을 낮게 유지하기 위해, 선택 라인 브릿지(19)에 통합된 결정질 금속 또는 결정질 금속 스택(36)을 갖는 것이 중요할 수 있다. ILD(유전체 층(34)) 내의 2개의 콘택트 홀(16)은 선택 라인 브릿지(19)가 선택 라인(S1)에 접속될 수 있는 수단을 제공한다. 포인트(point) 3C-3C를 통한 단면도는 액정 커패시터(17)의 ITO 전극(17b)들 중 하나가 스토리지 커패시터(20)에 접속될 수 있는 수단을 예시한다. ITO/스토리지 커패시터 콘택트(14)는 액정 커패시터 전극(17b)의 ITO와 스토리지 커패시터 하부 전극(10) 사이의 접촉을 가능하게 하는 ILD(34) 및 터널 장벽(32) 모두를 통해 패터닝될 수 있다.

[0018] 스토리지 커패시터 영역은 스토리지 커패시터 AMTF 하부 전극(10)과 데이터 신호 상호접속부(18) 사이의 오버랩에 의해 규정될 수 있다. 따라서, 스토리지 커패시터 영역은 AMTF 하부 전극(10)의 치수 및/또는 AMTF 하부 전극(10)과 오버랩되는 데이터 신호 상호접속부(18)의 치수에 의해 용이하게 조절될 수 있다. 또한, 스토리지 커패시터(20)는 데이터 신호 상호접속부(18) 아래에 위치됨에 따라 IPS LCD 서브 픽셀을 통해 투과되는 광량을 현저히 감소시키지 않을 것이다. IPS LCD 서브 픽셀을 통해 투과된 광의 백분율은 서브 픽셀 디자인에 중요한 고려사항이다. 따라서, AMNR 기반 IPS LCD 서브 픽셀 내에 스토리지 커패시터(20)를 생성하는 본 개시에서 설명된 제조 시퀀스는 광 투과에 중요한 기여를 제공한다.

[0019] 여기에 개시된 바와 같이, AMNR을 사용하는 IPS LCD 서브 픽셀은, 도 4a 및 도 4b에 도시된 바와 같은 어레이로 접속될 수 있고; 도 4a의 점선의 영역은 도 2d에서의 점선의 영역에 대응하고, 도 4b의 점선의 영역은 도 1에서의 점선의 영역에 대응한다. 순차적인 선택 라인의 쌍의 극성, 예컨대 $S1_i$ 및 $S2_i$, 이어서, $S1_{i+1}$ 및 $S2_{i+1}$의 극성은 양의 극성과 음의 극성 사이에서 번갈아 가면서 행 반전을 일으킬 수 있다. 선택 라인 브릿지(19)의 사용을 통해, 순차적인 데이터 신호 열 Dj, Dj+i는 서브 픽셀의 행을 가로질러 극성을 교대하면서 열 반전을 일으킬 수 있다. 행 반전 및 열 반전의 조합은 도트 반전으로 이어진다. 액정 커패시터(17)에 인가되는 데이터 신호의 극성은 도트 반전의 개략적 표현을 제공하는 도 4b에 + 및 -로 도시된다. 도트 반전(IPS LCD 텔레비전에서의 현재 모범 사례)은 본 명세서에서 설명된 본 발명에 의한 4개의 패터닝 단계를 사용하는 AMNR 기반 서브 픽셀을 사용

하여 용이하게 달성된다.

[0020] 개시된 본 발명의 특정 실시형태에서, 열 반전 없는 즉 도트 반전 없는 열 반전은 IPS LCD를 위한 충분한 이미지 품질을 제공한다. 도 5a 내지 도 5d는 열 반전없이 AMNR 기반 IPS LCD 서브 픽셀을 생성하는데 사용되는 제조 프로세스 단계의 예시적이고 비제한적인 시퀀스를 개략적으로 도시한다. 도 5a 내지 도 5d의 점선의 영역은 도 1에서의 점선의 영역에 대응한다.

[0021] 우선, 50 nm 미만의 두께를 갖는 비결정질 금속 박막(AMTF)이, 스토리지 커패시터 하부 전극(510) 및 선택 라인(S25)에 대한 하나와 선택 라인(S15)에 대한 하나인 2개의 AMRR 하부 상호접속부(511, 512)로 성막되고 패터닝된다. 열 반전에 대한 필요 없이, 개시된 본 발명의 특정 실시형태에서, 선택 라인(S15) 및 선택 라인(S25)은 IPS LCD 서브 픽셀의 양측 상에 배치될 수 있고, 이에 따라 선택 라인 브릿지가 필요하지 않다. 선택 라인 브릿지의 제거는 서브 픽셀 내의 콘택트 홀의 수를 4개의 콘택트로부터 3개의 콘택트로 감소시키는 이점을 가질 수 있다. 개시된 AMTF의 패터닝 이후에, 상부에 도 6b의 터널 장벽(532)을 제공하기 위해, 금속 산화물, 금속 질화물, 반도체 산화물 또는 반도체 질화물 - 이것에 한정되지 않음 - 로 구성되는 패터닝되지 않은 유전체 층이 패터닝된 AMTF 상호접속부(511, 512) 및 스토리지 커패시터 하부 전극(510) 상에 순차적으로 성막될 수 있다.

[0022] 이어서, 이것에 한정되지 않지만 결정질 금속의 박막 또는 2개 이상의 결정질 금속의 박막의 스택을 포함하는 층이 터널 장벽(532) 상에 성막될 수 있다. 이어서, 도 1에서의 노드 A에 대응하는 선택 라인들 사이의 선택 상호접속 노드(513)와 선택 라인 상호접속부(S15 및 S25)를 형성하기 위해, 성막된 결정질 금속 박막의 층 또는 결정질 금속 박막의 스택이 패터닝될 수 있다. 도트 반전을 제공하지 않는 2개의 선택 상호접속 노드가 서브 픽셀에 있을 수 있다.

[0023] 이것에 한정되지 않지만 금속 산화물, 금속 질화물, 반도체 산화물 또는 반도체 질화물을 포함하는 절연 유전체 층(534)은 도 6b에서의 상호접속 노드(513) 및 패터닝된 상호접속 라인들(S15, S25) 상에 순차적으로 성막될 수 있다. 절연 층(534)은 스토리지 커패시터(520)를 위한 유전체의 제2 층으로서, AMNR 상호접속부(511)를 위한 패시베이션 층으로서, 그리고 선택 라인(S15, S25)의 위와 후속하여 성막된 금속 층의 아래에 위치된 ILD(inter-layer dielectric)로서 기능할 수 있다. ILD 내의 홀이 스토리지 커패시터 콘택트(514) 및 선택 상호접속 노드 콘택트(515)로서 후속하여 패터닝될 수 있다.

[0024] 그 이후에, ILD 상에 상부 층 금속 스택이 성막될 수 있다. 스택의 제1 층(537)은 투명 도전성 산화물, 즉 인듐 주석 산화물(ITO)이 될 수 있다. ITO 층(537)은 도 1에 예시된 액정 커패시터(6)에 대응하는 IPS 액정 커패시터(517)의 전극들(517a, 517b)을 제공할 수 있다. 금속 스택의 후속 층(들)(36)은, ITO 층(537) 상에 순차적으로 성막될 수 있고, 결정질 금속의 박막 또는 2개 이상의 결정질 금속의 박막의 스택을 포함할 수 있다. 결정질 금속 박막(536) 또는 2개 이상의 결정질 금속의 박막의 스택의 ITO 층(537)과의 조합은 데이터 신호 상호접속부(518)를 제공할 수 있다. 데이터 신호 상호접속부(518)와 ITO 액정 커패시터(517) 사이의 접촉은, ITO 액정 커패시터 층(537) 상에 직접적으로 데이터 신호 상호접속 층(536)을 순차적으로 성막하는 것에 의해 이루어질 수 있다.

[0025] 본 발명의 특정 실시형태에서, 상부 층 금속 스택을 패터닝하기 위한 프로세스 시퀀스는 이것에 한정되지 않지만 멀티-톤 노출 프로세스(multi-tone exposure process)를 사용할 수 있다. 이 프로세스는 하나의 포토리소그래픽 마스크를 통해 IPS 액정 커패시터(17) 및 데이터 신호 상호접속부(517)의 형성을 가능하게 한다.

[0026] 개시된 본 발명의 다른 실시형태에서, ITO 층(537) 및 후속하여 성막된 결정질 금속 층 또는 층들을 에칭하기 위해 사용되는 화학물은 ITO 또는 결정질 금속 층(들)만을 에칭하도록 설계될 수 있다. 따라서, 개시된 에칭 화학물은 이 화학물에 의해 에칭되는 층에 선택적으로 규정될 수 있다. 선택적 에칭 화학물의 사용은 멀티-톤 포토리소그래픽 패터닝 기술의 유효성을 향상시킬 수 있고, 또한 2개의 개별 마스킹 층들의 사용을 가능하게 할 수 있다.

[0027] 스토리지 커패시터 영역은 스토리지 커패시터 AMTF 하부 전극(510)과 데이터 신호 상호접속부(518) 사이의 오버랩에 의해 규정될 수 있다. 따라서, 스토리지 커패시터 영역은 AMTF 하부 전극(510) 및/또는 AMTF 하부 전극(510)과 오버랩되는 데이터 신호 상호접속부(518)의 영역의 치수에 의해 용이하게 조절될 수 있다. 또한, 스토리지 커패시터(520)는 데이터 신호 상호접속부(518) 아래에 위치됨에 따라 IPS LCD 서브 픽셀을 통해 투과되는 광량을 현저히 감소시키지 않을 것이다. IPS LCD 서브 픽셀을 통해 투과된 광의 백분율은 서브 픽셀 디자인에 중요한 고려사항이다. 따라서, AMNR 기반 IPS LCD 서브 픽셀 내에 스토리지 커패시터를 생성하는 본 개시에서 설명된 제조 시퀀스는 광 투과에 중요한 기여를 제공한다.

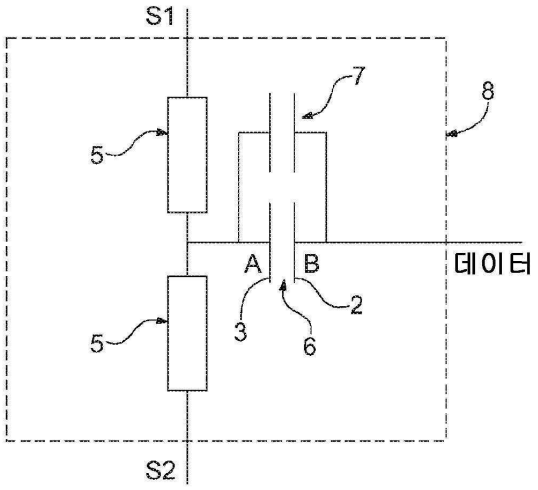
[0028] 도 6a 및 도 6b에 제공되는 레이아웃 및 단면은, 콤포넌트 (510, 511, 512)를 포함하는 하부 AMTF 층과 데이터 신호 상호접속부(518) 사이의 오버랩에 의해 형성되는 스토리지 커패시터(520)가, 도트 반전(예컨대, 도 4a, 도 4b)를 가능하게 하는 AMNR 기반 IPS LCD 서브 픽셀과 도 5d의 행 반전만을 가능하게 하는 AMNR 기반 IPS LCD 서브 픽셀 사이에서와 유사하다는 것을 예시한다. 액정 커패시터(517)의 선택 신호 ITO 전극(517b)과 스토리지 커패시터 하부 전극(510) 사이의 접속은 도 6b의 터널 장벽 층(532)과 ILD 층(534)을 통한 접촉(514)을 통해 이루어질 수 있다.

[0029] 도 7a 및 도 7b는 도트 반전이 아닌 열 반전을 가능하게 하는 AMNR 기반 IPS LCD 서브 픽셀의 어레이의 개략적인 표시를 제공한다. 예시적인 어레이에는 선택 라인 브릿지가없고, 서브 픽셀에 대한 선택 라인($S1_i$, $S2_i$)은 서브 픽셀의 양측에 위치한다. 서브 픽셀의 극성은 회로 다이어그램 어레이에서 + 및 -로 표시된다.

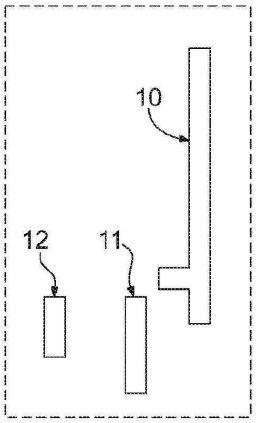
[0030] 본 발명의 이러한 장점 및 다른 장점은 상기 명세서로부터 통상의 기술자에게 명백하게 될 것이다. 따라서, 통상의 기술자는 본 발명의 광범위한 발명 개념으로부터 벗어나지 않고 상술한 실시형태에 변경 또는 수정이 가해질 수 있음을 인식할 것이다. 따라서, 본 발명은 본 명세서에 기술된 특정 실시형태에 한정되지 않고 청구범위에 기재된 본 발명의 범위 및 사상 내에 있는 모든 변경 및 수정을 포함하는 것으로 이해되어야 한다.

도면

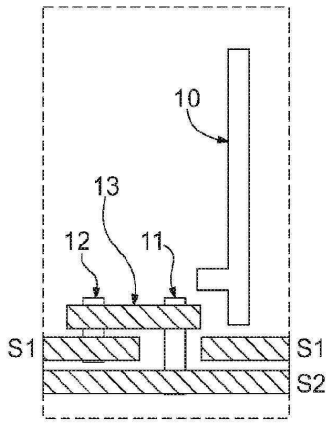
도면1



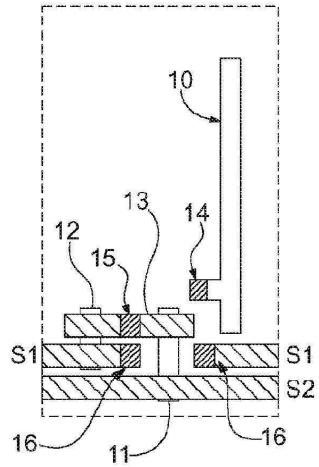
도면2a



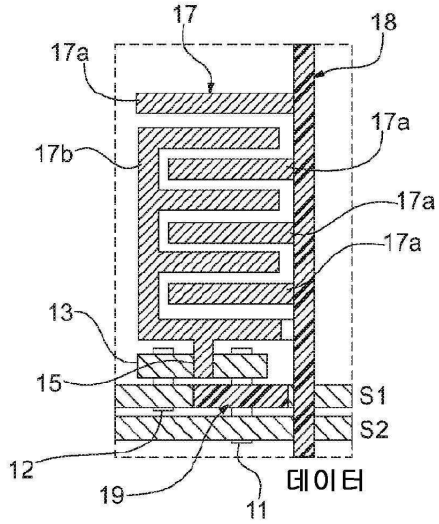
도면2b



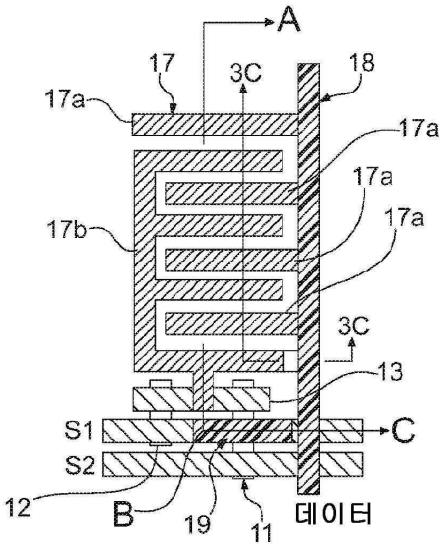
도면2c



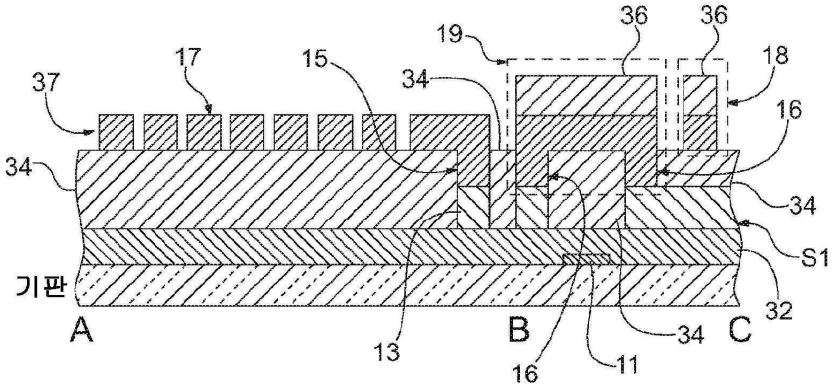
도면2d



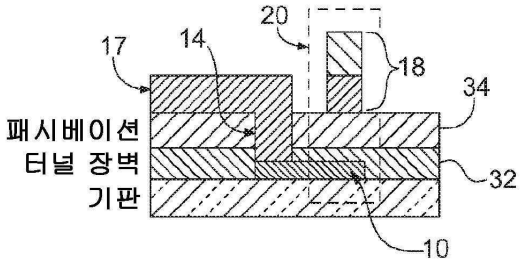
도면3a



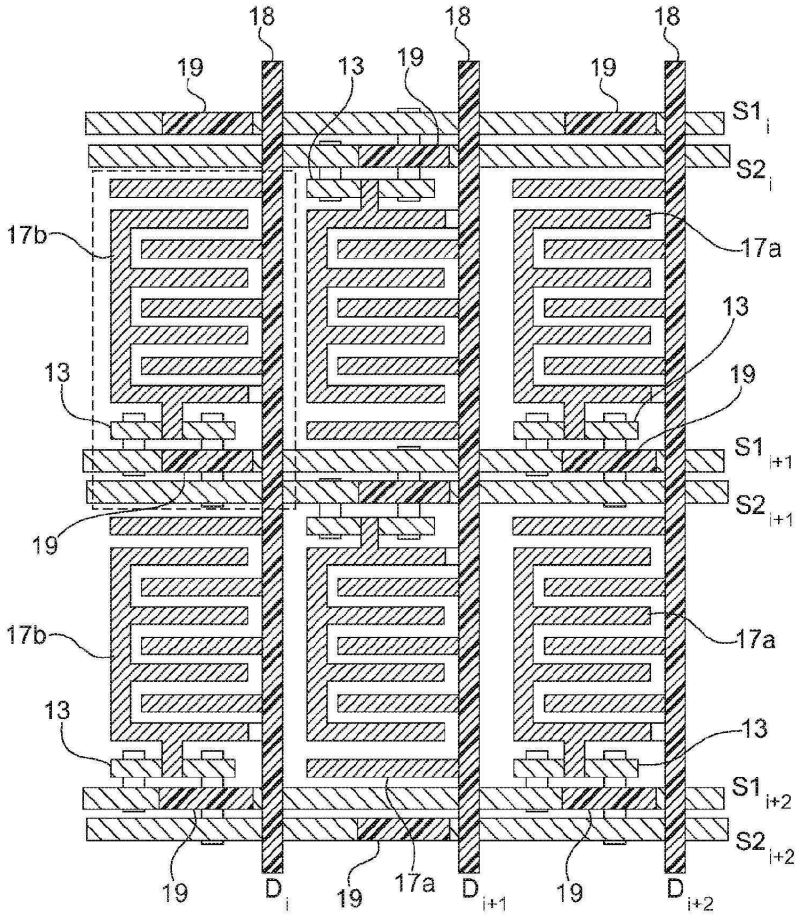
도면3b



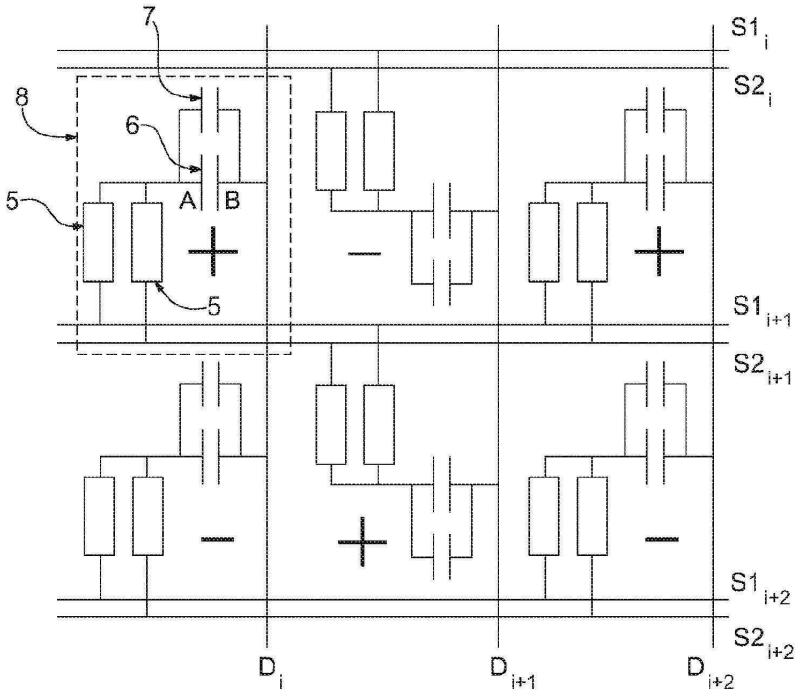
도면3c



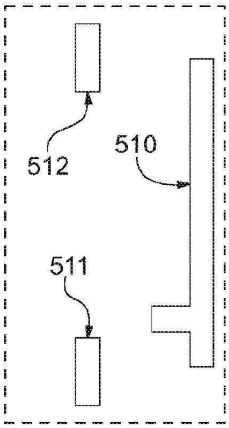
도면4a


18
19
13
S1i
S2i
17b
17a
S1i+1
S2i+1
S1i+2
S2i+2
Di
Di+1
Di+2

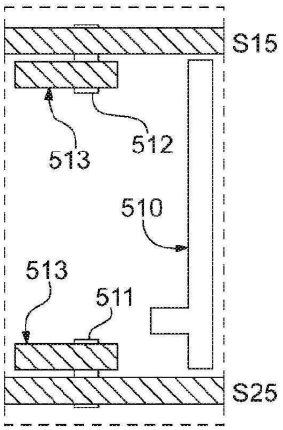
도면4b


7
8
6
A
B
5
S1i
S2i
S1i+1
S2i+1
S1i+2
S2i+2
Di
Di+1
Di+2

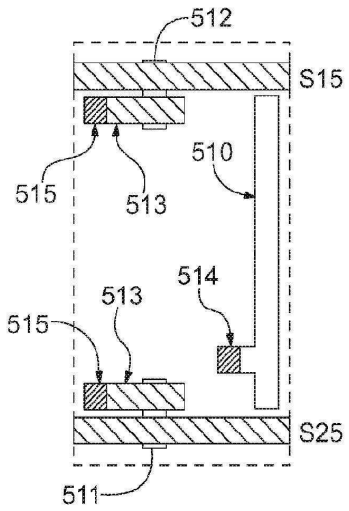
도면5a



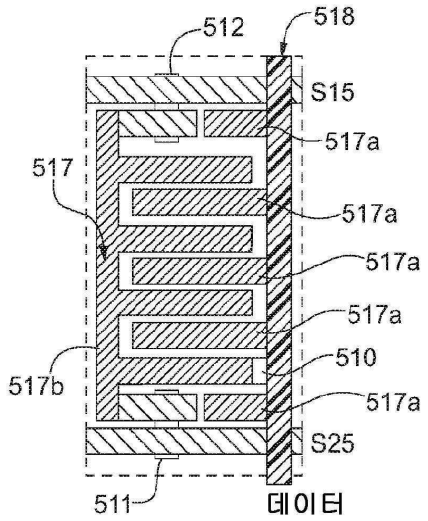
도면5b



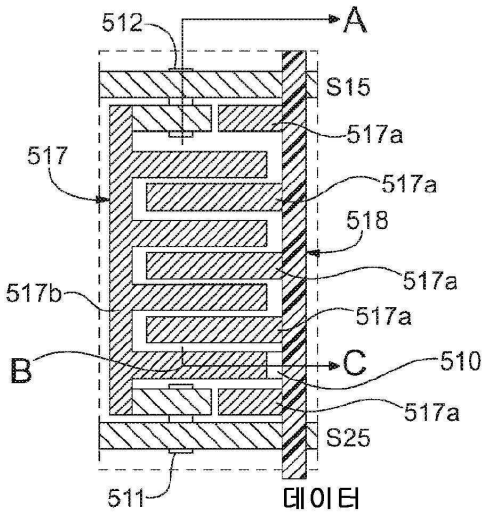
도면5c



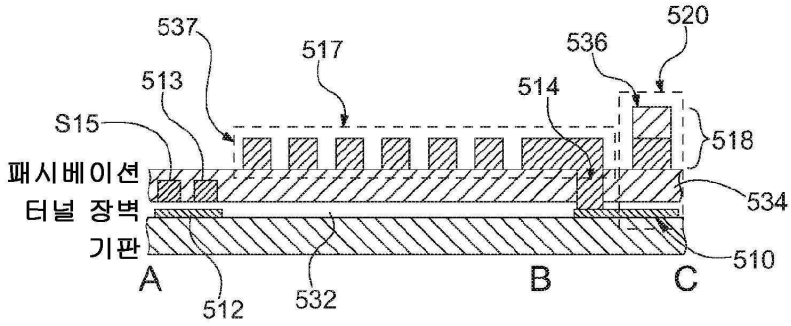
도면5d



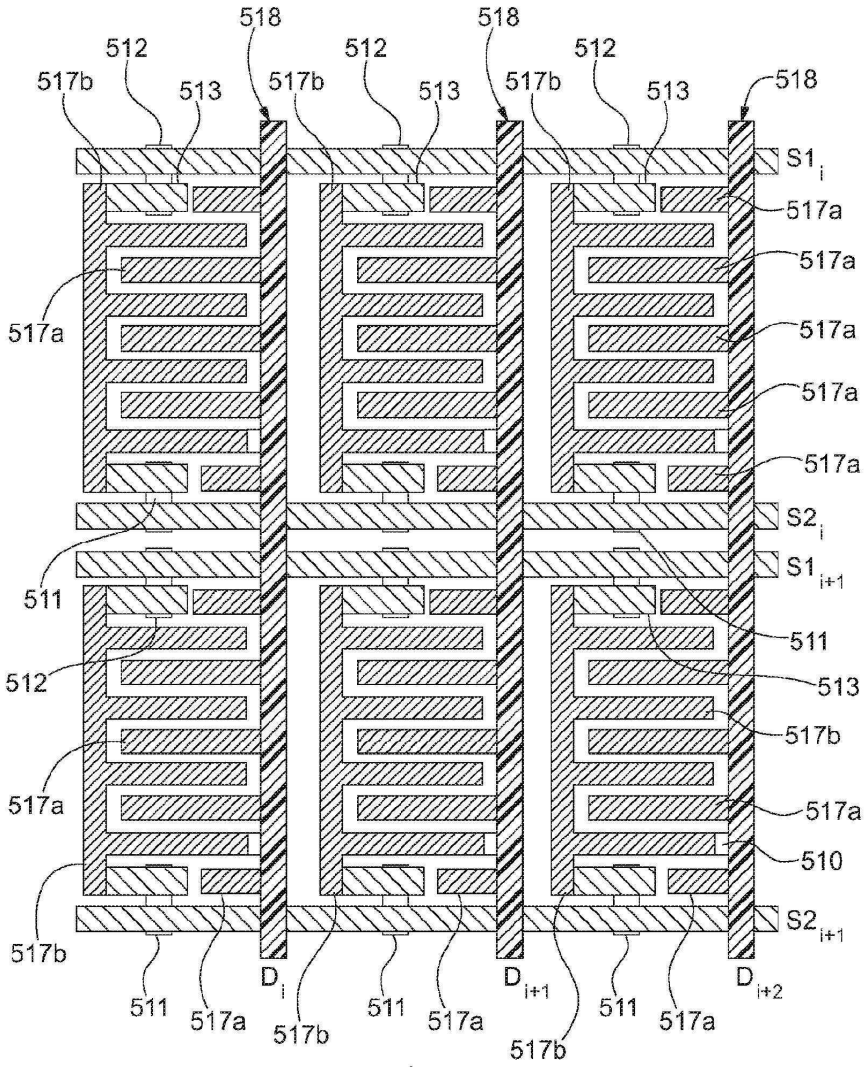
도면6a



도면6b



도면7a


518
512
517b
513
518
512
517b
513
518
512
517b
513
518
S1i
517a
517a
517a
517a
517a
517a
S2i
S1i+1
511
511
512
513
517b
517a
517a
510
S2i+1
517b
Di
Di+1
Di+2
511
517a
517b
511
517a
511
517a
517b

도면7b

