



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I421939 B

(45)公告日：中華民國 103 (2014) 年 01 月 01 日

(21)申請案號：098107312 (22)申請日：中華民國 98 (2009) 年 03 月 06 日

(51)Int. Cl. : **H01L21/3105(2006.01)** **H01L21/31 (2006.01)**

(30)優先權：2008/03/06 美國 12/043,772
 2008/03/06 美國 12/043,814
 2008/03/06 美國 12/043,835

(71)申請人：東京威力科創股份有限公司(日本) TOKYO ELECTRON LIMITED (JP)
 日本

(72)發明人：劉俊軍 LIU, JUNJUN (CN)；托馬 多羅 I TOMA, DOREL I. (US)；李 艾瑞克
 M LEE, ERIC M. (US)

(74)代理人：周良謀；周良吉

(56)參考文獻：

US 6596467B2	US 2003/0224544A1
US 2004/0018319A1	US 2004/0096593A1
US 2004/0096672A1	US 2004/0175957A1
US 2005/0085094A1	US 2007/0105401A1

審查人員：謝靜旻

申請專利範圍項數：42 項 圖式數：9 共 0 頁

(54)名稱

多孔性低介電常數介電膜之硬化方法

METHOD FOR CURING A POROUS LOW DIELECTRIC CONSTANT DIELECTRIC FILM

(57)摘要

一種基板上之低介電常數(低-k)介電膜的硬化方法，其中低-k 介電膜之介電常數係低於大約 4 之數值。該方法包含曝露低-k 介電膜至紅外線(IR)輻射及紫外線(UV)輻射。

A method of curing a low dielectric constant (low-k) dielectric film on a substrate is described, wherein the dielectric constant of the low-k dielectric film is less than a value of approximately 4. The method comprises exposing the low-k dielectric film to infrared (IR) radiation and ultraviolet (UV) radiation.

500 . . . 流程圖
510 . . . 在乾燥系統中乾燥介電膜
520 . . . 將介電膜曝露至紫外線(UV)輻射
530 . . . 將介電膜曝露至紅外線(IR)輻射

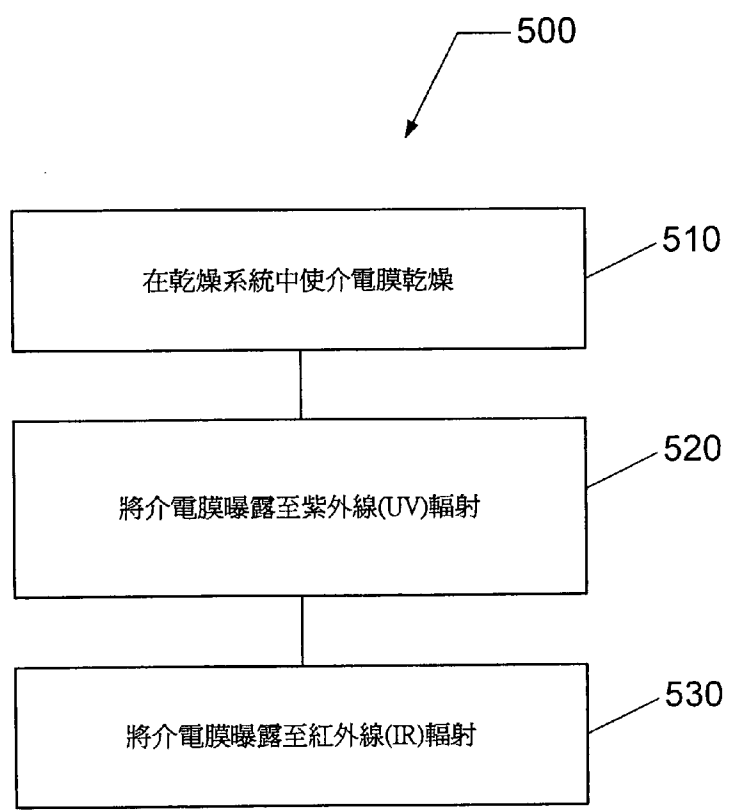


圖 1

發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：98107312

H01L 21/3105

(2006.01)

※申請日：98.3.06

※IPC 分類：

H01L 21/31

(2006.01)

一、發明名稱：(中文/英文)

多孔性低介電常數介電膜之硬化方法/

METHOD FOR CURING A POROUS LOW DIELECTRIC
CONSTANT DIELECTRIC FILM

二、中文發明摘要：

一種基板上之低介電常數(低-k)介電膜的硬化方法，其中低-k介電膜之介電常數係低於大約4之數值。該方法包含曝露低-k介電膜至紅外線(IR)輻射及紫外線(UV)輻射。

三、英文發明摘要：

A method of curing a low dielectric constant (low-k) dielectric film on a substrate is described, wherein the dielectric constant of the low-k dielectric film is less than a value of approximately 4. The method comprises exposing the low-k dielectric film to infrared (IR) radiation and ultraviolet (UV) radiation.

四、指定代表圖：

(一)本案指定代表圖為：第(1)圖。

(二)本代表圖之元件符號簡單說明：

500 流程圖

510 在乾燥系統中乾燥介電膜

520 將介電膜曝露至紫外線(UV)輻射

530 將介電膜曝露至紅外線(IR)輻射

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)

六、發明說明：

【相關申請案的交互參照】

[0001] 本申請案係相關於申請中之美國專利申請案第 11/269581 號，標題為「MULTI-STEP SYSTEM AND METHOD FOR CURING A DIELECTRIC FILM」，申請日期為 2005 年 11 月 9 日；以及美國專利申請案第 11/517358 號，標題為「THERMAL PROCESSING SYSTEM FOR CURING DIELECTRIC FILMS」，申請日期為 2006 年 9 月 8 日。更進一步而言，本申請案係相關於：共同申請中之美國專利申請案第 12/043814 號，標題為「METHOD FOR REMOVING A PORE-GENERATION MATERIAL FROM AN UNCURED LOW-K DIELECTRIC FILM」(TDC-007)，申請日期為於此相同之日期；共同申請中之美國專利申請案第 12/043835 號，標題為「POROUS SiCOH-CONTAINING DIELECTRIC FILM AND A METHOD OF PREPARING」(TDC-008)，申請日期為於此相同之日期；以及共同申請中之美國專利申請案第 12/043850 號，標題為「METHOD FOR TREATING DIELECTRIC FILM WITH INFRARED RADIATION」(TDC-009)，申請日期為於此相同之日期。這些申請案的整體內容藉由參考文獻方式合併於此。

【發明所屬之技術領域】

[0002] 本發明係關於一種用於處理介電膜的方法，且更具體而言，係關於一種利用電磁(EM)輻射來處理低介電常數(低-k)介電膜的方法。

【先前技術】

[0003] 如熟習半導體技藝者所知，互連延遲為在推動改善積體電路(IC)之速度及效能方面的主要限制因素。使互連延遲最小化之一方法為藉由使用低介電常數(低-k)材料作為用於 IC 裝置中的金屬線的絕緣介電質，而減少互連電容量。於是，近年來，低-k 材料已被發展成可取代具有相對高介電常數之絕緣材料，如二氧化矽。尤其，低-k 膜正被使用在半導體裝置中之金屬線間的層間及

層內介電層。此外，為了更加降低絕緣材料之介電常數，而形成具有孔洞之材料膜，亦即多孔性低-k 介電膜。可藉由近似於光阻之應用的旋塗式介電(spin-on dielectric, SOD)法，或藉由化學氣相沉積法(chemical vapor deposition, CVD)而沉積此低-k 膜。於是，可迅速調整此低-k 材料以用於現存的半導體製程。

[0004] 低-k 材料與更傳統之二氧化矽相比較不堅固，且隨著導入多孔性而使機械強度更加劣化。多孔性低-k 膜在電漿處理期間可輕易地被損毀，因此需要機械性強化製程。已知多孔性低-k 介電質之材料強度的加強對其成功的集成而言不可或缺。以機械性強化為目標而探索其他硬化技術，以使多孔性低-k 膜更堅固且適用於集成。

[0005] 聚合物的硬化包含為了在膜內造成交聯而處理使用例如旋塗或氣相沉積(如化學氣相沉積 CVD)技術所沉積之薄膜的製程。在硬化製程中，已知自由基的聚合反應為形成交聯的主要途徑。當聚合物鏈交聯時，改善了例如楊氏係數(Young's modulus)、膜硬度、破裂韌度及介面接著等機械性質，藉此改善低-k 膜之製造韌性。

[0006] 由於有各種形成具有超低介電常數之多孔性介電膜的對策，各膜之沉積後處理(硬化)的目的皆不同，包含例如去除濕氣、去除溶劑、燃盡用以在多孔性介電膜上形成孔洞的成孔劑、改善此膜之機械性質等等。

[0007] 對於 CVD 膜而言，習知地使低介電常數(低-k)材料在 300°C 至 400°C 之範圍內熱硬化。例如，爐硬化法已足以製成堅固、緻密之具有約大於 2.5 之介電常數的低-k 膜。然而，當處理具有高孔隙度之多孔性介電膜(如超低-k 膜)時，可使用熱處理(或熱硬化)達到之交聯程度，不再足以製成具有適當強度之韌性的互連結構用的膜層。

[0008] 在熱硬化期間，可在不損毀介電膜的情形下將一適當量之能量傳送至介電膜。然而，在所研究的溫度範圍內，僅可產生少量的自由基。由於熱能在熱量至基板的耦合中損失以及周圍環

境中之熱量損失，所以在待硬化之低-k 膜中實際上僅可吸收少量的熱能。因此，典型的低-k 爐硬化法需要高溫及長硬化時間。但即使具有高熱預算，熱硬化中缺乏起始劑的生成，以及在初沉積之低-k 膜中存有大量的甲基停止反應，可使其難以達到所需之交聯程度。

【發明內容】

[0009] 本發明係關於一種用於處理介電膜的方法，且更具體而言，係關於一種使低介電常數(低-k)介電膜硬化的方法。

[0010] 本發明更關於一種利用電磁(EM)輻射來處理低介電常數(低-k)介電膜的方法。

[0011] 依據一實施例，說明一種基板上之低介電常數(低-k)介電膜的硬化方法，其中低-k 介電膜之介電常數係小於大約 4 之數值。該方法包含將低-k 介電膜曝露至紅外線(IR)輻射及紫外線(UV)輻射。

[0012] 依據另一實施例，說明一種基板上之低介電常數(低-k)介電膜的硬化方法，其包含：在基板上形成低-k 介電膜；將低-k 介電膜曝露至第一紅外線(IR)輻射；在曝露至第一 IR 輻射之後，將低-k 介電膜曝露至紫外線(UV)輻射；以及在曝露至 UV 輻射之後，將低-k 介電膜曝露至第二紅外線(IR)輻射，其中低-k 介電膜之介電常數係小於大約 4 之數值。

[0013] 依據另一實施例，說明一種硬化基板上之低介電常數(低-k)介電膜的方法，其包含：在基板上形成低-k 介電膜，該低-k 介電膜包含結構形成材料及孔洞生成材料；曝露低-k 介電膜至紅外線(IR)輻射維持第一持續時間；以及在第一持續時間期間，曝露低-k 介電膜至紫外線(UV)輻射維持第二持續時間，其中第二持續時間為第一持續時間之一部分，且其中第二持續時間開始於第一持續時間開始後之第一時間，且結束於第一持續時間結束前之第二時間。

[0014] 仍依據另一實施例，說明一種基板上之低介電常數(低-k)介電膜的硬化方法，其包含：在基板上形成低-k 介電膜，該低-k

介電膜包含結構形成材料及孔洞生成材料；由低-k 介電膜實質上去除孔洞生成材料，以形成多孔性低-k 介電膜；在去除步驟之後，於多孔性低-k 介電膜中產生交聯起始劑；以及在產生交聯起始劑之後，交聯多孔性低-k 介電膜。

【實施方式】

[0023] 在以下之說明中，為了幫助對本發明之透徹瞭解以及說明性而非限制性之目的，將提出例如處理系統之特定構造與各構件及製程之敘述等等的具體細節。然而，吾人應瞭解，本發明可在這些具體細節以外的其他實施例中加以實現。

[0024] 發明人察覺替代性硬化方法係針對熱硬化本身的一些缺失。例如，當與熱硬化製程比較時，替代性硬化方法在能量傳遞方面更有效，且以高能粒子(如經加速的電子、離子、或中性粒子)之形式或高能光子之形式被發現的較高能階，可輕易激發低-k 介電膜中的電子，藉此有效地切斷化學鍵結且解離側基。這些替代性方法幫助生成交聯起始劑(自由基)，且可改善在實際交聯中所需之能量傳遞。因此，可在減低之熱預算下增加交聯的程度。

[0025] 此外，發明人已瞭解，當膜強度對於低-k 及超低-k(ultra-low-k,ULK)介電膜(介電常數小於約 2.5)成為更大的問題時，替代性硬化方法可改善此膜之機械性質。例如，可使用電子束(electron beam,EB)、紫外線(UV)輻射、紅外線(IR)輻射及微波(microwave,MW)輻射來硬化低-k 膜及 ULK 膜以改善機械強度，同時不犧牲介電性質及薄膜疏水性。

[0026] 然而，儘管 EB、UV、IR 及 MW 硬化均具有其本身的益處，這些技術亦仍具有限制。如 EB 及 UV 之高能量硬化源可提供用以產生過多的交聯用之交聯起始劑(自由基)的高能階，其導致在補充性基板加熱下之大幅改善機械性質。另一方面，電子及 UV 光子可造成化學鍵結無區分性的解離，其可能不利地降低膜層所需之物理及電性質，如喪失疏水性、增加殘留膜應力、孔洞結構崩壞、膜層緻密化及增加介電常數。此外，低能量硬化源(如 MW 硬化)可提供主要在熱傳遞效率上之顯著改善，但同時具有副作

用，如電弧放電或電晶體損壞(MW)。

[0027] 依據一實施例，說明硬化基板上之低介電常數(低-k)介電膜的方法，其中低-k 介電膜之介電常數小於約為 4 之數值。該方法包含將低-k 膜曝露至包含紫外線(UV)輻射及紅外線(IR)輻射的非離子化電磁(EM)輻射。UV 曝露可包含複數個 UV 曝露，其中各 UV 曝露可包含或不包含不同的強度、功率、功率密度、或波長範圍、或任何其二者或更多者的組合。IR 曝露可包含複數個 IR 曝露，其中各 IR 曝露可包含或不包含不同的強度、功率、功率密度、或波長範圍、或任何其二者或更多者的組合。

[0028] 在 UV 曝露期間，可藉由升高基板之溫度至約 200°C 至約 600°C 之範圍內的 UV 熱溫度而加熱低-k 介電膜。或者，UV 熱溫度在約 300°C 至約 500°C 的範圍內。或者，UV 熱溫度在約 350°C 至約 450°C 的範圍內。可藉由傳導加熱、對流加熱、或輻射加熱、或任何其二者或更多者的組合而進行基板的加熱。

[0029] 在 IR 曝露期間，可藉由升高基板之溫度至約 200°C 至約 600°C 之範圍內的 IR 熱溫度而加熱低-k 介電膜。或者，IR 熱溫度在約 300°C 至約 500°C 的範圍內。或者，IR 熱溫度在約 350°C 至約 450°C 的範圍內。可藉由傳導加熱、對流加熱、或輻射加熱、或任何其二者或更多者的組合而進行基板的熱能加熱。

[0030] 此外，可在 UV 曝露前、UV 曝露期間、或 UV 曝露後、或任何其二者或更多者的組合進行熱能加熱。再此外，可在 IR 曝露前、IR 曝露期間、或 IR 曝露後、或任何其二者或更多者的組合時進行熱能加熱。

[0031] 更進一步而言，可在 UV 曝露前、UV 曝露期間、或 UV 曝露後、或任何其二者或更多者的組合時進行 IR 曝露。再此外，可在 IR 曝露前、IR 曝露期間、或 IR 曝露後、或任何其二者或更多者的組合時進行 UV 曝露。

[0032] 在 UV 曝露或 IR 曝露或二者之前，可藉由升高基板之溫度至約 200°C 至約 600°C 之範圍內的預熱處理溫度而加熱低-k 介電膜。或者，預熱處理溫度在約 300°C 至約 500°C 的範圍內，且較

佳地，預熱處理溫度在約 350°C 至約 450°C 的範圍內。

[0033] 在 UV 曝露或 IR 曝露或二者之後，可藉由升高基板之溫度至約 200°C 至約 600°C 之範圍內的後熱處理溫度而加熱低-k 介電膜。或者，後熱處理溫度在約 300°C 至約 500°C 的範圍內。或者，後熱處理溫度在約 350°C 至約 450°C 的範圍內。

[0034] 現參照圖 1，依據另一實施例說明處理基板上之介電膜的方法。待處理之基板可為半導體、金屬導體、或任何介電膜將形成於其上之其他基板。介電膜可具有小於 SiO₂ 之介電常數(約為 4，例如熱二氧化矽之介電常數可在 3.8 至 3.9 的範圍內)的介電常數(乾燥及/或硬化前、或乾燥及/或硬化後、或二者)。在本發明之各種實施例中，介電膜可具有小於 3.0 之介電常數(乾燥及/或硬化前、或乾燥及/或硬化後、或二者)、小於 2.5 之介電常數、小於 2.2 之介電常數、或小於 1.7 之介電常數。

[0035] 可將介電膜說明為低介電常數(低-k)膜或超低-k 膜。介電膜可包含有機、無機、及有機-無機混合材料中之至少一者。此外介電膜可為多孔性或非多孔性。

[0036] 介電膜可包括例如含有結構形成材料及孔洞生成材料之單相或雙相多孔性低-k 膜。結構形成材料可包含由結構形成母核分出之原子、分子、或分子碎片。孔洞生成材料可包含由孔洞生成母核(例如成孔劑)分出之原子、分子、或分子碎片。單相或雙相多孔性低-k 膜在移除孔洞生成材料之前可具有較移除孔洞生成材料之後為高之介電常數。

[0037] 舉例而言，形成單相多孔性低-k 膜可包含：在基板之表面上沉積具有微弱地鍵結至結構形成分子之孔洞生成分子側基的結構形成分子。此外，例如形成雙相多孔性低-k 膜可包含在基板之表面上共聚合結構形成分子及孔洞生成分子。

[0038] 此外，介電膜可含有導致介電常數在乾燥及/或硬化前高於乾燥及/或硬化後的濕氣、水、溶劑及/或其他污染物。

[0039] 可使用如在來自東京威力科創(Tokyo Electron Limited, TEL)的商用 Clean Track ACT 8 SOD 及 ACT 12 SOD 鍍

膜系統中所提供之化學氣相沉積(chemical vapor deposition, CVD)技術、或旋塗介電(spin-on dielectric, SOD)技術，而形成介電膜。Clean Track ACT 8(200mm)及 ACT 12(300mm)鍍膜系統提供 SOD 材料用之鍍膜、烘烤、及硬化工具。可將 Track 系統配置成處理 100mm、200mm、300mm、及更大尺寸之基板。其他如熟悉旋塗介電技術及 CVD 介電技術者已知之用於在基板上形成介電膜的系統及方法適用於本發明。

[0040] 例如，介電膜可包含使用 CVD 技術所沉積之無機的矽酸鹽基材料，如氧化之有機矽烷(或有機矽氧烷)。此膜的實例包含來自 Applied Materials, Inc.之商用 Back Diamond™CVD 有機矽酸鹽玻璃(organosilicate glass, OSG)膜、或來自 Novellus Systems 之商用 Coral™CVD 膜。

[0041] 此外，例如多孔性介電膜可包含單相材料，如具有在硬化製程期間抑制交聯以產生小空隙(或孔洞)之末端有機側基的氧化矽基基質。此外，例如多孔性介電膜可包含雙相材料，如具有在硬化製程期間被分解及蒸發之有機材料的內含物(如成孔劑)之氧化矽基基質。

[0042] 此外，介電膜可包含使用 SOD 技術所沉積之無機矽酸鹽基材料，如氫矽倍半氧烷(hydrogen silsequioxane, HSQ)或甲基倍半氧矽烷(methyl silsequioxane, MSQ)。此膜的實例包含來自 Dow Corning 之商用 FOx HSQ、來自 Dow Corning 之商用 XLK 多孔性 HSQ、以及來自 JSR Microelectronics 之商用 JSR LKD-5109。

[0043] 此外尚有，介電膜可包含使用 SOD 技術所沉積之有機材料。此膜的實例包含來自 Dow Corning 之商用 FOx HSQ、來自 Dow Chemical 之商用 SiLK-I、SiLK-J、SiLK-H、SiLK-D、多孔性 SiLK-T、多孔性 SiLK-Y 及多孔性 SiLK-Z 半導體介電樹脂；以及來自 Honeywell 之商用 FLARE™、及 Nanoglass®。

[0044] 該方法包含由 510 中非必須地乾燥第一處理系統中之基板上的介電膜之步驟開始的流程圖 500。第一處理系統可包含被配置成移除或部份移除介電膜中之一或更多污染物的乾燥系統，

污染物包含例如濕氣、水、溶劑、孔洞生成材料、殘留孔洞生成材料、孔洞生成分子、孔洞生成分子之碎片、或任何其他可能妨礙隨後的硬化製程之污染物。

[0045] 在 520 中，將介電膜曝露至 UV 輻射下。UV 曝露可在第二處理系統中進行。第二處理系統可包含硬化系統，該硬化系統被配置成藉由造成或部份造成介電膜內之交聯，而執行 UV 促進之硬化以例如改善介電膜之機械性質。在乾燥製程之後，可在真空下將基板由第一處理系統傳送至第二處理系統俾使污染情形減至最低。

[0046] 將介電膜曝露至 UV 輻射可包含將介電膜曝露至來自一或更多 UV 燈、一或更多 UV 發光二極體(light emitting diodes, LEDs)、或一或更多 UV 雷射、或其中之二或更多者之組合的 UV 輻射。UV 輻射之波長可在約 100 奈米(nanometer, nm)至約 600nm 的範圍內。或者，UV 輻射之波長可在約 200nm 至約 400nm 的範圍內。或者，UV 輻射之波長可在約 150nm 至約 300nm 的範圍內。或者，UV 輻射之波長可在約 170nm 至約 240nm 的範圍內。或者，UV 輻射之波長可在約 200nm 至約 240nm 的範圍內。

[0047] 在將介電膜曝露至 UV 輻射的期間，可藉由升高基板之溫度至約 200°C 至約 600°C 之範圍內的 UV 熱溫度而加熱介電膜。或者，UV 熱溫度可在約 300°C 至約 500°C 的範圍內。或者，UV 熱溫度可在約 350°C 至約 450°C 的範圍內。或者，在將介電膜曝露至 UV 輻射之前或將介電膜曝露至 UV 輻射之後或二者時，可藉由升高基板之溫度而加熱介電膜。基板之加熱可包含傳導加熱、對流加熱、或輻射加熱、或其中任何二或更多者之組合。

[0048] 非必須地，在將介電膜曝露至 UV 輻射的期間，可將介電膜曝露至 IR 輻射。將介電膜曝露至 IR 輻射可包含將介電膜曝露至來自一或更多 IR 燈、一或更多 IR 發光二極體(light emitting diodes, LEDs)、或一或更多 IR 雷射、或其中之二或更多者之組合的 IR 輻射。IR 輻射之波長方面可在約 1 微米(micron)至約 25 微米的範圍內。或者，IR 輻射之波長可在約 200nm 至約 400nm 的範圍

內。或者，IR 輻射之波長可在約 2 微米至約 20 微米的範圍內。或者，IR 輻射之波長可在約 8 微米至約 14 微米的範圍內。或者，IR 輻射之波長可在約 8 微米至約 12 微米的範圍內。或者，IR 輻射之波長可在約 9 微米至約 10 微米的範圍內。

[0049] 在 530 中，將介電膜曝露至 IR 輻射。將介電膜曝露至 IR 輻射可包含將介電膜曝露至來自一或更多 IR 燈、一或更多 IR 發光二極體(light emitting diode, LED)、或一或更多 IR 雷射、或其二者或更多者之組合的 IR 輻射。IR 輻射之波長可在約 1 微米(micron)至約 25 微米的範圍內。或者，IR 輻射之波長可在約 200nm 至約 400nm 的範圍內。或者，IR 輻射之波長可在約 2 微米至約 20 微米的範圍內。或者，IR 輻射之波長可在約 8 微米至約 14 微米的範圍內。或者，IR 輻射之波長可在約 8 微米至約 12 微米的範圍內。或者，IR 輻射之波長可在約 9 微米至約 10 微米的範圍內。IR 曝露可在 UV 曝露之前、UV 曝露期間、或 UV 曝露之後、或其二者或更多者之組合時進行。

[0050] 再者，在將介電膜曝露至 IR 輻射之期間，可藉由升高基板之溫度至約 200°C 至約 600°C 之範圍內的 IR 熱溫度而加熱介電膜。或者，IR 熱溫度可位於約 300°C 至約 500°C 的範圍內。又或者，IR 熱溫度可位於約 350°C 至約 450°C 的範圍內。或者，在將介電膜曝露至 IR 輻射之前或將介電膜曝露至 IR 輻射之後或二者時，可藉由升高基板之溫度而加熱介電膜。基板之加熱可包含傳導加熱、對流加熱、或輻射加熱、或任何其二者或更多者的組合。

[0051] 如以上所述，在 IR 曝露期間，經由吸收 IR 能量而加熱介電膜。然而，加熱步驟可更包含藉由將基板置於基板支架上，且使用加熱裝置加熱基板支架，而傳導性地加熱基板。舉例而言，加熱裝置可包含電阻加熱元件。

[0052] 發明人已察覺可在硬化製程之不同階段期間改變所傳遞之能階(hv)。硬化製程可包含用於去除濕氣及/或污染物、去除孔洞生成材料、分解孔洞生成材料、產生交聯起始劑、介電膜之交聯、以及擴散交聯起始劑的機構。各機構可能需要不同的傳遞

能量至介電膜之能階及速率。

[0053] 舉例而言，在去除孔洞生成材料的期間，去除製程可由在 IR 波長吸收光子而促成。發明人已發現 IR 曝露比熱能加熱或 UV 曝露更有效地協助去除孔洞生成材料。

[0054] 此外，例如在去除孔洞生成材料的期間，去除製程可由分解孔洞生成材料加以協助。去除的製程可包含由 UV 曝露所補足之 IR 曝露。發明人已發現 IR 曝露可藉由解離孔洞生成材料(例如孔洞生成分子及/或孔洞生成分子碎片)與結構形成材料之間的鍵結，而促進具有 IR 曝露之去除製程。舉例而言，去除及/或分解之製程可由在 UV 波長(例如約 300nm 至約 450nm)下之光子吸收而受到幫助。

[0055] 再者，例如在產生交聯起始劑的期間，起始劑產生製程可藉由使用在結構形成材料內誘發鍵解離之光子及聲子而促成。發明人已發現起始劑產生製程可由 UV 曝露所促成。例如，鍵解離可需要具有小於或等於約 300 至 400nm 之波長的能階。

[0056] 仍更進一步而言，例如在交聯的期間，交聯製程可由足以形成及重組鍵結的熱能所促成。發明人已發現交聯可由 IR 曝露或熱能加熱或二者所促成。例如，形成及重組鍵結可能需要具有約 9 微米之波長的能階，該波長係例如對應至矽氧烷基有機矽酸鹽低-k 材料的主要吸收高峰。

[0057] 介電膜之乾燥製程、介電膜之 IR 曝露、以及介電膜之 UV 曝露可在相同之處理系統中進行，或各在分開的處理系統中進行。例如，乾燥製程可在第一處理系統中進行且 IR 曝露及 UV 曝露可在第二處理系統中進行。或者，例如介電膜之 IR 曝露可在與 UV 曝露不同的處理系統中進行。介電膜之 IR 曝露可在第三處理系統中進行，其中可在真空狀態下將基板由第二處理系統傳送至第三處理系統俾使污染情形降至最低。

[0058] 另外，在非必須之乾燥製程、UV 曝露製程、及 IR 曝露製程之後，可非必須地在用以改變已硬化之介電膜的後處理系統中對介電膜進行後處理。例如，後處理可包含對介電膜進行熱

處理。或者，例如後處理可包含在介電膜上旋轉塗佈或氣相沉積另一膜，俾提高其後之薄膜的黏著性或改善疏水性。或者，例如可藉由以離子輕微地衝擊介電膜而在後處理系統中達到黏著性的提昇。此外，後處理可包含執行一或更多的在介電膜上沉積另一膜、清潔介電膜、或將介電膜曝露至電漿中等製程。

[0059] 現參照圖 2，依據另一實施例說明處理基板上之介電膜的方法。該方法包含由 610 中在基板上形成如低-k 介電膜之介電膜之步驟開始的流程圖 600。非必須地，可執行乾燥製程以去除、或部份去除介電膜中之一或更多污染物，該污染物包含例如濕氣、溶劑、或任何其他可能妨礙製造高品質之低-k 介電膜、或執行隨後之製程的污染物。

[0060] 在 620 中，將介電膜曝露至第一 IR 輻射。舉例而言，將介電膜曝露至第一 IR 輻射可促進由介電膜全部去除或部份去除濕氣、水分、雜質、孔洞生成材料、殘留孔洞生成材料、包含孔洞生成分子及/或孔洞生成分子之碎片的孔洞生成材料、交聯抑制劑、或殘留交聯抑制劑、或其中之任何二或更多者的組合。可使介電膜持續曝露一段足夠長的時間，以由介電膜實質上去除所有濕氣、水分、雜質、孔洞生成材料、殘留孔洞生成材料、包含孔洞生成分子及/或孔洞生成分子之碎片的孔洞生成材料、交聯抑制劑、或殘留交聯抑制劑、或任何其二者或更多者的組合。

[0061] 將介電膜曝露至第一 IR 輻射可包含將介電膜曝露至多色 IR 輻射、單色 IR 輻射、脈波 IR 輻射、或連續波 IR 輻射、或其中之任何二或更多者的組合。例如，將介電膜曝露至第一 IR 輻射可包含將介電膜曝露至一或更多 IR 燈、一或更多 IR 發光二極體(light emitting diodes, LEDs)、或者一或更多 IR 雷射、或其中之組合。第一 IR 輻射可含有高達約 $20\text{W}/\text{cm}^2$ 之功率密度。例如，第一 IR 輻射可含有在約 $1\text{W}/\text{cm}^2$ 至約 $20\text{W}/\text{cm}^2$ 之範圍內的功率密度。第一 IR 輻射之波長可在約 1 微米至約 25 微米之範圍內。或者，第一 IR 輻射之波長可在約 2 微米至約 20 微米之範圍內。或者，第一 IR 輻射之波長可在約 8 微米至約 14 微米之範圍內。或

者，第一 IR 輻射之波長可在約 8 微米至約 12 微米之範圍內。或者，第一 IR 輻射之波長可在約 9 微米至約 10 微米之範圍內。可在第一 IR 曝露期間改變第一 IR 功率密度、或第一 IR 波長、或二者。

[0062] 非必須地，在第一 IR 曝露期間，可藉由升高基板之溫度至約 200°C 至約 600°C 之範圍內的第一 IR 熱處理溫度而加熱介電膜。或者，第一 IR 熱處理溫度可在約 300°C 至約 500°C 的範圍內。又或者，第一 IR 熱處理溫度可在約 350°C 至約 450°C 的範圍內。

[0063] 在 630 中，在第一 IR 曝露之後將介電膜曝露至 UV 輻射。例如，將基板曝露至 UV 輻射可促進在介電膜中生成交聯起始劑(或自由基)。

[0064] 將介電膜曝露至 UV 輻射可包含將介電膜曝露至多色 UV 輻射、單色 UV 輻射、脈波 UV 輻射、或連續波 UV 輻射、或其二者或更多者的組合。例如，將介電膜曝露至 UV 輻射可包含將介電膜曝露至源自於一或更多 UV 燈、一或更多 UV 發光二極體(LED)、或一或更多 UV 雷射、或其中之組合的 UV 輻射。UV 輻射可含有在約 0.1mW/cm² 至約 2000mW/cm² 之範圍內的功率密度。UV 輻射之波長可在約 100nm(nanometer)至約 600nm 之範圍內。或者，UV 輻射之波長可在約 200nm 至約 400nm 之範圍內。或者，UV 輻射之波長可在約 150nm 至約 300nm 之範圍內。或者，UV 輻射之波長可在約 170nm 至約 240nm 之範圍內。或者，UV 輻射之波長可在約 200nm 至約 240nm 之範圍內。

[0065] 非必須地，在 UV 曝露期間，可藉由升高基板之溫度至約 200°C 至約 600°C 之範圍內的 UV 熱處理溫度，而加熱介電膜。或者，UV 熱處理溫度可位於約 300°C 至約 500°C 的範圍內。又或者，UV 熱處理溫度可位於約 350°C 至約 450°C 的範圍內。

[0066] 在 640 中，將介電膜曝露至第二 IR 輻射。例如，將介電膜曝露至第二 IR 輻射可促成介電膜之交聯。

[0067] 將介電膜曝露至第二 IR 輻射可包含將介電膜曝露至多

色 IR 輻射、單色 IR 輻射、脈波 IR 輻射、或連續波 IR 輻射、或其中之任何二或更多者的組合。例如，將介電膜曝露至第二 IR 輻射可包含將介電膜曝露至一或更多 IR 燈、一或更多 IR 發光二極體(LED)、或者一或更多 IR 雷射、或其中之組合。第二 IR 輻射可含有高達約 $20\text{W}/\text{cm}^2$ 之功率密度。例如，第二 IR 輻射可含有在約 $1\text{W}/\text{cm}^2$ 至約 $20\text{W}/\text{cm}^2$ 之範圍內的功率密度。第二 IR 輻射之波長可位於約 1 微米至約 25 微米之範圍內。或者，第二 IR 輻射之波長可在約 2 微米至約 20 微米之範圍內。或者，第二 IR 輻射之波長可在約 8 微米至約 14 微米之範圍內。或者，第二 IR 輻射之波長可在約 8 微米至約 12 微米之範圍內。或者，第二 IR 輻射之波長可在約 9 微米至約 10 微米之範圍內。可在第二 IR 曝露期間改變第二 IR 功率密度、或第二 IR 波長、或二者。

[0068] 非必須地，在第二 IR 曝露期間，可藉由升高基板之溫度至約 200°C 至約 600°C 之範圍內的第二 IR 熱處理溫度而加熱介電膜。或者，第二 IR 熱處理溫度可在約 300°C 至約 500°C 的範圍內。又或者，第二 IR 熱處理溫度可在約 350°C 至約 450°C 的範圍內。

[0069] 非必須地，在第一 IR 曝露之至少一部分的期間，可將介電膜曝露至第二 UV 輻射。例如，將介電膜曝露至第二 UV 輻射可促進切斷或解離介電膜中之鍵結，以幫助去除上述之各種材料。第二 UV 輻射可含有約 $0.1\text{mW}/\text{cm}^2$ 至約 $2000\text{mW}/\text{cm}^2$ 之範圍內的功率密度。第二 UV 輻射之波長可在約 100nm 至約 600nm 之範圍內。或者，第二 UV 輻射之波長可在約 200nm 至約 400nm 之範圍內。或者，第二 UV 輻射之波長可在約 150nm 至約 300nm 之範圍內。或者，第二 UV 輻射之波長可在約 170nm 至約 240nm 之範圍內。或者，第二 UV 輻射之波長可在約 200nm 至約 240nm 之範圍內。

[0070] 非必須地，在 UV 曝露之至少一部分的期間，可將介電膜曝露至第三 IR 輻射。第三 IR 輻射可含有高達約 $20\text{W}/\text{cm}^2$ 之功率密度。例如，第三 IR 輻射可含有約 $1\text{W}/\text{cm}^2$ 至約 $20\text{W}/\text{cm}^2$ 之範

圍內的功率密度。第三 IR 輻射之波長可在約 1 微米至約 25 微米之範圍內。或者，第三 IR 輻射之波長可在約 2 微米至約 20 微米之範圍內。或者，第三 IR 輻射之波長可在約 8 微米至約 14 微米之範圍內。或者，第三 IR 輻射之波長可在約 8 微米至約 12 微米之範圍內。或者，第三 IR 輻射之波長可在約 9 微米至約 10 微米之範圍內。可在第三 IR 曝露期間改變第三 IR 功率密度、或第三 IR 波長、或二者。

[0071] 在 UV 曝露或第一 IR 曝露或二者之前，可藉由升高基板之溫度至約 200°C 至約 600°C 之範圍內的預熱處理溫度而加熱介電膜。或者，預熱處理溫度可在約 300°C 至約 500°C 的範圍內。再或者，預熱處理溫度可在約 350°C 至約 450°C 的範圍內。

[0072] 在 UV 曝露或第二 IR 曝露或二者之後，可藉由升高基板之溫度至約 200°C 至約 600°C 之範圍內的後熱處理溫度而加熱介電膜。或者，後熱處理溫度可在約 300°C 至約 500°C 的範圍內。再或者，後熱處理溫度可在約 350°C 至約 450°C 的範圍內。

[0073] 依據另一實施例，說明硬化基板上之低介電常數(低-k)膜的方法。該方法包含在基板上形成低-k 介電膜，其中低-k 介電膜包含結構形成材料及孔洞生成材料。維持第一持續時間之曝露低-k 介電膜至 IR 輻射。在第一持續時間中，維持第二持續時間之曝露低-k 介電膜至 UV 輻射，其中第二持續時間為第一持續時間之一部份，且其中第二持續時間係起始於第一持續時間開始之後的第一時間點，且終止於第一持續時間終止之前的第二時間點。

[0074] 參照圖 3，依據再另一實施例來說明硬化基板上之低介電常數(低-k)膜的方法。該方法包含由 710 中在基板上形成低-k 介電膜之步驟開始的流程圖 700，其中低-k 介電膜包含結構形成材料及孔洞生成材料。在 720 中，由低-k 介電膜實質上去除孔洞生成材料以形成多孔性低-k 介電膜。此外，在 720 中，可實質上去除交聯抑制劑。交聯抑制劑可包含濕氣、水分、雜質、孔洞生成材料、殘留孔洞生成材料、包含孔洞生成分子及/或孔洞生成分子之碎片的孔洞生成材料、或其二者或更多者的任何組合。

[0075] 在 730 中，去除孔洞生成材料之後，在多孔性低-k 介電膜中產生交聯起始劑。在 740 中，產生交聯起始劑之後，使多孔性低-k 介電膜之結構形成材料交聯。

[0076] 此外，該方法可非必須地包含切斷低-k 介電膜中的鍵結以促進清除。

[0077] 參照圖 4，再依據另一實施例來說明硬化基板上之低介電常數(低-k)膜的方法。該方法包含由 810 中在基板上形成低-k 介電膜開始的流程圖 800，其中低-k 介電膜包含結構形成材料及交聯抑制劑。交聯抑制劑可包含濕氣、水分、溶劑、雜質、孔洞生成材料、殘留孔洞生成材料、結構形成材料的微弱鍵結側基、孔洞生成分子、或孔洞生成分子之碎片、或其中之二或更多者的任何組合。例如，交聯抑制劑可包含孔洞生成材料，其中具有結構形成材料及交聯抑制劑的低-k 介電膜包含使基板之表面上的結構形成分子與孔洞生成分子共聚化。另外，例如交聯抑制劑可包含孔洞生成材料，其中具有結構形成材料及交聯抑制劑的低-k 介電膜包含在基板的表面上沉積結構形成分子，該結構形成分子具有微弱地鍵結至結構形成分子的孔洞生成分子側基。

[0078] 在 820 中，將低-k 介電膜曝露至 IR 輻射。將低-k 介電膜曝露至 IR 輻射可包含將低-k 介電膜曝露至多色 IR 輻射、單色 IR 輻射、脈波 IR 輻射、或連續波 IR 輻射、或其中之二或更多者的任何組合。將低-k 介電膜曝露至 IR 輻射可包含將低-k 介電膜曝露至具有約 8 微米至約 12 微米之波長的 IR 輻射。

[0079] 非必須地，可將低-k 介電膜曝露至 UV 輻射。將低-k 介電膜曝露至 UV 輻射可包含將低-k 介電膜曝露至多色 UV 輻射、單色 UV 輻射、脈波 UV 輻射、或連續波 UV 輻射、或其中之二或更多者的任何組合。將低-k 介電膜曝露至 UV 輻射可包含將低-k 介電膜曝露至具有約 100 奈米(nanometer)至約 600 奈米之波長的 UV 輻射。UV 曝露可在 IR 曝露之後。或者，可在 IR 曝露之部份或全部期間發生 UV 曝露。例如，在 IR 曝露期間發生之 UV 曝露可含有約 300 奈米至約 450 奈米之波長。

[0080] 在 830 中，調整交聯抑制劑的殘留量以調整低-k 介電膜之機械性質、低-k 介電膜之電性質、低-k 介電膜之光學性質、低-k 介電膜之孔尺寸、或低-k 介電膜之多孔性、或其中之二或更多者的組合。交聯抑制劑之殘留量可影響其他性質，包含碳濃度、疏水性、及電漿電阻。

[0081] 機械性質可包含彈性模數(E)、或硬度(H)、或二者。電性質可包含介電常數(k)。光學性質可包含折射率(n)。

[0082] 調整交聯抑制劑之殘留量可包含在 IR 曝露期間由低-k 介電膜實質上去除交聯抑制劑。例如，可在將低-k 介電膜曝露至 UV 輻射之前實質上去除交聯抑制劑。

[0083] 或者，調整交聯抑制劑之殘留量可包含調整 IR 曝露之持續時間、IR 曝露之 IR 強度、或 IR 曝露之 IR 劑量、或其二者或更多者的組合。

[0084] 或者，調整交聯抑制劑之殘留量可包含調整在 IR 曝露期間之 UV 曝露的持續時間、UV 曝露之 UV 強度、或 UV 曝露之 UV 劑量、或其二者或更多者的組合。

[0085] 該方法可更包含在 IR 曝露之後將低-k 介電膜曝露至 UV 輻射，及在 UV 曝露期間將低-k 介電膜曝露至第二 IR 輻射。另外，該方法可更包含在 UV 曝露之後將低-k 介電膜曝露至第三 IR 輻射。

[0086] 此外，該方法可包含在 IR 曝露之後將低-k 介電膜曝露至第一 UV 輻射，且在 IR 曝露期間將低-k 介電膜曝露至第二 UV 輻射，其中第二 UV 輻射係與第一 UV 輻射不同。調整交聯抑制劑之殘留量可包含調整在 IR 曝露期間之第二 UV 曝露的持續時間、第二 UV 曝露之 UV 強度、或第二 UV 曝露之 UV 劑量、或其中之二或更多者的組合。將介電膜曝露至第二 UV 輻射可包含約 300 奈米至約 450 奈米之波長。

[0087] 非必須地，可在 IR 曝露之前、IR 曝露期間、或 IR 曝露之後、或其中之二或更多者的組合時加熱低-k 介電膜。

[0088] 可在真空情況或受控制的大氣中進行 IR 處理。

[0089] 依據一實例，結構形成材料可包含二乙氧甲基矽烷 (diethoxymethylsilane, DEMS)，且孔洞生成材料可包含萜類 (terpene)、冰片烯 (norbornene)、5-二甲基-1,4-環辛二烯 (5-dimethyl-1,4-cyclooctadiene)、十氫化萘 (decahydronaphthalene)、乙苯 (ethylbenzene)、或檸檬油精 (limonene)、或其二者或更多者的組合。例如，孔洞生成材料可包含 α -萜品烯 (alpha-terpinene, ATRP)。

[0090] 依據另一實例，說明在基板上製備多孔性低-k 介電膜的方法。該方法包含：使用化學氣相沉積 (chemical vapor deposition, CVD) 製程在基板上形成含 SiCOH 介電膜，其中 CVD 製程使用 DEMS 及孔洞生成材料；曝露含 SiCOH 介電膜至 IR 輻射維持足夠長以實質上去除孔洞生成材料的第一持續時間；在 IR 曝露之後，曝露含 SiCOH 介電膜至 UV 輻射維持第二持續時間；以及在該第二持續時間之部份或全部期間加熱含 SiCOH 介電膜。

[0091] 將含 SiCOH 介電膜曝露至 IR 輻射可包含具有約 9 微米至約 10 微米 (例如 9.4 微米) 之波長的 IR 輻射。將含 SiCOH 介電膜曝露至 UV 輻射可包含具有約 170 奈米至約 240 奈米 (例如 222nm) 之波長的 UV 輻射。加熱含 SiCOH 介電膜可包含加熱基板至約 300°C 至約 500°C 之溫度。

[0092] IR 曝露及 UV 曝露可在分離的處理室中進行，或 IR 曝露及 UV 曝露可在相同的處理室中進行。

[0093] 孔洞生成材料可包含萜類、冰片烯、5-二甲基-1,4-環辛二烯、十氫化萘、乙苯、或檸檬油精、或其中之二或更多者的組合。例如，孔洞生成材料可包含 α -萜品烯 (ATRP)。

[0094] 表 1 提供了預計具有約 2.2 至 2.25 之介電常數的多孔性低-k 介電膜之資料。多孔性低-k 介電膜包含由 CVD 製程所形成之多孔性含 SiCOH 介電膜，該 CVD 製程係使用包括二乙氧甲基矽烷 (DEMS) 之結構形成材料及包括 α -萜品烯 (ATRP) 之孔洞生成材料。將「原始」之具有額定厚度 (埃, Angstrom, A) 及折射率 (n) 的含 SiCOH 介電膜曝露至 IR 輻射，而導致「IR 後」厚度 (A) 及「IR

後」折射率(n)。之後，將「IR後」含 SiCOH 介電膜曝露至 UV 輻射同時加熱，而導致「UV+加熱後」厚度(A)及「UV+加熱後」折射率(n)。

表 1

原始		IR後		UV+加熱		收縮率		UV	時間	k	E
厚度 (A)	n	厚度 (A)	n	厚度 (A)	n	IR 後 (%)	UV 後 (%)	(nm)	(min)		(GPa)
5860	1.498	5609	1.282	4837	1.34	4.3	17.5	172	10	2.29	5.37
5880	1.495	5644	1.291	5335	1.309	4	9.3	222	5	2.09	3.69
5951	1.492	5651	1.28	5285	1.309	5	11.2	222	10	2.11	4.44

[0095] 仍參照表 1，提供了 IR 後及 UV 後的膜厚度之收縮率(%)。此外，提供了 UV 之波長及 UV 曝露時間(分，min)。另外，還提供結果性之硬化多孔性低-k 介電膜的介電常數(k)及彈性模數(E)(GPa)。如表 1 所示，在 UV 輻射及加熱之前使用 IR 輻射導致介電常數低於 2.3，且低至 2.09。另外，可達到低介電常數(亦即 k=2.11)同時亦可達到可接受的機械性質(亦即 E=4.44 GPa)。

[0096] 為了比較性之目的，在不曝露至 IR 輻射的情況下，硬化使用相同之 CVD 製程所形成的含 SiCOH 介電膜。在無 IR 曝露的情形中，「UV+加熱後」折射率為約 1.408 至約 1.434，此結果明顯地較表 1 中所提供之結果為高。較高的折射率可指出膜層中之過量殘留孔洞生成材料，例如較低多孔性膜、及/或膜氧化。

[0097] 再依據另一實例，說明製備基板上之多孔性低-k 介電膜的方法。該方法包含：使用化學氣相沉積(CVD)製程在基板上形成含 SiCOH 介電膜，其中該 CVD 製程使用二乙氧甲基矽烷(DEMS)及孔洞生成材料；曝露含 SiCOH 介電膜至第一 IR 輻射維持足夠長之第一持續時間，以實質上去除孔洞生成材料；在第一 IR 曝露之後，曝露含 SiCOH 介電膜至 UV 輻射維持第二持續時間；在 UV 曝露期間，曝露含 SiCOH 介電膜至第二 IR 輻射維持第三持續

時間；以及在 UV 曝露之後，曝露含 SiCOH 介電膜至第三 IR 輻射維持第四持續時間。

[0098] 該方法可更包含在部份或全部之第二持續時間期間加熱含 SiCOH 介電膜。此外，第三持續時間可與第二持續時間重疊。

[0099] 將含 SiCOH 介電膜曝露至第一 IR 輻射可包含具有約 9 微米至約 10 微米(如 9.4 微米)之波長的 IR 輻射。將含 SiCOH 介電膜曝露至 UV 輻射可包含具有約 170 奈米至約 230 奈米(如 222 奈米)之波長的 UV 輻射。將含 SiCOH 介電膜曝露至第二 IR 輻射可包含具有約 9 微米至約 10 微米(如 9.4 微米)之波長的 IR 輻射。將含 SiCOH 介電膜曝露至第三 IR 輻射可包含具有約 9 微米至約 10 微米(如 9.4 微米)之波長的 IR 輻射。加熱含 SiCOH 介電膜可包含加熱基板至約 300°C 至約 500°C 之溫度。

[00100] 孔洞生成材料可包含萜類、冰片烯、5-二甲基-1,4-環辛二烯、十氫化萘、乙苯、或檸檬油精、或其中之二或更多者的組合。例如，孔洞生成材料可包含 α -萜品烯(ATRP)。

[00101] 表 2 提供了預計具有約 2.2 至 2.25 之介電常數的多孔性低-k 介電膜之資料。多孔性低-k 介電膜包含由 CVD 製程所形成之多孔性含 SiCOH 介電膜，該 CVD 製程係使用包括二乙氧甲基矽烷(DEMS)之結構形成材料及包括 α -萜品烯(ATRP)之孔洞生成材料。使用二製程硬化「原始」之具有額定厚度(埃，Angstrom, A)及折射率(n)的含 SiCOH 介電膜，即：(1)習知之 UV/熱能製程(亦即無 IR 曝露)；以及(2)將原始膜層曝露至 IR 輻射(9.4 微米)，然後曝露至 IR 輻射(9.4 微米)及 UV 輻射(222nm)，然後曝露至 IR 輻射(9.4 微米)之硬化製程。

表 2

原始		UV/熱處理後		收縮率	k	E	H
厚度	n	厚度	n	後-(%)		(GPa)	(GPa)
(A)		(A)					
6100	1.495	5350	1.329	13	2.2	4.51	0.45

原始		IR+UV/IR+IR後		收縮率	k	E	H
厚度 (A)	n	厚度 (A)	n	後-(%)		(GPa)	(GPa)
6137	1.488	5739	1.282	6.5	2.1	3.99	0.28
6107	1.5	5473	1.297	10.4	2.1	4.26	0.35
6173	1.498	5483	1.302	11.2	2.1	4.71	0.46
6135	1.499	5374	1.306	12.4	2.1	4.78	0.48

[00102] 表 2 提供了習知之 UV/熱能製程的「UV/熱處理後」厚度(A)及「UV/熱處理後」折射率(n)，以及 IR+UV/IR+IR 後製程的「IR+UV/IR+IR 後」厚度(A)及「IR+UV/IR+IR 後」折射率(n)。此外，提供了 UV/熱處理後及 IR+UV/IR+IR 後的膜厚度之收縮率(%)。另外，提供了結果性硬化多孔性低-k 介電膜之介電常數(k)、彈性模數(E)(GPa)及硬度(H)(GPa)。如表 2 所示，在 UV 輻射及加熱之前、以及 UV 曝露期間及之後使用 IR 輻射，導致介電常數低於 2.1。此外，可達到低介電常數(亦即 k=2.1)同時可達到可接受的機械性質，亦即 E=4.71GPa 且 H=0.46GPa。比較性地來說，IR+UV/IR+IR 硬化製程以較少之收縮率而產生較低之介電常數。另外，兩硬化製程之機械性質(E 及 H)係大約相同。

[00103] 因此，使用 IR 曝露及 UV 曝露可導致形成二乙氧甲基矽烷(DEMS)基之多孔性介電膜，其包含約 2.1 或更低之介電常數、約 1.31 或更低之折射率、約 4GPa 或更大之彈性模數、及約 0.45GPa 或更大之硬度。

[00104] 表 3 提供了預計具有大約 2 之介電常數的多孔性低-k 介電膜之資料。多孔性低-k 介電膜包含由 CVD 製程所形成之多孔性含 SiCOH 介電膜，該 CVD 製程係使用包括二乙氧甲基矽烷(DEMS)之結構形成材料及包括 α -萜品烯(ATRP)之孔洞生成材料。使用四製程硬化原始之含 SiCOH 介電膜，即：(1)習知之 UV/熱能製程(亦即無 IR 曝露)；(2)僅將原始膜層曝露至 IR 輻射(9.4 微米)之硬化製程；(3)在習知之 UV/熱能製程之前將原始膜層曝露

至 IR 輻射(9.4 微米)之硬化製程；以及(4) 將原始膜層曝露至 IR 輻射(9.4 微米)，然後曝露至 IR 輻射(9.4 微米)及 UV 輻射(222nm)，然後曝露至 IR 輻射(9.4 微米)之硬化製程。

表 3

製程類型	n	收縮率(%)	k	E(GPa)	H(GPa)
UV/熱能	1.275	33	1.92	2.52	0.28
僅IR	1.174	15	1.66	1.2	0.1
IR+UV/熱能	1.172	29	1.65	2.4	0.33
IR+UV/IR+IR	1.172	26	1.68	2.34	0.28
	1.164	29	1.66	2.08	0.25

[00105] 表 3 提供了硬化製程之每一者後的折射率(n)、收縮率(%)、介電常數(k)、彈性模數(E)(GPa)及硬度(H)(GPa)之結果。如表 3 所示，使用 IR 輻射(有或無 UV 輻射)導致介電常數低於 1.7(而非大於 1.9)。當僅使用 IR 輻射來硬化原始膜層時，可達到低介電常數(亦即 $k=1.66$)同時亦可達到可接受之機械性質，亦即 $E=1.2\text{GPa}$ 且 $H=0.1\text{GPa}$ 。然而，當使用 IR 輻射及 UV 輻射來硬化原始膜層時，可達到低介電常數(亦即 $k=1.68$)同時亦可達到經改善之機械性質，亦即 $E=2.34\text{GPa}$ 且 $H=0.28\text{GPa}$ 。此外，使用 IR 輻射之硬化製程以較小之膜厚度收縮率而產生較低之介電常數($k=1.66$ 至 1.68)。更進一步而言，當使用 IR 輻射時，可藉由使用 UV 輻射而改善機械性質(E 及 H)。

[00106] 因此，使用 IR 輻射及 UV 輻射可導致形成二乙氧甲基矽烷(DEMS)基之多孔性介電膜，其包含約 1.7 或更低之介電常數、約 1.17 或更低之折射率、約 1.5GPa 或更大之彈性模數、及約 0.2GPa 或更大之硬度。

[00107] 依據一實施例，圖 5A 顯示處理基板上之介電膜用的處理系統 1。處理系統 1 包含乾燥系統 20、及耦接至乾燥系統 20 之硬化系統 10。例如，乾燥系統 10 可用以將介電膜中之一或更多之污染物、孔洞生成材料、及/或交聯抑制劑去除或減少至足夠的

程度，該等污染物包含例如濕氣、水分、溶劑、雜質、孔洞生成材料、殘留孔洞生成材料、結構形成材料之微弱鍵結側基、孔洞生成分子、孔洞生成分子之碎片、交聯抑制劑、交聯抑制劑之碎片、或任何其他可能妨礙在硬化系統 10 中進行硬化製程的污染物。

[00108] 例如，從乾燥製程之前至乾燥製程之後充分地減少介電膜內出現之特定污染物，可包含將特定污染物減少約 10% 至 100%。污染物減少之程度可使用傅立葉轉換紅外線 (Fourier transform infrared, FTIR) 光譜法或質譜 (mass spectroscopy) 法加以測量。或者，例如可充分地使介電膜內出現之特定污染物減少 50% 至 100%。或者，例如可充分地使介電膜內出現之特定污染物減少 80% 至 100%。

[00109] 仍參照圖 5A，硬化系統 10 可用以為了例如改善介電膜之機械性質，而藉由在介電膜內造成或部份造成交聯來硬化介電膜。另外，硬化系統 10 可用以藉由造成或部份造成引發交聯、去除孔洞生成材料、分解孔洞生成材料等等而硬化介電膜。硬化系統 10 可包含一或更多輻射源，用以曝露具有介電膜之基板至多重電磁波長下的電磁 (electro-magnetic, EM) 輻射。例如，一或更多輻射源可包含紅外線 (IR) 輻射源及紫外線 (UV) 輻射源。可同時、循序、或部份互相重疊地進行曝露基板至 UV 輻射及 IR 輻射。在循序曝露期間，可例如在將基板曝露至 IR 輻射之前或將基板曝露至 IR 輻射之後或二者，將基板曝露至 UV 輻射。此外，在循序曝露期間，可例如在將基板曝露至 UV 輻射之前或將基板曝露至 UV 輻射之後或二者，將基板曝露至 IR 輻射。

[00110] 例如，IR 輻射可包含約 1 微米至 25 微米之 IR 輻射源。此外，例如 IR 輻射可在約 2 微米至約 20 微米之範圍內，或約 8 微米至約 14 微米之範圍內，或約 8 微米至約 12 微米之範圍內，或約 9 微米至約 10 微米之範圍內。此外，例如 UV 輻射可包含產生約 100 奈米 (nanometer, nm) 至約 600nm 之輻射的 UV 頻帶源。另外，例如 UV 輻射可在約 200nm 至約 400nm 之範圍內，或約 150nm 至約 300nm 之範圍內，或約 170nm 至約 240nm 之範圍內，

或約 200nm 至約 240nm 之範圍內。

[00111] 同樣地，如圖 5A 所示，可將傳送系統 30 耦接至乾燥系統 20，俾使傳送基板出入乾燥系統 20 及硬化系統 10，並與多重元件製造系統 40 交換基板。傳送系統 30 可傳送基板來往乾燥系統 20 及硬化系統 10 同時維持真空之環境。乾燥及硬化系統 20 及 10、以及傳送系統 30 可例如包含多重元件製造系統 40 內之處理元件。舉例而言，多重元件製造系統 40 可容許傳送基板來往處理元件，該等處理元件包含如蝕刻系統、沉積系統、塗佈系統、圖案系統、度量系統等等。為了隔離發生於第一及第二系統中之製程，可使用隔離組件 50 來耦接各系統。例如，隔離組件 50 可包含用以提供絕熱效果之至少一絕熱組件，以及用以提供真空隔絕之閘閥組件。乾燥及硬化系統 20 及 10、及傳送系統 30 可依任何順序配置。

[00112] 基板之 IR 曝露可在乾燥系統 20、或硬化系統 10、或分離的處理系統(未顯示)中進行。

[00113] 或者，在本發明之另一實施例中，圖 5B 顯示處理基板上之介電膜用的處理系統 100。處理系統 100 包含用於乾燥系統 110 及硬化系統 120 之「群組工具」配置。例如，乾燥系統 110 可用以將介電膜中之一或更多之污染物、孔洞生成材料、及/或交聯抑制劑去除或減少至足夠的程度，該等污染物包含例如濕氣、水分、溶劑、雜質、孔洞生成材料、殘留孔洞生成材料、結構形成材料之微弱鍵結側基、孔洞生成分子、孔洞生成分子之碎片、交聯抑制劑、交聯抑制劑之碎片、或任何其他可能妨礙在硬化系統 120 中進行硬化製程的污染物。

[00114] 此外，例如硬化系統 120 可用以在介電膜內造成或部份造成交聯來硬化介電膜，俾使例如改善介電膜之機械性質。另外，處理系統 100 可非必須地包含用以改變已硬化之介電膜的後處理系統 140。例如，後處理可包含在介電膜上旋轉塗佈或氣相沉積另一膜，以提昇隨後之膜層的黏著性或改善疏水性。或者，例如可利用藉由例如將基板曝露至電漿而以離子輕微衝擊介電膜的

方式，在後處理系統中達成黏著性的提昇。

[00115] 同樣地，如圖 5B 所示，可為了傳送基板出入乾燥系統 110 而將傳送系統 130 耦接至乾燥系統 110，且可為了傳送基板出入硬化系統 120 而耦接至硬化系統 120，且可為了傳送基板出入後處理系統 140 而耦接至後處理系統 140。傳送系統 130 可傳送基板來往乾燥系統 110、硬化系統 120 及非必須的後處理系統 140 同時維持真空之環境。

[00116] 此外，傳送系統 130 可與一或更多之基板匣(未顯示)交換基板。儘管圖 5B 僅顯示二或三個處理系統，其他包含例如蝕刻系統、沉積系統、塗佈系統、圖案系統、度量系統等等之處理系統仍可存取傳送系統 130。為了隔離發生在乾燥及硬化系統中之製程，可使用隔離組件 150 耦接各系統。例如，隔離組件 150 可包含用以提供熱隔絕之至少一絕熱組件，以及用以提供真空隔絕之閘閥組件。此外，例如傳送系統 130 可作為隔離組件 150 之一部份。

[00117] 基板之 IR 曝露可在乾燥系統 110、或硬化系統 120、或分離的處理系統(未顯示)中進行。

[00118] 或者，在本發明之另一實施例中，圖 5C 顯示處理基板上之介電膜用的處理系統 200。處理系統 200 包含乾燥系統 210、以及硬化系統 220。例如，乾燥系統 210 可用以將介電膜中之一或更多之污染物、膜生成材料、及/或交聯抑制劑去除、或減少至足夠的程度，該等污染物包含例如濕氣、水分、溶劑、雜質、孔洞生成材料、殘留孔洞生成材料、微弱地鍵結至結構形成材料之側基、孔洞生成分子、孔洞生成分子之碎片、交聯抑制劑、交聯抑制劑之碎片、或其他任何可能在硬化系統 220 中妨礙硬化製程之污染物。

[00119] 此外，例如硬化系統 220 可用以藉由造成或部份造成介電膜內之交聯而硬化介電膜，以例如改善介電膜之機械性質。另外，處理系統 200 可非必須地包含用以變更介電膜的後處理系統 240。例如，後處理可包含熱能加熱。此外，例如後處理可包含

在介電膜上旋轉塗佈或氣相沉積另一膜層，以提昇隨後之膜層的黏著性或改善疏水性。或者，例如可藉由例如曝露基板至電漿中而使離子輕微地衝擊介電膜，而在後處理系統中達到黏著性的提昇。

[00120] 可將乾燥系統 210、硬化系統 220、及後處理系統 240 作成水平配置或垂直配置(亦即堆疊)。並且，如圖 5C 所示，可將傳送系統 230 耦接至乾燥系統 210 以傳送基板進出乾燥系統 210；可將傳送系統 230 耦接至硬化系統 220 以傳送基板進出硬化系統 220；以及可將傳送系統 230 耦接至後處理系統 240 以傳送基板進出後處理系統 240。傳送系統 230 可傳送基板來往乾燥系統 210、硬化系統 220 及非必須的後處理系統 240，同時維持真空之環境。

[00121] 此外，傳送系統 230 可與一或更多之基板匣(未顯示)交換基板。儘管圖 5C 僅顯示三處理系統，其他包含例如蝕刻系統、沉積系統、塗佈系統、圖案系統、度量系統等等之處理系統仍可存取傳送系統 230。為了隔離發生在第一及第二系統中之製程，可使用隔離組件 250 耦接各系統。例如，隔離組件 250 可包含用以提供熱隔絕之至少一絕熱組件，以及用以提供真空隔絕之閘閥組件。此外，例如傳送系統 230 可作為隔離組件 250 之一部份。

[00122] 基板之 IR 曝露可在乾燥系統 210、或硬化系統 220、或分離的處理系統(未顯示)中進行。

[00123] 圖 5A 所示的處理系統 1 之乾燥系統 20 及硬化系統 10 中之至少一者包含至少二傳送開口，以容許基板通過該處。例如，如圖 5A 所示，乾燥系統 20 包含二傳送開口，第一傳送開口容許基板在乾燥系統 20 與傳送系統 30 之間傳送，且第二傳送開口容許基板在乾燥系統 20 與硬化系統 10 之間傳送。然而，關於圖 5B 所述之處理系統 100 及圖 5C 所示之處理系統 200，各處理系統 110、120、140 及 210、220、240 分別包含至少一傳送開口，以容許基板通過該處。

[00124] 現參照圖 6，依據本發明之另一實施例而顯示乾燥系

統 300。乾燥系統 300 包含用以產生乾燥置於基板支架 320 上之基板 325 用的潔淨、無污染物之環境的乾燥室 310。乾燥系統 300 可包含耦接至乾燥室 310 或基板支架 320 的熱處理裝置 330，且其係用以藉由升高基板 325 之溫度而蒸發污染物，例如濕氣、水分、殘留溶劑等等。另外，乾燥系統 300 可包含耦接至乾燥室 310 之微波處理裝置 340，且其係用以在具有振盪電場的情形下局部地加熱污染物。乾燥系統可利用熱處理裝置 330、或微波處理裝置 340、或二者以協助乾燥基板 325 上之介電膜。

[00125] 熱處理裝置 330 可包含嵌入基板支架 320 之一或更多傳導性加熱元件，其係耦接至電源及溫度控制器。舉例而言，各加熱元件可包含耦接至用以供給電力之電源的電阻加熱元件。或者，熱處理裝置 330 可包含耦接至電源及控制器之一或更多輻射性加熱元件。舉例而言，各輻射性加熱元件可包含耦接至用以供給電力之電源的加熱燈。基板 325 之溫度可在例如約 20°C 至約 600°C 之範圍內，且較佳地，該溫度可在約 200°C 至約 600°C 之範圍內。例如，基板 325 之溫度可在約 300°C 至約 500°C、或 350°C 至約 450°C 之範圍內。

[00126] 微波處理源 340 可包含用以透過頻率之頻寬掃描微波頻率的可變頻率微波源。頻率變化避免了電荷增加且因此容許微波乾燥技術無損害地應用在靈敏的電子裝置上。

[00127] 在一實例中，乾燥系統 300 可包含結合可變頻率微波裝置及熱處理裝置之乾燥系統，例如來自 Lambda Technologies, Inc. (860 Aviation Parkway, Suite 900, Morrisville, NC 27560) 的商業用微波爐。

[00128] 基板支架 320 可用以或不用以夾持基板 325。例如，基板支架 320 可用以機械性或電氣性地夾持基板 325。

[00129] 更進一步而言，乾燥系統可包含用於曝露基板 325 至 IR 輻射之 IR 輻射源。

[00130] 再次參照圖 6，乾燥系統 300 可更包含耦接至乾燥室之氣體噴射系統 350，且其係用以將沖洗氣體引導至乾燥室 310。

沖洗氣體可例如包含惰性氣體，如稀有氣體或氮氣。此外，乾燥系統 300 可包含耦接至乾燥室 310 之真空泵系統 355，且其係用以排空乾燥室 310。在乾燥製程期間，可使基板 325 處於具有或不具真空條件之惰性氣體環境。

[00131] 另外，乾燥系統 300 可包含控制器 360，其係耦接至乾燥室 310、基板支架 320、熱處理裝置 330、微波處理裝置 340、氣體噴射系統 350、及真空泵系統 355。控制器 360 包含微處理器、記憶體、以及數位 I/O 埠，該等能產生控制電壓，該控制電壓係足以通信及啟動對乾燥系統 300 之輸入、而且監控來自乾燥系統 300 之輸出。使用儲存於記憶體中之程式用以依據所儲存之製程配方與乾燥系統 300 互動。可使用控制器 360 來配置任何數目之處理元件(310、320、330、340、350、或 355)，且控制器 360 可收集、提供、處理、儲存、及顯示來自處理元件之資料。控制器 360 可包含用於控制一或更多處理元件的許多應用方式。例如，控制器 360 可包含圖形使用者介面(graphic user interface, GUI)構件(未顯示)，其可提供讓使用者得以監控及/或控制一或更多處理元件的介面。

[00132] 現參照圖 7，依據本發明之另一實施例而顯示硬化系統 400。硬化系統 400 包含用以產生硬化置於基板支架 420 上之基板 425 用的潔淨、無污染物之環境的硬化室 410。硬化系統 400 更包含一或更多輻射源，其係用以將具有介電膜之基板 425 曝露至單一、多重、窄頻帶、或寬頻帶電磁波長的電磁(electro-magnetic, EM)輻射。一或更多輻射源可包含非必須的 IR 輻射源 440 及 UV 輻射源 445。可同時、依序、或互相重疊地使基板曝露至 UV 輻射及非必須的 IR 輻射中。

[00133] IR 輻射源 440 可包含寬頻帶 IR 源(如多色性)，或可包含窄頻帶 IR 源(如單色性)。IR 輻射源可包含一或更多 IR 燈、一或更多 IR LED、或一或更多 IR 雷射(連續波, continuous wave(CW)、可調式、或脈波)、或其任何組合。IR 功率密度可高達約 $20\text{W}/\text{cm}^2$ 。舉例而言，IR 功率密度可在約 $1\text{W}/\text{cm}^2$ 至約

20W/cm² 的範圍內。IR 輻射波長可在約 1 微米至約 25 微米的範圍內。或者，IR 輻射波長可在約 8 微米至約 14 微米的範圍內。或者，IR 輻射波長可在約 8 微米至約 12 微米的範圍內。或者，IR 輻射波長可在約 9 微米至約 10 微米的範圍內。例如，IR 輻射源 440 可包含 CO₂ 雷射系統。此外，例如 IR 輻射源 440 可包含具有約 1 微米至約 25 微米之光譜輸出的 IR 元件，如陶瓷元件或碳化矽元件；或者 IR 輻射源 440 可包含具有光參數放大之半導體雷射(二極體)；或離子、鈦藍寶石(Ti:sapphire)雷射；或染料雷射。

[00134] UV 輻射源 445 可包含寬頻帶 UV 源(如多色性)，或可包含窄頻帶 UV 源(如單色性)。UV 輻射源可包含一或更多 UV 燈、一或更多 UV LED、或一或更多 UV 雷射(連續波(CW)、可調式、或脈波)、或其任何組合。舉例而言，UV 輻射可由微波源、電弧放電、介電障壁放電、或電子衝擊生成等而產生。UV 功率密度可在約 0.1mW/cm² 至約 2000mW/cm² 的範圍內。UV 波長可在約 100 奈米(nm)至約 600nm 的範圍內。或者，UV 輻射波長可在約 200nm 至約 400nm 的範圍內。或者，UV 輻射波長可在約 150nm 至約 300nm 的範圍內。或者，UV 輻射波長可在約 170nm 至約 240nm 的範圍內。或者，UV 輻射波長可在約 200nm 至約 240nm 的範圍內。舉例而言，UV 輻射源 445 可包含具有約 180nm 至約 500nm 之光譜輸出的直流(DC)或脈波燈，如氘(D₂)燈；或者 UV 輻射源 445 可包含半導體雷射(二極體)、(氬)氣體雷射、三倍(或四倍)頻 Nd:YAG 雷射、或銅蒸氣雷射。

[00135] IR 輻射源 440、或 UV 輻射源 445、或二者可包含任何數目之光學裝置以調整一或更多輸出輻射之性質。舉例而言，各輻射源可更包含濾光器、光透鏡、擴束器(beam expander)、射柱準直儀(beam collimator)等等。此種如熟悉光學及電磁波傳播之技藝者已知的光學操作裝置係適用於本發明。

[00136] 基板支架 420 可更包含可用以升高級/或控制基板 425 之溫度的溫度控制系統。溫度控制系統可為熱處理裝置 430 之一部份。基板支架 420 可包含嵌入基板支架 420 內之一或更多傳導

性加熱元件，其係耦接至電源及溫度控制器。舉例而言，各加熱元件可包含耦接至用以供給電力之電源的電阻加熱元件。基板支架 420 可非必須地包含一或更多輻射性加熱元件。基板 425 之溫度可在例如約 20°C 至約 600°C 的範圍內，且較佳地，該溫度可在約 200°C 至約 600°C 的範圍內。例如，基板 425 之溫度可在約 300°C 至約 500°C 的範圍，或約 350°C 至約 450°C 的範圍內。

[00137] 此外，基板支架 420 可用以或不用以夾持基板 425。例如，基板支架 420 可用以機械性或電力性地夾持基板 425。

[00138] 再次參照圖 7，硬化系統 400 可更包含耦接至硬化室 410 的氣體噴射系統 450，且其係用以將沖洗氣體導引至硬化室 410。沖洗氣體可例如包含惰性氣體，如稀有氣體或氮氣。或者，沖洗氣體可包含其他氣體，例如 H_2 、 NH_3 、 C_xH_y 、或任何其組合。此外，硬化系統 400 可更包含耦接至硬化室 410 之真空泵系統 455，且其係用以排空硬化室 410。在硬化製程期間，可使基板 425 處於具有或不具真空條件之沖洗氣體環境。

[00139] 此外，硬化系統 400 可包含控制器 460，其係耦接至硬化室 410、基板支架 420、熱處理裝置 430、IR 輻射源 440、UV 輻射源 445、氣體噴射系統 450、以及真空泵系統 455。控制器 460 包含微處理器、記憶體、以及數位 I/O 埠，該等能產生控制電壓，該控制電壓係足以通信及啟動對硬化系統 400 之輸入、而且監控來自硬化系統 400 之輸出。使用儲存於記憶體中之程式俾依據所儲存之製程配方與硬化系統 400 互動。可使用控制器 460 來配置任何數目之處理元件(410、420、430、440、445、450、或 455)，且控制器 460 可收集、提供、處理、儲存、及顯示來自處理元件之資料。控制器 460 可包含用於控制一或更多處理元件的許多應用方式。例如，控制器 460 可包含圖形使用者介面(GUI)構件(未顯示)，其可提供讓使用者得以監控及/或控制一或更多處理元件的便利介面。

[00140] 控制器 360 及 460 可以 DELL PRECISION WORKSTATION 610™ 的形式實施。控制器 360 及 460 亦可以一

般目的之電腦、處理器、數位信號處理器等等的形式實施，該形式導致基板處理設備因應控制器 360 及 460 執行容納於電腦可讀式媒體中的一或更多指令之一或更多程序，而執行本發明之部份或全部的處理步驟。電腦可讀式媒體或記憶體係用於保有依據本發明之教示而設計的指令，以及用於容納資料結構、圖表、紀錄、或其他於此說明之資料。電腦可讀式媒體之實例為光碟、硬式磁碟、軟性磁碟、磁光碟、PROM(EPROM、EEPROM、快閃 EPROM)、DRAM、SRAM、SDRAM、或任何其他磁性媒體、光碟(例如 CD-ROM)、或任何其他光學媒體、打孔卡、紙帶、或其他具有孔洞、載波(以下說明)等形式之物理性媒體、或任何其他電腦可讀取之媒體。

[00141] 可將控制器 360 及 460 設置在關於乾燥系統 300 及硬化系統 400 之附近處，或經由網際網路或內部網路設置在關於乾燥系統 300 及硬化系統 400 之遠處。於是，控制器 360 及 460 可使用至少一直接連線、內部網路、以及網際網路，而與乾燥系統 300 及硬化系統 400 交換資料。可將控制器 360 及 460 耦接至位於顧客位置之內部網路(亦即裝置製造商等等)，或耦接至位於販售商位置之內部網路(亦即設備製造商等等)。另外，另一電腦(亦即控制器、伺服器等等)可存取控制器 360 及 460，以經由至少一直接連線、內部網路、以及網際網路來交換資料。

[00142] 另外，本發明之實施例可作為或用以支援在一些形式之處理核心(如電腦之處理器，例如控制器 360 或 460)上執行，或另一方面在機器可讀式媒體上或其中實施或實現的軟體程式。機器可讀式媒體包含任何用於以可被機器讀取之形式儲存資訊的機構(例如電腦)。舉例而言，機器可讀式媒體可包含例如以下之媒體：唯讀記憶體(read only memory, ROM)、隨機存取記憶體(random access memory, RAM)、磁碟儲存媒體、光學儲存媒體、以及快閃記憶體裝置等等。

[00143] 儘管在以上之細節中已說明本發明之一些實施例，熟悉此技藝者將易於察覺：在實質上不背離本發明之新穎教示及優

點的情況下，仍可能有許多變化例。因此，計畫將所有此變化例包含於本發明之範圍內。

【圖式簡單說明】

[0015] 在隨附圖式中：

[0016] 圖 1 為依據實施例，處理介電膜的方法之流程圖；

[0017] 圖 2 為依據另一實施例，處理介電膜的方法之流程圖；

[0018] 圖 3 為依據另一實施例，處理介電膜的方法之流程圖；

[0019] 圖 4 為依據另一實施例，處理介電膜的方法之流程圖；

[0020] 圖 5A 至 5C 為依據實施例，乾燥系統及硬化系統用之傳遞系統的概略圖；

[0021] 圖 6 為依據另一實施例之乾燥系統的概略橫剖面圖；及

[0022] 圖 7 為依據另一實施例之硬化系統的概略橫剖面圖。

【主要元件符號說明】

- 1 處理系統
- 10 硬化系統
- 20 乾燥系統
- 30 傳送系統
- 40 多重元件製造系統
- 50 隔離組件
- 100 處理系統
- 110 乾燥系統
- 120 硬化系統
- 130 傳送系統
- 140 後處理系統
- 150 隔離組件
- 200 處理系統
- 210 乾燥系統
- 220 硬化系統
- 230 傳送系統

- 240 後處理系統
- 250 隔離組件
- 300 乾燥系統
- 310 乾燥室
- 320 基板支架
- 325 基板
- 330 熱處理裝置
- 340 微波處理裝置
- 350 氣體噴射系統
- 355 真空泵系統
- 360 控制器
- 400 硬化系統
- 410 硬化室
- 420 基板支架
- 425 基板
- 430 熱處理裝置
- 440 IR 輻射源
- 445 UV 輻射源
- 450 氣體噴射系統
- 455 真空泵系統
- 460 控制器
- 500 流程圖
- 510 在乾燥系統中使介電膜乾燥
- 520 將介電膜曝露至紫外線(UV)輻射
- 530 將介電膜曝露至紅外線(IR)輻射
- 600 流程圖
- 610 在基板上形成低-k 介電膜
- 620 將低-k 介電膜曝露至第一紅外線(IR)輻射
- 630 將低-k 介電膜曝露至紫外線(IR)輻射
- 640 將低-k 介電膜曝露至第二紅外線(IR)輻射

- 700 流程圖
- 710 在基板上形成低-k 介電膜，該低-k 介電膜包含結構形成材料及孔洞生成材料
- 720 由低-k 介電膜實質上去除孔洞生成材料，以形成多孔性低-k 介電膜
- 730 在多孔性低-k 介電膜中形成起始劑
- 740 交聯多孔性低-k 介電膜
- 800 流程圖
- 810 在基板上形成低-k 介電膜，該低-k 介電膜包含結構形成材料及交聯抑制劑
- 820 將介電膜曝露至 IR 輻射
- 830 調整交聯抑制劑之殘留量

102年7月22日修正
劃線頁(※)

七、申請專利範圍

1. 一種基板上之低介電常數(低-k)介電膜的硬化方法，包含：

在一基板上形成一低-k 介電膜，其中該低-k 介電膜包含一結構形成材料及一孔洞生成材料；

將該低-k 介電膜曝露至一第一紅外線(IR)輻射，其中該第一 IR 輻射造成由該低-k 介電膜實質上去除該孔洞生成材料，以形成一多孔性低-k 介電膜；

在該曝露至該第一 IR 輻射之步驟之後，將該低-k 介電膜曝露至一紫外線(UV)輻射，其中該 UV 輻射造成在該去除步驟之後，於該多孔性低-k 介電膜中產生交聯起始劑；以及

在該曝露至該 UV 輻射之步驟之後，將該低-k 介電膜曝露至一第二紅外線(IR)輻射，其中該第二 IR 輻射造成在該產生該交聯起始劑之步驟後，交聯該多孔性低-k 介電膜，且

其中該低-k 介電膜之一介電常數係小於大約 4 之一數值。

2. 如申請專利範圍第 1 項之基板上之低介電常數(低-k)介電膜的硬化方法，更包含：

在該第一 IR 曝露期間，藉由升高該基板之一溫度至一第一 IR 熱處理溫度而加熱該低-k 介電膜，該第一 IR 熱處理溫度係在約 200°C 至約 600°C 之範圍內。

3. 如申請專利範圍第 2 項之基板上之低介電常數(低-k)介電膜的硬化方法，其中該第一 IR 熱處理溫度在約 350°C 至約 450°C 之範圍內。

4. 如申請專利範圍第 1 項之基板上之低介電常數(低-k)介電膜的硬化方法，更包含：

在該 UV 曝露期間，藉由升高該基板之一溫度至一 UV 熱溫度而加熱該低-k 介電膜，該 UV 熱溫度係在約 200°C 至約 600°C 之範圍內。

5. 如申請專利範圍第 4 項之基板上之低介電常數(低-k)介電膜的硬化方法，其中該 UV 熱溫度在約 300°C 至約 500°C 之範圍內。

6. 如申請專利範圍第 1 項之基板上之低介電常數(低-k)介電膜的硬化方法，更包含：

在該第二 IR 曝露期間，藉由升高該基板之一溫度至一第二 IR 熱處理溫度而加熱該低-k 介電膜，該第二 IR 熱處理溫度係在約 200°C 至約 600°C 之範圍內。

7. 如申請專利範圍第 6 項之基板上之低介電常數(低-k)介電膜的硬化方法，其中該第二 IR 熱處理溫度在約 350°C 至約 450°C 之範圍內。

8. 如申請專利範圍第 1 項之基板上之低介電常數(低-k)介電膜的硬化方法，其中該第一 IR 曝露係於與該 UV 曝露不同之一處理系統中進行。

9. 如申請專利範圍第 1 項之基板上之低介電常數(低-k)介電膜的硬化方法，其中該第一 IR 曝露係於與該 UV 曝露相同之處理系統中進行。

10. 如申請專利範圍第 1 項之基板上之低介電常數(低-k)介電膜的硬化方法，其中該曝露該低-k 介電膜至 UV 輻射之步驟包含曝露該低-k 介電膜至多色 UV 輻射、單色 UV 輻射、脈波 UV 輻射、或連續波 UV 輻射、或其二者或更多者的一組合。

11. 如申請專利範圍第 1 項之基板上之低介電常數(低-k)介電膜的硬化方法，其中該曝露該低-k 介電膜至 UV 輻射之步驟包含曝露該低-k 介電膜至來自一或更多 UV 燈、一或更多 UV LEDs、或一

或更多 UV 雷射、或其二者或更多者之一組合的 UV 輻射。

12. 如申請專利範圍第 1 項之基板上之低介電常數(低-k)介電膜的硬化方法，其中該曝露該低-k 介電膜至 UV 輻射之步驟包含曝露該低-k 介電膜至具有約 200 奈米至約 400 奈米之波長的 UV 輻射。

13. 如申請專利範圍第 1 項之基板上之低介電常數(低-k)介電膜的硬化方法，其中該曝露該低-k 介電膜至 UV 輻射之步驟包含曝露該低-k 介電膜至具有約 200 奈米至約 240 奈米之波長的 UV 輻射。

14. 如申請專利範圍第 1 項之基板上之低介電常數(低-k)介電膜的硬化方法，其中該曝露該低-k 介電膜至該第一 IR 輻射之步驟包含曝露該低-k 介電膜至多色 IR 輻射、單色 IR 輻射、脈波 IR 輻射、或連續波 IR 輻射、或其二者或更多者之一組合。

15. 如申請專利範圍第 1 項之基板上之低介電常數(低-k)介電膜的硬化方法，其中該曝露該低-k 介電膜至該第一 IR 輻射之步驟包含曝露該低-k 介電膜至來自一或更多 IR 燈、一或更多 IR LED、或一或更多 IR 雷射、或其二者或更多者之一組合的 UV 輻射。

16. 如申請專利範圍第 1 項之基板上之低介電常數(低-k)介電膜的硬化方法，其中該曝露該低-k 介電膜至該第一或第二 IR 輻射之步驟包含曝露該低-k 介電膜至具有約 8 微米至約 12 微米之波長的 IR 輻射。

17. 如申請專利範圍第 1 項之基板上之低介電常數(低-k)介電膜的硬化方法，其中該曝露該低-k 介電膜至 UV 輻射之步驟更包含：

在該 UV 曝露之至少一部分期間曝露該低-k 介電膜至一第三 IR 輻射。

18. 如申請專利範圍第 17 項之基板上之低介電常數(低-k)介電膜的硬化方法，其中該曝露該低-k 介電膜至該第三 IR 輻射之步驟包含曝露該低-k 介電膜至具有約 8 微米至約 12 微米之波長的 IR 輻射。

19. 如申請專利範圍第 1 項之基板上之低介電常數(低-k)介電膜的硬化方法，更包含：

在該第二 IR 曝露之後，藉由執行下列一或更多步驟來處理該介電膜：在該介電膜上沉積另一膜、清潔該介電膜、或曝露該介電膜至電漿。

20. 如申請專利範圍第 1 項之基板上之低介電常數(低-k)介電膜的硬化方法，其中該結構形成材料包含二乙氧甲基矽烷(DEMS)。

21. 如申請專利範圍第 1 項之基板上之低介電常數(低-k)介電膜的硬化方法，其中該孔洞生成材料包含萜類(terpene)、冰片烯(norbornene)、5-二甲基-1,4-環辛二烯、十氫化萘

(decahydronaphthalene)、乙苯、或檸檬油精(limonene)、或其二者或更多者的一組合。

22. 如申請專利範圍第 1 項之基板上之低介電常數(低-k)介電膜的硬化方法，更包含：

在該第一 IR 曝露期間，曝露該低-k 介電膜至一第二 UV 輻射，其中該第二 UV 輻射係與該第一 IR 曝露之後的該 UV 輻射不同。

23. 如申請專利範圍第 22 項之基板上之低介電常數(低-k)介電膜的硬化方法，其中該第二 UV 輻射包含曝露該低-k 介電膜至具有約 300 奈米至 450 奈米之波長的 UV 輻射。

24. 一種基板上之多孔性低介電常數(低-k)介電膜的製備方法，包含：

在一基板上形成一低-k介電膜，其中所形成在該基板上之該低-k介電膜包含一結構形成材料及一交聯抑制劑；

曝露該低-k介電膜至紅外線(IR)輻射，以去除至少部份該交聯抑制劑，其中該曝露該低-k介電膜至該IR輻射之步驟在任何曝露該低-k介電膜至紫外線(UV)輻射之前，且該IR輻射包含具有窄頻帶之波長的實質上單色電磁(EM)輻射；以及

選擇該曝露該低-k介電膜至紅外線(IR)輻射之步驟之一或更多IR性質，以調整餘留在該低-k介電膜中的該交聯抑制劑之一殘留量，以調整該低-k介電膜之一機械性質、該低-k介電膜之一電性質、該低-k介電膜之一光學性質、該低-k介電膜之一孔洞尺寸、或該低-k介電膜之一孔隙度、或其二者或更多者之一組合。

25. 如申請專利範圍第24項之基板上之多孔性低介電常數(低-k)介電膜的製備方法，其中該交聯抑制劑包含濕氣、水分、溶劑、雜質、孔洞生成材料、殘留孔洞生成材料、微弱地鍵結至該結構形成材料之側基、孔洞生成分子、或孔洞生成分子之碎片、或其二者或更多者的任何組合。

26. 如申請專利範圍第24項之基板上之多孔性低介電常數(低-k)介電膜的製備方法，其中該交聯抑制劑包含一孔洞生成材料，且其中該形成具有該結構形成材料及該交聯抑制劑之該低-k介電膜的步驟包含：在該基板之一表面上共聚合一結構形成分子與一孔洞生成分子。

27. 如申請專利範圍第24項之基板上之多孔性低介電常數(低-k)介電膜的製備方法，其中該交聯抑制劑包含一孔洞生成材料，且其中該形成具有該結構形成材料及該交聯抑制劑之該低-k介電膜的步驟包含：在該基板之一表面上，沉積具有一微弱地鍵結至該

結構形成分子之孔洞生成分子側基的一結構形成分子。

28. 如申請專利範圍第 24 項之基板上之多孔性低介電常數(低-k)介電膜的製備方法，其中該調整該交聯抑制劑之該殘留量的步驟包含：在該 IR 曝露期間，由該低-k 介電膜實質上去除該交聯抑制劑。
29. 如申請專利範圍第 28 項之基板上之多孔性低介電常數(低-k)介電膜的製備方法，其中該交聯抑制劑在任何使該低-k 介電膜曝露至紫外線(UV)輻射之步驟之前被實質上去除。
30. 如申請專利範圍第 24 項之基板上之多孔性低介電常數(低-k)介電膜的製備方法，其中該一或更多 IR 性質包含：該 IR 曝露之一持續時間、該 IR 曝露之一 IR 強度、或該 IR 曝露之一 IR 劑量、或其二者或更多者的一組合。
31. 如申請專利範圍第 24 項之基板上之多孔性低介電常數(低-k)介電膜的製備方法，其中該機械性質包含一彈性模數(E)、或一硬度(H)、或二者。
32. 如申請專利範圍第 24 項之基板上之多孔性低介電常數(低-k)介電膜的製備方法，其中該電性質包含一介電常數(k)。
33. 如申請專利範圍第 24 項之基板上之多孔性低介電常數(低-k)介電膜的製備方法，其中該光學性質包含一折射率(n)。
34. 如申請專利範圍第 24 項之基板上之多孔性低介電常數(低-k)介電膜的製備方法，更包含：
將該低-k 介電膜曝露至紫外線(UV)輻射。

35. 如申請專利範圍第 34 項之基板上之多孔性低介電常數(低-k)介電膜的製備方法，其中該 UV 曝露在該 IR 曝露之後進行。
36. 如申請專利範圍第 34 項之基板上之多孔性低介電常數(低-k)介電膜的製備方法，其中該 UV 曝露係發生於該 IR 曝露之部份或全部期間。
37. 如申請專利範圍第 34 項之基板上之多孔性低介電常數(低-k)介電膜的製備方法，其中該調整該交聯抑制劑之該殘留量的步驟包含調整在該 IR 曝露期間之該 UV 曝露之一持續時間、該 UV 曝露之一 UV 強度、或該 UV 曝露之一 UV 劑量、或其二者或更多者之一組合。
38. 如申請專利範圍第 24 項之基板上之多孔性低介電常數(低-k)介電膜的製備方法，更包含：
在該 IR 曝露之後，將該低-k 介電膜曝露至紫外線(UV)輻射；
以及
~~在該 UV 曝露期間，將該低-k 介電膜曝露至第二 IR 輻射。~~
39. 如申請專利範圍第 38 項之基板上之多孔性低介電常數(低-k)介電膜的製備方法，更包含：
在該 UV 曝露之後，將該低-k 介電膜曝露至第三 IR 輻射。
40. 如申請專利範圍第 24 項之基板上之多孔性低介電常數(低-k)介電膜的製備方法，更包含：
在該 IR 曝露之後，將該低-k 介電膜曝露至第一紫外線(UV)輻射；以及
在該 IR 曝露期間，將該低-k 介電膜曝露至第二 UV 輻射，其中該第二 UV 曝露與該第一 UV 曝露不同。

41. 如申請專利範圍第 40 項之基板上之多孔性低介電常數(低-k)介電膜的製備方法，其中該調整該交聯抑制劑之該殘留量的步驟包含調整該 IR 期間之該第二 UV 曝露之一持續時間、該第二 UV 曝露之一 UV 強度、或該第二 UV 曝露之一 UV 劑量、或其二者或更多者之一組合。

42. 如申請專利範圍第 24 項之基板上之多孔性低介電常數(低-k)介電膜的製備方法，更包含：

在該 IR 曝露前、該 IR 曝露期間、或該 IR 曝露後、或其二者或更多者的任何組合時加熱該基板。

八、圖式：

圖式

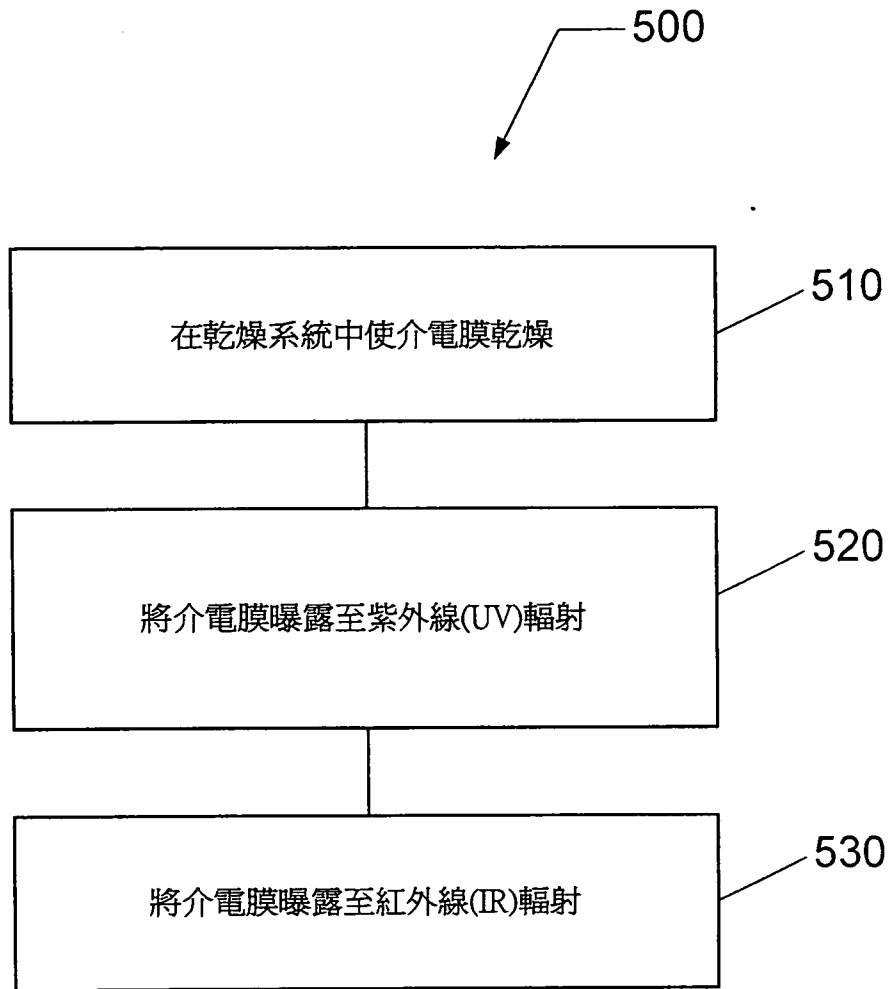


圖 1

圖式

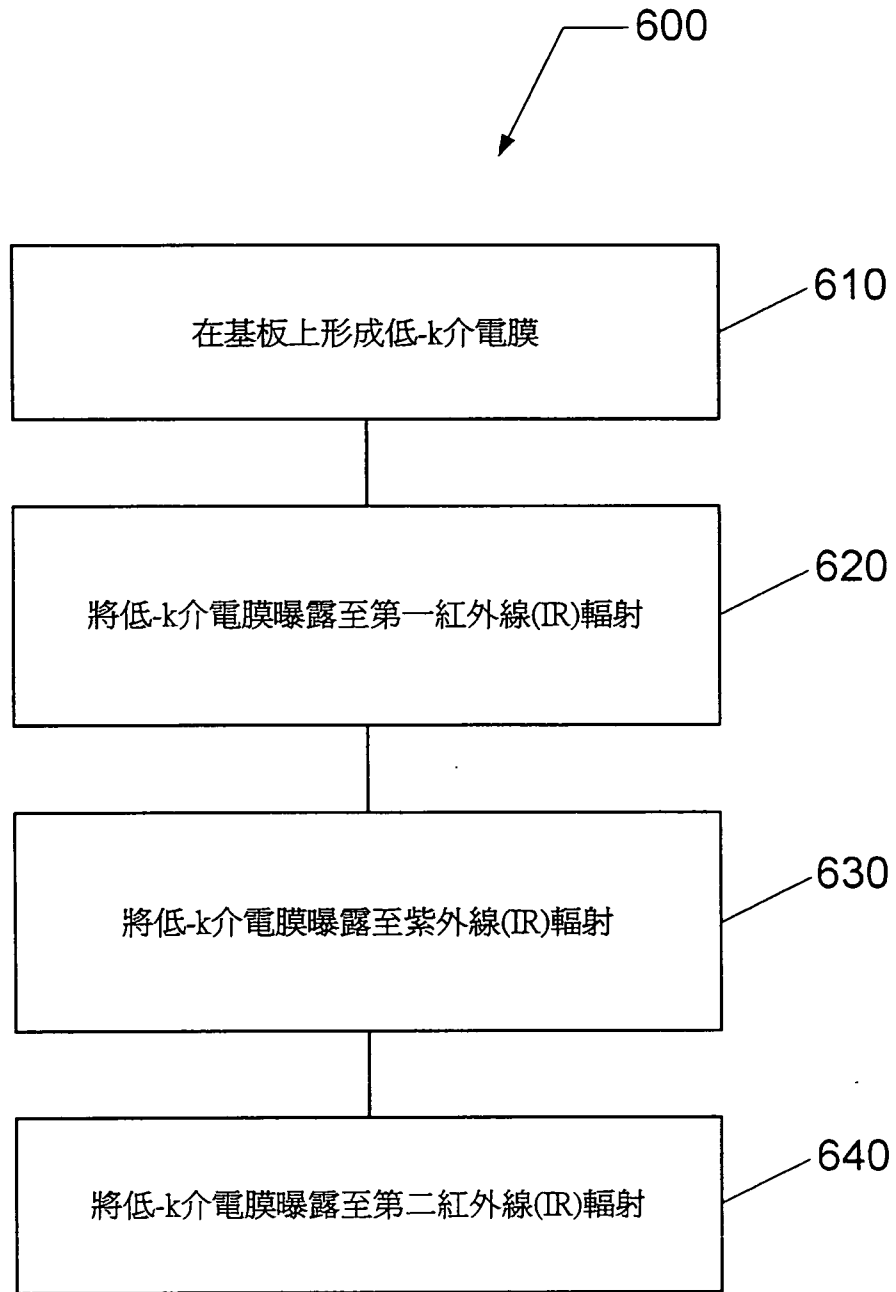


圖 2

圖式

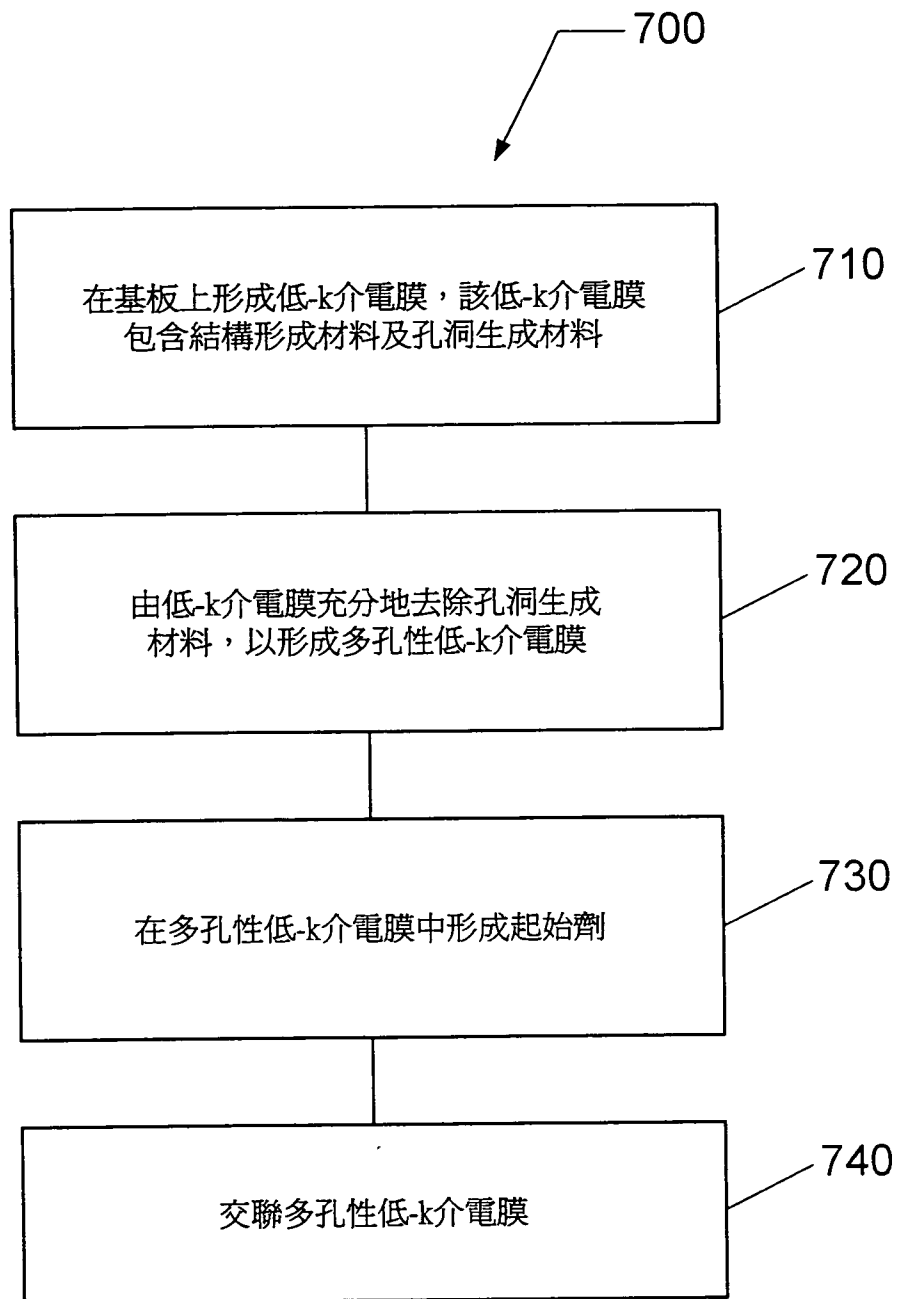


圖 3

圖式

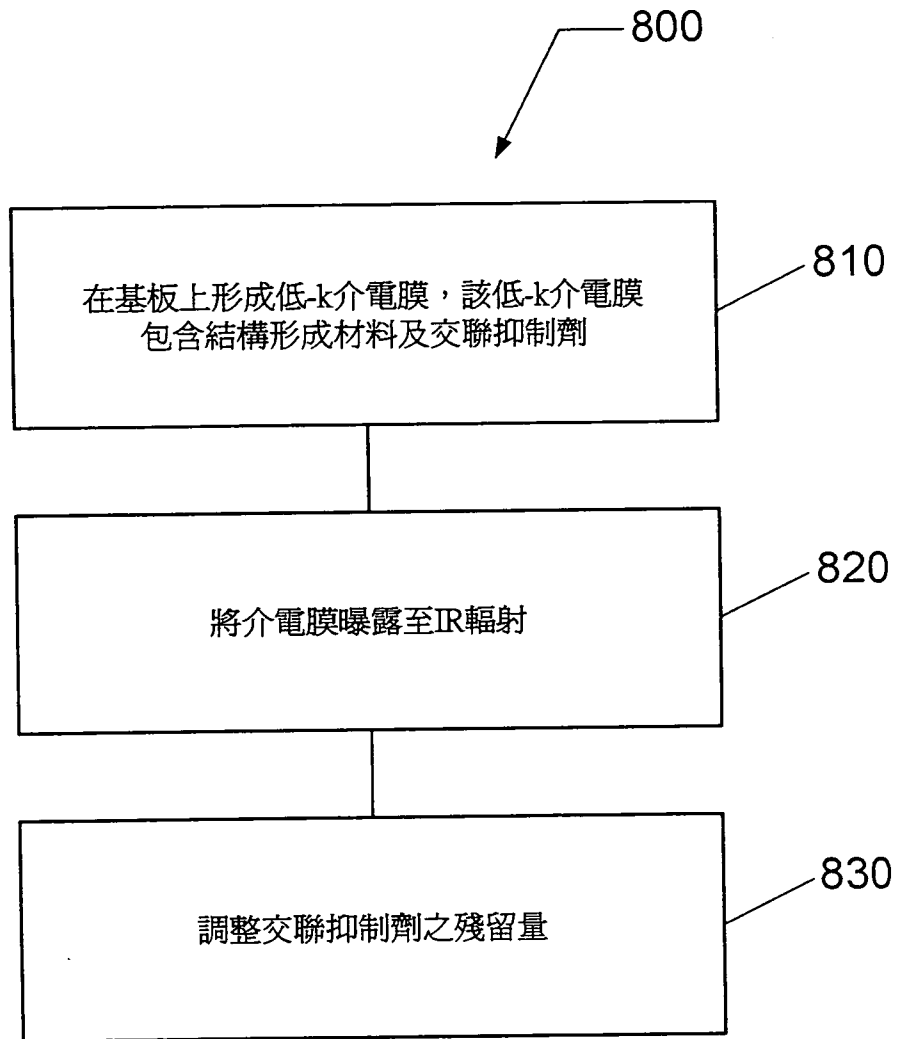


圖 4

圖式

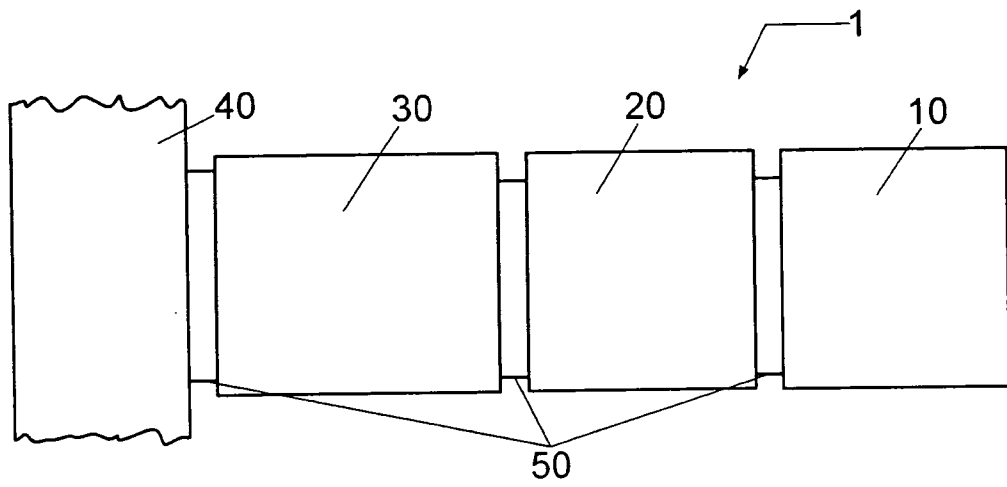


圖 5A

圖式

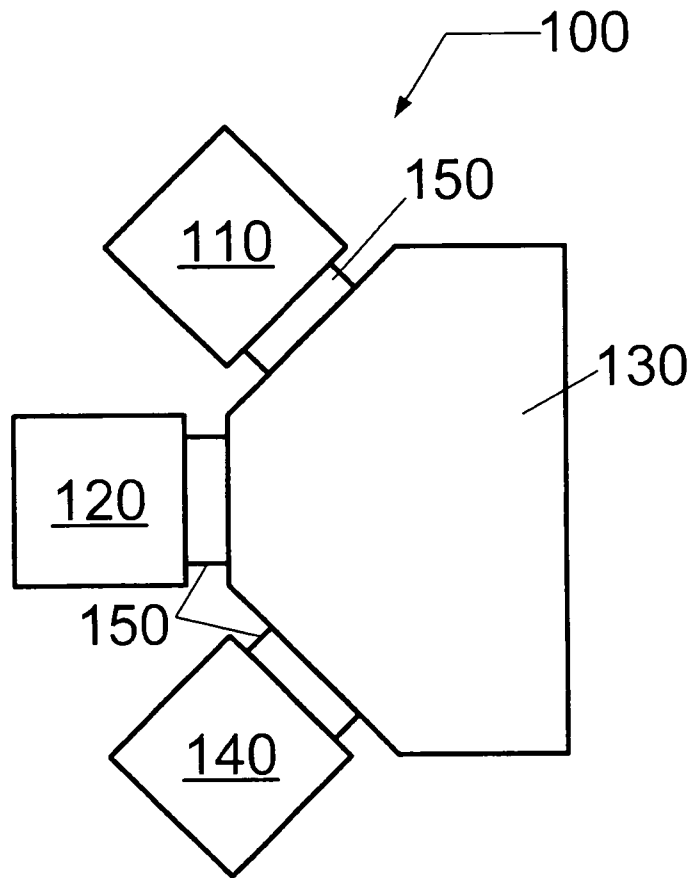


圖 5B

圖式

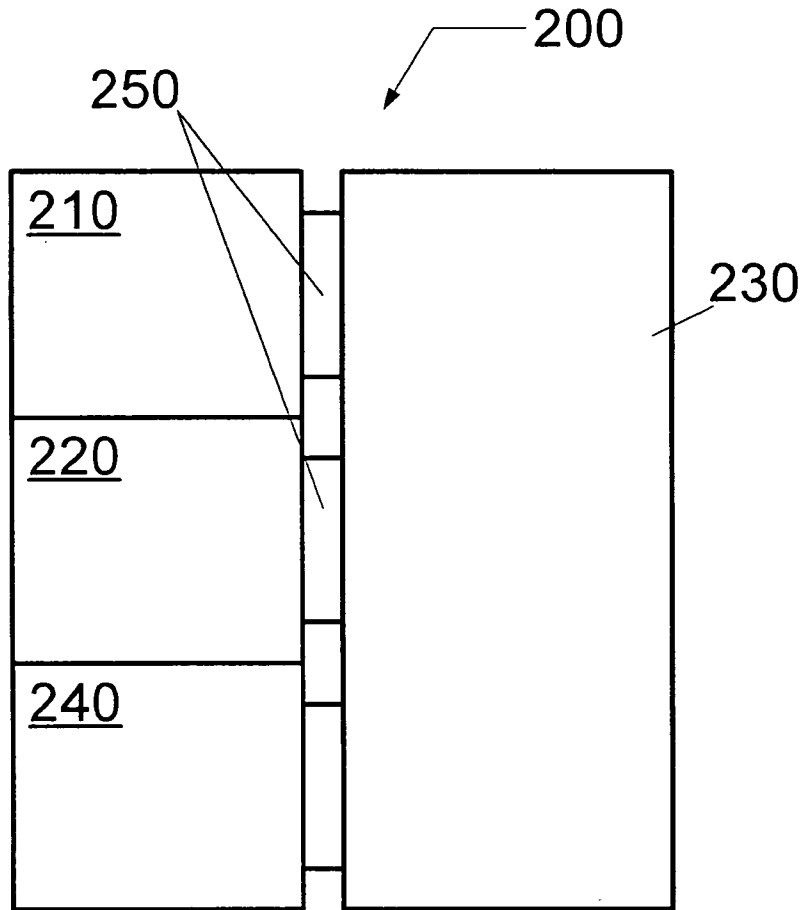


圖 5C

圖式

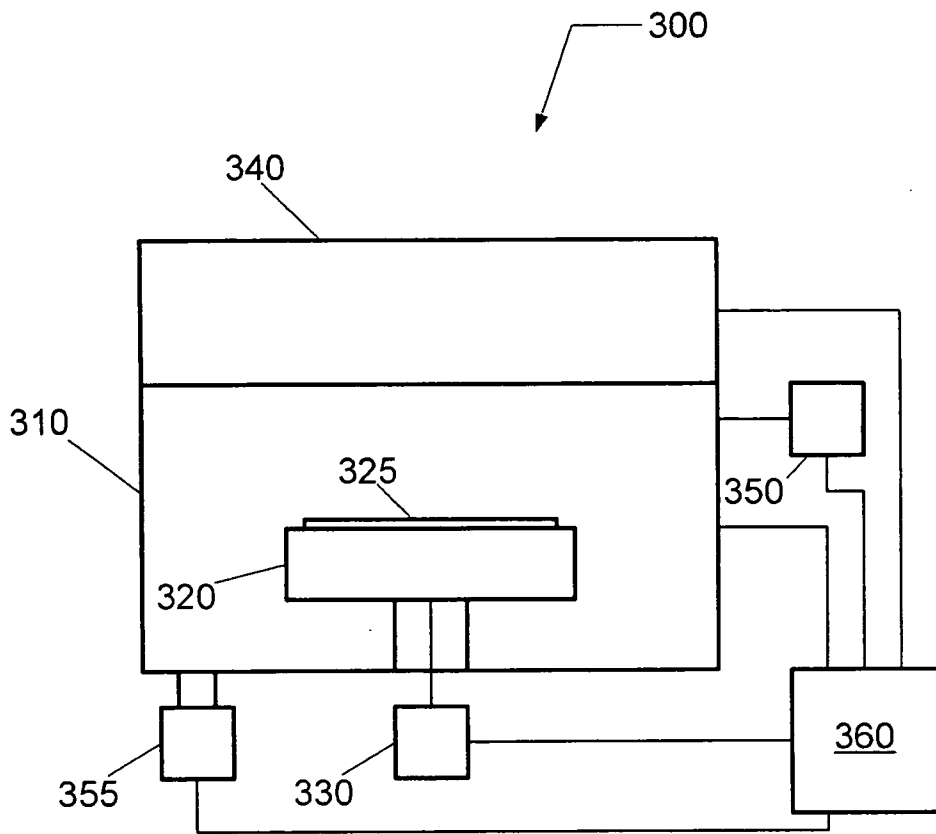


圖 6

圖式

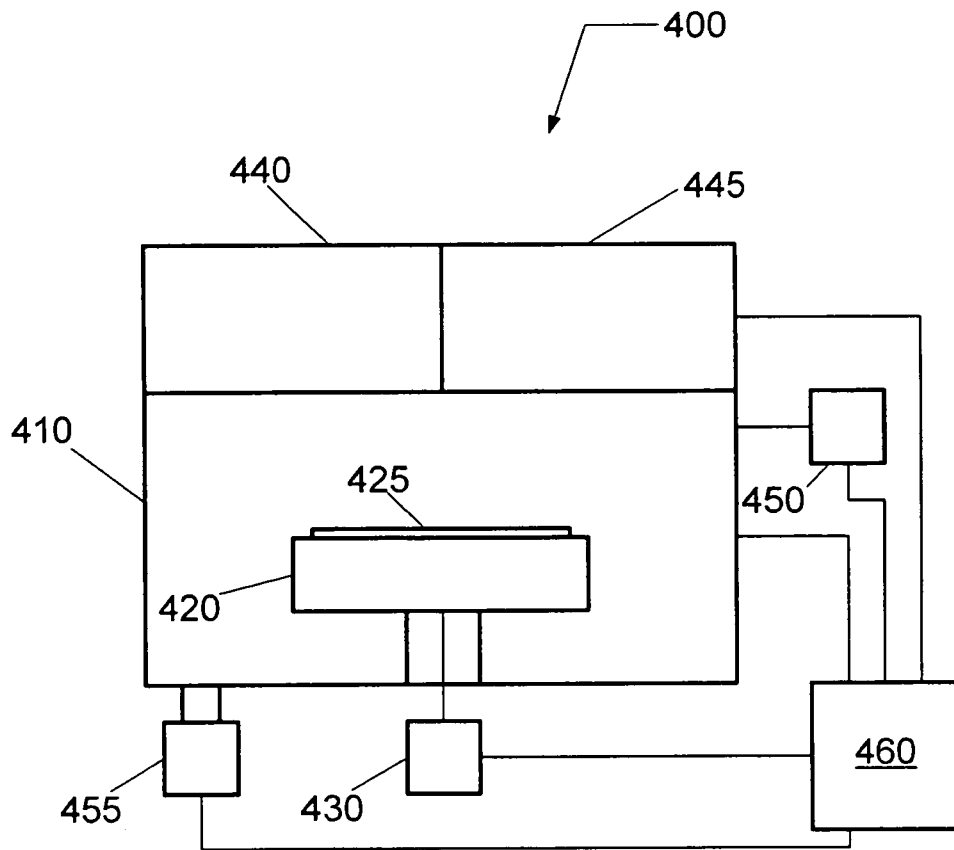


圖 7