

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局



(43) 国际公布日
2011 年 10 月 20 日 (20.10.2011)

PCT

(10) 国际公布号
WO 2011/127727 A1

- (51) 国际专利分类号:
H01L 29/778 (2006.01)
- (21) 国际申请号: PCT/CN2010/078526
- (22) 国际申请日: 2010 年 11 月 8 日 (08.11.2010)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:
201010151192.8 2010 年 4 月 16 日 (16.04.2010) CN
- (71) 申请人 (对除美国外的所有指定国): 清华大学 (TSINGHUA UNIVERSITY) [CN/CN]; 中国北京市海淀区清华园, Beijing 100084 (CN)。
- (72) 发明人; 及
- (75) 发明人/申请人 (仅对美国): 王敬 (WANG, Jing) [CN/CN]; 中国北京市海淀区清华园, Beijing 100084 (CN)。 许军 (XU, Jun) [CN/CN]; 中国北京市海淀区清华园, Beijing 100084 (CN)。 郭磊 (GUO, Lei) [CN/CN]; 中国北京市海淀区清华园, Beijing 100084 (CN)。
- (74) 代理人: 北京清亦华知识产权代理事务所 (普通合伙) (TSINGYIHUA INTELLECTUAL PROP-

ERTY LLC); 中国北京市清华园清华大学照澜院商业楼 301 室, Beijing 100084 (CN)。

- (81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。
- (84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG)。

[见续页]

(54) Title: SEMICONDUCTOR STRUCTURE FOR PREVENTING LEAKAGE

(54) 发明名称: 一种防漏电的半导体结构

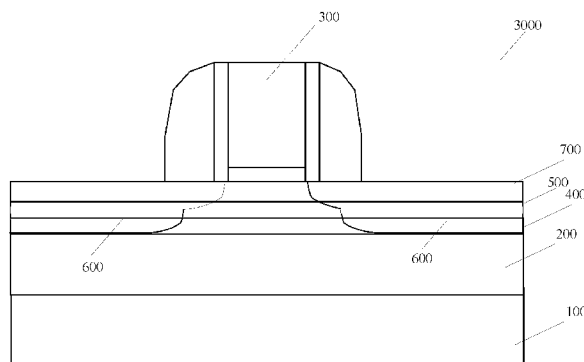


图 3 / Fig. 3

(57) Abstract: A semiconductor structure for preventing leakage is provided. The structure comprises a substrate (100); a transition layer (200) or an insulation layer (200) formed on the substrate; a first strained semiconductor layer (400) with wide band gap, a strained semiconductor layer (500) with narrow band gap, and a second strained semiconductor layer (700) with wide band gap formed on the transition layer or the insulation layer in sequence; a gate stack (300) formed on the second strained semiconductor layer with wide band gap; and a source (600) and a drain (600) formed in the first strained semiconductor layer with wide band gap, the strained semiconductor layer with narrow band gap, and the second strained semiconductor layer with wide band gap. The semiconductor structure can suppress the generation of BTBT leakage, generate hole traps in the strained semiconductor layer (e.g. a strained Ge layer or a strained SiGe layer) with narrow band gap, improve the carrier mobility, and improve the device performance.

[见续页]

WO 2011/127727 A1



本国际公布:

— 包括国际检索报告(条约第 21 条(3))。

(57) 摘要:

提供了一种防漏电的半导体结构。该结构包括衬底(100); 形成在衬底上的过渡层(200)或绝缘层(200); 依次形成在过渡层或绝缘层上的第一应变宽禁带半导体层(400)、应变窄禁带半导体层(500)和第二应变宽禁带半导体层(700); 形成在该第二应变宽禁带半导体层之上的栅堆叠(300); 以及形成在第一应变宽禁带半导体层、应变窄禁带半导体层和第二应变宽禁带半导体层之中的源极(600)和漏极(600)。该半导体结构能抑制 BTBT 漏电的产生, 还能在应变窄禁带半导体层(例如应变 Ge 层或应变 SiGe 层)中产生空穴势阱, 提高载流子的迁移率, 以及改善器件性能。

一种防漏电的半导体结构

技术领域

本发明涉及半导体制造及设计领域，特别涉及一种半导体结构，更特别地涉及一种能够抑制 MOS 器件 BTBT (Band-To-Band Tunneling, 带带隧穿) 漏电的半导体结构。

背景技术

随着半导体制造工艺的不断进步，漏电流已经成为了非常关键而且不可忽视的问题。由于高迁移率的窄禁带半导体材料的禁带宽度比较小，例如 Ge 的禁带宽度约为 0.67eV, InSb 的禁带宽度约为 0.18eV, 其禁带宽度比 Si 材料的禁带宽度小的多。因此，随着 Ge 等高迁移率窄禁带半导体材料的使用，BTBT 漏电的问题也变得越来越严重。

现有技术存在的缺点是，随着半导体尺寸的不断减小，以及窄禁带半导体材料的使用，使得 BTBT 漏电变得越来越严重。

发明内容

本发明的目的旨在至少解决上述技术缺陷之一，特别是解决 BTBT 漏电的问题。

为达到上述目的，本发明一方面提出了一种半导体结构，包括衬底，形成在所述衬底之上的过渡层或绝缘层，形成在所述过渡层或绝缘层之上的第一应变宽禁带半导体层，形成在所述第一应变宽禁带半导体层之上的应变窄禁带半导体层，形成在所述应变窄禁带半导体层之上的第二应变宽禁带半导体层，形成在所述第二应变宽禁带半导体层之上的栅堆叠，和形成在所述第一应变宽禁带半导体层、应变窄禁带半导体层和第二应变宽禁带半导体层之中的源极和漏极。该类半导体结构不仅能抑制两种 BTBT 漏电的产生，另外还能在中间的应变窄禁带半导体层，例如应变 Ge 层中产生空穴势阱，提高载流子的迁移率，改善器件性能。

本发明另一方面还提出了一种半导体结构，包括衬底，形成在所述衬底之上的过渡层或绝缘层，形成在所述过渡层或绝缘层之上的第一应变宽禁带半导体层，形成在所述第一应变宽禁带半导体层之上的应变窄禁带半导体层，形成在所述应变窄禁带半导体层之上的栅堆叠，和形成在所述第一应变宽禁带半导体层和应变窄禁带半导体层之中的源极和漏极。该类半导体结构通过增加的第一应变宽禁带半导体层，例如应变 Si 层，能够有效抑制在漏端高偏压时源漏结处产生的 BTBT 漏电，从而减轻 BTBT 漏电的影响。另外，通过在所述第一应变宽禁带半导体层之下的绝缘层能够更好的抑制该类 BTBT 漏电。

本发明附加的方面和优点将在下面的描述中部分给出，部分将从下面的描述中变得明显，或通过本发明的实践了解到。

附图说明

本发明上述的和/或附加的方面和优点从下面结合附图对实施例的描述中将变得明显和容易理解，需要说明的是，本发明的附图仅是示意性的，因此没有必要按比例绘制，其中：

- 5 图 1 为本发明实施例一的半导体结构示意图；
- 图 2 为本发明实施例二的半导体结构示意图；
- 图 3 为本发明实施例三的半导体结构示意图；
- 图 4 为本发明实施例的 FinFET 结构示意图。

10 具体实施方式

下面详细描述本发明的实施例，所述实施例的示例在附图中示出，其中自始至终相同或类似的标号表示相同或类似的元件或具有相同或类似功能的元件。下面通过参考附图描述的实施例是示例性的，仅用于解释本发明，而不能解释为对本发明的限制。

- 下文的公开提供了许多不同的实施例或例子用来实现本发明的不同结构。为了简化
15 本发明的公开，下文中对特定例子的部件和设置进行描述。当然，它们仅仅为示例，并且目的不在于限制本发明。此外，本发明可以在不同例子中重复参考数字和/或字母。这种重复是为了简化和清楚的目的，其本身不指示所讨论各种实施例和/或设置之间的关系。此外，本发明提供了的各种特定的工艺和材料的例子，但是本领域普通技术人员可以意识到其他工艺的可应用于性和/或其他材料的使用。另外，以下描述的第一特征在第二特征之“上”的结构可以包括第一和第二特征形成直接接触的实施例，也可以包括另外的特征形成在第一和第二特征之间的实施例，这样第一和第二特征可能不是直接接触。

- 在本发明中，对 BTBT 漏电进行了分析，目前 BTBT 漏电主要包括漏端高偏压时在源漏结处产生的 BTBT 漏电，和 GIDL（栅极感应漏极漏电）漏电两类，其中，GIDL
25 漏电是指在栅漏交叠处，当漏端处于高电位，栅极处于低电位时，产生的 BTBT 漏电。以下就以具体实施例的方式进行描述，以下实施例可至少抑制上述两类 BTBT 漏电中的一种，但需要说明的是以下实施例仅是实现本发明的优选方式，并不是说本发明仅能够通过以下实施例实现，本领域技术人员可对以下实施例中的部分特征做出等同的修改或替换，在不脱离本发明思想的范围内，这些等同的修改或替换均应包含在本发明的保护
30 范围之内。

实施例一，

- 该实施例通过在 Ge、InSb 等窄禁带半导体材料的下方增加一层宽禁带半导体层，从而可抑制漏端高偏压时在源漏结处产生的 BTBT 漏电。需要说明的是，在本发明的本实施例及以下实施例中，所谓宽禁带半导体材料仅是相对于 Ge、InSb 等窄禁带半导体材料来说，例如 Si，其自身的禁带宽度并不大，但相对于 Ge 来说，在本发明的各个实施例中 Si 可被称为宽禁带半导体材料。
- 35

如图 1 所示, 为本发明实施例一的半导体结构示意图。该半导体结构 1000 可包括衬底 100, 该衬底可为任何半导体衬底材料, 包括但不限于硅、锗、锗化硅、SOI (绝缘体上硅)、碳化硅、砷化镓或者任何 III/V 族化合物半导体等衬底。

该半导体结构 1000 还可包括形成在衬底 100 之上的过渡层或绝缘层 200。在本发明的一个实施例中, 过渡层 200 可为弛豫 SiGe 虚拟衬底层, 当然也可采用其他材料作为过渡层。在本发明的另一个实施例中, 绝缘层 200 可包括 SiO₂ 等绝缘材料, 从而能够更好地抑制源漏结处产生的 BTBT 漏电。

该半导体结构 1000 还可包括形成在过渡层或绝缘层 200 之上的第一应变宽禁带半导体层 400, 和形成在该第一应变宽禁带半导体层 400 之上的应变窄禁带半导体层 500。其中, 在本发明实施例中, 宽禁带半导体材料可包括但不限于 Si、SiC、GaN、InAlAs、InP 或其组合等, 窄禁带半导体材料可包括但不限于 Ge、InSb、GaAs、InGaAs 或其组合等。当然本领域技术人员还可选择其他材料实现本发明, 但是在不脱离本发明思想的范围内, 任何对上述材料的等同替换也均应包含在本发明的保护范围之内。

其中, 优选地, 在本发明的一个实施例中, 第一应变宽禁带半导体层 400 可包括应变 Si 层, 应变窄禁带半导体层 500 可包括应变 Ge 或应变 SiGe 层。

其中, 在本发明的另一个优选实施例中, 第一应变宽禁带半导体层 400 和应变窄禁带半导体层 500 可均包括应变 SiGe 层, 但是应变窄禁带半导体层 500 中 Ge 的浓度远大于第一应变宽禁带半导体层 400 中 Ge 的浓度。在此需要说明的是, 本领域技术人员应当可以意识到, 在该实施例中第一应变宽禁带半导体层 400 和应变窄禁带半导体层 500 也可作为一层应变 SiGe 层, 通过控制掺杂条件使得该应变 SiGe 层中上部分的 Ge 浓度大于下部的 Ge 浓度, 从而达到与本发明相同的技术效果。另外, 本领域技术人员还可意识到, 上述第一应变宽禁带半导体层 400 和应变窄禁带半导体层 500 也可包括多层的应变 SiGe 层, 或者第一应变宽禁带半导体层 400 包括由多层应变 Si 层和应变 SiGe 层组成的多层结构, 再或者应变窄禁带半导体层 500 可包括由多层应变 Ge 层和应变 SiGe 层组成的多层结构等等, 因此这些均可认为是对本发明上述实施例的等同替换, 均应包含在本发明的保护范围之内。

该半导体结构 1000 还可包括形成在应变窄禁带半导体层 500 之上的栅堆叠 300, 和形成在第一应变宽禁带半导体层 400 和应变窄禁带半导体层 500 之中的源极和漏极 600。在本发明的一个实施例中, 栅堆叠 300 可包括栅介质层和栅极, 优选地, 可包括高 k 栅介质层和金属栅极, 当然其他氮化物或氧化物介质层或多晶硅栅极也可应用在本发明中, 因此也应包含在本发明的保护范围之内。在其他实施例中, 栅堆叠 300 还可包含其他材料层以改善栅极的某些其他特性, 可以看出本发明对栅堆叠的结构并没有限制, 可采用任何类型的栅结构。在另一个实施例中, 在栅堆叠 300 的两侧还可包括一层或多层侧墙。

该半导体结构通过增加的第一应变宽禁带半导体层 400, 例如应变 Si 层, 从而能够有效抑制在漏端高偏压时源漏结处产生的 BTBT 漏电, 减轻 BTBT 漏电的影响。另外,

通过在第一应变宽禁带半导体层 400 之下的绝缘层 200 也能够更好的抑制该类 BTBT 漏电。

实施例二，

- 5 与实施例一不同的是，在该实施例中，是在 Ge、InSb 等窄禁带半导体材料的上方增加一层宽禁带半导体层，从而可抑制 GIDL 漏电，同样在该实施例中，所谓宽禁带半导体材料仅是相对于 Ge、InSb 等窄禁带半导体材料而言的。

如图 2 所示，为本发明实施例二的半导体结构示意图。该半导体结构 2000 与实施例一的半导体结构 1000 类似，也包括衬底 100 和衬底 100 之上的过渡层或绝缘层 200
10 以及栅堆叠 300 等，不同的是该半导体结构 2000 包括在过渡层或绝缘层 200 之上的应变窄禁带半导体层 500，和形成在应变窄禁带半导体层 500 之上的第二应变宽禁带半导体层 700。其中源极和漏极 600 形成在应变窄禁带半导体层 500 和第二应变宽禁带半导体层 700 之中。其中，在本发明的其他实施例中，在过渡层或绝缘层 200 与应变窄禁带半导体层 500 之间还可以包括其他的层，以改善两者之间的应力条件或接触条件，或者
15 为了其他目的。在本发明的一个实施例中，宽禁带半导体材料可包括但不限于 Si、SiC、GaN、InAlAs、InP 或其组合等，窄禁带半导体材料可包括但不限于 Ge、InSb、GaAs、InGaAs 或其组合等。优选地，在本发明的一个实施例中，应变窄禁带半导体层 500 可包括应变 Ge 或应变 SiGe 层，第二应变宽禁带半导体层 700 可包括应变 Si 层。在另一个优选实施例中，应变窄禁带半导体层 500 和第二应变宽禁带半导体层 700 可均包括应变
20 SiGe 层，但是应变窄禁带半导体层 500 中 Ge 的浓度远大于第二应变宽禁带半导体层 700 中 Ge 的浓度。该半导体结构 2000 能够有效抑制 GIDL 漏电的产生，从而减轻 BTBT 漏电的影响。

实施例三，

- 25 在该实施例中综合了上述两个实施例的优点，从而可以同时抑制两种 BTBT 漏电的产生。另外，该实施例还有一个附加的优点，即可形成空穴势阱，从而提高载流子的迁移率，改善器件性能。

如图 3 所示，为本发明实施例三的半导体结构示意图。该半导体结构 3000 与上述半导体结构 1000 和 2000 类似，不同的是在该实施例中，采用宽禁带半导体层包围窄禁
30 带半导体层的方式来抑制上述两种 BTBT 漏电。如图 3 所示，不同于上述实施例的是，该半导体结构 3000 还包括形成在过渡层或绝缘层 200 之上的第一应变宽禁带半导体层 400、形成在该第一应变宽禁带半导体层 400 之上的应变窄禁带半导体层 500、和形成在应变窄禁带半导体层 500 之上的第二应变宽禁带半导体层 700。在本发明的一个实施例中，宽禁带半导体材料可包括但不限于 Si、SiC、GaN、InAlAs、InP 或其组合等，窄禁
35 带半导体材料可包括但不限于 Ge、InSb、GaAs、InGaAs 或其组合等。在本发明实施例中，上述宽禁带半导体材料和窄禁带半导体材料可任意组合，也就是说第一应变宽禁带

半导体层 400 和第二应变宽禁带半导体层 700 可采用相同的宽禁带半导体材料,如都采用应变 Si,也可以采用不同的宽禁带半导体材料,例如第一应变宽禁带半导体层 400 采用应变 Si,而第二应变宽禁带半导体层 700 采用应变 SiGe,等等。

优选地,在本发明的一个实施例中,第一应变宽禁带半导体层 400 和第二应变宽禁带半导体层 700 包括应变 Si 层,应变窄禁带半导体层 500 包括应变 Ge 层或应变 SiGe 层。在其他优选实施例中,第一应变宽禁带半导体层 400、第二应变宽禁带半导体层 700 和应变窄禁带半导体层 500 均包括应变 SiGe 层,其中,应变窄禁带半导体层 500 中 Ge 的浓度远大于第一应变宽禁带半导体层 400 和第二应变宽禁带半导体层 700 中 Ge 的浓度。在该实施例中,采用了应变窄禁带半导体层 500 作为沟道层,例如应变 Ge 层或应变 SiGe 层,因此由于异质能带结构,大部分的空穴载流子都聚集在高迁移率的应变窄禁带半导体层 500 中,因此可以有效提高饱和电流,改善器件性能。在本发明中上述第一应变宽禁带半导体层 400、应变窄禁带半导体层 500 和第二应变宽禁带半导体层 700 的厚度和掺杂根据需要而定,本发明对上述层的厚度做了一个简单的介绍,例如根据驰豫 SiGe 虚拟衬底层中 Ge 的含量,上述各层的厚度不能超过临界厚度,以免发生驰豫从而在材料层中引入新的缺陷,例如第一应变宽禁带半导体层 400 的厚度约为 3-5nm,不超过临界厚度情况下越厚越好;应变窄禁带半导体层 500 的厚度约为 3-10nm,不超过临界厚度,但又必须保证满足载流子运输的要求,且低掺杂或者不掺杂以得到更高的载流子迁移率;第二应变宽禁带半导体层 700 的厚度约为 2-5nm,优选为 3nm,重掺杂以提供合适的载流子密度。本发明所提出的上述半导体结构不仅可适用于垂直栅结构,还可适用于 FinFET 结构,当然其他结构或者今后发展的新的半导体结构也可采用本发明的各个实施例来抑制 BTBT 漏电。

如图 4 所示,为本发明实施例的 FinFET 结构示意图。如图 4,FinFET 结构包括栅极 4100 和栅介质层 4300,以及源极/漏极 4200,源极/漏极 4200 包括位于衬底(未示出)之上的第一应变宽禁带半导体层 4400,位于第一应变宽禁带半导体层 4400 之上的应变窄禁带半导体层 4500,以及包围应变窄禁带半导体层 4500 的第二应变宽禁带半导体层 4600。其中,在本发明的一个实施例中,第一应变宽禁带半导体层 4400 和第二应变宽禁带半导体层 4600 可为应变 Si 层,应变窄禁带半导体层 4500 可为应变 Ge 层或应变 SiGe 层。在本发明的另一个实施例中,第一应变宽禁带半导体层 4400、应变窄禁带半导体层 4500 和第二应变宽禁带半导体层 4600 均可为应变 SiGe 层,但应变窄禁带半导体层 4500 中 Ge 浓度远高于第一应变宽禁带半导体层 4400 和第二应变宽禁带半导体层 4600。尽管已经示出和描述了本发明的实施例,但是对于本领域的普通技术人员而言,可以理解在不脱离本发明的原理和精神的情况下可以对这些实施例进行多种变化、修改、替换和变型,本发明的范围由所附权利要求及其等同限定。

权利要求书

1、一种防漏电的半导体结构，其特征在于，包括：

衬底；

5 形成在所述衬底之上的过渡层或绝缘层；

形成在所述过渡层或绝缘层之上的第一应变宽禁带半导体层；

形成在所述第一应变宽禁带半导体层之上的应变窄禁带半导体层；

形成在所述应变窄禁带半导体层之上的第二应变宽禁带半导体层；

形成在所述第二应变宽禁带半导体层之上的栅堆叠；和

10 形成在所述第一应变宽禁带半导体层、应变窄禁带半导体层和第二应变宽禁带半导体层之中的源极和漏极。

2、如权利要求 1 所述的防漏电的半导体结构，其特征在于，所述过渡层包括弛豫 SiGe 虚拟衬底层。

15 3、如权利要求 1 或 2 所述的防漏电的半导体结构，其特征在于，所述第一应变宽禁带半导体层和第二应变宽禁带半导体层包括应变 Si 层，所述应变窄禁带半导体层包括应变 Ge 或应变 SiGe 层。

4、如权利要求 1 或 2 所述的防漏电的半导体结构，其特征在于，所述第一应变宽禁带半导体层、第二应变宽禁带半导体层和所述应变窄禁带半导体层均包括应变 SiGe 层，其中，所述应变窄禁带半导体层中 Ge 的浓度大于所述第一应变宽禁带半导体层和
20 第二应变宽禁带半导体层中 Ge 的浓度。

5、如权利要求 1 所述的防漏电的半导体结构，其特征在于，宽禁带半导体材料包括 Si、SiC、GaN、InAlAs、InP 或其组合。

6、如权利要求 1 所述的半导体结构，其特征在于，窄禁带半导体材料包括 Ge、InSb、GaAs、InGaAs 或其组合。

25 7、一种防漏电的半导体结构，其特征在于，包括：

衬底；

形成在所述衬底之上的过渡层或绝缘层；

形成在所述过渡层或绝缘层之上的第一应变宽禁带半导体层；

形成在所述第一应变宽禁带半导体层之上的应变窄禁带半导体层；

30 形成在所述应变窄禁带半导体层之上的栅堆叠；和

形成在所述第一应变宽禁带半导体层和应变窄禁带半导体层之中的源极和漏极。

8、如权利要求 7 所述的防漏电的半导体结构，其特征在于，在所述应变窄禁带半导体层和所述栅堆叠之间还包括第二应变宽禁带半导体层，所述第二应变宽禁带半导体层中形成有所述源极和漏极。

9、如权利要求 7 所述的防漏电的半导体结构，其特征在于，所述过渡层包括弛豫 SiGe 虚拟衬底层。

10、如权利要求 7-9 任一项所述的防漏电的半导体结构，其特征在于，所述第一应变宽禁带半导体层包括应变 Si 层，所述应变窄禁带半导体层包括应变 Ge 层或应变 SiGe 层。

11、如权利要求 10 所述的防漏电的半导体结构，其特征在于，所述第二应变宽禁带半导体层包括应变 Si 层或应变 SiGe 层。

12、如权利要求 7-9 任一项所述的防漏电的半导体结构，其特征在于，所述第一应变宽禁带半导体层和所述应变窄禁带半导体层均包括应变 SiGe 层，其中，所述应变窄禁带半导体层中 Ge 的浓度大于所述第一应变宽禁带半导体层中 Ge 的浓度。

13、如权利要求 12 所述的防漏电的半导体结构，其特征在于，所述第二应变宽禁带半导体层包括应变 SiGe 层或应变 Si 层，且当所述第二应变宽禁带半导体层包括应变 SiGe 层时，所述应变窄禁带半导体层中 Ge 的浓度远大于所述第二应变宽禁带半导体层中 Ge 的浓度。

14、如权利要求 7 所述的防漏电的半导体结构，其特征在于，宽禁带半导体材料包括 Si、SiC、GaN、InAlAs、InP 或其组合。

15、如权利要求 7 所述的防漏电的半导体结构，其特征在于，窄禁带半导体材料包括 Ge、InSb、GaAs、InGaAs 或其组合。

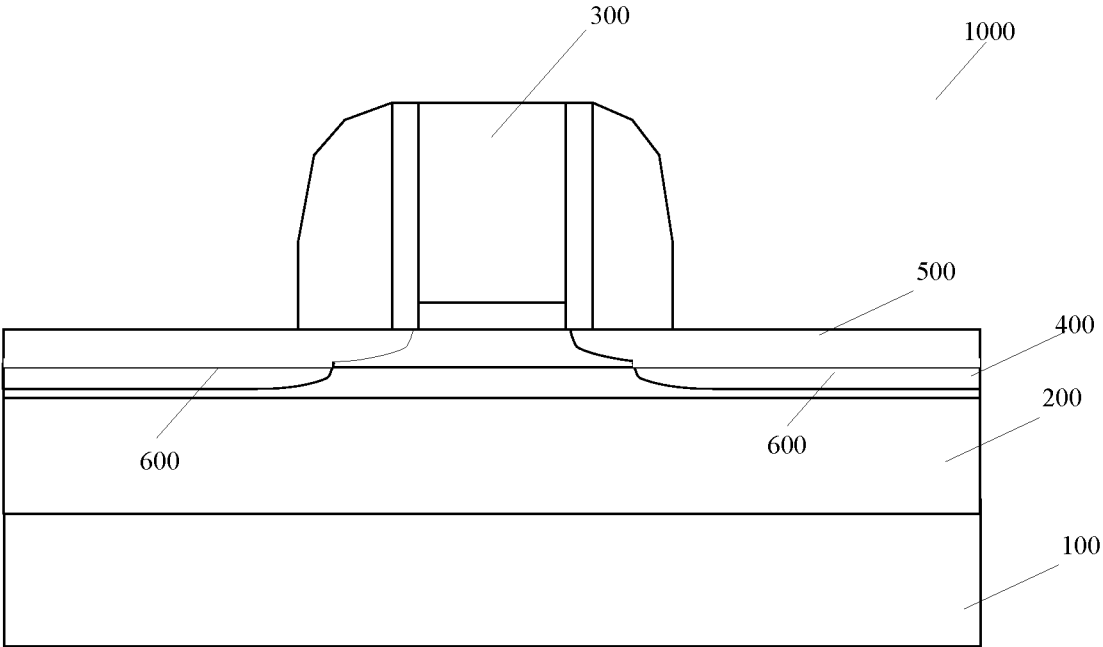


图 1

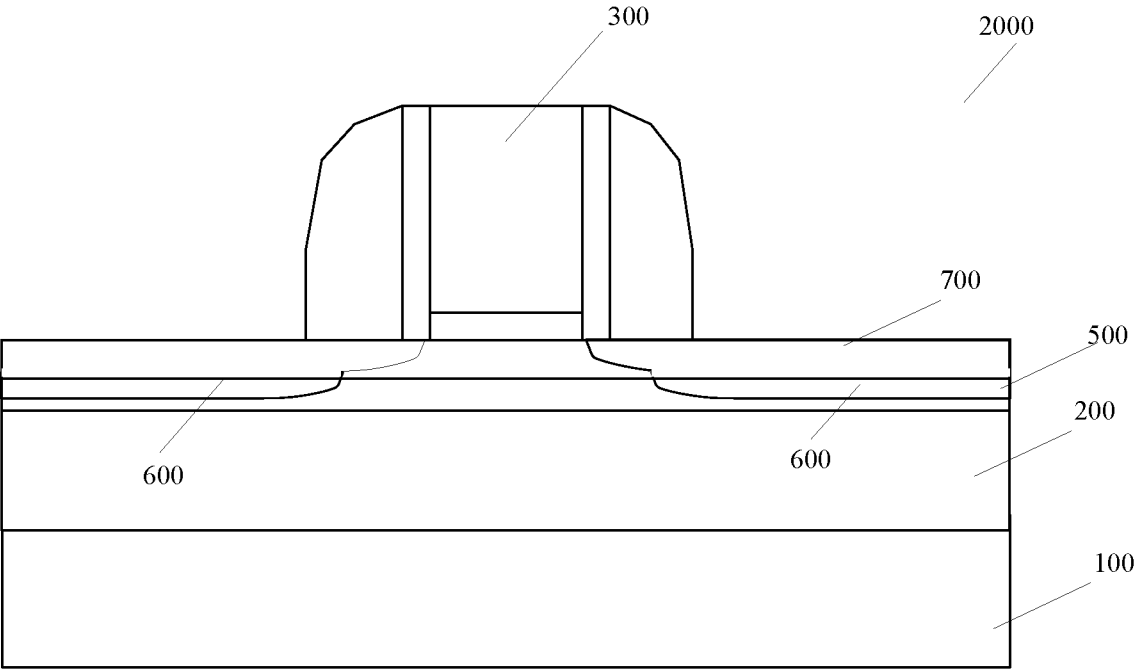


图 2

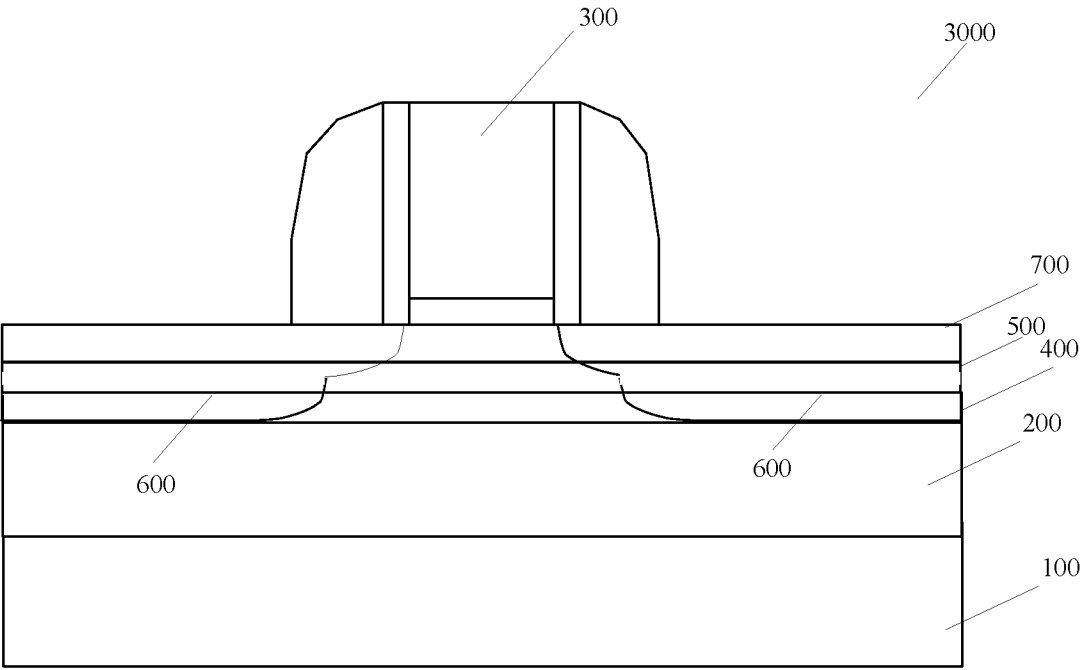


图 3

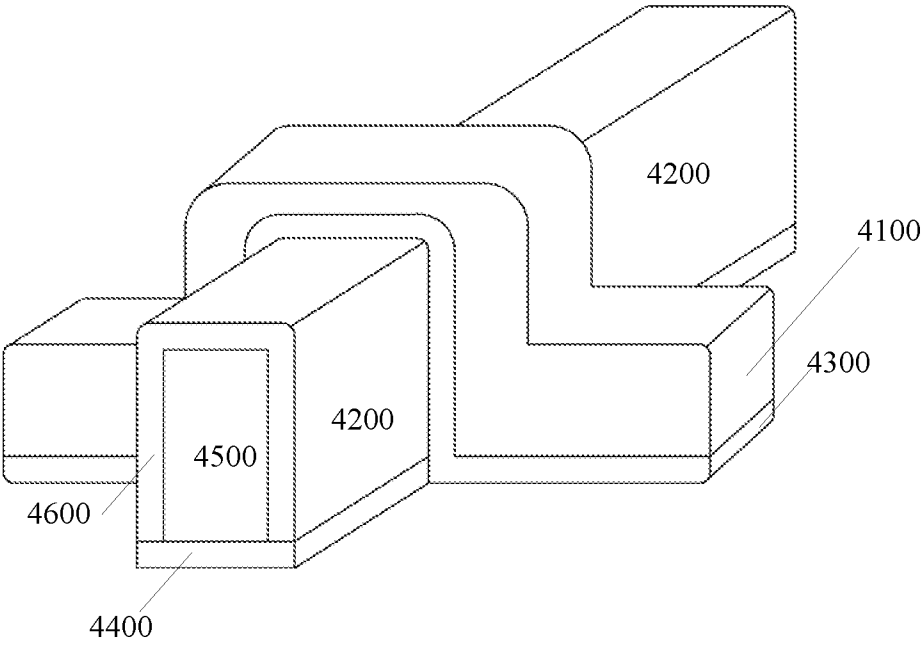


图 4

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2010/078526

A. CLASSIFICATION OF SUBJECT MATTER

H01L 29/778 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC: H01L29/-, H01L21/-

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNKI, CNPAT, WPI, EPODOC: stress strain+ leak+ MOS MOSFET field-effect MOS heterojunct+ band-gap bandgap

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	D.A. Antoniadis et al. Continuous MOSFET performance increase with device scaling: The role of strain and channel material innovations, IBM J. RES. & DEV., Jul. 2006, Vol. 50, No. 4/5, page 369, left column, lines 8-32, figure 10 (e) and explanation thereof	1-3, 5-11, 14-15
Y	CN1289149A (IBM CORP.) 28 Mar. 2001 (28.03.2001) page 7 par. 1, page 13 par. 2, figure 12	1-3, 5-11, 14-15
PX	CN101819996A (TSINGHUA UNIVERSITY) 01 Sep. 2010 (01.09.2010) claims 1,3-9,11-17, specification: page 2, par. 13 to page 4, par.31, figure 3	1-15

☒ Further documents are listed in the continuation of Box C.☒ See patent family annex.

* Special categories of cited documents:	“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
“A” document defining the general state of the art which is not considered to be of particular relevance	“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
“E” earlier application or patent but published on or after the international filing date	“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
“L” document which may throw doubts on priority claim (S) or which is cited to establish the publication date of another citation or other special reason (as specified)	“&” document member of the same patent family
“O” document referring to an oral disclosure, use, exhibition or other means	
“P” document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 24 Jan. 2011 (24.01.2011)	Date of mailing of the international search report 10 Feb. 2011 (10.02.2011)
Name and mailing address of the ISA/CN The State Intellectual Property Office, the P.R.China 6 Xitucheng Rd., Jimen Bridge, Haidian District, Beijing, China 100088 Facsimile No. 86-10-62019451	Authorized officer YANG Yong Telephone No. (86-10)62411777

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2010/078526

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	CN1607677A (IBM CORP.) 20 Apr. 2005 (20.04.2005) the whole document	1-15

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/CN2010/078526

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN1289149A	28.03.2001	DE10011054A1	21.09.2000
		JP2000286413A	13.10.2000
		US6350993B1	26.02.2002
		US2002125475A1	12.09.2002
		TW498461A	11.08.2002
		IL134674A	12.05.2004
		US2004227154A1	18.11.2004
		US6858502B2	22.02.2005
		CN1184695C	12.01.2005
		US7084431B2	01.08.2006
CN101819996A	01.09.2010	NONE	
CN1607677A	20.04.2005	US2005077510A1	14.04.2005
		JP2005123580A	12.05.2005
		CN100353562C	05.12.2007
		TW200518343A	01.06.2005
		JP4516797B2	04.08.2010
		US6949761B2	27.09.2005

国际检索报告

国际申请号

PCT/CN2010/078526

A. 主题的分类

H01L 29/778 (2006.01) i

按照国际专利分类(IPC)或者同时按照国家分类和 IPC 两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

IPC: H01L29/-, H01L21/-

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

CNKI, CNPAT: 应变 应力 漏电 MOS MOSFET 场效应 MOS 异质结 宽禁带 窄禁带 带宽

WPI, EPODOC: stress strain+ leak+ MOS MOSFET field-effect MOS heterojunct+ band-gap bandgap

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
Y	D.A. Antoniadis 等, Continuous MOSFET performance increase with device scaling: The role of strain and channel material innovations, IBM J. RES. & DEV., Jul. 2006, Vol. 50, No. 4/5, 第 369 页, 左栏第 8-32 行, 图 10 (e) 及其说明	1-3, 5-11, 14-15
Y	CN1289149A (国际商业机器公司) 28. 3 月 2001 (28.03.2001) 第 7 页第 1 段, 第 13 页第 2 段, 附图 12	1-3, 5-11, 14-15
PX	CN101819996A (清华大学) 01. 9 月 2010 (01.09.2010) 权利要求 1,3-9, 11-17, 说明书第 2 页第 13 段至第 4 页第 31 段, 附图 3	1-15
A	CN1607677A (国际商业机器公司) 20. 4 月 2005 (20.04.2005) 全文	1-15

☐ 其余文件在 C 栏的续页中列出。☒ 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

24. 1 月 2011 (24.01.2011)

国际检索报告邮寄日期

10.2 月 2011 (10.02.2011)

ISA/CN 的名称和邮寄地址:

中华人民共和国国家知识产权局

中国北京市海淀区蓟门桥西土城路 6 号 100088

传真号: (86-10)62019451

受权官员

杨永

电话号码: (86-10) 62411777

国际检索报告
关于同族专利的信息

国际申请号
PCT/CN2010/078526

检索报告中引用的 专利文件	公布日期	同族专利	公布日期
CN1289149A	28.03.2001	DE10011054A1	21.09.2000
		JP2000286413A	13.10.2000
		US6350993B1	26.02.2002
		US2002125475A1	12.09.2002
		TW498461A	11.08.2002
		IL134674A	12.05.2004
		US2004227154A1	18.11.2004
		US6858502B2	22.02.2005
		CN1184695C	12.01.2005
		US7084431B2	01.08.2006
CN101819996A	01.09.2010	无	
CN1607677A	20.04.2005	US2005077510A1	14.04.2005
		JP2005123580A	12.05.2005
		CN100353562C	05.12.2007
		TW200518343A	01.06.2005
		JP4516797B2	04.08.2010
		US6949761B2	27.09.2005