

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第7404604号
(P7404604)

(45)発行日 令和5年12月26日(2023.12.26)

(24)登録日 令和5年12月18日(2023.12.18)

(51)国際特許分類 F I
H 0 1 L 21/822 (2006.01) H 0 1 L 27/04 C
H 0 1 L 27/04 (2006.01) H 0 1 G 4/33 1 0 2
H 0 1 G 4/33 (2006.01)

請求項の数 27 (全14頁)

(21)出願番号	特願2020-536567(P2020-536567)	(73)特許権者	507107291 テキサス インスツルメンツ インコーポ レイテッド アメリカ合衆国 テキサス州 7 5 2 6 5 - 5 4 7 4 ダラス メール ステーション 3 9 9 9 ピーオーボックス 6 5 5 4 7 4
(86)(22)出願日	平成30年12月31日(2018.12.31)	(74)代理人	230129078 弁護士 佐藤 仁
(65)公表番号	特表2021-509540(P2021-509540 A)	(72)発明者	トーマス ダイアー ポニフィールド アメリカ合衆国 7 5 2 1 4 テキサス州 ダラス, スイス アヴェニュー 5 7 1 4
(43)公表日	令和3年3月25日(2021.3.25)	(72)発明者	カナン サウンダラバンディアン アメリカ合衆国 7 6 0 9 2 テキサス州 サウスレイク, アラモ ドライブ 1 0 2 2
(86)国際出願番号	PCT/US2018/068121		
(87)国際公開番号	WO2019/133963		
(87)国際公開日	令和1年7月4日(2019.7.4)		
審査請求日	令和3年12月27日(2021.12.27)		
(31)優先権主張番号	15/857,778		
(32)優先日	平成29年12月29日(2017.12.29)		
(33)優先権主張国・地域又は機関	米国(US)		

最終頁に続く

(54)【発明の名称】 高電圧絶縁構造及び方法

(57)【特許請求の範囲】

【請求項1】

マイクロ電子デバイスであって、

第1の電圧構成要素の第1の電圧プレートであって、第1の側上の第1の端と反対の第2の側上の第2の端とを有する、前記第1の電圧プレートと、

前記第1の電圧構成要素の第2の電圧プレートであって、前記第1の側上の第1の端と前記第2の側上の第2の端とを有する、前記第2の電圧プレートと、

前記第1の電圧プレートと前記第2の電圧プレートとの間に配置される第1の誘電体層と、

前記第1の誘電体層と前記第1の電圧プレートとの間に配置されて浮遊している第1の導電性プレートであって、前記第1の側上の第1の端と前記第2の側上の第2の端とを有し、前記第1の導電性プレートの第1の端が前記第1の電圧プレートの第1の端を過ぎて延在し、前記第1の導電性プレートの第2の端が前記第1の電圧プレートの第2の端を過ぎて延在し、前記第2の電圧プレートの第1の端が前記第1の導電性プレートの第1の端を越えず、前記第2の電圧プレートの第2の端が前記第1の導電性プレートの第2の端を越えない、前記第1の導電性プレートと、

前記第1の導電性プレートと前記第1の電圧プレートとの間に配置される第2の誘電体層と、

絶縁破断であって、前記第1の誘電体層が前記絶縁破断で連続しないように前記第1の誘電体層内に形成され、前記第1の導電性プレートを囲む、前記絶縁破断と、

10

20

を含む、マイクロ電子デバイス。

【請求項 2】

請求項 1 に記載のマイクロ電子デバイスであって、

前記第 1 の電圧構成要素が高電圧コンデンサであり、前記第 2 の電圧プレートが前記高電圧コンデンサの下側プレートであり、前記第 1 の電圧プレートが前記高電圧コンデンサの上側プレートであり、前記第 1 の導電性プレートが前記第 1 の電圧プレートと前記第 2 の電圧プレートとから電氣的に絶縁される、マイクロ電子デバイス。

【請求項 3】

請求項 1 に記載のマイクロ電子デバイスであって、

前記第 1 の誘電体層が第 1 の厚みを有し、前記第 2 の誘電体層が第 2 の厚みを有し、前記第 1 の厚みが前記第 2 の厚みとは異なる、マイクロ電子デバイス。

10

【請求項 4】

請求項 1 に記載のマイクロ電子デバイスであって、

前記第 1 の誘電体層が、二酸化シリコンベースの誘電体材料を含む複数の誘電体層を含む、マイクロ電子デバイス。

【請求項 5】

請求項 1 に記載のマイクロ電子デバイスであって、

前記絶縁破断の外に配置される第 2 の電圧構成要素を更に含む、マイクロ電子デバイス。

【請求項 6】

請求項 1 に記載のマイクロ電子デバイスであって、

前記第 1 の誘電体層が、その中に埋め込まれた相互接続構造とビアとを有する、マイクロ電子デバイス。

20

【請求項 7】

請求項 1 に記載のマイクロ電子デバイスであって、

前記第 1 の誘電体層が、各々がその中に埋め込まれた相互接続構造とビアとを備える多数の誘電体層を含む、マイクロ電子デバイス。

【請求項 8】

請求項 1 に記載のマイクロ電子デバイスであって、

前記第 1 の導電性プレートと前記第 1 の誘電体層との間に配置される第 2 の導電性プレートと、

30

前記第 1 の導電性プレートと前記第 2 の導電性プレートとの間に配置される第 3 の誘電体層と、

を更に含む、マイクロ電子デバイス。

【請求項 9】

請求項 8 に記載のマイクロ電子デバイスであって、

前記第 1 の導電性プレートが第 1 の横方向寸法を有し、前記第 2 の導電性プレートが前記第 1 の横方向寸法と異なる第 2 の横方向寸法を有する、マイクロ電子デバイス。

【請求項 10】

キャパシタであって、

40

基板の上に配置される第 1 の導電性キャパシタプレートであって、第 1 の側上の第 1 の端と反対の第 2 の側上の第 2 の端とを有し、前記基板に形成された内部回路に電氣的に結合される、前記第 1 の導電性キャパシタプレートと、

前記第 1 の導電性キャパシタプレートの上に配置される第 1 の誘電体層と、

前記第 1 の誘電体層の上に配置される第 1 の導電性浮遊プレートであって、前記第 1 の側上の第 1 の端と前記第 2 の側上の第 2 の端とを有し、前記第 1 の導電性キャパシタプレートから電氣的に絶縁される、前記第 1 の導電性浮遊プレートと、

前記第 1 の導電性浮遊プレートの上に配置される第 2 の誘電体層と、

前記第 2 の誘電体層の上に配置される第 2 の導電性キャパシタプレートであって、前記第 1 の側上の第 1 の端と前記第 2 の側上の第 2 の端とを有し、第 1 の導電性浮遊プレート

50

から電氣的に絶縁され、外部回路に電氣的に結合されるように構成される、前記第 2 の導電性キャパシタプレートと、

を含み、

前記第 1 の導電性浮遊プレートの第 1 の端が前記第 2 の導電性キャパシタプレートの第 1 の端を越えて前記第 1 の導電性キャパシタプレートの第 1 の端の範囲まで延在し、前記第 1 の導電性浮遊プレートの第 2 の端が前記第 2 の導電性キャパシタプレートの第 2 の端を越えて前記第 1 の導電性キャパシタプレートの第 2 の端の範囲まで延在する、キャパシタ。

【請求項 1 1】

請求項 1 0 に記載のキャパシタであって、

前記第 1 の誘電体層が第 1 の厚みを有し、前記第 2 の誘電体層が第 2 の厚みを有し、前記第 1 の厚みが前記第 2 の厚みとは異なる、キャパシタ。

【請求項 1 2】

請求項 1 0 に記載のキャパシタであって、

前記第 1 の導電性浮遊プレートが、前記第 1 の導電性キャパシタプレートの横方向寸法とは異なる横方向寸法を有する、キャパシタ。

【請求項 1 3】

請求項 1 0 に記載のキャパシタであって、

前記第 1 の誘電体層が、二酸化シリコンベースの誘電体材料を含む複数の誘電体層を含む、キャパシタ。

【請求項 1 4】

請求項 1 0 に記載のキャパシタであって、

前記第 1 の誘電体層が、その中に埋め込まれた相互接続構造とビアとを有する、キャパシタ。

【請求項 1 5】

請求項 1 0 に記載のキャパシタであって、

前記第 1 の誘電体層が、各々がその中に埋め込まれた相互接続構造とビアとを備える多数の誘電体層を含む、キャパシタ。

【請求項 1 6】

請求項 1 0 に記載のキャパシタであって、

前記第 1 の導電性浮遊プレートと前記第 1 の誘電体層との間に配置される第 2 の導電性浮遊プレートであって、前記第 1 及び第 2 の導電性キャパシタプレートから電氣的に絶縁される、前記第 2 の導電性浮遊プレートと、

前記第 1 の導電性浮遊プレートと前記第 2 の導電性浮遊プレートとの間に配置される第 3 の誘電体層と、

を更に含む、キャパシタ。

【請求項 1 7】

請求項 1 6 に記載のキャパシタであって、

前記第 2 の導電性浮遊プレートが、前記第 1 の導電性浮遊プレートの横方向寸法と異なる横方向寸法を有する、キャパシタ。

【請求項 1 8】

マイクロ電子デバイスであって、

キャパシタであって、

基板の上に配置される第 1 のキャパシタプレートであって、第 1 の方向における第 1 の横方向寸法を有する、前記第 1 のキャパシタプレートと、

前記第 1 のキャパシタプレートの上に配置される第 1 の誘電体層と、

前記第 1 の誘電体層の上に配置されて前記第 1 のキャパシタプレートから電氣的に絶縁される第 1 の導電性浮遊プレートであって、前記第 1 の方向における第 2 の横方向寸法を有し、前記第 1 のキャパシタプレートが前記第 1 の導電性浮遊プレートを越えて延在しない、前記第 1 の導電性浮遊プレートと、

10

20

30

40

50

前記第 1 の導電性浮遊プレートの上に配置される第 2 の誘電体層と、

前記第 2 の誘電体層の上に配置されて前記第 1 のキャパシタプレートと前記第 1 の導電性浮遊プレートとから電氣的に絶縁される第 2 のキャパシタプレートであって、前記第 1 の方向における第 3 の横方向寸法を有し、前記第 1 の導電性浮遊プレートが前記第 1 の方向に沿った 2 つの対向する側上に前記第 2 のキャパシタプレートを過ぎて延在する、前記第 2 のキャパシタプレートと、

を含む、前記キャパシタを含み、

前記第 2 の横方向寸法が、前記第 3 の横方向寸法より大きく、前記第 1 の横方向寸法と同じ長さである、マイクロ電子デバイス。

【請求項 19】

請求項 18 に記載のマイクロ電子デバイスであって、

前記第 1 の誘電体層が、その中に埋め込まれた相互接続構造とビアとを有する、マイクロ電子デバイス。

【請求項 20】

請求項 18 に記載のマイクロ電子デバイスであって、

前記第 1 の誘電体層が、各々がその中に埋め込まれた相互接続構造とビアとを備える多数の誘電体層を含む、マイクロ電子デバイス。

【請求項 21】

マイクロ電子デバイスであって、

キャパシタであって、

基板の上に配置される第 1 のキャパシタプレートであって、第 1 の方向における第 1 の横方向寸法を有する、前記第 1 のキャパシタプレートと、

前記第 1 のキャパシタプレートの上に配置される第 1 の誘電体層と、

前記第 1 の誘電体層の上に配置される第 1 の導電性浮遊プレートであって、前記第 1 の方向における第 2 の横方向寸法を有し、前記第 1 のキャパシタプレートから電氣的に絶縁される、前記第 1 の導電性浮遊プレートと、

前記第 1 の導電性浮遊プレートの上に配置される第 2 の誘電体層と、

前記第 2 の誘電体層の上に配置される第 2 のキャパシタプレートであって、前記第 1 の方向における第 3 の横方向寸法を有し、前記第 1 のキャパシタプレートと前記第 1 の導電性浮遊プレートとから電氣的に絶縁される、前記第 2 のキャパシタプレートと、

を含む、

前記第 1 の方向に沿った 2 つの反対方向で、前記第 1 のキャパシタプレートが前記第 1 の導電性浮遊プレートを超えて延在せず、前記第 1 の導電性浮遊プレートが前記第 2 のキャパシタプレートを過ぎて延在し、

前記第 2 の横方向寸法が少なくとも前記第 1 の横方向寸法と同じぐらいに前記第 3 の横方向寸法より大きい、前記キャパシタを含む、マイクロ電子デバイス。

【請求項 22】

請求項 21 に記載のマイクロ電子デバイスであって、

前記第 1 の誘電体層が、その中に埋め込まれた相互接続構造とビアとを有する、マイクロ電子デバイス。

【請求項 23】

請求項 21 に記載のマイクロ電子デバイスであって、

前記第 1 の誘電体層が、各々がその中に埋め込まれた相互接続構造とビアとを備える多数の誘電体層を含む、マイクロ電子デバイス。

【請求項 24】

請求項 23 に記載のマイクロ電子デバイスであって、

前記多数の誘電体層に埋め込まれた前記相互接続構造と前記ビアとが、少なくとも部分的に前記キャパシタを囲むファラデーケージ構造を形成する、マイクロ電子デバイス。

【請求項 25】

請求項 24 に記載のマイクロ電子デバイスであって、

10

20

30

40

50

前記基板上に形成される１つ又はそれ以上の構成要素であって、前記ファラデーケージ構造の外に配置される、前記１つ又はそれ以上の構成要素を更に含む、マイクロ電子デバイス。

【請求項 26】

請求項 21 に記載のマイクロ電子デバイスであって、
前記第 1 のキャパシタプレートと前記第 1 の誘電体層との間に配置される第 2 の導電性浮遊プレートと、
前記第 1 の導電性浮遊プレートと前記第 2 の導電性浮遊プレートとの間に配置される第 3 の誘電体層と、
を更に含む、マイクロ電子デバイス。

10

【請求項 27】

請求項 26 に記載のマイクロ電子デバイスであって、
前記第 2 の導電性浮遊プレートが、前記第 1 の方向において前記第 2 の横方向寸法と異なる第 4 の横方向寸法を有する、マイクロ電子デバイス。

【発明の詳細な説明】

【技術分野】

【0001】

高電圧絶縁コンデンサは、高電圧コンデンサ金属を形成する金属の底部端で生じる高電界によって定格電圧が制限される。誘電体破壊を防止するために、高電圧コンデンサは、所定の動作電圧レベルの要件に対して過大サイズにされ得る。しかし、過大サイズのコンデンサ又は他の高電圧構成要素は、過剰なマイクロ電子デバイス面積を占有する。

20

【発明の概要】

【0002】

記載される例は、高電圧ノードと、低電圧ノードと、高電圧ノード及び低電圧ノード間の第 1 の誘電体と、第 1 の誘電体及び高電圧ノード間の第 1 の導電プレートと、第 1 の導電プレート及び高電圧ノード間に配置される第 2 の誘電体とを含む高電圧構成要素を備える、マイクロ電子デバイスを提供する。

【0003】

更なる記載される例は、基板の上に配置される導電性の第 1 のコンデンサプレートと、導電性下側プレートの上に配置される第 1 の誘電体と、第 1 の誘電体の上に配置される導電性の第 1 の浮遊プレートとを含むコンデンサを提供する。第 1 の浮遊プレートは、第 1 のコンデンサプレートから電氣的に絶縁される。また、コンデンサは、第 1 の浮遊プレートの上に配置される第 2 の誘電体、及び、第 2 の誘電体の上に配置される導電性の第 2 のコンデンサプレートを含み、第 2 のコンデンサプレートは、第 1 の浮遊プレートから電氣的に絶縁されている。

30

【0004】

更なる例は、基板の上に導電性の第 1 のコンデンサプレートを形成すること、導電性の下側プレートの上に第 1 の誘電体を形成すること、第 1 の誘電体の上に導電性の第 1 の浮遊プレートを形成すること、第 1 の浮遊プレートの上に第 2 の誘電体を形成すること、第 2 の誘電体の上に導電性の第 2 のコンデンサプレートを形成することを含む、マイクロ電子デバイスを形成する方法を提供する。

40

【図面の簡単な説明】

【0005】

【図 1】高及び低電圧間の浮遊プレート、及び、上側及び下側コンデンサプレートを備える高電圧コンデンサを含む、例示のマイクロ電子デバイスの部分的断面側部立面図である。

【0006】

【図 2】高電圧コンデンサプレートの角部において高電界強度を示す等電位ラインを図示する高電圧コンデンサを備える、別のマイクロ電子デバイスの部分的断面側部立面図である。

【0007】

50

【図3】図2の高電圧コンデンサプレートの下のコンデンサ誘電体における横方向距離の関数としての電界強度のグラフである。

【0008】

【図4】等電位ラインを図示する、高及び低電圧間の浮遊プレート、及び、上側及び下側コンデンサプレートを備える高電圧コンデンサを含む、別の例示のマイクロ電子デバイスを示す部分的断面側部立面図である。

【0009】

【図5】図4の高電圧コンデンサプレートの下のコンデンサ誘電体における横方向距離の関数としての電界強度のグラフである。

【0010】

【図6】等電位ラインを図示する、高及び低電圧間の浮遊プレート、及び、上側及び下側コンデンサプレートを備える高電圧コンデンサを含む、別の例示のマイクロ電子デバイスを示す部分的断面側部立面図である。

【0011】

【図7】図6の高電圧コンデンサプレートの下のコンデンサ誘電体における横方向距離の関数としての電界強度のグラフである。

【0012】

【図8】等電位ラインを図示する、高及び低電圧の間の多数の浮遊プレート、上側及び下側コンデンサプレートを有する高電圧コンデンサを含む、更に別の例示のマイクロ電子デバイスを示す部分的断面側部立面図である。

【発明を実施するための形態】

【0013】

図面において、全体を通して同様の参照番号は同様の要素を示し、種々の特徴は必ずしも一定の縮尺で描いてはいない。

【0014】

図1は、高電圧構成要素101を含むマイクロ電子デバイス100を示す。一例において、高電圧構成要素101は、1つ又は複数の追加構成要素とともに集積回路(IC)デバイスに形成される垂直高電圧コンデンサである。幾つかの例において、コンデンサ101は、ハイブリッド回路の独立した構成要素、又はその一部である。図1におけるデバイス100は、例えば、シリコンウェハ、SOI(silicon on insulator)基板、又は他の半導体構造などの、半導体基板102上に形成される。1つ又はそれ以上の絶縁構造103が、基板102の上側表面の選択部分上に形成される。絶縁構造103は、幾つかの例でシャロートレンチアイソレーション(STI)特徴又はフィールド酸化物(FOX)構造とされ得る。一例において、高電圧コンデンサ101は、基板102の上の多層メタライゼーション構造に形成される。メタライゼーション構造は、基板102の上に形成される第1の誘電体構造104を含む。一例において、第1の誘電体104は多層構造である。一例の第1の誘電体104は、プレメタル誘電体(PMD)層106の上に配置される。一例において、PMD層106は、基板102及びフィールド酸化物構造103の上に堆積される二酸化シリコン(SiO₂)を含む。図示した例において、導電性のファラデーケージ構造107が、基板102の上に形成されて、高電圧コンデンサデバイス101の全て又は一部を囲んでいる。ファラデーケージ構造107は第1の誘電体104において絶縁破断を形成し、その結果、第1の誘電体104は絶縁破断において連続しない。一例において、絶縁破断ファラデーケージ構造107は、高電圧コンデンサ101の全て又は少なくとも一部を横方向に囲んでいる。

【0015】

一例において、第1の誘電体104は多層構造である。一例において、多層構造は、集積回路製造処理を用いて多層メタライゼーション構造として形成される。図1は、本明細書では層間又はレベル間誘電体(ILD)層と称される第1の層108を含む、例示の6層誘電体構造を示す。他の実装において、異なる数層が用いられ得る。一例において、第1の誘電体の個々の層は、二酸化シリコン(SiO₂)又は他の適切な誘電体材料で形成

10

20

30

40

50

される。ある実装では、多層の第1の誘電体104の個々の層は、金属間誘電体(IMD)サブ層と、IMDサブ層の上にあるILDサブ層とを含む2段で形成される。個々のIMD及びILDサブ層は、SiO₂ベースの誘電体材料などの、任意の適切な1つ又は複数の誘電体材料で形成され得る。例示のマイクロ電子デバイス100は、高電圧コンデンサ構成要素101と、基板102上又は基板102内に形成される金属酸化物半導体(MOS)トランジスタ109などの1つ又はそれ以上の低電圧構成要素とを含む集積回路である。タングステン又は他の導電性コンタクト110が、基板102へのファラデーケージ構造107の底部接続を形成するためのコンタクト、ならびにトランジスタ109の端子へのコンタクトを含む、PMD層106の選択的部分を介して形成される。

【0016】

高電圧コンデンサ101の低電圧ノード111が、基板102の上に導電性の第1のコンデンサプレートとして形成される。低電圧ノード111は、例示の垂直コンデンサ構造101における底部コンデンサプレートを提供する。一例の低電圧ノード111は、集積回路製造の間、マルチレベルメタライゼーションプロセスの一部として、PMD層106の一部の上に形成されるアルミニウム又は他の適切な導電性材料である。第1の誘電体構造104の第1の層108は、導電性の低電圧ノード111を覆う。或る実装の低電圧ノード111は、マイクロ電子デバイス100内の1つ又はそれ以上の付加的な回路構成要素に電氣的に接続される。一例において、コンデンサ101は、外部回路(図示せず)と通信するための絶縁コンデンサとして用いられ、下側電圧コンデンサプレートは、マイクロ電子デバイス100内のトランシーバ回路要素(図示せず)に接続される。この例では、以下に更に説明する高電圧コンデンサプレートが外部回路に接続され、電圧電位障壁を介する通信を可能にする。低電圧ノード111は、図5に示されるような第1のレベル又は方法から、又は様々な実装において任意の他の金属層で形成され得る。

【0017】

第1のILD層108、及び、多層の第1の誘電体構造104における後続のILD層は、下にある層の頂部表面上に形成されるアルミニウムなどの、メタライゼーション相互接続構造112を含む。この例では、第1の層108は、層108のメタライゼーション特徴112から、上にあるメタライゼーション層への電氣的接続を提供する、タングステンなどの導電性ビア113も含む。図1は7層メタライゼーション構造を示しているが、任意の数のメタライゼーション層も用いられ得る。図示した例において、第2の層114が、第1の層108の上に形成され、導電性の相互接続構造112及びビア113を含む。図示された構造は、対応する誘電体層115、116、117、及び118を備えるメタライゼーションレベルを更に含む。個々の層115~118は、導電性の相互接続構造112及び関連するビア113を含む。この例では、ファラデーケージ構造107は、タングステンコンタクト110、相互接続構造112、及びビア113を介して、基板102の連続的接続によって形成されて、高電圧コンデンサ101を概して囲み、マイクロ電子デバイス100内の他の回路から電氣的に絶縁する。このようにして、トランジスタ109及び他の低電圧構成要素は、コンデンサ101の高電圧ノード及び他の高電圧特徴から電氣的に絶縁され得る。また、ファラデーケージ構造107の導電性構造110、112及び113によって提供される絶縁遮断内の層108及び114~117を含む第1の誘電体104は、高電圧コンデンサ101のための第1の誘電体を提供する。

【0018】

コンデンサ101は、第1の誘電体104の上に配置される導電性の第1の浮遊プレート120を更に含む。図示した例において、第1の浮遊プレート120は、アルミニウムなどの導電プレートであり、誘電体レベル118におけるメタライゼーションレベル特徴の一部として形成される。導電性の浮遊プレート120は、マイクロ電子デバイスの静電容量密度を高める。第1の浮遊プレート120は、第1コンデンサプレート111と上側コンデンサプレートから電氣的に絶縁される。一例において、浮遊プレート120は、誘電体材料層117及び118によって完全に封止される。この例の第1誘電体104は、浮遊プレート120の下側表面と低電圧ノード111の上側表面との間(図1のY方向)

10

20

30

40

50

に第1の厚み121を有する。

【0019】

高電圧コンデンサ101は、第1の浮遊プレート120の上に配置される第2の誘電体123を更にも含む。この例では、第2の誘電体123は、第1の浮遊プレート120に重なる誘電体層118の部分によって形成される。また、コンデンサ101は、第2の誘電体123の上に配置される導電性の第2の又は上側コンデンサプレート130を含む。図示した例において、第2のコンデンサプレート130は、第2の誘電体123の頂部表面の上に形成される、アルミニウムなどの導電プレートである。第2コンデンサプレート130は、第1コンデンサプレート111及び浮遊プレート120から電氣的に絶縁される。浮遊プレート120の上にある第2の誘電体123は、第1の浮遊プレート120の上側表面と高電圧ノード130の下側表面との間に（Y方向に沿って）厚み122を有する。第1及び第2の厚み121及び122は同じであってもよい。或る例では、第1の厚み121は第2の厚み122とは異なる。図1の例では、第1の厚み121は第2の厚み122よりも著しく大きい。一例において、コンデンサ誘電体104、123の厚み121及び122は、少なくとも2 μ mであり、低電圧ノード111及び場合によっては基板102に対する、高電圧ノード130の所望の動作電圧によって決定され得る。例えば、高電圧ノード130が1000ボルトで動作するように設計される高電圧コンデンサ101のバージョンが、5ミクロン~20ミクロンの層121及び122の組み合わせ厚みを有するコンデンサ誘電体104、123を有し得る。

10

【0020】

マイクロ電子デバイス100は更に、上側IMD誘電体層124と、例えば、シリコン窒化物(SiN)、シリコンオキシナイトライド(SiO_xN_y)、又は二酸化シリコン(SiO₂)などの保護オーバーコート(PO)層126及び128とを含む。一例において、層124、126、及び128は、外部回路(図示せず)に接続される第2のコンデンサプレート130の上側表面へのボンドワイヤ構造134の接続を可能にする開口を含む。この例では、第2のコンデンサプレート130は、高電圧コンデンサ101の高電圧ノードを提供する。

20

【0021】

図1に示されるように、高電圧コンデンサ101は、低電圧ノード111と高電圧ノード130との間に配置される第1の誘電体104によって分離される、高電圧ノード130(例えば、導電性上側コンデンサプレート)及び低電圧ノード111(例えば、導電性下側コンデンサプレート)を含む。図1の高電圧構成要素101は、第1の誘電体104と高電圧ノード130との間に配置される第1の導電プレート120を含む。また、高電圧構成要素101は、第1の導電プレート120と高電圧ノード130との間に配置される第2の誘電体123を含む。一例において、第1の導電プレート120は浮遊しており、低電圧ノード111及び高電圧ノード130から電氣的に絶縁される。

30

【0022】

高電圧ノード130は、第1及び第2の誘電体104及び123によって低電圧ノード111から絶縁されており、コンデンサ構造101は、高電圧ノード130と低電圧ノード111との間の付加された浮遊プレート120を含む。オペレーションにおいて、コンデンサプレート111及び130間に導電性浮遊プレート120を設けることによって、コンデンサ誘電体材料104及び123における電界分配が改変される。

40

【0023】

図2及び図3も参照すると、図2は、上側コンデンサプレート202、下側導電性コンデンサプレート204、及び介在誘電体材料206によって形成される高電圧コンデンサを有するマイクロ電子デバイス200を示す。図2におけるコンデンサは、下側コンデンサプレート204の下にフィールド酸化層構造210を備える基板208の上に形成される。ファラデーケージ構造212が、コンデンサの側面から離間されている。図2は、上側コンデンサプレート202が下側コンデンサプレート204の電圧に対して高電圧であるときの、例示的な等電位ライン214を示す。電界強度は、等電位ライン214が上側

50

コンデンサプレート 202 の横方向底部端付近の誘電体材料 206 において互いに近接しているところが高くなる。図 3 は、電界強度 301 が上側コンデンサプレート 202 の横方向端において距離 D1 で有意なピークに達する電界強度曲線 301 を示すグラフ 300 を示す。誘電体材料破壊を回避するため、図 2 のコンデンサは、曲線 301 のピークが誘電体材料 206 の降伏電圧閾値を下回るように、所与の破壊定格電圧に対して過大サイズにされる。

【0024】

図 1 に戻り、浮遊プレート 120 を高電圧構成要素 101 内に設けることは、浮遊プレート 120 を備えないコンデンサ設計（例えば、図 2）と比較して、高電圧ノード 130 の底部角部付近の電界レベルを有利に減少させる。高電圧ノード 130 は第 1 の横方向寸法 131（例えば、図 1 の X 方向に沿った幅）を有する。低電圧ノード 111 は第 2 の横寸法 132 を有し、第 1 の導電プレート 120 は、第 3 の横寸法 133 を有する。図 1 の例では、浮遊プレート 120 は高電圧ノード 130 より広い（浮遊プレート幅寸法 133 は上側コンデンサプレート幅寸法 131 より大きい）。また、浮遊プレート 120 は、下側コンデンサプレート 111 よりも上側コンデンサプレート 130 に近い。種々の実装において、コンデンサプレート 111 及び 130 に対する浮遊プレート 120 の相対的なサイズ及び位置は、コンデンサ 101 を過大サイズにすることを必要とせず、所与の電圧破壊定格レベルを満たすように、第 1 及び第 2 の誘電体材料 104 及び 123 における電界強度を制御するように調整され得る。これは、スタンドアロン高電圧構成要素製品であろうと集積回路であろうと、マイクロ電子デバイス 100 における面積を有利に節約する。

【0025】

図 4 は、高電圧ノード 130 と低電圧ノード 111 との間に浮遊プレート 120 を備える高電圧コンデンサ 101 を含む、別の例示のマイクロ電子デバイス 400 を示す。また、図 4 は、高電圧ノード 130 が低電圧ノード 111 の電圧に対して高電圧である場合の等電位ライン 402 を示す。コンデンサ 101 は概して上述の通りである。この例では、浮遊プレート 120 は、高電圧ノード 130 よりも低電圧ノード 111 に近い。（Y 方向に沿った）第 2 の誘電体 123 の厚み寸法 122 は、第 1 の誘電体 104 の厚み寸法 121 よりも大きい。また、浮遊プレート 120（図 4 の X 方向に沿った）横方向幅寸法 133 は、高及び低電圧ノード 130 及び 111 の横方向幅寸法 131 及び 132 よりも大きい

【0026】

図 5 は、図 4 のコンデンサにおけるコンデンサ誘電体 123 及び 104 における横方向位置（X 方向に沿った）の関数として、2 つの例示的な誘電体位置における対応する電界強度を示すグラフ 500 を提供する。特に、図 5 の第 1 の曲線 501 は、高電圧ノード 130 のすぐ下の第 2 の誘電体 123 における垂直位置 404（図 4）における X 方向位置の関数としての電界強度を示す。曲線 501 は、高電圧ノード 130 の横方向端に対応する第 1 の距離 D1 におけるピークを含む。図 5 の第 2 の曲線 502 は、浮遊プレート 120 のすぐ下の第 1 の誘電体 104 における第 2 の垂直位置 406（図 4）における X 方向位置の関数としての電界強度を示す。曲線 502 は、浮遊プレート 120 の横方向端に対応する第 2 の距離 D2 におけるピークを含む。この例の、より広い浮遊プレート 120（上述した図 1 の例に類似）は、等電位ライン 402 を横方向外側に伸ばして、高電圧ノード 130 の底部横方向端付近の等電位ライン密集を減少させる傾向がある。浮遊プレート 120 の横方向の広がり、コンデンサ誘電体 104 及び 123 の電界強度のピークを調整するために調節することができ、その結果、すべてのピークレベル（例えば、曲線 501 及び 502 におけるピークを含む）が所与の誘電体材料及び所与の動作の定格電圧に対する破壊公差レベル未満になるように、コンデンサ 101 が調整され得る。

【0027】

図 6 及び図 7 を参照すると、別の例示のマイクロ電子デバイス 600 が、高電圧ノード 130 と、低電圧ノード 111 と、第 1 及び第 2 誘電体 104 及び 123 と、概して上述のような浮遊プレート 120 とを含む高電圧コンデンサ 101 を含んで示される。また、図 6 は、高電圧ノード 130 が低電圧ノード 111 より高電圧である場合の等電位ライン

602を示す。この例では、浮遊プレート120は、低電圧ノード111よりも高電圧ノード130に近い。(Y方向に沿った)第2の誘電体123の厚み寸法122は、第1の誘電体104の厚み寸法121よりも小さい。図4の例と同様に、浮遊プレート120の(図6のX方向に沿った)横方向幅寸法133は、高及び低電圧ノード130、111の横方向幅寸法131、132よりも大きい。

【0028】

図7は、図6におけるコンデンサ誘電体123及び104における(X方向に沿った)横方向位置の関数として、2つの例示的な誘電体位置604及び606における電界強度のグラフ700を示す。グラフ700は、高電圧ノード130のすぐ下の第2の誘電体123における垂直位置604(図4)における電界強度を示す第1の曲線701を含む。第1の曲線701は、高電圧ノード130の横方向端に対応する第1の距離D1におけるピークを含む。グラフ700は、浮遊プレート120のすぐ下の第1の誘電体104における第2の垂直位置606における電界強度を示す第2の曲線702を含む。曲線702は、浮遊プレート120の横方向端に対応する第2の距離D2におけるピークを含む。図6における浮遊プレート120は、等電位ライン602を横方向外側に伸ばして、高電圧ノード130の底部横方向端付近の等電位ライン密集を減少させる。この場合、浮遊プレート120の下の第1の誘電体104における曲線702の電界強度ピークは、高電圧ノード130の下の曲線701のピークよりも高くなる。

10

【0029】

図8を参照すると、更なる例において、2つ又はそれ以上の浮遊プレートを、高及び低電圧ノード130と111との間に含めることができる。図8は、概して上述したような高電圧コンデンサ101を備える、別の例示のマイクロ電子デバイスを示す。この例では、高電圧コンデンサ101は、コンデンサプレート130と111との間に、複数の浮遊プレート800、802、及び120を含む。この例はまた、更なる誘電体層804及び806を含む。また、浮遊プレート800、802、及び120は、それぞれ、異なる横方向長さ133、803、及び801を有する。この例では、コンデンサ101は、低電圧ノード111と最も下の浮遊プレート800との間に深さ寸法121を有する第1の誘電体104を含む。また、第2の誘電体123は、厚み寸法122で、高電圧ノード130と第1の浮遊プレート120との間に配置される。この例における第2の浮遊プレート802は、第1の浮遊プレート120と第1の誘電体104との間に配置される。また、この例における第2の浮遊プレート802は、第1の浮遊プレート120よりも長い横方向寸法803を有する。厚み寸法807を有する第3の誘電体806が、第1の浮遊プレート120と第2の浮遊プレート802との間に配置される。第3の浮遊プレート800は、第2の浮遊プレート802よりも長い横方向寸法801を有する。第2及び第3の浮遊プレート802と800との間に、厚み寸法805を有する第4のコンデンサ誘電体804が形成される。図8は、低電圧ノード111よりも高い電圧で高電圧ノード130とのオペレーションのための等電位ライン808を示す。図8における等電位ライン808は、浮遊プレート800、802、及び120の横方向端において高電界強度を示す密集を示す。また、上記の例のように、浮遊プレート800、802、及び120の存在は、高電圧ノード130の横方向端付近の等電位ライン密集を減少させる傾向がある。

20

30

40

【0030】

上記の例における1つ又はそれ以上の浮遊プレート120、800、802の使用は、高電圧電子構成要素101の電界分布を有利に制御する。具体的な設計は、得られる高電圧コンデンサ101の最大定格電圧を改善するため、及び/又は、所与の最大定格電圧に対するコンデンサ101のサイズを低減するために、コンデンサ101における高電界点の大きさを減少させるように調整され得る。このようにして、導電性浮遊プレート120を形成することは、マイクロ電子デバイスの静電容量密度を高める。また、浮遊プレートを用いる或る実装が、プレート間の電界を有利に増大させることができ、その横方向端から離すことにより、高電圧構成要素101の静電容量を増大させることができる。記載される例は、任意の一つ又は複数のタイプのコンデンサ誘電体材料及び任意の適切な導電プ

50

レート材料に関連して用いられ得る。いくつかの実施例は集積回路製造プロセスの一部として製造することができ、1つ又は複数のメタライゼーション層マスクが、選択されたメタライゼーション層又はレベル間に、1つ又は複数の浮遊プレート120、800、802を提供するように選択的に改変される。また、そのようなマスク変形は、特定の誘電体材料破壊定格電圧及びコンデンサ動作電圧レベルのための所与の設計を調整するために、任意の所望の横方向浮遊プレート寸法を提供するように設計され得る。一例において、上述のマイクロ電子デバイスは、導電性の第1のコンデンサプレート（例えば、低電圧ノード111）を基板（例えば、半導体基板102）の上に形成すること、及び、第1の誘電体（例えば、誘電体104）を導電性下側プレート111の上に形成することによって製造され得る。第1の誘電体は複数の誘電体層（例えば、108、114～117）として形成され得る。この例の製造プロセスは、第1の誘電体104の上に導電性第1の浮遊プレート（例えば、浮遊プレート120）を形成すること、第1の浮遊プレート120の上に第2の誘電体（例えば、123）を形成すること、第2の誘電体123の上に導電性第2のコンデンサプレート（例えば、高電圧ノード130）を形成することを更に含む。図1において上述したように、この製造プロセスはまた、第1の誘電体104に絶縁破断107を形成して、第1の誘電体104が絶縁破断において連続しないようにし、絶縁破断107が第1の浮遊プレート120を囲むようにすることを含み得る。或る実施例において、この製造プロセスは、基板102上又は基板102内に1つ又はそれ以上の低電圧構成要素（例えば、図1109のトランジスタ）を形成することも含み得る。

【0031】

本発明の特許請求の範囲内で、説明した例示の実施例において、改変が成され得、他の実施例が可能である。

10

20

30

40

50

【図面】
【図 1】

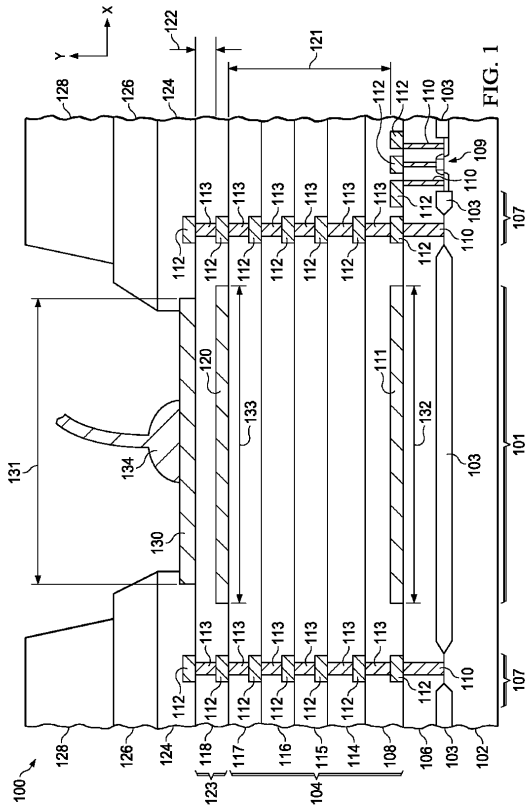


FIG. 1

【図 2】

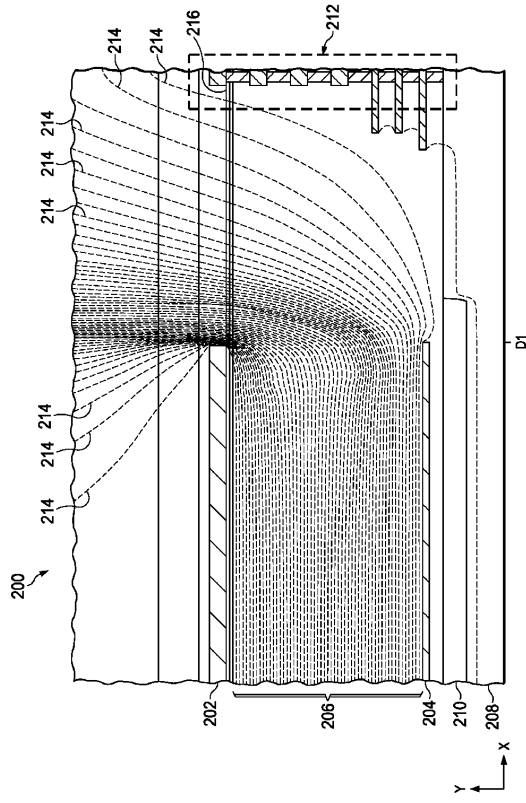


FIG. 2

【図 3】

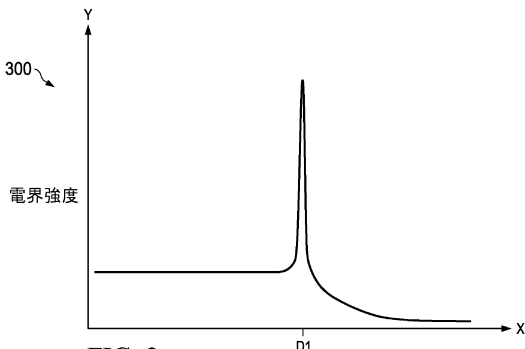


FIG. 3

【図 4】

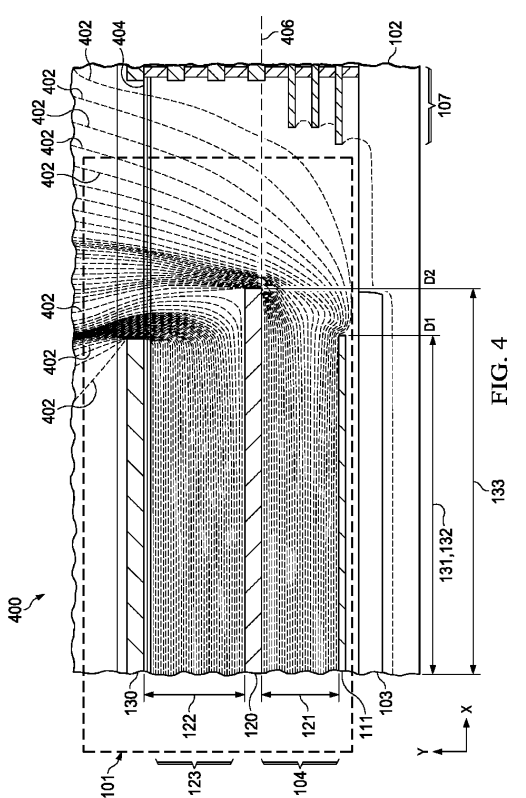


FIG. 4

10

20

30

40

50

フロントページの続き

審査官 鈴木 聡一郎

(56)参考文献 特開 2014 - 229711 (JP, A)

特開 2004 - 288786 (JP, A)

特表 2008 - 532308 (JP, A)

特開 2016 - 028407 (JP, A)

(58)調査した分野 (Int.Cl., DB名)

H01L 21/336

H01L 21/822

H01L 27/04

H01L 29/786

H01G 4/33