(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第3724654号
(P3724654)
(45)発行日　平成17年12月7日(2005.12.7)　(24)登録日　平成17年9月30日(2005.9.30)

(51)Int.Cl.[7]　F I
G11C 11/409　G11C 11/34 354P
G11C 11/407　G11C 11/34 362S

請求項の数 5　(全 24 頁)

(21)出願番号　特願平7-194229
(22)出願日　平成7年7月6日(1995.7.6)
(65)公開番号　特開平9-27192
(43)公開日　平成9年1月28日(1997.1.28)
審査請求日　平成13年8月7日(2001.8.7)

(73)特許権者　000005108
株式会社日立製作所
東京都千代田区丸の内一丁目６番６号
(74)代理人　100081938
弁理士　徳若　光政
(72)発明者　門馬　敦子
東京都青梅市今井２３２６番地　株式会社日立製作所　デバイス開発センタ内
(72)発明者　松本　美紀
東京都青梅市今井２３２６番地　株式会社日立製作所　デバイス開発センタ内
(72)発明者　大石　貢時
東京都青梅市今井２３２６番地　株式会社日立製作所　デバイス開発センタ内

最終頁に続く

(54)【発明の名称】半導体集積回路装置

(57)【特許請求の範囲】

【請求項１】

第１入力回路と第２入力回路とを含む半導体集積回路装置であって、

上記第１入力回路は、上記半導体集積回路装置の外部から供給される外部クロック信号と第１基準電位とをそれぞれのゲートに受ける一対の第１ＭＯＳＦＥＴを含む差動増幅回路であり、

上記第２入力回路は、上記半導体集積回路装置の外部から供給された入力信号と、上記入力信号のハイレベルとロウレベルとの間の電位である第２基準電位とを受けるラッチ回路と、内部クロック信号に応答する制御信号を受けて上記ラッチ回路に動作電圧として接地電位を供給するＭＯＳＦＥＴとを含み、

上記第１基準電位は、上記外部クロック信号のハイレベルとロウレベルとの間の電位であり、

上記第１入力回路は、上記外部クロック信号に基づいて上記内部クロック信号を出力し、

上記内部クロック信号の振幅は、上記外部クロック信号の振幅よりも大きく、

上記ラッチ回路は、上記入力信号の振幅よりも大きな振幅を有し、かかる入力信号に対応した内部信号を形成することを特徴とする半導体集積回路装置。

【請求項２】

請求項１において、

上記半導体集積回路装置は、内部回路を更に含み、

上記ラッチ回路によって形成された上記内部信号は相補信号であり、
上記ラッチ回路は、上記相補信号をそれぞれ出力する第１ノードと第２ノードとを含み、
上記第２入力回路は、上記第１ノードと上記第２ノードに結合された信号線対と、上記信号線対のそれぞれに上記入力信号と上記第２基準電位を伝送する第１伝送回路と、上記内部回路に上記信号線対の電位を伝送する第２伝送回路と、上記信号線対を上記第２基準電位にプリチャージするプリチャージ回路とを含むことを特徴とする半導体集積回路装置。
【請求項３】
請求項２において、
上記制御信号は、内部クロック信号のレベルの変化に応答して形成される第１パルス信号と、上記外部クロック信号のレベルの変化に応答して形成され且つ上記第１パルス信号が形成された後に形成される第２パルス信号とを含み、
上記第１伝送回路は、上記第１パルス信号に応答して動作し、
上記第２伝送回路は、上記第２パルス信号に応答して動作することを特徴とする半導体集積回路装置。
【請求項４】
請求項３において、
上記制御信号は、上記外部クロック信号が第１レベルに設定されたことに応答して形成される第３パルス信号を更に含み、
上記プリチャージ回路は、上記第３パルス信号に応答して上記信号線対に上記第２基準電位を供給することを特徴とする半導体集積回路装置。
【請求項５】
請求項４において、
上記第１伝送回路は、上記入力信号を受ける第３ノードと、上記第２基準電位を受ける第４端子と、上記第３ノードと上記信号線対の一方との間に結合されたソース－ドレイン経路と上記第１パルス信号を受けるゲートとを含む第１ＭＯＳＦＥＴと、上記第４端子と上記信号線対の他方との間に結合されたソース－ドレイン経路と上記第１パルス信号を受けるゲートとを含む第２ＭＯＳＦＥＴとを含み、
上記第２伝送回路は、上記信号線対の上記一方と上記内部回路との間に結合されたソース－ドレイン経路と上記第２パルス信号を受けるゲートと含む第３ＭＯＳＦＥＴと、上記信号線対の上記他方と上記内部回路との間に結合されたソース－ドレイン経路と上記第２パルス信号を受けるゲートとを含む第４ＭＯＳＦＥＴとを含み、
上記プリチャージ回路は、上記信号線対の上記一方と上記第２基準電位との間に結合されたソース－ドレイン経路と上記第３パルス信号を受けるゲートとを含む第５ＭＯＳＦＥＴと、上記信号線対の上記他方と上記第２基準電位との間に結合されたソース－ドレイン経路と上記第３パルス信号を受けるゲートとを含む第６ＭＯＳＦＥＴと、上記信号線対の間に結合されたソース－ドレイン経路と上記第３パルス信号を受けるゲートとを含む第７ＭＯＳＦＥＴとを含み、
上記ラッチ回路は、上記第１ノードに結合された入力ノードと上記第２ノードに結合された出力ノードを含む第１ＣＭＯＳインバータと、上記第１ＣＭＯＳインバータの上記入力ノードに結合された出力ノードと上記第１ＣＭＯＳインバータの出力ノードに結合された入力ノードとを含む第２ＣＭＯＳインバータとを含むことを特徴とする半導体集積回路装置。
【発明の詳細な説明】
【０００１】
【産業上の利用分野】
この発明は、半導体集積回路装置に関し、特にクロック信号に同期して信号の入出力が行われるシンクロナスダイナミック型ＲＡＭ（ランダム・アクセス・メモリ）のような半導体集積回路装置における低振幅信号用のインターフェイス技術に利用して有効な技術に関

するものである。

【０００２】

【従来の技術】

パーソナルコンピュータやワークステーションといったような情報処理装置は、１つの伝送路に複数の情報処理部が並列形態に接続されて相互に情報の伝達を行うといういわゆるバス回路が用いられる。このバス回路の低消費電力化等のためにＧＴＬ（Gunning Transceiver Logic)がある。このＧＴＬは、従来のＴＴＬ（トランジスタ・トランジスタ・ロジック）レベルよりもバス線路上の信号振幅を半分以下に低下させて低消費電力化を図るものである。すなわち、バス回路の終端電圧Ｖｔを＋１．２Ｖのような低電圧とし、受信回路は、０．８Ｖのような基準電圧Ｖref を持つ差動増幅回路を用いるようにする。これにより、信号伝送路に伝えられるハイレベルとロウレベルは、終端電圧Ｖｔに対応した１．２Ｖと、出力ＭＯＳＦＥＴのオン抵抗による電圧降下分による０．４Ｖとされる。上記のＧＴＬに関しては、1992年 2月19日付『アイ・エス・エス・シー・シー』論文頁58～頁59 (ISSCC;International Solid State Circuit Conference 1992 2/19 pp.58-59) がある。

【０００３】

【発明が解決しようとする課題】

本願発明者等においては、上記ＧＴＬを代表とするようにバス回路での信号の低振幅化に適用できるインターフェイスを持つダイナミック型ＲＡＭ等の半導体集積回路装置を検討した。このようなＧＴＬでは差動入力回路を用いるものであるが、定常的に直流電流を流すものであるたために入力インターフェイス部での消費電流が増大してしまうという問題が生じる。

【０００４】

この発明の目的は、低振幅入力インターフェイスの低消費電力化を図った半導体集積回路装置を提供することにある。この発明の前記ならびにそのほかの目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【０００５】

【課題を解決するための手段】

本願において開示される発明のうち代表的なものの概要を簡単に説明すれば、下記の通りである。すなわち、クロック信号に同期して信号の入力又は出力が行われ、かつ外部に対しては電源電圧に対して小さな信号振幅にされた信号の授受を行うようにされた低振幅の入出力インターフェイスを持つ半導体集積回路装置において、外部から供給されるクロック信号を受ける入力回路としては実質的に定常的に動作させられる差動回路で取り込み、上記クロック信号に同期して入力される低振幅の入力信号を受ける入力回路については、差動回路を上記クロック信号により間欠的に動作させ、かかる差動回路が動作期間中は取り込まれた内部信号を上記内部クロック信号によりサンプリングし、差動回路の非動作期間中は上記サンプリングした信号をホールドさせる。

【０００６】

【作用】

上記した手段によれば、定常的に動作する必要のある入力回路を除いた他の多数の入力回路を間欠的に動作させることができるため、消費電流を大幅に低減することができる。

【０００７】

【実施例】

図１には、この発明に係る半導体集積回路装置における入力回路の一実施例の概略ブロック図が示されている。この実施例の半導体集積回路装置は、外部端子ＣＬＫから供給されたクロック信号に同期して、外部端子Ｃｏｍから制御信号（ｃommand) が入力される。同図では省略れているが、他の入力信号としてアドレス信号（Ａddress) やデータ（Ｄata) も入力されるものであれば、上記同様にクロック信号に同期して入力される。

【０００８】

上記外部端子から入力される入力信号は、電源電圧に対して小さな信号振幅にされた低振幅である。特に制限されないが、このような低振幅信号の例としては、前記のようなＧＴ

Ｌ信号がある。このようなＧＴＬ信号の他に、電源電圧に対して小さな信号振幅とされるものであれば何であってもよい。

【０００９】

上記のような低振幅のクロック信号ＣＬＫを取り込むために、第１の入力回路ＤＩＦＣ１が設けられる。上記入力回路ＤＩＦＣ１は、実質的に定常的に動作させられる差動増幅回路が用いられる。差動増幅回路の一方の入力には、上記低振幅のクロック信号が供給され、他方の入力にはその中間電圧に設定された基準電圧Ｖrefin が供給される。上記入力回路ＤＩＦＣ１は、上記基準電圧Ｖrefin に対してクロック信号ＣＬＫがハイレベル／ロウレベルを識別して、それを増幅して内部の電源電圧に対応したハイレベル／ロウレベルの内部信号を形成する。かかる内部信号は、バッファ回路Ｂuffer を介して内部回路に取り込まれる。

【００１０】

内部回路の１つは、特に制限されないが、上記バッファ回路Ｂuffer の出力信号と上記入力回路ＤＩＦＣ１と同様な図示しない他の入力回路を通して取り込まれた内部クロックイネーブル信号ＩＣＫＥとを受けて、内部クロックＩＣＬＫを形成するクロックイネーブル回路（ＣＬＫ　enable）である。他の内部回路は、クロック信号に同期して外部端子Ｃｏｍから制御信号を受ける第２の入力回路ＤＩＦＣ２及びそのバッファ回路Ｂuffer である。つまり、上記バッファ回路Ｂuffer から出力される１つの内部クロック信号／Ｃ－ＣＬＫは、上記第２の入力回路ＤＩＦＣ２を間欠的に動作させるために用いられ、他の内部クロック信号／Ｃ－ＣＬＫ２は、バッファ回路Ｂuffer のサンプリングとホールド動作に用いられる。上記のように第２の入力回路ＤＩＦＣ２が間欠的に動作させられることに応じて、消費電力をそのパルスデューティに対応して大幅に低減させることができる。

【００１１】

図２には、上記第１の入力回路ＤＩＦＣ１の一実施例の回路図が示されている。本願の図面において、ＰチャンネルＭＯＳＦＥＴはチャンネル部分（基板ゲート部分）に矢印が付加されることにより、ＮチャンネルＭＯＳＦＥＴと区別される。また、図面が複雑になってしまうのを防ぐために、各図面の回路素子に付加される回路記号が、互いに重複するものがあるが、それぞれは別個の回路機能を実現するものであると理解されたい。

【００１２】

差動形態にされたＰチャンネルＭＯＳＦＥＴＱ１とＱ２のゲートには、それぞれ基準電圧Ｖrefin と低振幅の入力信号ＩＮとが供給される。上記差動ＭＯＳＦＥＴＱ１とＱ２のドレイン側と回路の接地電位との間には、ＮチャンネルＭＯＳＦＥＴＱ３とＱ４からなる電流ミラー形態のアクティブ負荷回路が設けられる。そして、上記差動ＭＯＳＦＥＴＱ１とＱ２の共通化されたソースと電源電圧ＶＣＣとの間には、Ｐチャンネル型からなる電流源ＭＯＳＦＥＴＱ５が設けられる。なお、バッファ回路Ｂuffer としてＣＭＯＳインバータ回路等が適宜に設けられるが、同図では省略されている。

【００１３】

この実施例の半導体集積回路装置は、非動作期間（スタンバイ状態又はスリープ状態）において必要な回路部分のみを動作させ、他の回路を非動作状態にさせるという、いわゆる低消費電力モードを備え、かかる低消費電力モードを指示する制御信号ＰＷＤＭにより、上記電流源ＭＯＳＦＥＴＱ５をオフ状態にさせるようにするものである。つまり、上記低消費電力モードのときには、クロック信号の入力も停止して、入力回路ＤＩＦＣ１での電流消費を低減させるようにするものである。このような低消費電力モードにしたとき、入力回路ＤＩＦＣ１の出力がフローティング状態になるのを防止するために、ＮチャンネルＭＯＳＦＥＴＱ６が設けられ、そのゲートに上記制御信号ＰＷＤＭが供給される。制御信号ＰＷＤＭにより電流源ＭＯＳＦＥＴＱ５がオフ状態にされたとき、入力回路ＤＩＦＣ１の出力信号は、上記ＭＯＳＦＥＴＱ６のオン状態により回路の接地電位に固定される。

【００１４】

図３には、上記第２の入力回路ＤＩＦＣ２の一実施例の回路図が示されている。上記第２の入力回路ＤＩＦＣ２は、入力信号ＩＮがクロック信号ＣＬＫに同期して入力されること

に着目し、その電流消費を低減させるためにクロック信号／Ｃ－ＣＬＫにより間欠的に動作させられる。つまり、上記図２と同様な構成にされたＭＯＳＦＥＴＱ１～Ｑ６からなる差動増幅回路において、電流源ＭＯＳＦＥＴＱ５のゲートには、オアゲート回路Ｇ１を通して上記クロック信号／Ｃ－ＣＬＫが供給される。この実施例では、前記のような低消費電力モードのときは無条件で上記電流源ＭＯＳＦＥＴＱ５をオフ状態にさせるために、上記オアゲート回路Ｇ１が設けれ、上記制御信号ＰＷＤＭがクロック信号／Ｃ－ＣＬＫとともに供給される。

【００１５】

上記のようにＭＯＳＦＥＴＱ１～Ｑ５からなる差動増幅回路がクロック信号／Ｃ－ＣＬＫにより間欠的に動作させられることに対応して、かかる差動増幅回路の増幅出力を受けるバッファ回路Ｂuffer には、サンプリング・ホールド機能が持たされる。つまり、バッファ回路Ｂuffer は、クロック信号／Ｃ－ＣＬＫ２が供給され、差動増幅回路が動作状態のときには、かかる増幅出力信号をサンプリングし、上記差動増幅回路が非動作状態のときには上記取り込んだ増幅出力信号を保持するというホールド動作を行う。このため、バッファ回路Ｂuffer としては、スルー・ラッチ回路を用いることができる。このような回路に代えて、クロック信号／Ｃ－ＣＬＫ２によりオン状態にされる伝送ゲートＭＯＳＦＥＴと、伝送ゲートＭＯＳＦＥＴを通して入力された信号がゲートに供給され、そのゲート入力容量をキャパシタとして用いるようにしたＣＭＯＳインバータ回路からサンプルホールド回路を用いるものであってもよい。

【００１６】

図４には、上記第１の入力回路ＤＩＦＣ１の他の一実施例の回路図が示されている。この実施例では、一対のＮチャンネル型ＭＯＳＦＥＴＱ１とＱ２のゲートとソース間に入力信号ＩＮと基準電圧Ｖrefin とがそれぞれ供給される。つまり、入力ＭＯＳＦＥＴＱ１とＱ２は、Ｎチャンネル型ＭＯＳＦＥＴから構成されて、ソースには回路の接地電位が供給される。これにより、ＭＯＳＦＥＴＱ１とＱ２は、それぞれのゲートとソース間に供給された入力電圧に対応された電流信号を形成するようにされる。

【００１７】

特に制限されないが、入力信号が上記ＧＴＬ回路に対応された信号である場合には、入力ＭＯＳＦＥＴＱ１とＱ２のしきい値電圧は、０．４Ｖのような低いしきい値電圧を持つようにされ、基準電圧Ｖrefin は０．８Ｖのような電圧にされる。この実施例では、差動増幅回路のように基準電圧Ｖrefin によるレベルセンスを行うのではなく、入力信号ＩＮと基準電圧Ｖrefin に対応した電流センス動作を行うようにされる。つまり、入力信号ＩＮがハイレベルのときのＭＯＳＦＥＴＱ１のドレイン電流と、入力信号ＩＮがロウレベルのときのＭＯＳＦＥＴＱ１のドレイン電流の約半分の電流をＭＯＳＦＥＴＱ２が形成するようにされる。このため、基準電圧Ｖrefin は前記図２の実施例とは異なり、必ずしもレベルが上記入力信号ＩＮのハイレベルとロウレベルの中間レベルである必要はない。

【００１８】

例えば、上記のＧＴＬの例で説明すると、ＭＯＳＦＥＴＱ１に比べてＭＯＳＦＥＴＱ２のチャンネル幅を１／２にして、そのゲートに１．２Ｖのようなバス回路の終端電圧Ｖｔを印加するようにしてもよい。あるいは、ＭＯＳＦＥＴＱ１とＱ２のサイズを等しくし、ＭＯＳＦＥＴＱ２のゲートには上記終端電圧Ｖｔを印加し、ＭＯＳＦＥＴＱ１とＱ２のドレイン間に設けられたＰチャンネル型ＭＯＳＦＥＴＱ３とＱ４からなる電流ミラー回路において、ＭＯＳＦＥＴＱ３のサイズをＭＯＳＦＥＴＱ４の２倍として、ＭＯＳＦＥＴＱ２のドレイン電流に対して、入力信号ＩＮがハイレベルのときには約２倍の電流を供給するようにしてもよい。

【００１９】

つまり、この実施例の回路では、入力信号ＩＮがロウレベルのときには、それに対応したＭＯＳＦＥＴＱ１のドレイン電流がＭＯＳＦＥＴＱ３とＱ４を介してＭＯＳＦＥＴＱ２のドレインに供給される。このときには、上記のようにＭＯＳＦＥＴＱ２のドレイン電流の方が大きいから出力ＯＵＴをロウレベルにディスチャージさせて回路の接地電位のような

ロウレベルの出力信号を形成する。これに対して、入力信号ＩＮがハイレベルのときには、それに対応したＭＯＳＦＥＴＱ１のドレイン電流がＭＯＳＦＥＴＱ３とＱ４を介してＭＯＳＦＥＴＱ２のドレインに供給される。このときには、上記のように電流ミラー回路を通したＭＯＳＦＥＴＱ１のドレイン電流の方がＭＯＳＦＥＴＱ２のドレイン電流より大きいから出力ＯＵＴをハイレベルにチャージアップさせて電源電圧ＶＣＣのようなハイレベルを形成する。

【００２０】

この実施例では、上記電流ミラー回路を構成するＭＯＳＦＥＴＱ３とＱ４のソースには、電圧供給用のパワースイッチＭＯＳＦＥＴＱ５が設けられる。このＭＯＳＦＥＴＱ５のゲートには、上記のような低消費電力モードのときの消費電流を削減するための制御信号ＰＷＤＭが供給される。このような低消費電力モードが無い半導体集積回路装置では、上記ＭＯＳＦＥＴＱ３とＱ４のソースは、電源電圧ＶＣＣが印加される。

【００２１】

上記のような電流センス方式の入力回路は、第１図の第２の入力回路ＤＩＦＣ２にも利用できる。つまり、図４のＭＯＳＦＥＴＱ５のゲートに、クロック信号／Ｃ－ＣＬＫを供給するか、あるいは低消費電力モードを持つものでは図３の実施例のようなゲート回路Ｇ１を設け、制御信号ＰＷＤＭとクロック信号／Ｃ－ＣＬＫを供給するようにすればよい。また、その出力部には、図３で説明したと同様なバッファ回路Ｂuffer を設けるようにすればよい。

【００２２】

この実施例の入力回路では、ＧＴＬ回路のように入力信号が回路の接地電位側に偏倚したものでも、入力ＭＯＳＦＥＴとしてＮチャンネル型ＭＯＳＦＥＴを用いることができる。すなわち、上記のようなＧＴＬのインターフェインにおいて、Ｎチャンネル型の差動ＭＯＳＦＥＴを用いると、その共通ソースと回路の接地電位間に設けられる電流源ＭＯＳＦＥＴの動作電圧が不足して十分な動作が期待できなくなる。そこで、図２又は図３の実施例のようにＰチャンネル型ＭＯＳＦＥＴを用いることになるが、この場合には同じコンダクタンスを持たせるようにする場合のＭＯＳＦＥＴのサイズが大きくなり、その結果ゲート入力容量が増大したりするという不都合が生じる。

【００２３】

後述するように、電源電圧側に偏倚した擬似ＥＣＬレベルやＡＬＴＳレベルでは、図４の実施例の各ＭＯＳＦＥＴの導電型を逆にして用いるようにすればよい。すなわち、入力信号と基準電圧を受けるＭＯＳＦＥＴは、Ｐチャンネル型ＭＯＳＦＥＴとして、電流ミラー回路を構成するＭＯＳＦＥＴ及びパワースイッチとしてのＭＯＳＦＥＴをＮチャンネル型ＭＯＳＦＥＴとすればよい。

【００２４】

図５には、この発明に係る入力回路の動作を説明するたのタイミング図が示されている。（Ａ）には、クロック信号に同期して入力された入力信号ＩＮをそのまま増幅して内部に取り込む回路が示され、（Ｂ）には、この発明に係る第２の入力回路の動作を説明するためのタイミング図が示されている。（Ａ）の回路では、クロック信号ＣＬＫに対してセットアップ時間ｔＣＳとホールド時間ｔＣＨを持つように同期して入力される入力信号ＩＮが、そのまま増幅されて内部に取り込まれる例が示されいてる。上記の入力信号ＩＮと内部に取り込まれる信号ＯＵＴとの時間の遅れは、増幅回路での遅延時間に相当している。このような入力回路では、定常的に差動増幅回路が動作をしているために必然的に消費電力が増大してしまう。

【００２５】

（Ｂ）のようなこの発明に係る第２の入力回路では、上記クロック信号ＣＬＫを増幅して形成された内部クロック信号／Ｃ－ＣＬＫがハイレベルの期間は、非動作状態にされて動作電流を消費しない。このときには、内部クロック信号／Ｃ－ＣＬＫのハイレベルにより、図３の実施例回路ではＭＯＳＦＥＴＱ６がオン状態になり、出力ＯＵＴをロウレベルに固定している。このときに、バッファ回路Ｂuffer によりその前に取り込まれた信号がホ

ールドされて出力信号ＯＵＴ２が出力されている。
【００２６】
上記クロック信号ＣＬＫの変化に対応して、内部クロック信号／Ｃ－ＣＬＫがロウレベルになると、上記電流源ＭＯＳＦＥＴＱ５がオン状態になり、差像増幅回路が活性化されて、基準電圧Ｖrefin を参照して入力信号ＩＮのハイレベル／ロウレベルを識別し、ハイレベル／ロウレベルの出力信号ＯＵＴを形成する。この出力信号ＯＵＴは、上記バッファ回路Ｂuffer を通して出力信号ＯＵＴ２として取り込まれる。
【００２７】
上記出力バッファに供給される内部クロック信号／Ｃ－ＣＬＫ２を上記を増幅期間だけ遅れて発生させ、そのエッジにより上記バッファ回路Ｂuffer にラッチさせた後は、増幅信号ＯＵＴは実質的に無効にされる。したがって、第３図の実施例において、ＭＯＳＦＥＴＱ５を上記クロック／Ｃ－ＣＬＫ２がロウレベルにされたタイミングでオフ状態にし、差動回路が活性化されている期間を必要最少に短くするものであってもよい。このようにすれば、クロック信号／Ｃ－ＣＬＫのパルスディーティが５０％であっても、差動増幅回路の消費電流を上記増幅期間に対応して１／２以下に低減させることができる。
【００２８】
また、外部から供給される入力信号は、外部のクロック信号ＣＬＫと同期して変化させ、入力回路での遅延時間、つまり、外部クロックＣＬＫに対する内部クロック／Ｃ－ＣＬＫの信号遅延時間をセットアップ時間ｔＣＳとして利用するものとしてもよい。このような信号遅延時間をセットアップ時間ｔＣＳとし利用した場合、上記入力回路での信号遅延時間を見込んだ一定の時間マージンを持ってセットアップ時間ｔＣＳやホールド時間ｔＣＨを余分に設定する必要がなく、その分クロック信号ＣＬＫの周期を短く（周波数を高く）することができる。
【００２９】
図６には、上記第２の入力回路ＤＩＦＣ２の他の一実施例の回路図が示されている。（Ａ）に示された回路においては、ＣＭＯＳのラッチ回路を用いて増幅とラッチ動作とが行われる。ＣＭＯＳラッチ回路は、Ｐチャンネル型ＭＯＳＦＥＴＱ１，Ｑ３とＮチャンネル型ＭＯＳＦＥＴＱ２，Ｑ４からなる２つのＣＭＯＳインバータ回路の入力と出力とを交差接続して構成される。このＣＭＯＳラッチ回路の増幅動作をクロック信号に同期して行わせるために、上記ラッチ回路に動作電圧として回路の電位を供給するＮチャンネル型ＭＯＳＦＥＴＱ５が設けられる。また、上記ラッチ回路の一対の入出力ノードＩＴ，ＩＢには両者を短絡するＭＯＳＦＥＴ及び基準電圧Ｖrefin を供給するＭＯＳＦＥＴからなるプリチャージ回路が設けられる。
【００３０】
上記ＣＭＯＳラッチ回路の一対の入出力ノード（一対の信号線）ＩＴとＩＢには、クロック信号ＣＬＫと同期した所定のタイミング信号ＣＥ１によって入力信号ＩＮと基準電圧Ｖrefin とを取り込みＣＭＯＳ伝送ゲート回路が設けられる。また、上記ＣＭＯＳラッチ回路の一対の入出力ノードＩＴとＩＢにおける増幅ラッチ信号は、所定のタイミング信号ＣＥ２によってスイッチ制御されるＣＭＯＳ伝送ゲート回路を通して出力端子ＯＴとＯＢに伝えられる。
【００３１】
上記ＣＭＯＳラッチ回路の動作開始を制御するＭＯＳＦＥＴＱ５のゲートには、前記のような低消費電力モードに対応した制御信号ＰＷＤＭとクロック信号ＣＬＫに同期した信号／ＥＮがノアゲート回路を通して伝えられる。このノアゲート回路の出力信号は、上記プリチャージ回路の動作制御を行うプリチャージ信号としても用いられる。
【００３２】
（Ｂ）に示された回路においては、入力信号ＩＮと基準電圧Ｖrefin とは前記のようなＣＭＯＳ伝送ゲート回路を介してＰチャンネル型の差動ＭＯＳＦＥＴＱ１とＱ２のゲートにそれぞれ供給される。そして、かかる差動ＭＯＳＦＥＴＱ１とＱ２のドレインに、ゲートとドレインとが交差接続されてラッチ形態にされたＮチャンネル型ＭＯＳＦＥＴＱ３とＱ

４がアクティブ負荷回路として設けられる。このように、（Ｂ）の回路では、増幅部とラッチ部とがそれぞれ分かれて構成される。出力ノード（一対の信号線）ＩＴとＩＢには、前記同様なプリチャージ回路が設けられる。出力ノードＩＴとＩＢは、最終的には差動ＭＯＳＦＥＴＱ１とＱ２のドレイン出力により決定されるから、プリチャージ回路を省略できる。しかしながら、この実施例のようなプリチャージ回路を設けることにより、ラッチ部の記憶状態を入力信号の差動増幅出力に高速に応答させることができる。

【００３３】

図７には、上記図６の入力回路ＤＩＦＣ２の動作を説明するためのタイミング図が示されている。制御信号／ＥＮは、外部端子から供給されるクロック信号ＣＬＫを増幅した内部クロック信号に対応したものとされる。このタイミング信号／ＥＮの前半部分の期間に同期してタイミング信号ＣＥ１が発生され、後半部分の期間に対応してタイミング信号ＣＥ２が発生される。これらのタイミング信号ＣＥ１とＣＥ２は、上記／ＥＮにより形成されるもの、あるいはクロック信号ＣＬＫから直接的に形成されるもの等種々の実施形態を取ることができる。

【００３４】

信号／ＥＮがハイレベルの期間は、プリチャージ期間とされる。（Ａ）の回路においては、ＣＭＯＳラッチ回路の入出力ノードＩＴとＩＢとが短絡され、かつ上記基準電圧Ｖrefin にプリチャージされる。（Ｂ）の回路においては、アクティブ負荷回路の出力ノードＩＴとＩＢとが短絡され、かつ上記基準電圧Ｖrefin にプリチャージされる。

【００３５】

タイミング信号ＣＥ１がハイレベルの期間では、入力側のＣＭＯＳ伝送ゲート回路がオン状態となり、入力信号ＩＮと基準電圧Ｖrefin が取り込まれる。そして、信号／ＥＮのロウレベルにより、（Ａ）回路ではＣＭＯＳラッチ回路が動作状態にされて、正帰還を伴う増幅動作によって高速に入出力ノードＩＴとＩＢとがハイレベルとロウレベルに相補的に変化させられる。信号／ＥＮのロウレベルにより、（Ｂ）回路では、差動増幅出力と、その出力信号を負荷回路での正帰還増幅動作とによって同様に出力ノードＩＴとＩＢとがハイレベルとロウレベルに相補的に変化させられる。

【００３６】

タイミング信号ＣＥ１がロウレベルにされると、入力側のＣＭＯＳ伝送ゲート回路がオフ状態になって力側と切り離されラッチされる。タイミング信号ＣＥ２のハイレベルにより出力側のＣＭＯＳ伝送ゲート回路がオン状態になり、上記ラッチされた信号が出力端子ＯＴとＯＢに伝えられる。信号／ＥＮがハイレベルにされると、プリチャージ動作が開始されて出力ノードが基準電圧Ｖrefin に設定され、この期間は電流消費が行われない。

【００３７】

（Ａ）の回路のようにＣＭＯＳラッチ回路を用いた場合には、入力信号ＩＮを取り込みんで増幅する期間だけしか電流消費が行わない。つまり、ＣＭＯＳ回路では信号レベルがハイレベルとロウレベルにされると、Ｎチャンネル型ＭＯＳＦＥＴ又はＰチャンネル型ＭＯＳＦＥＴの一方がオフ状態にされるので、定常的な直流電流が流れなくなるからである。そのため、上記信号／ＥＮのハイレベルによりＭＯＳＦＥＴＱ５をオフ状態にするのは、図２や図３の実施例回路とは意味が異なる。つまり、ＭＯＳＦＥＴＱ５をオフ状態にするのは低消費電力のためではなく、ラッチ回路に保持された信号をリセットさせて，次に入力信号の取り込みのための予備動作（プリチャージ動作）のためである。

【００３８】

したがって、この信号／ＥＮがハイレベルになる期間は、タイミング信号ＣＥ２はロウレベルにされて出力側のＣＭＯＳ伝送ゲート回路もオフ状態にされる。それ故、出力信号ＯＴとＯＢは、図示しない前記説明したような適当なラッチ回路により保持させられる。

【００３９】

図８には、この発明をシンクロナスダイナミック型ＲＡＭに適用した場合の入力回路の一実施例の概略ブロック図が示されている。この実施例では、クロック信号ＣＬＫとクロックイネーブル信号ＣＫＥは、前記図２、図４の実施例回路のように定常的に動作させられ

る入力回路ＤＩＦＣ１が用いられる。これに対して、コマンド信号Com.、アドレス信号Add及び入力データDinは、図６の（Ａ）又は（Ｂ）に示されたようなラッチ型入力回路が用いられる。

【００４０】

このため、クロック信号ＣＬＫを受ける入力回路ＤＩＦＣ１の出力部に設けられるバッファ回路Buffer には、上記のような入力回路の動作に必要なタイミング信号ＣＥ１，ＣＥ２及び制御信号ＥＮＢを形成する機能が設けられる。ここで、ＥＮＢは／ＥＮと同じ意味であり、ロウレベルがアクティブレベルとされる。また、クロック回路（ＣＬＫ enable）には、上記クロックイネーブル信号ＣＫＥを受ける入力回路ＤＩＦＣ１及びバッファ回路Buffer を通した内部クロックイネーブル信号が供給される。これにより、内部クロック信号ＩＣＬＫは、クロックイネーブル信号ＣＫＥがアクティブレベルにされたときに発生させられる。

【００４１】

図９には、この発明が適用されるシンクロナスＤＲＡＭ（以下、単にＳＤＲＡＭという）の一実施例のブロック図が示されている。同図に示されたＳＤＲＡＭは、特に制限されないが、公知の半導体集積回路の製造技術によって単結晶シリコンのような１つの半導体基板上に形成される。

【００４２】

このＳＤＲＡＭは、メモリバンクＡ（ＢＡＮＫＡ）を構成するメモリアレイ２００Ａと、メモリバンク（ＢＡＮＫＢ）を構成するメモリアレイ２００Ｂを備える。それぞれのメモリアレイ２００Ａと２００Ｂは、マトリクス配置されたダイナミック型メモリセルを備え、図に従えば同一列に配置されたメモリセルの選択端子は列毎のワード線（図示せず）に結合され、同一行に配置されたメモリセルのデータ入出力端子は行毎に相補データ線（図示せず）に結合される。

【００４３】

上記メモリアレイ２００Ａの図示しないワード線はロウデコーダ２０１Ａによるロウアドレス信号のデコード結果に従って１本が選択レベルに駆動される。メモリアレイ２００Ａの図示しない相補データ線はセンスアンプ及びカラム選択回路２０２Ａに結合される。センスアンプ及びカラム選択回路２０２Ａにおけるセンスアンプは、メモリセルからのデータ読出しによって夫々の相補データ線に現れる微小電位差を検出して増幅する増幅回路である。それにおけるカラムスイッチ回路は、相補データ線を各別に選択して相補共通データ線２０４に導通させるためのスイッチ回路である。カラムスイッチ回路はカラムデコーダ２０３Ａによるカラムアドレス信号のデコード結果に従って選択動作される。

【００４４】

メモリアレイ２００Ｂ側にも同様にロウデコーダ２０１Ｂ，センスアンプ及びカラム選択回路２０２Ｂ，カラムデコーダ２０３Ｂが設けられる。上記相補共通データ線２０４は入力バッファ２１０の出力端子及び出力バッファ２１１の入力端子に接続される。入力バッファ２１０の入力端子及び出力バッファ２１１の出力端子は８ビットのデータ入出力端子Ｉ／Ｏ０～Ｉ／Ｏ７に接続される。

【００４５】

アドレス入力端子Ａ０～Ａ１１から供給されるロウアドレス信号とカラムアドレス信号はカラムアドレスバッファ２０５とロウアドレスバッファ２０６にアドレスマルチプレクス形式で取り込まれる。供給されたアドレス信号はそれぞれのバッファが保持する。ロウアドレスバッファ２０６はリフレッシュ動作モードにおいてはリフレッシュカウンタ２０８から出力されるリフレッシュアドレス信号をロウアドレス信号として取り込む。カラムアドレスバッファ２０５の出力はカラムアドレスカウンタ２０７のプリセットデータとして供給され、カラムアドレスカウンタ２０７は後述のコマンドなどで指定される動作モードに応じて、上記プリセットデータとしてのカラムアドレス信号、又はそのカラムアドレス信号を順次インクリメントした値を、カラムデコーダ２０３Ａ，２０３Ｂに向けて出力する。

【００４６】
コントローラ２１２は、特に制限されないが、クロック信号ＣＬＫ、クロックイネーブル信号ＣＫＥ、チップセレクト信号／ＣＳ、カラムアドレスストローブ信号／ＣＡＳ（記号／はこれが付された信号がロウイネーブルの信号であることを意味する）、ロウアドレスストローブ信号／ＲＡＳ、ライトイネーブル信号／ＷＥ、データ入出力マスクコントロール信号ＤＱＭなどの外部制御信号と、アドレス入力端子Ａ０～Ａ１１からの制御データ及び基準電圧Ｖref とが供給され、それらの信号のレベルの変化やタイミングなどに基づいてＳＤＲＡＭの動作モード及び上記回路ブロックの動作を制御するための内部タイミング信号を形成するもので、そのためのコントロールロジック（図示せず）とモードレジスタ３０を備える。

【００４７】
クロック信号ＣＬＫは、ＳＤＲＡＭのマスタクロックとされ、その他の外部入力信号は当該内部クロック信号の立ち上がりエッジに同期して有意とされる。チップセレクト信号／ＣＳはそのロウレベルによってコマンド入力サイクルの開始を指示する。チップセレクト信号／ＣＳがハイレベルのとき（チップ非選択状態）やその他の入力は意味を持たない。但し、後述するメモリバンクの選択状態やバースト動作などの内部動作はチップ非選択状態への変化によって影響されない。／ＲＡＳ，／ＣＡＳ，／ＷＥの各信号は通常のＤＲＡＭにおける対応信号とは機能が相違され、後述するコマンドサイクルを定義するときに有意の信号とされる。

【００４８】
クロックイネーブル信号ＣＫＥは次のクロック信号の有効性を指示する信号であり、当該信号ＣＫＥがハイレベルであれば次のクロック信号ＣＬＫの立ち上がりエッジが有効とされ、ロウレベルのときには無効とされる。さらに、図示しないがリードモードにおいて、出力バッファ２１１に対するアウトプットイネーブルの制御を行う外部制御信号もコントローラ２１２に供給され、その信号が例えばハイレベルのときには出力バッファ２１１は高出力インピーダンス状態にされる。

【００４９】
上記ロウアドレス信号は、クロック信号ＣＬＫ（内部クロック信号）の立ち上がりエッジに同期する後述のロウアドレスストローブ・バンクアクティブコマンドサイクルにおけるＡ０～Ａ１０のレベルによって定義される。Ａ１１からの入力は、上記ロウアドレスストローブ・バンクアクティブコマンドサイクルにおいてバンク選択信号とみなされる。即ち、Ａ１１の入力がロウレベルの時はメモリバンクＢＡＮＫＡが選択され、ハイレベルの時はメモリバンクＢＡＮＫＢが選択される。メモリバンクの選択制御は、特に制限されないが、選択メモリバンク側のロウデコーダのみの活性化、非選択メモリバンク側のカラムスイッチ回路の全非選択、選択メモリバンク側のみの入力バッファ２１０及び出力バッファ２１１への接続などの処理によって行うことができる。

【００５０】
後述のプリチャージコマンドサイクルにおけるＡ１０の入力は相補データ線などに対するプリチャージ動作の態様を指示し、そのハイレベルはプリチャージの対象が双方のメモリバンクであることを指示し、そのロウレベルは、Ａ１１で指示されている一方のメモリバンクがプリチャージの対象であることを指示する。

【００５１】
上記カラムアドレス信号は、クロック信号ＣＬＫ（内部クロック）の立ち上がりエッジに同期するリード又はライトコマンド（後述のカラムアドレス・リードコマンド、カラムアドレス・ライトコマンド）サイクルにおけるＡ０～Ａ８のレベルによって定義される。そして、この様にして定義されたカラムアドレスはバーストアクセスのスタートアドレスとされる。

【００５２】
次に、コマンドによって指示されるＳＤＲＡＭの主な動作モードを説明する。
（１）モードレジスタセットコマンド（Ｍｏ）

上記モードレジスタ３０をセットするためのコマンドであり、／ＣＳ，／ＲＡＳ，／ＣＡＳ，／ＷＥ＝ロウレベルによって当該コマンド指定され、セットすべきデータ（レジスタセットデータ）はＡ０～Ａ１１を介して与えられる。レジスタセットデータは、特に制限されないが、バーストレングス、ＣＡＳレイテンシイ、ライトモードなどとされる。特に制限されないが、設定可能なバーストレングスは、１，２，４，８，フルページ（２５６）とされ、設定可能なＣＡＳレイテンシイは１，２，３とされ、設定可能なライトモードは、バーストライトとシングルライトとされる。

【００５３】

上記ＣＡＳレイテンシイは、後述のカラムアドレス・リードコマンドによって指示されるリード動作において／ＣＡＳの立ち下がりから出力バッファ２１１の出力動作までに内部クロック信号の何サイクル分を費やすかを指示するものである。読出しデータが確定するまでにはデータ読出しのための内部動作時間が必要とされ、それを内部クロック信号の使用周波数に応じて設定するためのものである。換言すれば、周波数の高い内部クロック信号を用いる場合にはＣＡＳレイテンシイを相対的に大きな値に設定し、周波数の低い内部クロック信号を用いる場合にはＣＡＳレイテンシイを相対的に小さな値に設定する。

【００５４】

（２）ロウアドレスストローブ・バンクアクティブコマンド（Ａｃ）

これは、ロウアドレスストローブの指示とＡ１１によるメモリバンクの選択を有効にするコマンドであり、／ＣＳ，／ＲＡＳ＝ロウレベル、／ＣＡＳ，／ＷＥ＝ハイレベルによって指示され、このときＡ０～Ａ１０に供給されるアドレスがロウアドレス信号として、Ａ１１に供給される信号がメモリバンクの選択信号として取り込まれる。取り込み動作は上述のように内部クロック信号の立ち上がりエッジに同期して行われる。例えば、当該コマンドが指定されると、それによって指定されるメモリバンクにおけるワード線が選択され、当該ワード線に接続されたメモリセルがそれぞれ対応する相補データ線に導通される。

【００５５】

（３）カラムアドレス・リードコマンド（Ｒｅ）

このコマンドは、バーストリード動作を開始するために必要なコマンドであると共に、カラムアドレスストローブの指示を与えるコマンドであり、／ＣＳ，／ＣＡＳ＝ロウレベル、／ＲＡＳ，／ＷＥ＝ハイレベルによって指示され、このときＡ０～Ａ８に供給されるカラムアドレスがカラムアドレス信号として取り込まれる。これによって取り込まれたカラムアドレス信号はバーストスタートアドレスとしてカラムアドレスカウンタ２０７に供給される。これによって指示されたバーストリード動作においては、その前にロウアドレスストローブ・バンクアクティブコマンドサイクルでメモリバンクとそれにおけるワード線の選択が行われており、当該選択ワード線のメモリセルは、内部クロック信号に同期してカラムアドレスカウンタ２０７から出力されるアドレス信号に従って順次選択されて連続的に読出される。連続的に読出されるデータ数は上記バーストレングスによって指定された個数とされる。また、出力バッファ２１１からのデータ読出し開始は上記ＣＡＳレイテンシイで規定される内部クロック信号のサイクル数を待って行われる。

【００５６】

（４）カラムアドレス・ライトコマンド（Ｗｒ）

ライト動作の態様としてモードレジスタ３０にバーストライトが設定されているときは当該バーストライト動作を開始するために必要なコマンドとされ、ライト動作の態様としてモードレジスタ３０にシングルライトが設定されているときは当該シングルライト動作を開始するために必要なコマンドとされる。更に当該コマンドは、シングルライト及びバーストライトにおけるカラムアドレスストローブの指示を与える。当該コマンドは、／ＣＳ，／ＣＡＳ，／ＷＥ＝ロウレベル、／ＲＡＳ＝ハイレベルによって指示され、このときＡ０～Ａ８に供給されるアドレスがカラムアドレス信号として取り込まれる。これによって取り込まれたカラムアドレス信号はバーストライトにおいてはバーストスタートアドレスとしてカラムアドレスカウンタ２０７に供給される。これによって指示されたバーストライト動作の手順もバーストリード動作と同様に行われる。但し、ライト動作にはＣＡＳレ

イテンシイはなく、ライトデータの取り込みは当該カラムアドレス・ライトコマンドサイクルから開始される。

【００５７】

（５）プリチャージコマンド（Ｐｒ）

これは、Ａ１０，Ａ１１によって選択されたメモリバンクに対するプリチャージ動作の開始コマンドとされ、／ＣＳ，／ＲＡＳ，／ＷＥ＝ロウレベル、／ＣＡＳ＝ハイレベルによって指示される。

【００５８】

（６）オートリフレッシュコマンド

このコマンドはオートリフレッシュを開始するために必要とされるコマンドであり、／ＣＳ，／ＲＡＳ，／ＣＡＳ＝ロウレベル、／ＷＥ，ＣＫＥ＝ハイレベルによって指示される。

【００５９】

（７）バーストストップ・イン・フルページコマンド

フルページに対するバースト動作を全てのメモリバンクに対して停止させるために必要なコマンドであり、フルページ以外のバースト動作では無視される。このコマンドは、／ＣＳ，／ＷＥ＝ロウレベル、／ＲＡＳ，／ＣＡＳ＝ハイレベルによって指示される。

【００６０】

（８）ノーオペレーションコマンド（Ｎｏｐ）

これは実質的な動作を行わないこと指示するコマンドであり、／ＣＳ＝ロウレベル、／ＲＡＳ，／ＣＡＳ，／ＷＥのハイレベルによって指示される。

【００６１】

ＳＤＲＡＭにおいては、一方のメモリバンクでバースト動作が行われているとき、その途中で別のメモリバンクを指定して、ロウアドレスストローブ・バンクアクティブコマンドが供給されると、当該実行中の一方のメモリバンクでの動作には何ら影響を与えることなく、当該別のメモリバンクにおけるロウアドレス系の動作が可能にされる。例えば、ＳＤＲＡＭは外部から供給されるデータ、アドレス、及び制御信号を内部に保持する手段を有し、その保持内容、特にアドレス及び制御信号は、特に制限されないが、メモリバンク毎に保持されるようになっている。或は、ロウアドレスストローブ・バンクアクティブコマンドサイクルによって選択されたメモリブロックにおけるワード線１本分のデータがカラム系動作の前に予め読み出し動作のために図示しないラッチ回路にラッチされるようになっている。

【００６２】

したがって、データ入出力端子Ｉ／Ｏ０～Ｉ／Ｏ７においてデータが衝突しない限り、処理が終了していないコマンド実行中に、当該実行中のコマンドが処理対象とするメモリバンクとは異なるメモリバンクに対するプリチャージコマンド、ロウアドレスストローブ・バンクアクティブコマンドを発行して、内部動作を予め開始させることが可能である。

【００６３】

ＳＤＲＡＭ２２は、クロック信号ＣＬＫ（内部クロック信号）に同期してデータ、アドレス、制御信号を入出力できるため、ＤＲＡＭと同様の大容量メモリをＳＲＡＭに匹敵する高速動作させることが可能であり、また、選択された１本のワード線に対して幾つのデータをアクセスするかをバーストレングスによって指定することによって、内蔵カラムアドレスカウンタ２０７で順次カラム系の選択状態を切り換えていって複数個のデータを連続的にリード又はライトできることが理解されよう。

【００６４】

図１０には、この発明が適用されるＳＤＲＡＭのリードサイクルの一例を説明するためのタイミング図が示されている。／ＣＳと／ＲＡＳのロウレベルより、ロウアドレスＲ：ａが取り込まれる。また、アドレスＡ１１（バンクセレクトＢＳ）のロウレベルにより、バンク－０がアクティブにされてバンク－０に対してロウ系のアドレス選択動作が開始される。３クロック後に、／ＣＡＳがロウレベルにされて、カラムアドレスＣ：ａが取り込ま

れてカラム系の選択動作が開始される。

【００６５】

ＣＡＳレイテンシイが３にされているとすると、３クロック後に出力信号ａが出力される。バーストリードが指定されているなら、以後クロックに同期してデータａ＋１、ａ＋２、ａ＋３が順次に出力される。このような読み出し動作と平行して、アクティブバンク－１の指定と、それに対応したロウアドレスＲ：ｂと、それから３クロック遅れてカラムアドレスＣ：ｂが入力される。これにより、３クロック後にデータｂ、ｂ＋１、ｂ＋２、ｂ＋３が順次に読み出される。

【００６６】

リードバンク－１を指定してカラムアドレスＣ：ｂ’を入力すると、引き続いてそれより３クロックに遅れてデータｂ’とｂ’＋１が出力される。２クロック後に、リードバック－１を指定してカラムアドレスＣ：ｂ”を入力するとｂ’がｂ”に置き替えられるのでそれより３クロックに遅れてデータｂ”とｂ”＋１、ｂ”＋２、ｂ”＋３が出力される。

【００６７】

図１１には、この発明が適用されるＳＤＲＡＭのライトサイクルの一例を説明するためのタイミング図が示されている。／ＣＳと／ＲＡＳのロウレベルより、ロウアドレスＲ：ａが取り込まれる。また、アドレスＡ１１（バンクセレクトＢＳ）のロウレベルにより、バンク－０がアクティブにされてバンク－０に対してロウ系のアドレス選択動作が開始される。３クロック後に、／ＣＡＳがロウレベルにされて、カラムアドレスＣ：ａが取り込まれてカラム系の選択動作が開始され、それと同時に入力された書き込み信号ａが選択されたメモリセルに書き込まれ、以下バーストライトに対応してカラムアドレスが更新されて、データａ＋１、ａ＋２、ａ＋３がクロックに同期して書き込まれる。

【００６８】

このようなバースト書き込み動作と平行して、アクティブバンク－１の指定と、それに対応したロウアドレスＲ：ｂと、それから３クロック遅れてカラムアドレスＣ：ｂが入力され、書き込みデータｂが書き込まれる。以下、上記同様にｂ＋１、ｂ＋２、ｂ＋３がクロックに同期して順次に書き込まれる。以下、ライトバンク－１を指定してカラムアドレスＣ：ｂ’を入力し、書き込みデータｂ’とｂ’＋１を入力し、リードバック－１を指定してカラムアドレスＣ：ｂ”を入力すると、カラムアドレスがｂ’からｂ”に置き替えられるので、それよに対応したデータｂ”とｂ”＋１、ｂ”＋２、ｂ”＋３が順次に書き込まれる。

【００６９】

図１２には、この発明が適用されるＳＤＲＡＭの他の一実施例の入力部のブロック図が示されている。同図には、ＳＤＲＡＭのうち、入出力バッファと、それに関連する内部回路が代表として例示的に示されている。

【００７０】

クロック入力バッファ（Ｃlock　Ｉnput　Ｂuffer)１は、外部クロックＣＬＫの他に、チップセレクト信号／ＣＳ、ロウアドレスストローブ信号／ＲＡＳ、カラムアドレスストローブ信号／ＣＡＳライトイネーブル信号／ＷＥ等の制御信号を受けて、内部動作に必要な各種制御信号を形成する。そして、通常のシンクロナスＤＲＡＭと異なり、外部クロックＣＬＫがそのまま内部クロックとして用いられるのではなく、クロック入力バッファ１に含まれるＰＬＬ回路（又はＤＬＬ）により内部クロックが形成される。

【００７１】

つまり、外部クロックＣＬＫは、ＰＬＬ回路（又はＤＬＬ回路）の位相比較器に入力されて、ここで内部クロックと比較され、外部クロックＣＬＫに対応して内部クロックの位相制御（周波数制御）が行われて、外部クロックと同期した内部クロックが形成される。この構成では、外部クロックＣＬＫをそのまま内部クロックとして用いる前記のような回路に比べて、入力バッファでの信号遅延を実質的に無くすことができ、クロック信号ＣＬＫとそれに同期して入力される各種入力信号とのセットアップ時間に、上記クロック信号ＣＬＫにおける信号遅延時間を考慮しなくて済み、外部クロックＣＬＫの高周波数化にも十

分対応できるようにされる。

【００７２】

アドレス入力バッファ（Address Ｉnput Ｂuffer)２は、上記のように時系列的に入力されるアドレス信号を取り込む。このアドレス入力バッファ２からは、ロウ系アドレス信号やカラム系アドレス信号の他に、モード設定に用いられるコード情報Code も取り込まれる。このコード情報Code は、モードデコーダ（Mode Decoder) ５に含まれるモードレジスタにセットされ、モードデコーダ５によって解読されて、それに対応した動作を実現するための各種制御信号が形成される。

【００７３】

データ入力バッファ（Data Ｉnput Ｂuffer)３は、入出力端子Ｉ／Ｏから供給される書き込み信号を取り込み、図示しないメモリアレイ(Memory array)に書き込みデータData として伝えられる。データ出力バッファ（Data Output Buffer)４は、メモリアレイ(Memory array)から読み出された読み出しデータData を外部端子Ｉ／Ｏから送出させる。

【００７４】

ラス系コントロール回路（ＲＡＳ系Control）６は、モードデコーダ５の出力により、ロウ系アドレスコントロール（Row系Address Control）７と、ロウ系アドレスプレデコーダ（Row系Address pre- Decoder）１０を制御して、ロウ系のアドレス選択動作を制御する。上記ロウ系アドレスコントロール７では、ロウアドレス信号（Row Address）又はリフレッシュアドレス信号を出力する。ロウ系アドレスプレデコーダ１０は、アドレス信号を解読してバンク０と１（Bank-0 とBank-1)にプレデコードされたアドレス信号(Row Address')を送出する。

【００７５】

バンクコントロール回路（Bank Control）９は、モードデコーダ５からの出力信号により、カラム系アドレスカウンタ（Column 系Address Counter）８と、カラム系アドレスプレデコーダ（Column Address pre- Decoder）１２を制御して、カラム系のアドレス選択動作を制御する。カラム系アドレスカウンタ８には、カラムアドレス信号（Column Address) が初期値として入力される。このカラム系アドレスカウンタ８は、バーストカウンタ（Burst Counter)とも呼ばれる。カラム系アドレスプレデコーダ１2 は、アドレス信号を解読してメモリアレイ(Memory array)にプレデコードされたアドレス信号(Column Address')を送出する。

【００７６】

ロウ系アドレスプレデコーダ１０には、冗長回路（Redundancy)１１が設けられ、不良のワード線が冗長ワード線に置き替えられる。同様に、カラム系アドレスプレデコーダ１２には、冗長回路（Redundancy)１３が設けられ、不良のデータ線が冗長データ線に置き替えられる。

【００７７】

図１３には、上記図１２に示した入力回路の動作を説明するためのタイミング図が示されている。ただし、入力回路の具体的構成は、図６に示したような回路が用いられる。同図において、制御信号／ＥＮは、外部端子から供給されるクロック信号ＣＬＫは、ＰＬＬ回路又はＤＬＬ回路により内部クロックＩＣＬＫと位相同期させられる。これに対応してタイミング信号／ＥＮも上記外部クロックＣＬＫにほぼ位相同期させられ、その前半部分の期間に同期してタイミング信号ＣＥ１が発生され、後半部分の期間に対応してタイミング信号ＣＥ２が発生される。これらのタイミング信号ＣＥ１とＣＥ２は、上記／ＥＮにより形成されるもの、あるいはクロック信号ＩＣＬＫから直接的に形成されるもの等種々の実施形態を取ることができる。

【００７８】

信号／ＥＮがハイレベルの期間は、プリチャージ期間とされる。図６（Ａ）の回路においては、ＣＭＯＳラッチ回路の入出力ノードＩＴとＩＢとが短絡され、かつ上記基準電圧Vrefin にプリチャージされる。図６（Ｂ）の回路においては、アクティブ負荷回路の出力

ノードＩＴとＩＢとが短絡され、かつ上記基準電圧Ｖrefin にプリチャージされる。

【００７９】

タイミング信号ＣＥ１がハイレベルの期間では、入力側のＣＭＯＳ伝送ゲート回路がオン状態となり、入力信号ＩＮと基準電圧Ｖrefin が取り込まれる。そして、信号／ＥＮのロウレベルにより、図６（Ａ）回路ではＣＭＯＳラッチ回路が動作状態にされて、正帰還を伴う増幅動作によって高速に入出力ノードＩＴとＩＢとがハイレベルとロウレベルに相補的に変化させられる。信号／ＥＮのロウレベルにより、図６（Ｂ）回路では、差動増幅出力と、その出力信号を負荷回路での正帰還増幅動作とによって同様に出力ノードＩＴとＩＢとがハイレベルとロウレベルに相補的に変化させられる。

【００８０】

タイミング信号ＣＥ１がロウレベルにされると、入力側のＣＭＯＳ伝送ゲート回路がオフ状態になって力側と切り離されラッチされる。タイミング信号ＣＥ２のハイレベルにより出力側のＣＭＯＳ伝送ゲート回路がオン状態になり、上記ラッチされた信号が出力端子ＯＴとＯＢに伝えられる。信号／ＥＮがハイレベルにされると、プリチャージ動作が開始されて出力ノードが基準電圧Ｖrefin に設定され、この期間は前記同様に電流消費が行われない。

【００８１】

この信号／ＥＮがハイレベルになる期間は、タイミング信号ＣＥ２はロウレベルにされて出力側のＣＭＯＳ伝送ゲート回路もオフ状態にされる。それ故、出力信号ＯＴとＯＢは、図示しない前記説明したような適当なラッチ回路により保持させられる。この実施例では、外部クロックＣＬＫと内部クロックＩＣＬＫ又はタイミング信号／ＥＮとの時間差が実質的には無くなるようにされるから、外部から供給される信号Ｃom．等のセットアップ時間ｔＣＳを、内部タイミング信号／ＥＮ等における信号遅延時間を考慮する必要がなく、ホールド時間ｔＣＨのマージンが大きくできること、あるいはその分クロック信号ＣＬＫの周波数を高くすることが可能になる。

【００８２】

図１４には、この発明が適用されるＧＴＬ回路を説明するための概略ブロック図が示されている。このＧＴＬは、従来のＴＴＬ（トランジスタ・トランジスタ・ロジック）レベルよりもバス線路上の信号振幅を半分以下に低下させて低消費電力化を図るものである。すなわち、バス回路の終端電圧Ｖｔを＋１．２Ｖのような低電圧とし、受信回路は、０．８Ｖのような基準電圧Ｖref を持つ差動増幅回路を用いるようにする。これにより、信号伝送路に伝えられるハイレベルとロウレベルは、終端電圧Ｖｔに対応した１．２Ｖと、出力ＭＯＳＦＥＴのオン抵抗による電圧降下分による０．４Ｖとされる。このようなＧＴＬインターフェイスを本発明を適用する場合、前記ＳＤＲＡＭ等の入力回路にはかかる信号伝送経路を介して入力信号が供給される。そして、前記基準電圧Ｖref (Ｖrefin)は０．８Ｖのような電圧に設定される。この基準電圧Ｖref (Ｖrefin)は、半導体集積回路装置の内部で発生させるものであってもよい。

【００８３】

図１５には、この発明が適用される低振幅インターフェイスの代表的な例を説明するためのレベル設定図である。その１つは、従来の回路の接地電位０Ｖに代えて＋５Ｖのような電源電圧ＶＤＤを基準にしてハイレベルが４．２Ｖでロウレベルが３．４Ｖのような擬似ＥＣＬ信号であり、他の１つは前記のようにハイレベルが１．２Ｖでロウレベルが０．４ＶとなるようなＧＴＬ信号、残りの１つは本願出願人において先に提案されているハイレベルが４．２Ｖでロウレベルが３．９ＶのようなＡＬＴＳ信号である。この他、ＬＶＴＴＬのような信号も同様に適用することができる。

【００８４】

図１６には、この発明が適用されたＳＤＲＡＭを用いたパーソナルコンピュータシステムの一実施例の構成図が示されている。同図（Ａ）にはその外観の要部概略図が示され、同図（Ｂ）にはそのブロック図が示されている。

【００８５】

フロッピーディスクドライブＦＤＤ及び主記憶メモリとしての本発明が適用されたＤＲＡＭによるファイルメモリｆｉｌｅＭ，バッテリバックアップとしてのＳＲＡＭを内蔵したシステムである。そして、入出力装置をキーボードＫＢ及びディスプレイＤＰとし、フロッピーディスクＦＤが上記フロッピーディスクドライブＦＤＤに挿入される。このことによってソフトウェアとしての上記フロッピーディスクＦＤおよびハードウェアとしての上記ファイルメモリｆｉｌｅＭに情報を記憶できるデスクトップタイプパソコンとなる。

【００８６】

本実施例ではデスクトップタイプパソコンについて適用した例について記載したが、ノート型パソコン等についても適用が可能であり、補助機能としてフロッピーディスクを例として記載したが特に限定されない。

【００８７】

同図（Ｂ）において、この実施例のパーソナルコンピュータは、本情報機器としての中央処理装置ＣＰＵ，上記情報処理システム内に構築したＩ／Ｏバス，ＢＵＳ　Ｕｎｉｔ，主記憶メモリや拡張メモリなど高速メモリをアクセスするメモリ制御ユニットＭｅｍｏｒｙ　Ｃｏｎｔｒｏｌｌ　Ｕｎｉｔ、主記憶メモリとしての本発明に係るＤＲＡＭ（ＳＤＲＡＭ）及び拡張ＲＡＭ（ＳＤＲＡＭ），基本制御プログラム等が格納されたＥＰＲＯＭ（フラッシュＥＰＲＯＭ）、先端にキーボードが接続されたキーボードコントローラＫＢＤＣ等によって構成される。

【００８８】

表示アダプタとしてのＤｉｓｐｌａｙ　ａｄａｐｔｅｒがＩ／Ｏバスに接続され、上記Ｄｉｓｐｌａｙ　ａｄａｐｔｅｒの先端にはディスプレイが接続されている。そして、上記Ｉ／ＯバスにはパラレルポートＰａｒａｌｌｅｌ　ＰｏｒｔＩ／Ｆ，マウス等のシリアルポートＳｅｒｉａｌ　Ｐｏｒｔ　Ｉ／Ｆ、フロッピーディスクドライブＦＤＤ、上記Ｉ／ＯバスよりのＨＤＤＩ／Ｆに変換するバッファコントローラＨＤＤ　ｂｕｆｆｅｒが接続される。上記メモリ制御ユニットＭｅｍｏｒｙ　Ｃｏｎｔｒｏｌ　Ｕｎｉｔからのバスと接続されて拡張ＲＡＭ及び主記憶メモリとしての本発明に係るＳＤＲＡＭが接続されている。拡張ＲＡＭも特に制限されないが、この発明に係るＳＤＲＡＭにより構成される。

【００８９】

このパーソナルコンピュータシステムの動作の概略について説明する。電源が投入されて、動作を開始するとまず上記中央処理装置ＣＰＵは、上記ＲＯＭを上記Ｉ／Ｏバスを通してアクセスし、初期診断、初期設定を行なう。そして、補助記憶装置からシステムプログラムを主記憶メモリとしての本発明のＤＲＡＭにロードする。上記中央処理装置ＣＰＵは、上記Ｉ／Ｏバスを通してＨＤＤコントローラにＨＤＤをアクセスするものとして動作する。システムプログラムのロードが終了すると、ユーザの処理要求に従い、処理を進めていく。

【００９０】

ユーザは上記Ｉ／Ｏバス上のキーボードコントローラＫＢＤＣや表示アダプタＤｉｓｐｌａｙ　ａｄａｐｔｅｒにより処理の入出力を行ないながら作業を進める。そして、必要に応じてパラレルポートＰａｒａｌｌｅｌ　Ｐｏｒｔ　Ｉ／Ｆ、シリアルポートＳｅｒｉａｌ　Ｐｏｒｔ　Ｉ／Ｆに接続された入出力装置を活用する。また、本体上の主記憶メモリとしての本発明に係るＳＤＲＡＭでは主記憶容量が不足する場合は、拡張ＲＡＭにより主記憶を補う。また、図にはハードディスクドライブＨＤＤとして記載したが、フラッシュメモリＦＥＰＲＯＭを用いたフラッシュファイルに置き換えることも可能である。

【００９１】

このようなマイクロコンピュータシステムにおいて、中央処理装置ＣＰＵと接続されるバスは、及びコントロールユニットＤＲＡＭ（ＳＤＲＡＭ）と接続されるバスは、前記のようなＧＴＬにより構成される。そして、これらはいずれもクロックに同期して信号の授受を行うようにされ、そのインターフェイスには前記実施例のようなクロック信号に同期して入力される各種入力信号は、クロック信号により間欠的に動作させられて低消費電力化が図られるものである。

【００９２】
上記の実施例から得られる作用効果は、下記の通りである。すなわち、
（１）　クロック信号に同期して信号の入力又は出力が行われ、かつ外部に対しては電源電圧に対して小さな信号振幅にされた信号の授受を行うようにされた低振幅の入出力インターフェイスを持つ半導体集積回路装置において、外部から供給されるクロック信号を受ける入力回路としては実質的に定常的に動作させられる差動回路で取り込み、上記クロック信号に同期して入力される低振幅の入力信号を受ける入力回路については、差動回路を上記クロック信号により間欠的に動作させ、かかる差動回路が動作期間中は取り込まれた内部信号を上記内部クロック信号によりサンプリングし、差動回路の非動作期間中は上記サンプリングした信号をホールドさせることにより、低信号振幅に適用が可能で、消費電流を大幅に低減させた入力回路を得ることができるという効果が得られる。
【００９３】
（２）　上記（１）の半導体集積回路装置において、何も動作を行わない非動作モードをのときには上記第１の入力回路を構成する電流源ＭＯＳＦＥＴ及び上記第２の入力回路を構成する電流源ＭＯＳＦＥＴを共にオフ状態にすることにより、かかる非動作モードでの低消費電力化を図ることができるという効果が得られる。
【００９４】
（３）　上記第２の入力回路として、入力取り込み制御信号の前半においてオン状態になって、上記低振幅の入力信号とそのほぼ中間電位にされた基準電圧とを取り込む第１の伝送ゲート回路と、上記入力信号と基準電圧に対応された一対のノードに入力と出力とが交差接続されてなるＣＭＯＳインバータ回路からなるラッチ回路と、上記入力取り込み信号が発生される前に上記一対のノードを短絡して上記基準電圧に対応されたプリチャージ電圧を供給するプリチャージ回路と、上記入力取り込み制御信号の後半においてオン状態になって、ラッチ回路の出力信号を内部回路に伝える第２の伝送ゲート回路とを用いることにより、高感度及び低消費電力で、かつラッチ機能を持つ入力回路を得ることができるという効果が得られる。
【００９５】
（４）　上記第２の入力回路として、入力取り込み制御信号の前半においてオン状態になって、上記低振幅の入力信号とそのほぼ中間電位にされた基準電圧とを取り込む第１の伝送ゲート回路と、上記入力信号と基準電圧に対応された一対のノードにゲートが接続されてなる第１導電型の差動ＭＯＳＦＥＴと、上記第１導電型の差動ＭＯＳＦＥＴのドレイン側に設けられ、ゲートとドレインが交差接続されてなる第２導電型の負荷ＭＯＳＦＥＴと、上記入力取り込み信号が発生される前に上記第１導電型の差動ＭＯＳＦＥＴと第２導電型の負荷ＭＯＳＦＥＴのドレインが接続されてなる一対の出力ノードを短絡して上記基準電圧に対応されたプリチャージ電圧を供給するプリチャージ回路と、上記入力取り込み制御信号の後半においてオン状態になって、上記一対の出力ノードの信号を内部回路に伝える第２の伝送ゲート回路とを用いることにより、高感度及び低消費電力でかつラッチ機能を持つ入力回路を得ることができるという効果が得られる。
【００９６】
（５）　クロック信号に同期して信号の入力又は出力が行われ、かつ外部に対しては電源電圧に対して小さな信号振幅にされた信号の授受を行うようにされた低振幅の入出力インターフェイスを持つ半導体集積回路装置において、上記低振幅の入力信号とかかる信号振幅のほぼ中間電位にされた基準電圧とがゲートとソース間に供給された第１導電型の一対の入力ＭＯＳＦＥＴと、かかる一対の入力ＭＯＳＦＥＴのドレインに設けられ、一方の入力ＭＯＳＦＥＴのドレイン電流に対応した電流を他方の入力ＭＯＳＦＥＴのドレインに供給する第２導電型のＭＯＳＦＥＴからなる電流ミラー回路と、上記電流ミラー回路を構成する第２導電型のＭＯＳＦＥＴのソースに動作電流を供給する電流源ＭＯＳＦＥＴとを用い、クロック信号を受けるものは定常的に動作させ、クロック信号に同期した入力信号を受けるものはをクロック信号により間欠的に動作させる。この構成では、入力信号がＭＯＳＦＥＴのゲートとソース間に供給されるから低振幅信号レベルが回路の接地電位又は電

源電圧側に偏倚したものでも動作可能にできるという効果が得られる。

【００９７】

（６）　上記（５）の半導体集積回路装置において、何も動作を行わない非動作モードをのときには電流源ＭＯＳＦＥＴオフ状態にすることにより、かかる非動作モードでの低消費電力化を図ることができるという効果が得られる。

【００９８】

（７）　シンクロナスダイナミック型ＲＡＭにこの発明を適用することにより、低消費電力化を図りつつ、ＧＴＬ等の低振幅インターフェイスを実現することができるという効果が得られる。

【００９９】

（８）　半導体集積回路装置の外部から供給された外部クロック信号と上記外部クロック信号の信号振幅のほぼ中間電位とされる第１基準電圧とをそのゲートに受ける一対の差動ＭＯＳＦＥＴと、上記一対の差動ＭＯＳＦＥＴのそれぞれのソースードレイン経路に電流を流す電流源回路とを含み、上記外部クロック信号の信号振幅よりも大きな信号振幅を有する内部クロック信号を形成する第１入力回路と、上記半導体集積回路装置の外部から供給された外部入力信号と上記外部入力信号の信号振幅のほぼ中間電位とされる第２基準電圧と上記外部クロック信号に応答する制御信号とを受け、上記制御信号に基づいて上記外部入力信号をラッチするラッチ回路を含み、上記ラッチ回路は、上記入力信号の信号振幅よりも大きな信号振幅を有する内部信号を形成する第２入力回路とを用いることにより、低信号振幅に適用が可能で、消費電流を大幅に低減させた入力回路を持つ半導体集積回路装置を得ることができるという効果が得られる。

【０１００】

以上本発明者よりなされた発明を実施例に基づき具体的に説明したが、本願発明は前記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。例えば、ＳＤＲＡＭにおいてデータは８ビット単位で入出力するもの他、１６ビット単位での入出力を行うようにしてもよい。また、これらのデータビット数や記憶容量に対応してアドレスの割り付けも種々の実施形態を取ることができるものである。この発明は、クロック信号に同期して入力信号の取り込みが行われる各種半導体集積回路装置に広く利用できるものである。

【０１０１】

【発明の効果】

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記の通りである。すなわち、クロック信号に同期して信号の入力又は出力が行われ、かつ外部に対しては電源電圧に対して小さな信号振幅にされた信号の授受を行うようにされた低振幅の入出力インターフェイスを持つ半導体集積回路装置において、外部から供給されるクロック信号を受ける入力回路としては実質的に定常的に動作させられる差動回路で取り込み、上記クロック信号に同期して入力される低振幅の入力信号を受ける入力回路については、差動回路を上記クロック信号により間欠的に動作させ、かかる差動回路が動作期間中は取り込まれた内部信号を上記内部クロック信号によりサンプリングし、差動回路の非動作期間中は上記サンプリングした信号をホールドさせることにより、低信号振幅に適用が可能で、消費電流を大幅に低減させた入力回路を得ることができる。

【０１０２】

上記の半導体集積回路装置において、何も動作を行わない非動作モードをのときには上記第１の入力回路を構成する電流源ＭＯＳＦＥＴ及び上記第２の入力回路を構成する電流源ＭＯＳＦＥＴを共にオフ状態にすることにより、かかる非動作モードでの低消費電力化を図ることができる。

【０１０３】

上記第２の入力回路として、入力取り込み制御信号の前半においてオン状態になって、上記低振幅の入力信号とそのほぼ中間電位にされた基準電圧とを取り込む第１の伝送ゲート回路と、上記入力信号と基準電圧に対応された一対のノードに入力と出力とが交差接続さ

れてなるＣＭＯＳインバータ回路からなるラッチ回路と、上記入力取り込み信号が発生される前に上記一対のノードを短絡して上記基準電圧に対応されたプリチャージ電圧を供給するプリチャージ回路と、上記入力取り込み制御信号の後半においてオン状態になって、ラッチ回路の出力信号を内部回路に伝える第２の伝送ゲート回路とを用いることにより、高感度及び低消費電力で、かつラッチ機能を持つ入力回路を得ることができる。

【０１０４】

上記第２の入力回路として、入力取り込み制御信号の前半においてオン状態になって、上記低振幅の入力信号とそのほぼ中間電位にされた基準電圧とを取り込む第１の伝送ゲート回路と、上記入力信号と基準電圧に対応された一対のノードにゲートが接続されてなる第１導電型の差動ＭＯＳＦＥＴと、上記第１導電型の差動ＭＯＳＦＥＴのドレイン側に設けられ、ゲートとドレインが交差接続されてなる第２導電型の負荷ＭＯＳＦＥＴと、上記入力取り込み信号が発生される前に上記第１導電型の差動ＭＯＳＦＥＴと第２導電型の負荷ＭＯＳＦＥＴのドレインが接続されてなる一対の出力ノードを短絡して上記基準電圧に対応されたプリチャージ電圧を供給するプリチャージ回路と、上記入力取り込み制御信号の後半においてオン状態になって、上記一対の出力ノードの信号を内部回路に伝える第２の伝送ゲート回路とを用いることにより、高感度及び低消費電力でかつラッチ機能を持つ入力回路を得ることができる。

【０１０５】

クロック信号に同期して信号の入力又は出力が行われ、かつ外部に対しては電源電圧に対して小さな信号振幅にされた信号の授受を行うようにされた低振幅の入出力インターフェイスを持つ半導体集積回路装置において、上記低振幅の入力信号とかかる信号振幅のほぼ中間電位にされた基準電圧とがゲートとソース間に供給された第１導電型の一対の入力ＭＯＳＦＥＴと、かかる一対の入力ＭＯＳＦＥＴのドレインに設けられ、一方の入力ＭＯＳＦＥＴのドレイン電流に対応した電流を他方の入力ＭＯＳＦＥＴのドレインに供給する第２導電型のＭＯＳＦＥＴからなる電流ミラー回路と、上記電流ミラー回路を構成する第２導電型のＭＯＳＦＥＴのソースに動作電流を供給する電流源ＭＯＳＦＥＴとを用い、クロック信号を受けるものは定常的に動作させ、クロック信号に同期した入力信号を受けるものはをクロック信号により間欠的に動作させる。この構成では、入力信号がＭＯＳＦＥＴのゲートとソース間に供給されるから低振幅信号レベルが回路の接地電位又は電源電圧側に偏倚したものでも動作可能にできる。

【０１０６】

上記の半導体集積回路装置において、何も動作を行わない非動作モードをのときには電流源ＭＯＳＦＥＴオフ状態にすることにより、かかる非動作モードでの低消費電力化を図ることができる。

【０１０７】

シンクロナスダイナミック型ＲＡＭにこの発明を適用することにより、低消費電力化を図りつつ、ＧＴＬ等の低振幅インターフェイスを実現することができる。

【０１０８】

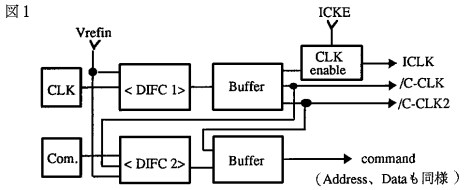
半導体集積回路装置の外部から供給された外部クロック信号と上記外部クロック信号の信号振幅のほぼ中間電位とされる第１基準電圧とをそのゲートに受ける一対の差動ＭＯＳＦＥＴと、上記一対の差動ＭＯＳＦＥＴのそれぞれのソースードレイン経路に電流を流す電流源回路とを含み、上記外部クロック信号の信号振幅よりも大きな信号振幅を有する内部クロック信号を形成する第１入力回路と、上記半導体集積回路装置の外部から供給された外部入力信号と上記外部入力信号の信号振幅のほぼ中間電位とされる第２基準電圧と上記外部クロック信号に応答する制御信号とを受け、上記制御信号に基づいて上記外部入力信号をラッチするラッチ回路を含み、上記ラッチ回路は、上記入力信号の信号振幅よりも大きな信号振幅を有する内部信号を形成する第２入力回路とを用いることにより、低信号振幅に適用が可能で、消費電流を大幅に低減させた入力回路を持つ半導体集積回路装置を得ることができる。

【図面の簡単な説明】

【図１】この発明に係る半導体集積回路装置における入力回路の一実施例を示す概略ブロック図である。
【図２】図１の入力回路ＤＩＦＣ１の一実施例を示す回路図である。
【図３】図１の入力回路ＤＩＦＣ２の一実施例を示す回路図である。
【図４】図１の入力回路ＤＩＦＣ２の他の一実施例を示す回路図である。
【図５】この発明に係る入力回路の動作を説明するたのタイミング図である。
【図６】図１の入力回路ＤＩＦＣ２の他の一実施例を示す回路図である。
【図７】図６に示した入力回路ＤＩＦＣ２の動作を説明するためのタイミング図である。
【図８】この発明をシンクロナスダイナミック型ＲＡＭに適用した場合の入力回路の一実施例を示す概略ブロック図である。
【図９】この発明が適用されるシンクロナスＤＲＡＭの一実施例を示すブロック図である。
【図１０】この発明が適用されるＳＤＲＡＭのリードサイクルの一例を説明するためのタイミング図である。
【図１１】この発明が適用されるＳＤＲＡＭのライトサイクルの一例を説明するためのタイミング図である。
【図１２】この発明が適用されるＳＤＲＡＭの他の一実施例を示す入力部のブロック図である。
【図１３】図１２に示した入力回路の動作を説明するためのタイミング図である。
【図１４】この発明が適用されるＧＴＬ回路を説明するための概略ブロック図である。
【図１５】この発明が適用される低振幅インターフェイスの代表的な例を説明するためのレベル設定図である。
【図１６】この発明が適用されたＳＤＲＡＭを用いたパーソナルコンピュータシステムの一実施例を示す構成図である。
【符号の説明】
ＤＩＦＣ１…第１の入力回路、ＤＩＦＣ２…第２の入力回路、Buffer …バッファ回路、Ｇ１…ゲート回路、Ｑ１～Ｑ６…ＭＯＳＦＥＴ、
１…クロック入力バッファ、２…アドレス入力バッファ、３…データ入力バッファ、４…データ出力バッファ、５…モードデコーダ、６…ラスコントロール回路、７…ロウ系アドレスカウンタ、８…カラム系アドレスカウンタ、９…バンクコントロール回路、１０…ロウ系アドレスプレデコーダ、１１…ロウ系冗長回路、１２…カラム系アドレスプレデコーダ、１３…カラム系冗長回路、
２２…ＳＤＲＡＭ、３０…モードレジスタ、２００Ａ，２００Ｂ…メモリアレイ、２０１Ａ，２０１Ｂ…ロウデコーダ、２０２Ａ，２０２Ｂ…センスアンプ及びカラム選択回路、２０３Ａ，２０３Ｂ…カラムデコーダ、２０５…カラムアドレスバッファ、２０６…ロウアドレスバッファ、２０７…カラムアドレスカウンタ、２０８…リフレッシュカウンタ、２１０…入力バッファ、２１１…出力バッファ、２１２…コントローラ。
ＣＰＵ…中央処理装置、ＤＰ…ディスプレイ、ＦＤＤ…フロッピーディスクドライブ、ＦＤ…フラッピーディスク、ｆｉｌｅ　Ｍ…ファイルメモリ、ＫＢ…キーボード、ＫＢＤＣ…キーボードコントローラ、ＨＤＤ…ハードディスクドライブ。

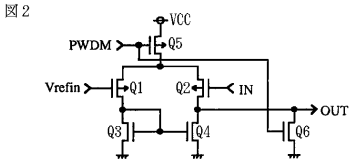
【図１】

図１



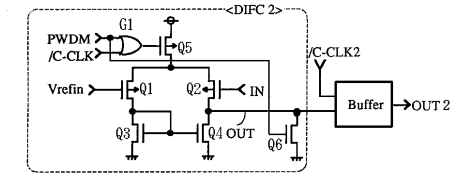
【図２】

図２



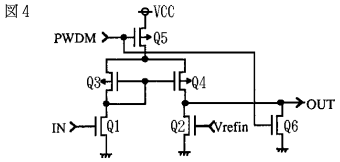
【図３】

図３



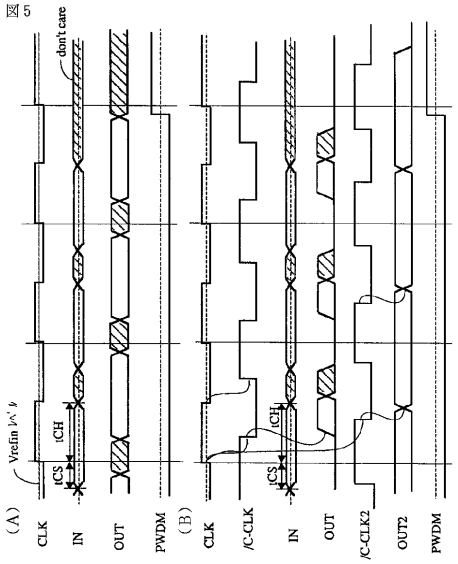
【図４】

図４



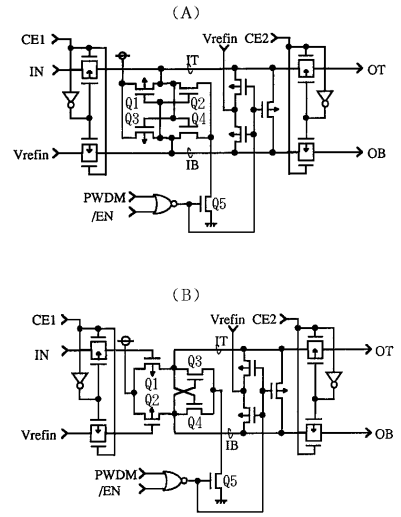
【図５】

図５



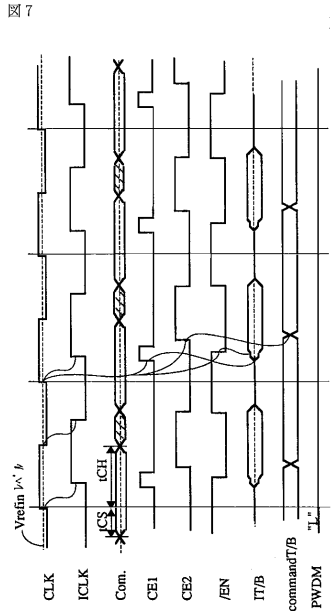
【図６】

図６



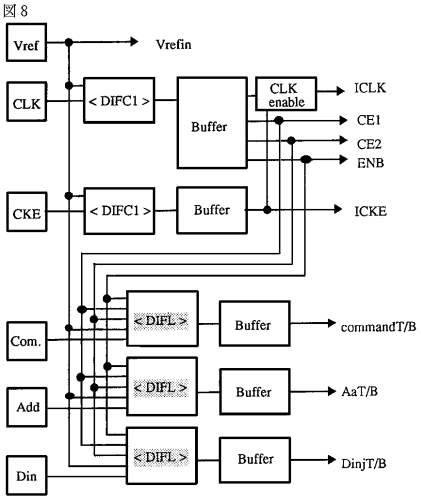
【図７】

図７



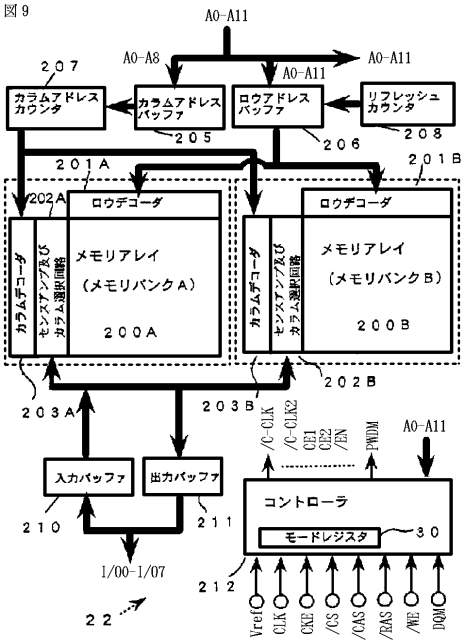
【図８】

図8



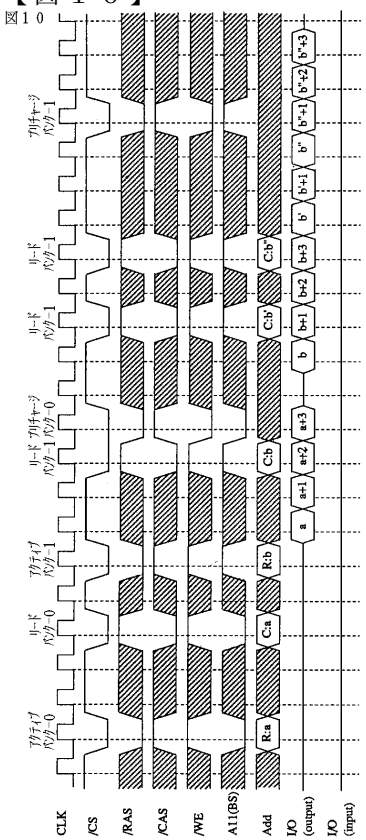
【図９】

図9



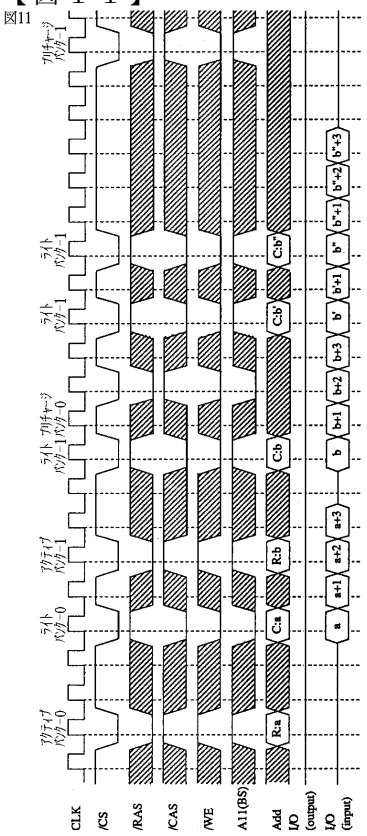
【図１０】

図10

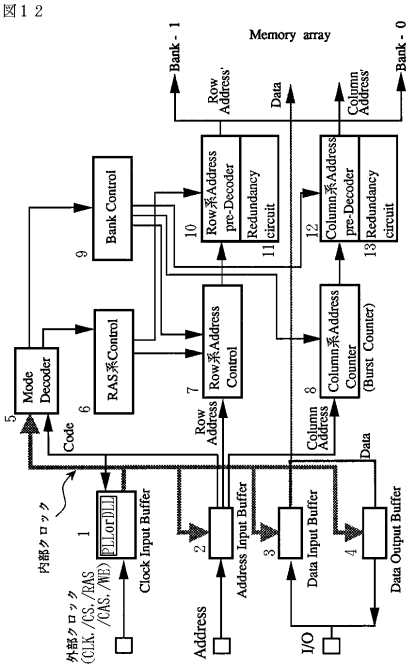


【図１１】

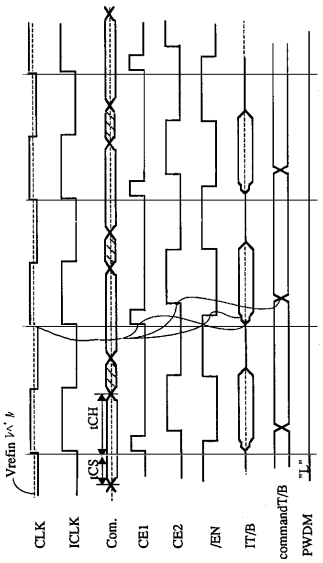
図11



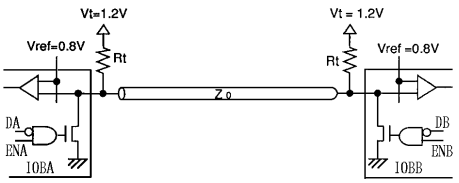
【図１２】
図１２



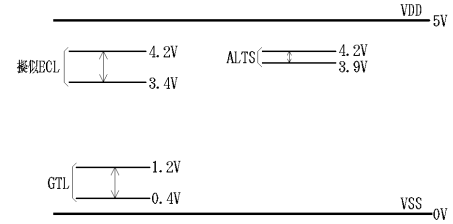
【図１３】
図１３



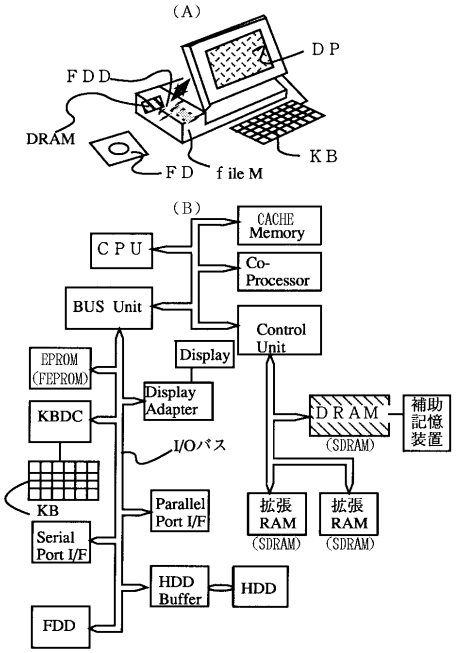
【図１４】
図１４



【図１５】
図１５



【図１６】
図１６



フロントページの続き

審査官　堀田　和義

(56)参考文献　特開平０６－１９５９６３（ＪＰ，Ａ）
特開平０７－０６５５７４（ＪＰ，Ａ）
特開平０７－１７７０１５（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.[7]，ＤＢ名)
G11C 11/4093