



[12] 发明专利说明书

专利号 ZL 03825406.9

[45] 授权公告日 2009 年 4 月 8 日

[11] 授权公告号 CN 100477012C

[22] 申请日 2003.7.10 [21] 申请号 03825406.9

[30] 优先权

[32] 2002.11.26 [33] US [31] 10/305,700

[86] 国际申请 PCT/US2003/022003 2003.7.10

[87] 国际公布 WO2004/049350 英 2004.6.10

[85] 进入国家阶段日期 2005.5.26

[73] 专利权人 斯班逊有限公司

地址 美国加利福尼亚州

[72] 发明人 B·Q·李 P-L·陈

[56] 参考文献

CN1235353A 1999.11.17

CN1264127A 2000.8.23

US5586075A 1996.12.17

US5748527A 1998.5.5

审查员 韩燕_2

[74] 专利代理机构 北京纪凯知识产权代理有限公司

代理人 戈 泊 程 伟

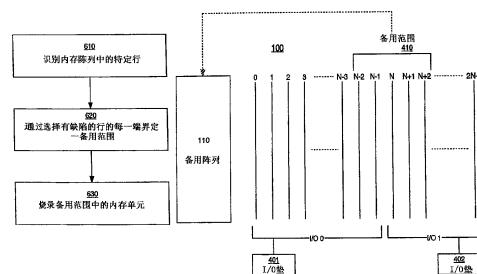
权利要求书 2 页 说明书 13 页 附图 14 页

[54] 发明名称

用于在内存阵列的特定行附近界定备用范围
的方法及系统

[57] 摘要

本发明说明了一种内存备用方法(600)及实施该方法的一系统(100)。一内存阵列通常包含多条行(例如位线)的内存单元。识别该内存阵列的一特定(例如有缺陷的)行(步骤 610)。选择其中包含该有缺陷的行的一组相邻行,而界定一备用范围(410)(步骤 620)。该组所选择的行中的行数可于耦合到该内存阵列的一备用阵列(110)中的行数。该备用阵列是用来存储已由另行存储在该备用范围中的内存单元的信息。该组的选择方式为使在该有缺陷的行的一端上有至少一行且在该有缺陷的行的另一端上有至少另一行。该有缺陷的行的每一端上通常将有多个行。这些行中的内存单元被烧录(步骤 630)。



1. 一种在包含多行的内存单元的一内存阵列中的内存备用方法，该方法包含下列步骤：

识别该内存阵列的一缺陷行；

选择其中包含该缺陷行的一组相邻行，而界定一备用范围，其中根据被耦合到该内存阵列的一备用阵列中的行数而决定该组中的行数，其中该组的选择方式为使在该缺陷行的一端上有至少第一行且在该缺陷行的另一端上有至少第二行；以及

烧录该第一行中的各内存单元及该第二行中的各内存单元。

2. 如权利要求 1 所述的方法，其中是将该多行组织成若干独立的输入 / 输出(I/O)组，其中是将一 I/O 组内的各行耦合到一个别的 I/O 垫。

3. 如权利要求 2 所述的方法，进一步包含下列步骤：

读取耦合到该内存阵列的该备用阵列中存储的信息；以及
决定该信息是与该 I/O 组中的哪一 I/O 组相关联。

4. 如权利要求 1 所述的方法，其中该烧录步骤包含下列步骤：

烧录该备用范围中有作用的各内存单元。

5. 如权利要求 1 所述的方法，其中该备用范围的界定方式为使该缺陷行大约在该组相邻行的中间。

6. 如权利要求 1 所述的方法，其中该第一行是位于该备用范围的一边界，且该第二行是位于该备用范围的另一边界。

7. 如权利要求 1 所述的方法，其中是指定与该备用范围的一边界对应的一地址，而界定该备用范围。

8. 如权利要求 1 所述的方法，进一步包含下列步骤：

接收一内存阵列中的内存位置的一地址；以及
决定与该地址对应的一实际内存位置，其中该实际内存位置是在
该内存阵列中、或一备用阵列中。

9. 如权利要求 8 所述的方法，进一步包含下列步骤：
读取该备用阵列中的信息；
读取该内存阵列中对应于该地址的该内存位置上的信息；以及
根据该实际内存位置，而在自该备用阵列读取的该信息与自该内
存阵列读取的该信息之间作一选择。

10. 一种在一内存阵列中的内存备用方法，该方法包含下列步骤：
选择该内存阵列的一缺陷行，其中该内存阵列包含多行的内存单
元，该多行被组织成若干独立的输入 / 输出(I/O)组，其中一 I/O 组中的
各行被耦合到一个别的 I/O 节点；以及
选择其中包含该缺陷行的一组相邻行，而建立一备用范围，其中
是根据耦合到该内存阵列的一备用阵列中的行数而决定该组相邻行中
的行数，其中该组相邻行的选择方式为使在该缺陷行的一端上有至少
第一行且在该缺陷行的另一端上有至少第二行，且其中该组相邻行包
含来自两相邻 I/O 组的若干行。

用于在内存阵列的特定行附近界定备用范围的方法及系统

技术领域

本发明大致有关内存阵列。更具体而言，本发明有关一种内存备用机制。

背景技术

典型内存阵列的架构是此项技术中现有的。一般而言，一内存阵列包含配置成若干列及行的一些线。通常将该阵列的该等列称为字线，并将该等行称为位线。

字线及位线在可称为节点的点上重叠。内存单元是位于每一节点上，或位于接近每一节点处，而内存单元通常是某一类型的晶体管。在一虚拟接地(virtual ground)架构中，可根据是在对内存单元进行烧录验证或读取，而将一位线用来作为该晶体管(内存单元)的一源极或漏极线。为了简化讨论，“读取”可意指一读取作业或一烧录验证作业。

先前技术的图 1 标出了一内存阵列 5 的一部分。为了简化附图，只示出内存阵列 5 的各行位线。此外，只示出了内存阵列 5 的两个区块(区块 0 及区块 1)；我们当了解，一传统的内存阵列中通常有两个以上的区块。可将这些组的区块称为输入 / 输出(I/O)区块，或简单地称为“I/O”。一般而言，一 I/O 包含耦合到(例如，被选通到)单一 I/O 垫或埠的某一数目的行。在一种类型的传统内存阵列中，每一区块或 I/O 有 32 行($N=32$)。

请注意，先前技术的图 1 所示的该等行是“金属-2 (metal-2)”位线。每一 metal-2 位线是与两条“金属-1 (metal-1)”位线相关联。例如，当 $N=32$ 时，对于每一 I/O 共有 64 条 metal-1 位线，且内存阵列 5 可在每一 I/O 的每一字线中存储 64 位的信息。诸如 metal-1 位线及 metal-2 位线等术语的使用是此项技术中现有的。

当读取所选择的一内存单元时，是将核心电压施加到与该内存单元对应的字线，并将与该内存单元对应的位线连接到一负载(例如一叠

接级或叠接放大器)。在一使用虚拟接地架构的内存阵列中，字线上的所有内存单元都接收到该核心电压。因而可能沿着该字线诱发一漏电流或误差电流，而实际上造成该字线上的该等内存单元间的不必要的相互影响。如果该漏电流够大，则可能在读取所选择的内存单元时造成一错误。

为了尽量减小一字线上的各内存单元间的相互影响，且为了减少读取时的错误，而使用了一种一般称为预充电(preecharging)的技术。预充电工作时是将对应于正在被读取的内存单元的行的下一行充电(施加一电气负载)。如果漏极节点及预充电节点大约有相同的电压，则该预充电有减小漏电流的效果。请参阅先前技术的图 1，例如，为了要读取第 1 行上的一内存单元，是将一预充电电压耦合到第 2 行。

在该先前技术中，可将内存阵列 5 耦合到一备用阵列(图中未示出)。该备用阵列本质上系列数与内存阵列 5 相同，但行数较少的另一内存区块。备用阵列的行数通常小于一区块或 I/O 的行数，但并不一定就是此种情形。

为了简化如何采用一备用阵列的讨论，将使用备用阵列中的行数小于一区块中的行数的一个例子。对内存阵列 5 的测试可能指示无法正确地读取沿着该内存阵列的其中一行的内存单元。例如，在制造期间可能已将诸如短路接地等的一缺陷列入该行。是将该备用阵列用来作为有缺陷的行以及包含有缺陷的行的区块中的其它行的替代物。可将内存阵列 5 中用该备用阵列取代的该等行称为“备用范围”(“redundancy window”)。先前技术的图 1 中举例示出一备用范围 6。根据该例子，备用范围 6 是固定于一定的位置，且包含小于区块 1 中的行数的某一数目的行。此时并不将数据写到备用范围 6 中的该等行，也不自备用范围 6 中的该等行读取数据，而是将数据写到该备用阵列且自该备用阵列读取数据。因此，并不烧录备用范围 6 中的内存单元。

在重复地抹除内存阵列 5 之后，前文所述的备用机制可能会发生问题。当抹除内存的一区段(sector)时，抹除了该区段中所有的内存单元。“Y-选择(Y-select)”译码是所有 I/O 共同的；譬如，当抹除区块 1 时，也抹除了备用范围 6 中的内存单元。因此，继续上述的例子，纵使不曾烧录过备用范围 6 中的该等内存单元，也会抹除这些于备用范

围 6 中的内存单元。因此，备用范围 6 中的该等内存单元会变为“被过度抹除”。在过度抹除的情形下，备用范围 6 中的该等内存单元的电阻减小，因而增加了这些内存单元的漏电流(误差电流)。此种漏电流的增加又可能影响到对邻近备用范围 6 的各行中的内存单元的读取，尤其可能影响到对邻接备用范围 6 的内存单元(例如，第 N-1 行中的那些内存单元)的读取。例如，与第 N 行相关联的漏电流可能较大；当对第 N 行施加预充电时，该预充电可能大到足以补偿该漏电流，因而在读取第 N-1 行时可能或造成错误。

因此，一种可消除或减少在读取邻近备用范围的内存单元时的错误的备用机制将是传统备用机制的一种改良。

发明内容

本发明的各实施例有关一种可消除或减少在读取邻近一内存阵列中的备用范围的内存单元时的错误的内存备用方法及其系统。识别该内存阵列的一特定行(例如，一有缺陷的行)。根据本发明的各实施例，选择其中包含有缺陷的行的一组相邻行，而界定该备用范围。该组行的选择方式为在该有缺陷的行的一端有至少一行且在该有缺陷的行的另一端有至少另一行。在该有缺陷的行的每一端通常将有多个行。在一实施例中，该备用范围的界定方式为使该有缺陷的行大约在该组相邻行的中间。在另一实施例中，是指定与该备用范围的一边界对应的一地址，而界定该备用范围。

在一实施例中，只烧录在该备用范围的边界上的各行中的内存单元。在另一实施例中，烧录该备用范围中在该有缺陷的行的两端的所有行中的内存单元。一般而言，根据本发明的各实施例，有作用的且被烧录的各行的一障壁是位于该有缺陷的行与该备用范围的相邻(且在该备用范围的外)的行之间。

在一实施例中，是将该内存阵列中的该等多个行组织成若干独立的输入 / 输出(I/O)组，其中是将一 I/O 组内的各行耦合到一个别的 I/O 垫。在该实施例中，该备用范围可包含来自两个相邻 I/O 组的行。对于一个此种实施例而言，说明了一种将该备用阵列中的数据导引到适当的 I/O 垫的方法。亦说明了一种决定一指定的地址是否造成该备用范围

(且因而该备用阵列)中的一命中的方法。

附图说明

被包含在本说明书且构成本说明书的一部分的各附图标出了本发明的各实施例，且该等附图连同说明是用来解说本发明的原理，这些附图有：

图 1 是先前技术的一内存阵列的一部分的示意图，图中示出一先前技术的内存备用机制。

第 2A 图是用来实施本发明的实施例的一内存阵列的示意图。

第 2B 图是根据本发明的一实施例的一内存阵列及一备用阵列的方块图。

第 3A 图是根据本发明的一实施例的一例示内存单元的示意图。

图 3B 是根据本发明的一实施例的一例示镜像位内存单元的一示意图。

图 4 是一内存阵列的示意图，图中示出根据本发明的一实施例的一内存备用机制。

图 5 标出根据本发明的一实施例的内存阵列的例示输入 / 输出区块的一位对映表(实体的和逻辑的)。

图 6 是根据本发明的一实施例的内存备用方法的流程图。

图 7A 是根据本发明的一实施例而决定一地址是否与备用范围相关联的方法的流程图。

图 7B 是根据本发明的一实施例而自一内存阵列或备用阵列读取信息的方法的流程图。

图 8A 是根据本发明的一实施例而决定应将备用数据传送到哪一输入 / 输出垫的方法的流程图。

图 8B 标出根据本发明的一实施例而决定应将备用数据传送到哪一输入 / 输出垫的逻辑电路。

具体实施方式

在本发明的下列详细说明中，述及了许多特定的细节，以便能彻底了解本发明。然而，本领域技术人员当可了解，可在无须该特定细

节或其等效事项的情形下实施本发明。在其它的情形中，并不详细说明现有的方法、程序、组件、及电路，以便不会非必要地模糊了本发明的各面向。

将以程序、步骤、逻辑方块、处理、以及可在计算机内存中对数据位执行的运算的符号表示法的方式呈现下文的详细说明的某些部分。这些说明及表示法是本领域技术人员用来将其工作的内涵最有效地传递给其它本领域技术人员的方式。程序、计算机执行的步骤、逻辑方块、程序等在本说明书中(且一般地)被认为是将造成一所需结果的首尾一致的序列的步骤或指令。该等步骤是需要对物理量进行物理操作的那些步骤。虽非必然，但通常这些物理量采取可在计算机系统中被存储、转移、结合、比较、及以其它方式操作的电气或磁性信号的形式。将这些信号称为位、数值、元素、符号、字符、项、或数字等术语时，已证明经常是较便利的，主要也是为了普遍使用之故。

然而，我们当谨记于心，所有这些术语及其它类似的术语都与适当的物理量有关，而且只是适用于这些物理量的便利性标记而已。除非在下文的说明中明显有其它特别的陈述，否则我们当了解：在本发明的全部说明书中，使用诸如“识别”、“界定”、“烧录”、“指定”、“选择”、“建立”、“接收”、“决定”、“比较”、或“读取”等的术语的讨论都意指计算机系统或类似的电子运算装置的动作及程序(例如，分别在第 6、7A、7B、及 8A 图的流程图 600、700、730、及 800，且计算机系统是将该计算机系统的缓存器及内存内表现为物理量(电子量)的数据操作并变换为该计算机系统的内存、缓存器、或其它此种信息存储装置、传输装置、或显示装置内同样表现为物理量的其它数据。

图 2A 标出根据本发明的一实施例的内存阵列 100 的一部分。在第 2A 图中，为了简化讨论及附图，只示出了单一的字线 40 及若干位线 30、31、及 32。然而，我们当了解，一内存阵列实际上可使用不同数目的字线及位线。亦即，内存阵列 100 实际上将进一步向左及向右而延伸，且亦将沿着水平及垂直的方向而延伸(左、右、水平、及垂直都是相对方向)。可将字线称为列，并可将位线称为行；然而，我们当了解，这些都是相对的术语。我们亦当了解，图中只示出一内存阵列的某些组件；亦即，一内存阵列实际上可包含图中所示出组件以外的组

件。例如，在一实施例中，内存阵列 100 采用一虚拟接地架构。在一虚拟接地架构中，根据要对内存单元进行读取(或烧录验证)，而可将一位线用来作为一源极或漏极。

一电源(电压源 60)可耦合到字线 40，而一负载(图中未示出)可耦合到各位线 30 至 32。位线 30 至 32 是大致相互平行，且字线 40 是大致与该等位线正交。字线 40 及位线 30 至 32 是分别在若干节点 10、11、及 12 上重叠(但并未连接)。这些节点的每一节点对应于一内存单元 20、21、22。亦即，在该实施例中，内存单元 20 对应于节点 10，内存单元 21 对应于节点 11，且内存单元 22 对应于节点 12。图中亦示出一内存单元 23，该内存单元 23 是对应于另一节点(图中未示出)。内存单元 20 至 23 实际上是介于各位线之间，且是在字线之下(“在…之下”是一相对术语)。内存单元 20 至 23 可以是诸如第 3A 图所示的内存单元 200 等单一位的内存单元，或者可以是诸如第 3B 图所示的内存单元 250 等一镜像位(mirror bit)的内存单元。

图 2B 是根据本发明的一实施例而耦合到一备用阵列 110 的内存阵列 100 的方块图。虽然图中是视为个别的组件，但是我们当了解，可将内存阵列 100 及备用阵列 110 整合为单一组件。一般而言，备用阵列 110 本质上系列数与内存阵列 100 相同但行数较少的另一内存区块。备用阵列 110 是用于将在下文中名的一备用机制中。

图 3A 标出根据本发明的一实施例的例示内存单元 300。在该实施例中，内存单元 300 是一浮接栅极内存单元，包含用来形成源极及漏极区的一基材 310。内存单元 300 通常亦包含第一氧化物层 320a、一存储组件 330 (例如一浮接栅极)、第二氧化物层 320b、及一控制栅极 340。在该实施例中，是将存储组件 330 用来存储单一位。诸如内存单元 300 等的内存单元是此项技术中现有的。

图 3B 标出根据本发明的一实施例的一例示镜像位内存单元 350。在该实施例中，内存单元 350 包含一基材 360、第一氧化物层 370a、一存储组件 380(例如一浮接栅极)、第二氧化物层 370b、及一控制栅极 390。与基于具有不同的源极及不同的漏极的一非对称晶体管的第 3A 图所示的内存单元 300 不同，镜像位内存单元 350 是基于具有类似的(可选择的)源极及漏极的一对称晶体管。此外，镜像位内存单元 350 配置

成可让一位存储在存储组件 380 的任一端或两端。更具体而言，一旦将电子存储在存储组件 380 的一端之后，该等电子即停留在该端，且不会迁移到该存储组件的另一端。因此，在本实施例中，每一内存单元可存储两个位。

图 4 标出一内存阵列 100，图中示出根据本发明的一实施例的一内存备用机制。为了简化附图，图中只示出内存阵列 100 的行(位线)。此外，图中只示出内存阵列 100 的两个输入 / 输出(I/O)区块(I/O 0 及 I/O 1)；然而，我们当了解，内存阵列 100 通常将包含两个以上的 I/O 区块。此外，可将每一 I/O 分为某一数目的子 I/O(请参阅图 5)。

在本文的用法中，一 I/O 区块或 I/O 组(或简称为 I/O)包含某一数目的行，且该等行被耦合到(例如选通到)单一的 I/O 垫或埠。在图 4 中，I/O 0 耦合到 I/O 垫 401，且 I/O 1 耦合到 I/O 垫 402。可以一种现有的方式利用 I/O 内容可寻址内存(Content Addressable Memory；简称 CAM)而唯一地识别每一 I/O。例如，对于 16 个 I/O 而言，是利用四个 CAM 来唯一地识别每一 I/O。

在一实施例中，每一 I/O 有 32 行($N=32$)。请注意，图 4 所示的该等行是 metal-2 位线。每一 metal-2 位线是与两条 metal-1 位线相关联。例如，当 $N=32$ 时，每一 I/O 共有 64 条 metal-1 位线。在第 3A 图所例示的内存架构中，内存阵列 100 在每一 I/O 的每一字线中可存储 64 位的信息。在第 3B 图所例示的内存架构(镜像位架构)中，内存阵列 100 在每一 I/O 的每一字线中可存储 128 位的信息。

请参阅图 4，内存阵列 100 是连接到一备用阵列 110。备用阵列 110 包含某一数目的行。可将备用阵列 110 组织成具有若干组件，而各组件包含某一数目的行。例如，备用阵列 110 可包含由五行构成的单一组件，或者该备用阵列 110 可包含两个组件，且每一组件有五行。备用阵列 110 可包含组织成任何数目的组件的任何数目的行。

根据本发明的各实施例，是选择数目等于或小于备用阵列 110 的一组件中的行数的一组相邻行，而界定一备用范围 410。为了便于讨论，在此处假设备用阵列 110 具有由五行构成的单一组件，且此处亦将备用范围 410 描述为包含五行。然而，我们当了解，备用范围 410 可根据备用阵列 110 中的行数而包含任何数目的行。

根据本发明的实施例，是选择一些行，使得一特定的(例如有缺陷的)行的一端上有至少一行，且该有缺陷的行的另一端上至少有另一行，而界定备用范围 410。备用范围 410 通常将在有缺陷的行的每一端上包含一行以上。例如，可将诸如第 N 行等的一行识别为有缺陷的或有缺点的(但是也可能因某一其它的理由而选择第 N 行)。根据本发明的实施例，备用范围 410 包含第 N 行以及第 N 行的两端上的各相邻行(例如，在一端上的第 N-2 行及第 N-1 行、以及在另一端上的第 N+1 行及第 N+2 行)。在一实施例中，在该有缺陷的行(例如第 N 行)的一端上所选择的行数等于在该有缺陷的行的另一端上所选择的行数，使第 N 行位于备用范围 410 的中间。请注意，备用范围可完全位于一 I/O 区块内，可包含一完整的 I/O 区块，或者可包含来自两个相邻 I/O 区块的行。最后的例子是示于图 4。

根据本发明的一实施例，是指定与备用范围 410 的一个边界对应的一地址，而界定该备用范围。下文中将参照图 5 而说明一种机制。亦可利用其它的机制来界定该备用范围。例如，可使用与第 N-2 行(或第 N+2 行)对应的地址来识别备用范围 410 的一边界。因为备用范围 410 中的行数是已知的，所以可利用第 N-2 行(或第 N+2 行)的地址来决定该备用范围中包含的其它行。再举另一个例子，可使用备用范围 410 中的每一行的地址，或者可使用备用范围 410 的两个边界上的各行的地址。在有缺陷的行(例如第 N 行)是位于备用范围 410 的中间的一实施例中，可使用第 N 行的地址来界定该备用范围，这是因为一相同数目的行将位于第 N 行的任一端。

如前文所述，根据本发明的实施例，是将图 4 的备用范围 410 界定成在该有缺陷的行的每一端上有至少一行。因此，备用范围 410 的各边界上将有可工作的(无缺陷的)行。在一实施例中，在该有缺陷的行的每一端上的至少一行中的内存单元被烧录。在一个此种实施例中，只有备用范围 410 的边界上的各行中的内存单元被烧录。在另一此种实施例中，备用范围 410 中的所有可工作的行中的内存单元被烧录。因此，在该有缺陷的行与该备用范围(之外的)各相邻行之间有效地放置了可工作的且被烧录的行的一障壁。

在一实施例中，是将“0”(零)写到备用范围 410 中的各内存单元，

而完成对该等内存单元的烧录。藉由烧录备用范围 410 中的各行，因而若重复地抹除内存阵列 100 时，这些行将不会被过度抹除。因此，在其它相邻行的读取作业期间中，可正确地将这些行预充电。例如，因为纵使第 N-2 行位于备用范围 410(的边缘)内，也要烧录第 N-2 行，所以可在读取 第 N-3 行时令人满意地对第 N-2 行预充电，因而消除了或减少了于读取与第 N-3 行相关联的内存单元时可能发生的错误。

图 5 标出根据本发明的一实施例的内存阵列(例如图 4 所示的内存阵列 400)的一部分的位对映表 500。更具体而言，位对映表 500 代表一镜像位内存阵列的一 I/O。在本实施例中，是将位对映表 500 的 I/O 组织为四个子 I/O501、502、503、及 504。虽然随后将在第 3B 图所例示的镜像位架构的环境中说明本发明的实施例，但是我们当了解，可将该说明延伸到其它的内存架构，例如第 3A 图所例示的架构。

在下文的说明中，将说明一种用来界定一备用范围的机制。在所要说明的该机制中，识别该备用范围的起点；因为该备用范围中的行数是已知的，所以可利用该起点来界定该备用范围。如前文所述，亦可根据本发明而使用其它的机制来界定一备用范围。

在本实施例中，图 5 的位对映表 500 所代表的 I/O 能够在 64 个内存单元(64 个 metal-1 行或 32 个 metal-2 行)中存储 128 个位。因此，必须以七个地址(A0 至 A6)来识别一特定的位。每一地址 A0 至 A6 代表一个逻辑零或一个逻辑一。位对映表 500 示出每一位的实际(实体)位置，以及利用该等七个地址 A0 至 A6 而识别的逻辑位置。用来界定一备用范围的起点的地址的数目是取决于所需的分离程度。如果需要以一位的层级来指定备用范围的起点，则可使用七个地址来界定该备用范围的起点。在一实施例中，是使用四个地址(尤指地址 A6、A5、A1、及 A0)来界定该备用范围的起点。如图 5 所示，使用这四个地址时，识别了一特定组的八个位(然而，只使用这四个地址时，无法个别地识别该组中的这八个位)。例如，当 A6、A5、A1、及 A0 分别等于 0、1、0、0 时，识别了在实体位置 8 至 15 上的且在逻辑位置 32、36、40、44、48、52、56、及 60 上的该组的位。因而将该备用范围的起点("A")识别为包含所识别的四行(八个位)。此外，可利用该等四个地址 A6、A5、A1、及 A0 来识别位对映表 500 中被识别为“V”且是对应于该组的

八个位的起点的一特定位置。

该备用范围可根据该备用阵列中的行数而延伸到一邻近的 I/O。例如，类似于刚才所说明的方式，可以分别等于 1、0、1、1 的 A6、A5、A1、及 A0 来识别具有一起点“B”的一备用范围。如果将该备用范围界定为包含 16 行，则具有起点“B”的该备用范围将延伸到图 5 中并未示出的另一(相邻的)I/O。

根据本发明的实施例，在选择一备用范围及其起点时，是指定与该备用范围相关联的各 CAM，而固定所界定的备用范围。本文中将把这些 CAM 称为 ADDCAM，以便与前文所述的 I/O CAM 区分。如果以前文所述的方式(亦即，使用四个地址)界定该起点，则可使用四个 ADDCAM 来界定该备用范围；一般而言，ADDCAM 的数目对应于指定该备用范围时所需的分离程度。

当一应用是将信息写到一内存阵列或自一内存阵列读取信息时，通常是由该应用指定该内存阵列中的一地址。为了简化对照，本文中可将该地址称为“使用者指定的地址”。根据本发明的一实施例，可利用该等 ADDCAM 来决定使用者指定的地址是否会造成该备用范围内(因而也造成备用阵列中的)的一命中。当自备用阵列读取信息时，可将该使用者指定的地址、该等 ADDCAM、及该等 I/O CAM 的组合用来将该备用阵列中的数据导引到适当的 I/O 垫。

图 6 是根据本发明的一实施例的一种内存备用方法的流程图 600。虽然流程图 600 中揭示了一些特定的步骤，但是这些步骤只是举例。亦即，本发明极适于执行各种其它的步骤、或流程图 600 所示该等步骤的变形。我们当了解，可按照与所呈现顺序不同的顺序执行流程图 600 中的该等步骤，且不必然在所示的序列中执行流程图 600 中的该等步骤。

在步骤 610 中，是于本实施例中识别一内存阵列中的一特定行。例如，可将该内存阵列中的一有缺点的或无作用的行识别为该特定行。在图 4 所示的实施例中，是将第 N 行识别为该特定(有缺陷的)行。

在图 6 所示的步骤 620 中，是于本实施例中选择该有缺陷的行的每一端上的若干行(尤指一些相邻行)，而界定一备用范围。在一实施例中，该有缺陷的行的每一端上有至少一行；该有缺陷的行的每一端上

通常有一行以上。在另一实施例中，该有缺陷的行是大致位于该备用范围的中间，而该有缺陷的行的每一端上有相同数目的行。在又一实施例中，该备用范围包含来自一个以上的 I/O 组或区块的行的若干行。

在步骤 630 中，于一实施例中，该备用范围中的内存单元的全部或部分被烧录。在一个此种实施例中，该有缺陷的行的每一端上的至少一行被烧录。在另一此种实施例中，只有该备用范围的边界上的各行中被烧录。在又一实施例中，该备用范围中的所有可工作的行被烧录。

图 7A 是根据本发明的一实施例而决定一地址是否与一备用范围相关联的一种方法的流程图 700。虽然流程图 700 中揭示了一些特定的步骤，但是这些步骤只是举例。亦即，本发明极适于执行各种其它的步骤、或流程图 700 所示该等步骤的变形。我们当了解，可按照与所呈现顺序不同的顺序执行流程图 700 中的该等步骤，且不必然在所示的序列中执行流程图 700 中的该等步骤。

在第 7A 图的步骤 710 中，于一读取或写入作业中，是针对内存阵列中的内存位置而接收一地址(例如由应用指定的使用者指定的地址)。请务必注意，该地址通常将指向该内存阵列中的一位置。与该地址相关联的信息的实际位置是在该内存阵列中或是在备用阵列中在本质上是对所执行的作业透通的。

因此，在步骤 720 中，决定与步骤 710 中接收的地址对应的实际内存位置。如前文所述，在一实施例中，可使用取决于所需分离程度的某一数目的地址来界定该备用范围。在一个此种实施例中，使用被称为 ADDCAM 的四个地址来界定该备用范围的起点。在该实施例中，可将在步骤 710 中接收的地址与该等 ADDCAM 比较，以便决定是否有该备用范围中的一命中。该备用范围中的一命中指示与该地址对应的实际内存位置是在该备用阵列中；否则，实际内存位置是在内存阵列中。

在一读取作业中，请注意，可在自该内存阵列及(或)该备用阵列读取信息之后，才决定与图 7A 的步骤 710 中接收的地址对应的信息的实际内存位置。下文中将参照图 7B 而进一步说明此种情形。

图 7B 是根据本发明的一实施例而自一内存阵列或备用阵列读取

信息的一种方法的流程图 730。请参阅第 7B 图中的步骤 740，在本实施例中，是针对一读取作业而接收一地址。然而，在本程序中的此点，并不作出与该地址是否对应于该备用范围内(因而也在该备用阵列内)的一位置有关的决定。

在步骤 750 中，于本实施例中读取该备用阵列中的信息。亦即，在一实施例中，于一读取作业期间总是读取该备用阵列中的信息。

在步骤 760 中，于本实施例中读取在步骤 740 中接收的地址所识别的内存阵列中的该位置上的信息。如果内存阵列中的该位置对应于该阵列中的有缺陷的行，则在步骤 760 中可不读取任何信息。如果该内存阵列中的该位置对应于该备用范围内的行，则可读取信息；然而，该信息可能是或可能不是有效的。例如，如前文所述，可只以零来烧录该备用范围中的有作用的行，且或许只烧录该备用范围中的某些行。下文中的步骤 770 将解决此种情形。请注意，可在大致相同的时间而以平行的方式执行步骤 750 及步骤 760。

在步骤 770 中，于本实施例中决定(来自步骤 740 的)该地址是否对应于该备用范围中的一内存位置。如果该地址对应于该备用范围中的一内存位置，则该读取作业中要求的信息是位于该备用阵列中。因此，在步骤 772 中，使用步骤 750 中自该备用阵列读取的信息来取代步骤 760 中自该内存阵列读取的信息。如果该地址对应于该备用范围外部的一内存位置，则在该读取作业中要求的信息是位于该内存阵列中。因此，在步骤 774 中，使用步骤 760 中自该内存阵列读取的信息来取代步骤 750 中自该备用阵列读取的信息。在一实施例中，使用一多任务作业来完成步骤 772 及 774。

图 8A 是根据本发明的一实施例而决定应将备用数据传送到哪一输入 / 输出垫的一种方法的一流程图 800。第 8B 图标出用来实施流程图 800 的一逻辑电路的一个实施例。虽然流程图 800 中揭示了一些特定的步骤，但是这些步骤只是举例。亦即，本发明极适于执行各种其它的步骤、或流程图 800 所示该等步骤的变形。我们当了解，可按照与所呈现顺序不同的顺序执行流程图 800 中的该等步骤，且不必然在所示的序列中执行流程图 800 中的该等步骤。

在图 8A 的步骤 810 中，是利用诸如前文中参照图 7A 及图 7B 所

述的程序，而在一读取作业中识别并找到该备用阵列中的一内存位置。如前文所述，该备用范围可延伸到一个以上的 I/O 区块。因此，可能需要决定哪一 I/O 区块是与该备用阵列中被识别的位置相关联，以便可将自该位置读取的信息导引到适当的 I/O 垫或埠。

因此，在图 8A 的步骤 820 中，决定该适当的 I/O 区块。在一实施例中，是利用诸如图 8B 所示的一逻辑电路，而进行由使用者指定的地址、用来界定各 I/O 区块的各 I/O CAM、以及用来界定该备用范围的各 ADDCAM 构成的一比较，以便识别该适当的 I/O 区块。因此，可将自该备用阵列读取的信息导引到该适当的 I/O 垫。

前文中已针对例示及说明而提供了对本发明的一些特定实施例的说明。这些说明的用意并非具有耗尽性，也并非将本发明限制在所揭示的刻板形式，且显然在参照前文的揭示事所述之后将可作出许多修改及变化。选择并说明该等实施例，以便以最佳的方式解说本发明的原理及其实际应用，因而使其它本领域技术人员能够在适于所考虑的特定用途而进行的各种修改下，而以最佳的方式利用本发明及各实施例。将由最后的权利要求书及其等效事项界定本发明的范围。

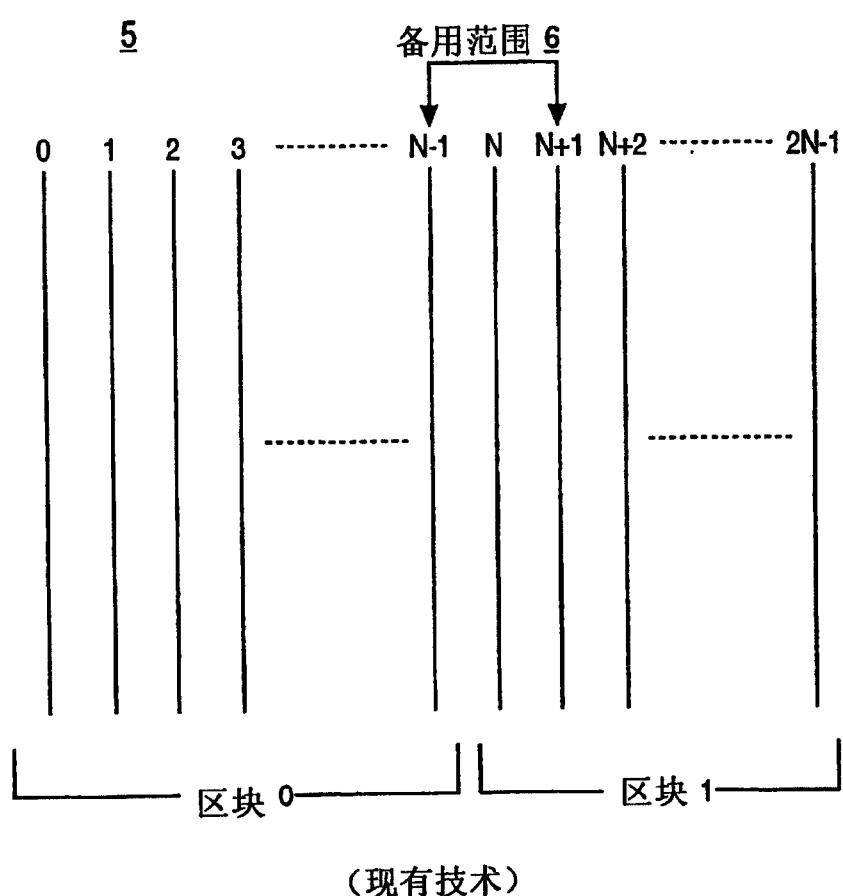


图1

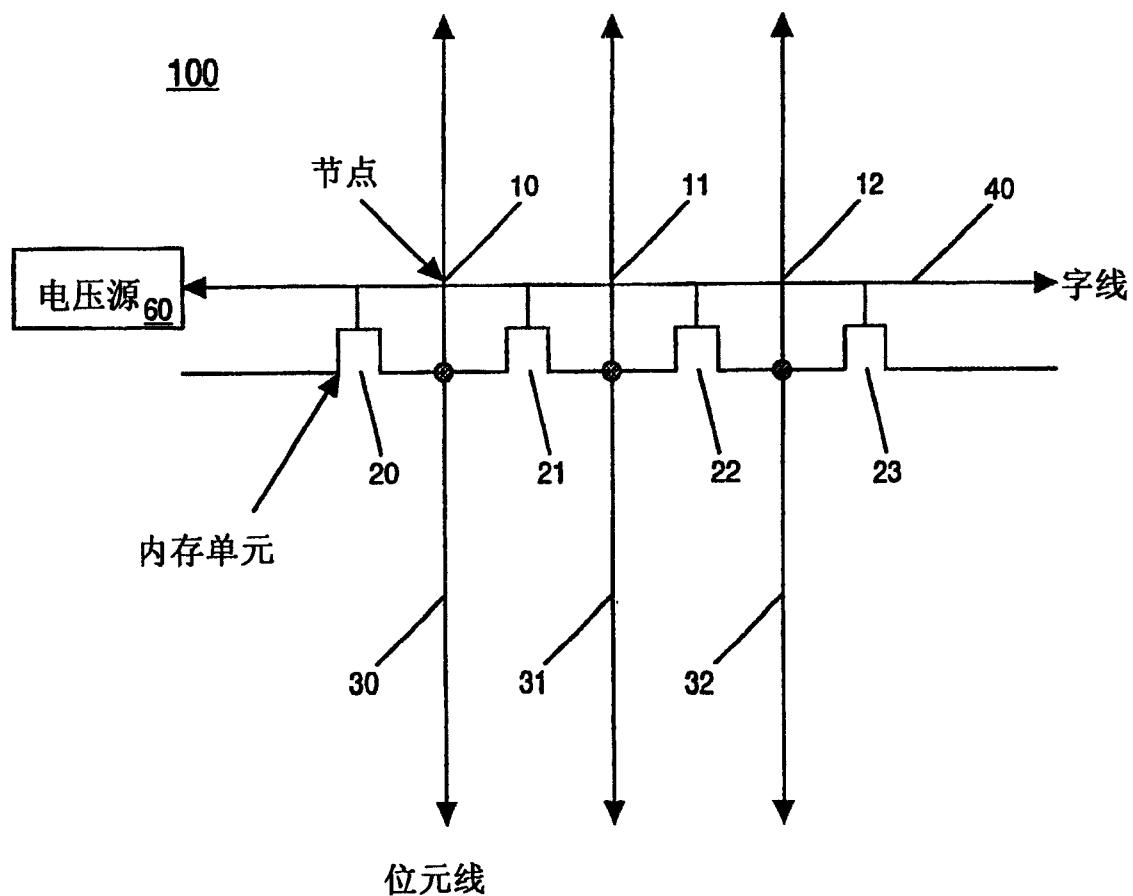


图2A

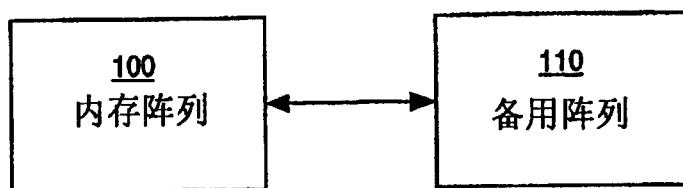


图2B

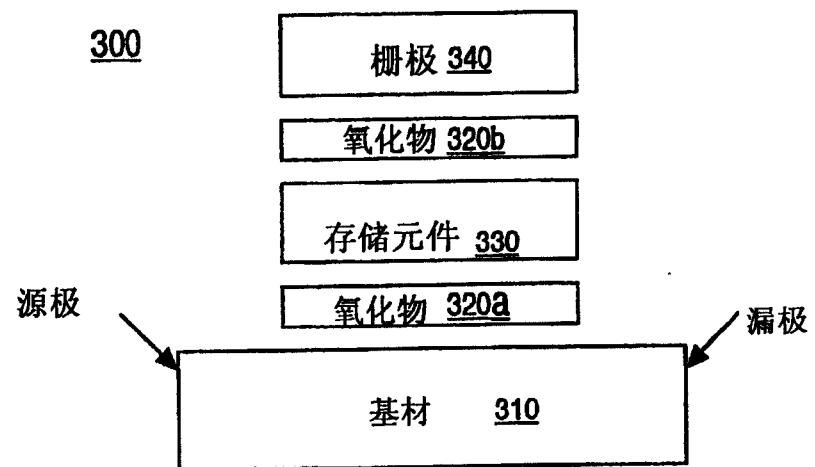


图3A

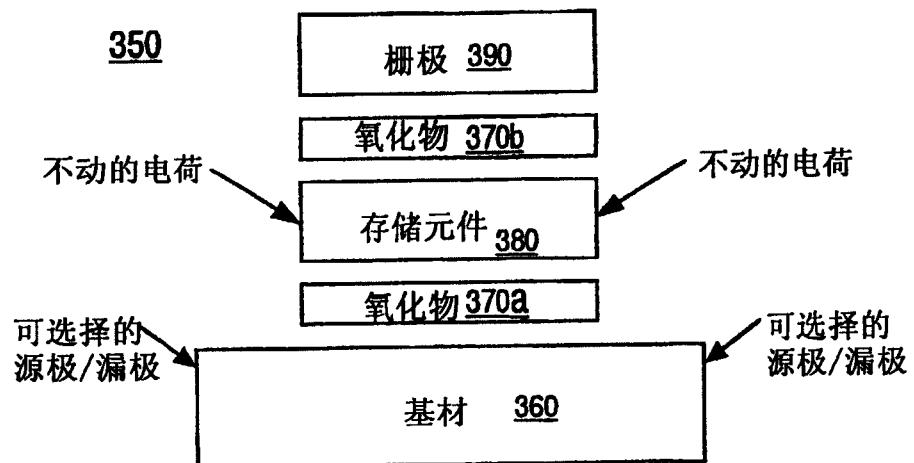


图3B

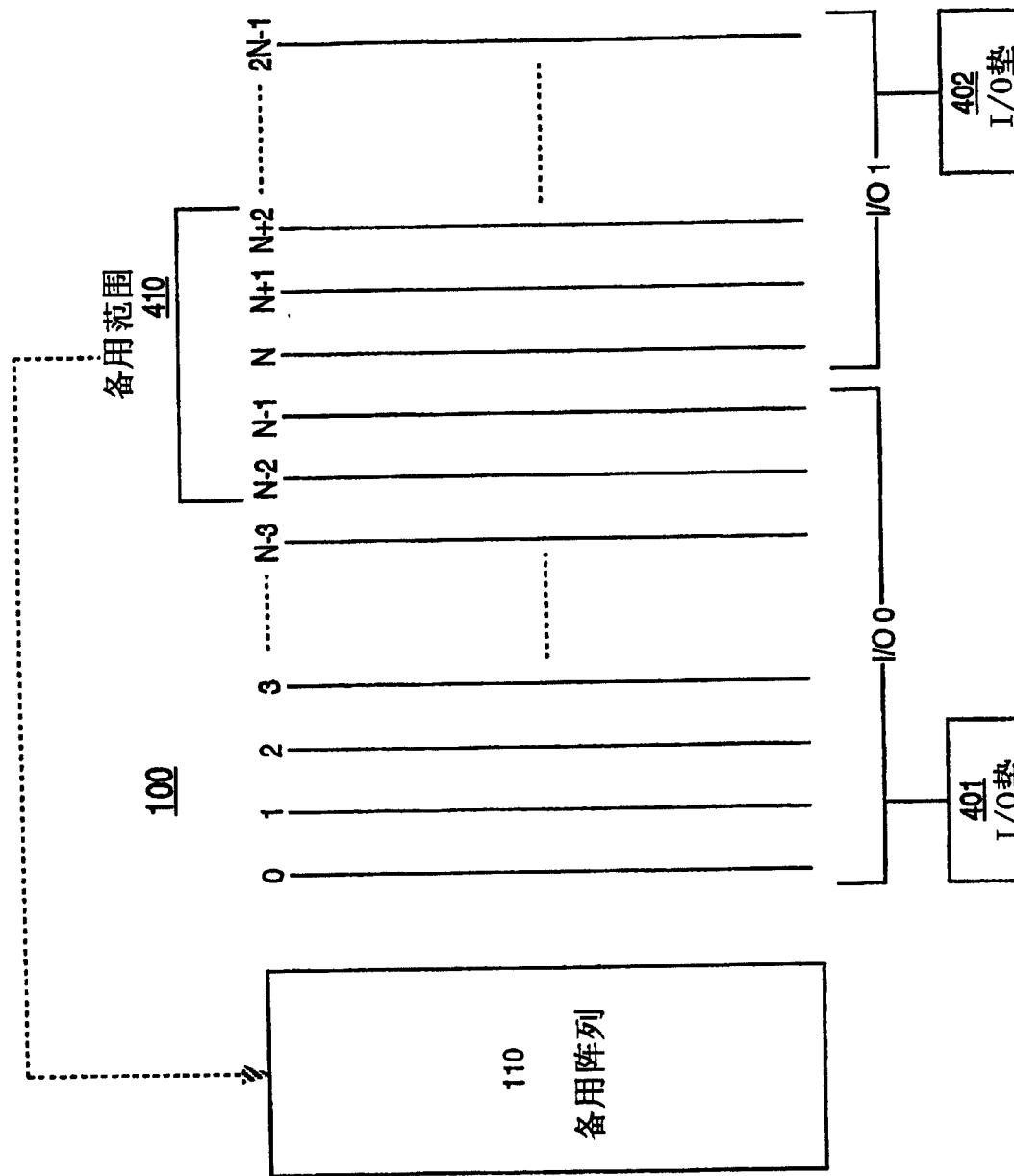


图4

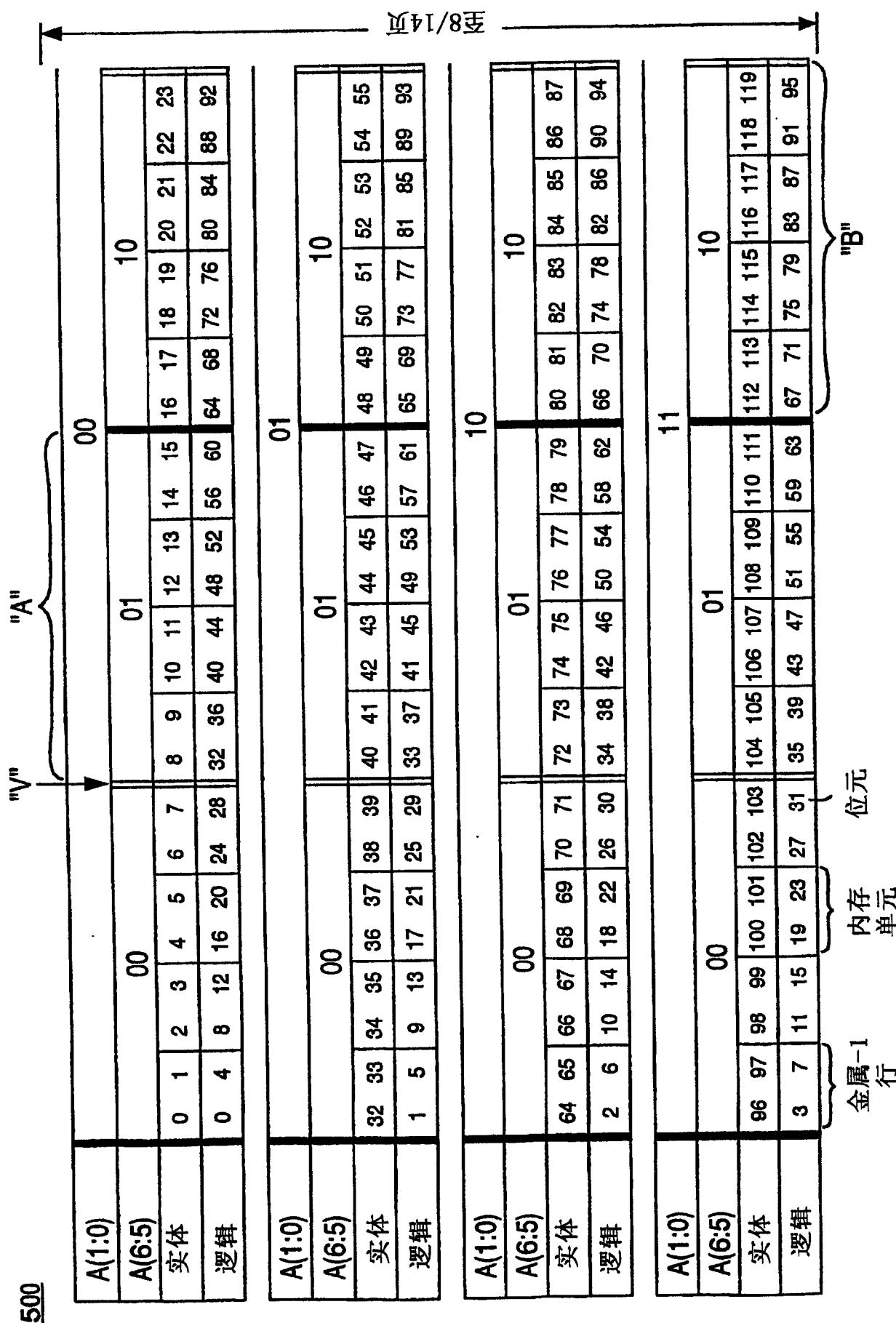


图 5

11						
24	25	26	27	28	29	30
96	100	104	108	112	116	120
56	57	58	59	60	61	62
97	101	105	109	113	117	121
501	11					
56	57	58	59	60	61	63
97	101	105	109	113	117	125
11						
88	89	90	91	92	93	94
98	102	106	110	114	118	126
502	11					
88	89	90	91	92	93	95
98	102	106	110	114	118	122
503	11					
120	121	122	123	124	125	127
99	103	107	111	115	119	123
504	11					
120	121	122	123	124	125	127
99	103	107	111	115	119	123

表7/14页

600

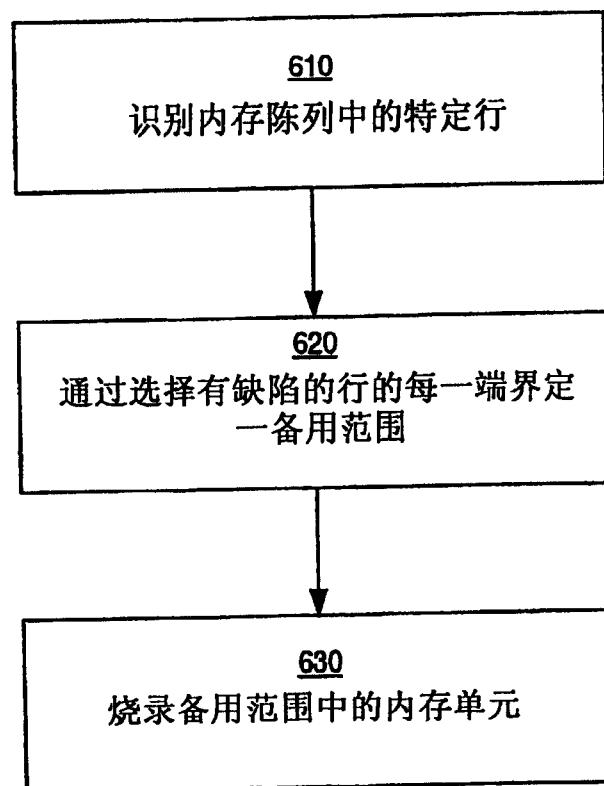


图6

700

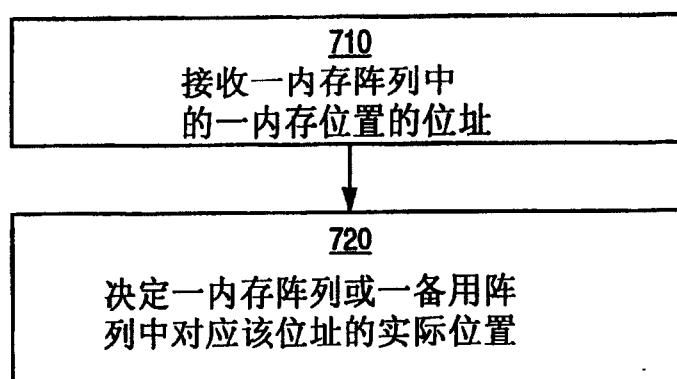


图7A

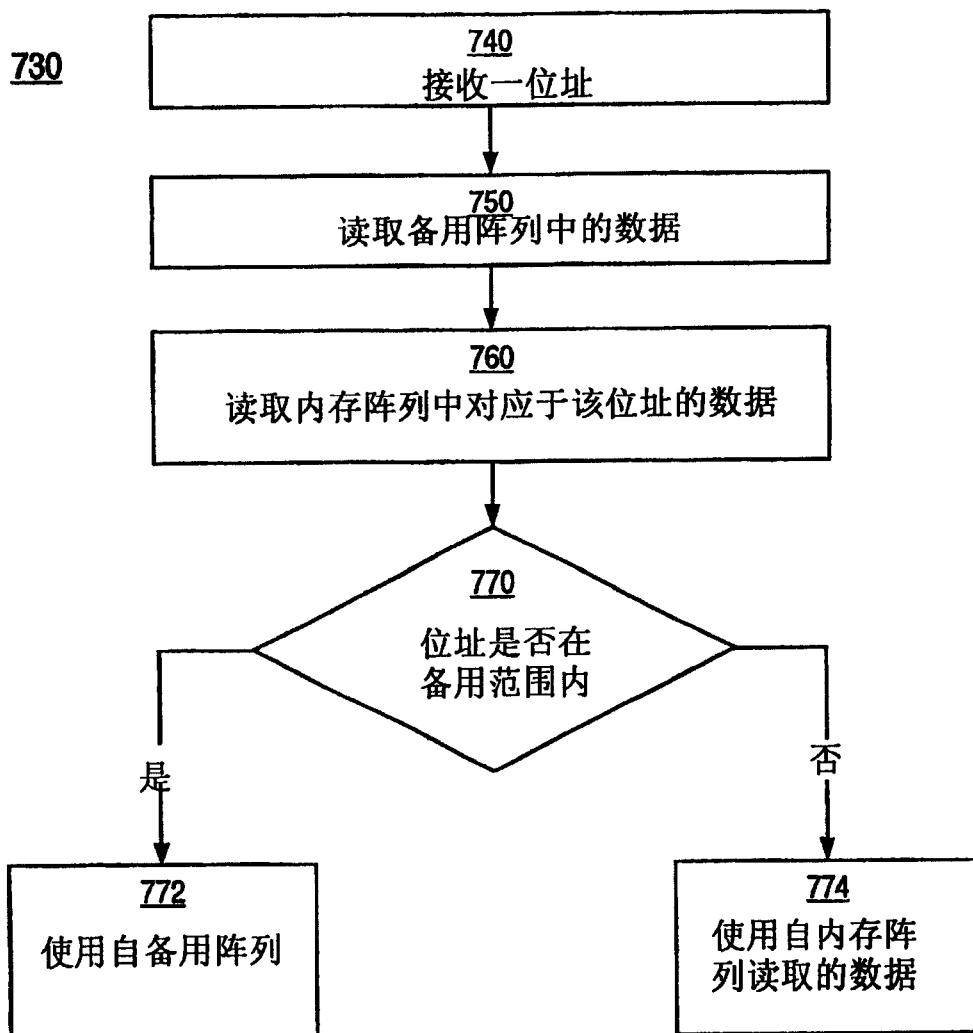


图7B

800

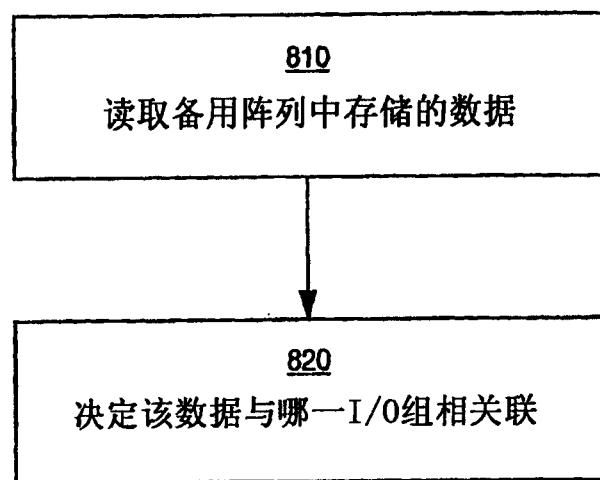
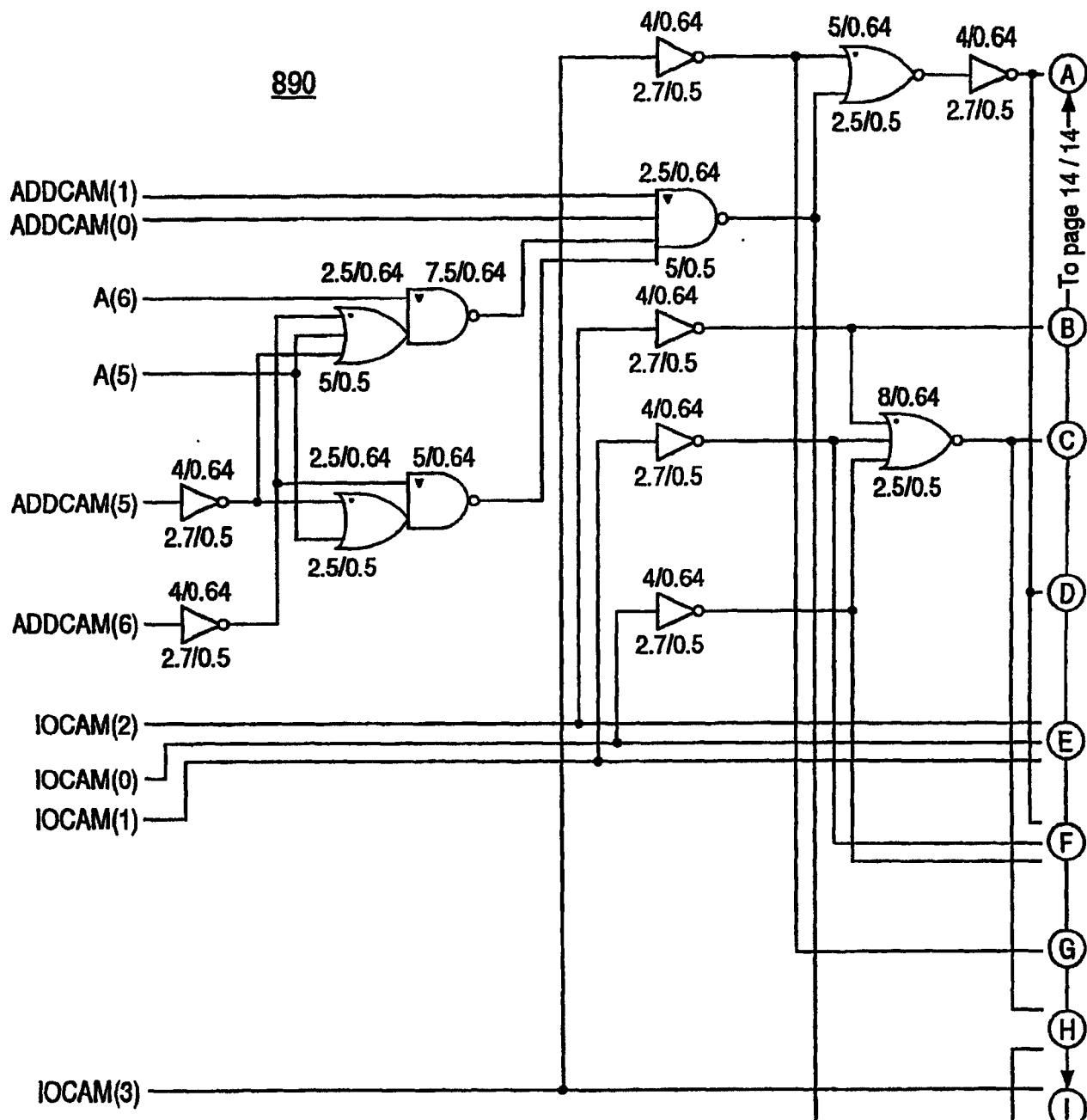
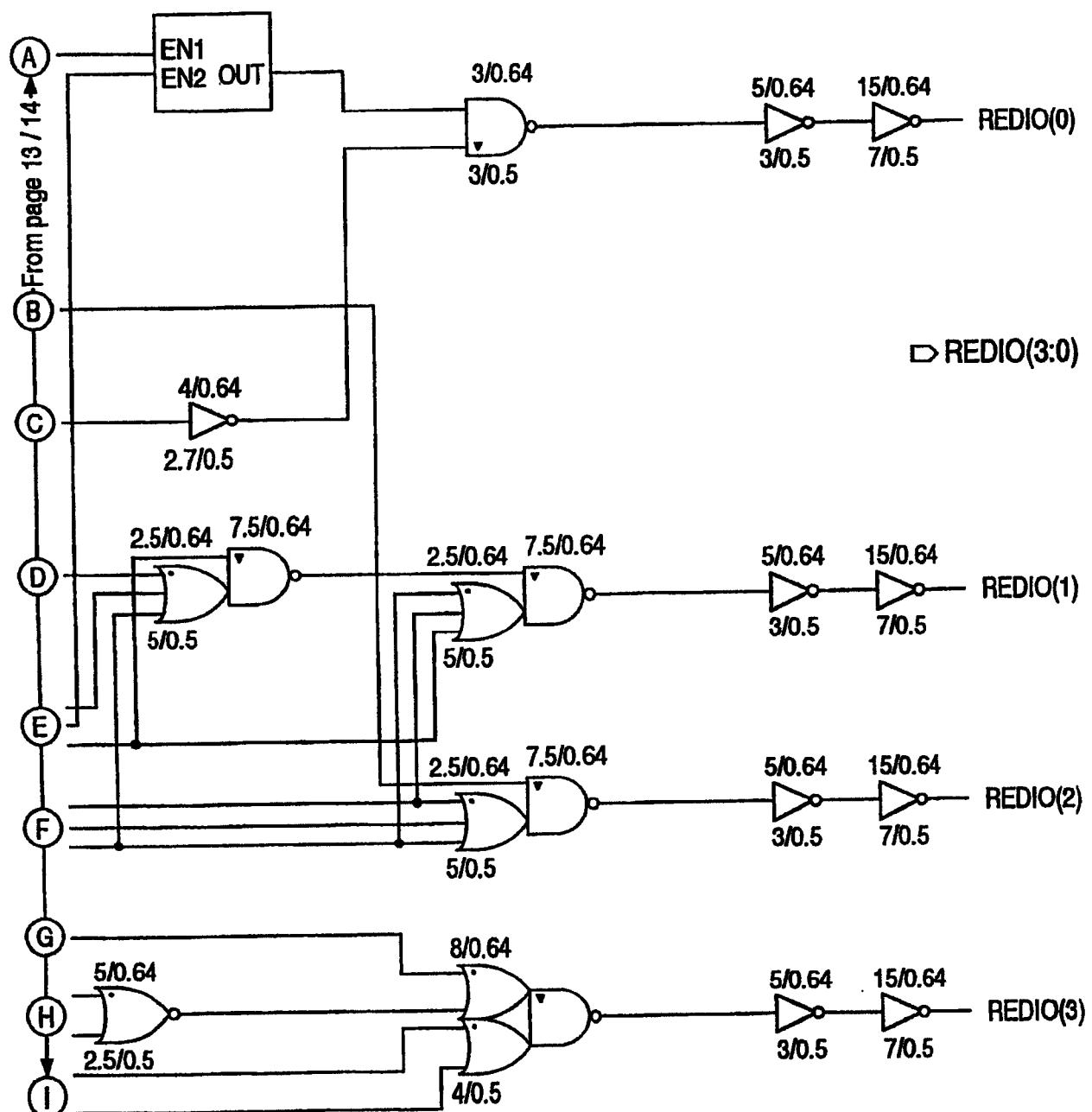


图8A



ADDCAM(1:0) □
 ADDCAM(6:5) □
 IOCAM(3:0) □
 A(6:5) □

图8B



接图8B