



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2017-0048983
(43) 공개일자 2017년05월10일

(51) 국제특허분류(Int. Cl.)

G01R 31/02 (2006.01)

(52) CPC특허분류

G01R 31/02 (2013.01)

G01R 31/021 (2013.01)

(21) 출원번호 10-2015-0149761

(22) 출원일자 2015년10월27일

심사청구일자 없음

(71) 출원인

엘에스산전 주식회사

경기도 안양시 동안구 엘에스로 127 (호계동)

(72) 발명자

손상욱

경기도 안양시 동안구 동편로 6, 604호(관양동)

(74) 대리인

김기문

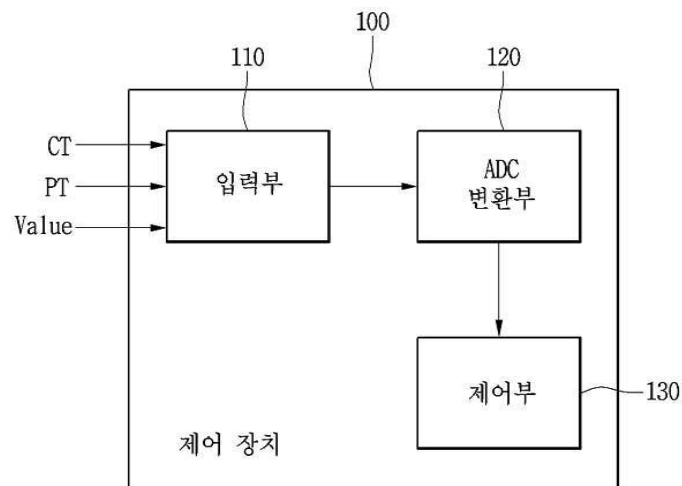
전체 청구항 수 : 총 9 항

(54) 발명의 명칭 HVDC 시스템에서의 제어장치 및 이의 동작방법

(57) 요약

본 발명의 일 실시예에 의한 HVDC 시스템에서의 제어장치는, 상기 HVDC 시스템의 구성 요소에서 측정된 적어도 하나의 아날로그 측정값을 입력 받는 입력부; 상기 적어도 하나의 아날로그 측정값을 디지털 값으로 변환하는 ADC 변환부; 및 상기 디지털 값을 적응필터의 입력으로 사용하여 상기 적응필터의 계수를 추정하고, 상기 적응필터의 계수의 제곱의 합과 임계값을 비교하여 상기 HVDC 시스템의 구성 요소와 상기 제어장치를 연결하는 케이블의 단락 여부를 판단하는 제어부를 포함한다.

대표도 - 도1



(52) CPC특허분류
G01R 31/024 (2013.01)

명세서

청구범위

청구항 1

HVDC 시스템에서의 제어장치에 있어서,

상기 HVDC 시스템의 구성 요소에서 측정된 적어도 하나의 아날로그 측정값을 입력 받는 입력부;

상기 적어도 하나의 아날로그 측정값을 디지털 값으로 변환하는 ADC 변환부; 및

상기 디지털 값을 적응필터의 입력으로 사용하여 상기 적응필터의 계수를 추정하고, 상기 적응필터의 계수의 제공의 합과 임계값을 비교하여 상기 HVDC 시스템의 구성 요소와 상기 제어장치를 연결하는 케이블의 단락 여부를 판단하는 제어부를 포함하는 제어장치.

청구항 2

제1항에 있어서,

상기 제어부는, 상기 디지털 값을 소정 시간만큼 지연시킨 값을 상기 적응필터의 입력으로 사용하여 상기 적응필터의 계수를 추정하는 제어장치.

청구항 3

제1항에 있어서,

상기 적어도 하나의 아날로그 측정값은, 전류값, 전압값 및 사이리스터와 관련된 데이터 값 중 적어도 하나를 포함하는 제어장치.

청구항 4

제1항에 있어서,

상기 적응필터는, 임의의 입력값과 원하는 출력값에 기초하여 상기 적응필터의 계수를 추정하는 제어장치.

청구항 5

제4항에 있어서,

상기 제어부는, 상기 디지털 값을 소정 시간만큼 지연시킨 값을 상기 임의의 입력값으로, 상기 디지털 값을 상기 원하는 출력값으로 입력하여 상기 적응필터의 계수를 추정하는 제어장치.

청구항 6

제1항에 있어서,

상기 제어부는,

상기 적응필터의 계수의 제공의 합이 상기 임계값보다 큰 경우 상기 케이블이 단락된 것으로 판단하는 제어장치.

청구항 7

제3항에 있어서,

상기 사이리스터와 관련된 데이터 값은,

상기 사이리스터에 흐르는 전류값, 상기 사이리스터에 걸리는 전압값, 상기 사이리스터가 온 또는 오프 상태인 것을 수치로 표현한 값 중 적어도 하나를 포함하는 제어장치.

청구항 8

제1항에 있어서,

상기 HVDC 시스템의 구성 요소는, 변류기(Current Transformer: CT), 전압 변성기(Potential Transformer: PT) 및 사이리스터 중 적어도 하나를 포함하는 제어장치.

청구항 9

HVDC 시스템의 동작 방법에 있어서,

상기 HVDC 시스템의 작동과 관련된 적어도 하나의 아날로그 측정값을 측정하는 단계;

상기 적어도 하나의 아날로그 측정값을 입력 받아 디지털 값으로 변환하는 단계;

상기 디지털 값을 적응필터의 입력으로 사용하여 상기 적응필터의 계수를 추정하는 단계; 및

상기 적응필터의 계수의 제공의 합과 임계값을 비교하여 상기 HVDC 시스템의 구성 요소와 제어장치를 연결하는 케이블의 단락 여부를 판단하는 단계를 포함하는 HVDC 시스템의 동작 방법.

발명의 설명

기술 분야

[0001] 본 발명은 HVDC 시스템에서의 제어장치 및 이의 동작방법에 관한 것으로서, 보다 구체적으로 적응 기법을 이용하여 신호선의 단선을 검출하는 HVDC 시스템에서의 제어장치 및 이의 동작방법에 관한 것이다.

배경 기술

[0002] 초고압 직류 송전(High Voltage Direct Current: HVDC, 이하 "HVDC"라 함) 시스템은 필드에서 측정된 신호를 사용하여 제어와 보호(Control and Protect: C&P) 알고리즘을 구동시킨다. C&P 알고리즘을 구동하는 경우 측정된 값에 의해 보호 알고리즘이 동작하거나, 제어 상수가 변경되어 HVDC 시스템의 안정적인 운전을 가능하게 하므로, C&P 알고리즘의 구동에 있어 신호의 측정은 매우 중요하다.

[0003] 한편, HVDC 시스템 상의 각 지점의 데이터 신호는 측정 보드(Measure Board)에 의해 측정되는데, 케이블 연결 상태에 따라 단선이 발생하기도 한다. 케이블 단선이 발생하게 되면 데이터를 수신할 수 없다. 현재 C&P 알고리즘에는 단선인지 왜곡인지 구분하는 절차가 없기 때문에, 이 경우 보호 알고리즘이 가동되고 그 제어 알고리즘은 시스템 보호의 목적으로 block sequence를 진행하게 된다.

[0004] 정상적으로 동작하고 있는 HVDC 시스템에서 케이블 단선을 왜곡으로 인식하여 block sequence를 진행하게 되면, 이는 시스템의 오동작에 해당하며 이 경우 수용가에게 막대한 피해를 입히게 된다. 따라서, HVDC 시스템에서 구동되는 C&P 알고리즘에 있어서, 신호선의 단선을 검출할 수 있는 기법이 필요하다.

발명의 내용

해결하려는 과제

[0005] 본 발명에서는 적응 기법을 이용하여 신호선의 단선을 검출할 수 있는 HVDC 시스템에서의 제어장치 및 이의 동작방법을 제공한다.

[0006] 본 발명에서 이루고자 하는 기술적 과제들은 이상에서 언급한 기술적 과제들로 제한되지 않으며, 언급되지 않은 또 다른 기술적 과제들은 아래의 기재에 의해 제안되는 실시예들이 속하는 기술분야에서 통상의 지식을 가진 자에게 명확하게 이해될 수 있을 것이다.

과제의 해결 수단

[0007] 본 발명의 일 실시예에 따른 HVDC 시스템에서의 제어장치는, 상기 HVDC 시스템의 구성 요소에서 측정된 적어도 하나의 아날로그 측정값을 입력 받는 입력부; 상기 적어도 하나의 아날로그 측정값을 디지털 값으로 변환하는 ADC 변환부; 및 상기 디지털 값을 적응필터의 입력으로 사용하여 상기 적응필터의 계수를 추정하고, 상기 적응필터의 계수의 제공의 합과 임계값을 비교하여 상기 HVDC 시스템의 구성 요소와 상기 제어장치를 연결하는 케이블

블의 단락 여부를 판단하는 제어부를 포함한다.

[0008] 또한, 본 발명의 일 실시예에 따른 HVDC 시스템은, 상기 HVDC 시스템의 작동과 관련된 적어도 하나의 아날로그 측정값을 측정하는 구성 요소; 와 상기 구성 요소와 케이블로 연결되어 상기 적어도 하나의 아날로그 측정값을 입력 받아 이를 디지털 값으로 변환하고, 상기 디지털 값을 적응필터의 입력으로 사용하여 상기 적응필터의 계수를 추정하고, 상기 적응필터의 계수의 제공의 합과 임계값을 비교하여 상기 케이블의 단락 여부를 판단하는 제어장치를 포함한다.

[0009] 또한, 본 발명의 일 실시예에 따른 HVDC 시스템에서의 제어장치의 동작 방법은, 상기 HVDC 시스템의 구성 요소에서 측정한 적어도 하나의 아날로그 측정값을 입력 받는 단계; 상기 적어도 하나의 아날로그 측정값을 디지털 값으로 변환하는 단계; 상기 디지털 값을 적응필터의 입력으로 사용하여 상기 적응필터의 계수를 추정하는 단계; 및 상기 적응필터의 계수의 제공의 합과 임계값을 비교하여 상기 HVDC 시스템의 구성 요소와 상기 제어장치를 연결하는 케이블의 단락 여부를 판단하는 단계를 포함한다.

[0010] 또한, 본 발명의 일 실시예에 따른 HVDC 시스템의 동작 방법은, 상기 HVDC 시스템의 작동과 관련된 적어도 하나의 아날로그 측정값을 측정하는 단계; 상기 적어도 하나의 아날로그 측정값을 입력 받아 디지털 값으로 변환하는 단계; 상기 디지털 값을 적응필터의 입력으로 사용하여 상기 적응필터의 계수를 추정하는 단계; 및 상기 적응필터의 계수의 제공의 합과 임계값을 비교하여 상기 HVDC 시스템의 구성 요소와 제어장치를 연결하는 케이블의 단락 여부를 판단하는 단계를 포함한다.

발명의 효과

[0011] 본 발명에 따른 실시예들에 의하면, 적응 기법을 이용하여 신호선의 단선을 검출할 수 있다.

[0012] 나아가, 보호 및 제어 알고리즘이 구동되는 경우 케이블 단선인지 여부를 검출하여 불필요하게 행해지는 block sequence를 수행하지 않음으로써, 2차적 피해가 발생하는 것을 방지할 수 있다.

도면의 간단한 설명

[0013] 도 1은 본 발명의 일 실시예에 의한 제어 장치의 구성을 도시한 블록도이다.

도 2a와 도 2b는 본 발명의 일 실시예에 의한 제어 장치와 HVDC 시스템의 구성 요소간의 케이블 연결을 도시한 도면이다.

도 3은 본 발명의 일 실시예에 의한 제어 장치에 포함되는 제어부의 구성을 도시한 블록도이다.

도 4a와 도 4b는 일반적인 적응 필터의 동작을 설명하기 위한 도면이다.

도 4c는 본 발명의 일 실시예에 의하여 적응 필터에서 수행되는 적응 기법을 설명하기 위한 도면이다.

도 5는 본 발명의 일 실시예에 의한 HVDC 시스템의 구성을 도시한 도면이다.

도 6은 본 발명의 일 실시예에 의한 적응 기법을 수행하는 과정을 도시한 도면이다.

도 7은 본 발명의 일 실시예에 의한 적응 기법을 사용한 케이블 단락 검출 과정을 도시한 도면이다.

도 8은 본 발명의 일 실시예에 의한 적응 기법을 적용하여 계산된 파워값의 변화 파형을 도시한 도면이다.

발명을 실시하기 위한 구체적인 내용

[0014] 이하에서는 본 발명의 구체적인 실시예를 도면을 참조하여 상세히 설명한다. 그러나 본 발명의 기술적 사상이 이하에서 기술되는 실시예들에 의하여 제한되는 것은 아니며, 또 다른 구성요소의 추가, 변경 및 삭제 등에 의해서 퇴보적인 다른 발명이나 본 발명의 기술적 사상의 범위 내에 포함되는 다른 실시예들을 용이하게 제안할 수 있다.

[0015] 본 발명에서 사용되는 용어는 가능한 한 현재 해당 기술과 관련하여 널리 사용되는 일반적인 용어를 선택하였으나, 특별한 경우에는 출원인이 임의로 선정한 용어도 있으며 이 경우 해당되는 발명의 설명 부분에서 그 의미를 상세히 기재하였다. 그러므로, 단순한 용어의 명칭이 아닌 용어가 가지는 의미로서 본 발명을 파악하여야 함을 미리 밝혀둔다. 이하에서 기술하는 설명에 있어서, 단어 '포함하는'은 열거된 것과 다른 구성요소들 또는 단계들의 존재를 배제하지 않는다.

- [0016] 도 1은 본 발명의 일 실시예에 의한 제어 장치의 구성을 도시한 블록도이다.
- [0017] 본 발명의 일 실시예에 의한 제어 장치(100)는 HVDC 시스템에 포함되어, 상기 HVDC 시스템의 보호 및 전반적인 제어를 수행할 수 있다. HVDC 시스템에 대해서는 도 5에 대한 설명에서 후술한다. 상기 제어 장치(100)는 HVDC 시스템의 구성 요소인 C&P(Control and Protect) 장치일 수 있다.
- [0018] 본 발명의 일 실시예에 의한 제어 장치(100)는 입력부(110), ADC 변환부(120) 및 제어부(130)를 포함할 수 있다.
- [0019] 입력부(110)는 HVDC 시스템의 구성 요소에서 측정된 적어도 하나의 아날로그 측정값을 입력 받는다.
- [0020] HVDC 시스템의 구성 요소는 적어도 하나 이상일 수 있으며, 상기 제어 장치(100)와 케이블로 연결될 수 있다. 이 경우, 구성 요소는 운전 상태인 HVDC 시스템의 동작과 관련한 데이터의 아날로그 값을 측정하고, 상기 아날로그 측정값을 케이블을 통하여 제어 장치(100)에 송신할 수 있다.
- [0021] 구체적으로, HVDC 시스템의 구성 요소는 변류기(Current Transformer: CT), 전압 변성기(Potential Transformer: PT) 및 사이리스터 등을 포함할 수 있다. 이 경우 상기 적어도 하나의 아날로그 측정값은, CT, PT 및 사이리스터 등에 의하여 측정된 전류값, 전압값 및 사이리스터와 관련된 데이터 값 중 적어도 하나를 포함할 수 있다. 한편, HVDC 시스템의 구성 요소는 상기 열거된 구성 요소에 한정되는 것은 아니며, 실시예에 따라 다양하게 추가되거나 변경될 수 있다.
- [0022] ADC 변환부(120)는 입력부(110)에 입력된 적어도 하나의 아날로그 측정값을 디지털 값으로 변환시킨다.
- [0023] 이를 위해, ADC 변환부(120)는 AD 변환기를 포함할 수 있다. AD 변환기(Analog Digital converter)는 연속된 아날로그 입력을 불연속되는 디지털 출력으로 변환하는 회로일 수 있다. 예를 들어, 변환하는 전압의 범위가 0~5V 인 경우, 입력된 전압이 0V이면 0x000, 5V이면 0x3FF(0b11.1111.1111), 2.5V이면 0x1FF와 같이 연속적인 전압을 불연속적인 2진 숫자로 변환할 수 있다.
- [0024] 제어부(130)는 적응 필터를 이용한 적응 기법에 기초하여 케이블의 단락 여부를 판단할 수 있다.
- [0025] 구체적으로, 제어부(130)는 ADC 변환부(120)에 의하여 변환된 디지털 값을 적응필터의 입력으로 사용하여 적응필터의 계수를 추정하고, 상기 적응필터의 계수의 제공의 합과 임계값을 비교하여 HVDC 시스템의 구성 요소와 제어장치(100)를 연결하는 케이블의 단락 여부를 판단할 수 있다.
- [0026] 일 실시예에 의하면, 제어부(130)는 디지털 값을 소정 시간만큼 지연시킨 값을 적응필터의 입력으로 사용하여 적응필터의 계수를 추정할 수 있다.
- [0027] 적응필터(adaptive filter)는 계수가 변화하는 필터로서, 페루프를 통해서 상기 계수가 필터의 출력과 원하는 신호와의 오차를 최소화하는 방향으로 변화하는 필터이다. 이 경우, 임의의 입력값과 원하는 출력값에 기초하여 적응필터의 계수를 추정할 수 있다. 따라서, 디지털 값을 소정 시간만큼 지연시킨 값을 적응필터의 입력으로 사용하는 경우, 제어부(130)는 디지털 값을 소정 시간만큼 지연시킨 값을 상기 임의의 입력값으로, 상기 디지털 값을 상기 원하는 출력값으로 입력하여 적응필터의 계수를 추정할 수 있다.
- [0028] 적응필터의 계수가 추정되면, 제어부(130)는 상기 적응필터의 계수에 기초하여 상기 적응필터의 계수의 제공의 합을 구하고, 이를 임계값과 비교하여 케이블이 단락되었는지 여부를 판단할 수 있다. 구체적으로, 제어부(130)는 상기 적응필터의 계수의 제공의 합이 임계값보다 큰 경우 케이블이 단락된 것으로 판단할 수 있다. 상기 임계값은 케이블 단락 유무를 판단하기 위한 기준값이다. 상기 임계값은 시스템에 따라 다르게 설정될 수 있는 값이다.
- [0029] 제어부(130)는 HVDC 시스템의 보호 및 전반적인 제어를 수행하기 위하여, 제어와 보호 알고리즘(Control and Protect: C&P)을 구동할 수 있다. 구체적으로, 제어부(130)는 정상적으로 동작하는 HVDC 시스템에서 케이블 단락이 발생하였는지, 아니면 왜곡이 발생하였는지 판단하고, 이에 기초하여 block sequence를 실행할 수 있다.
- [0030] 왜곡(distortion)은 교류 전류의 파형에 사인파와 일치하지 않는 부분이 생기는 현상이다. 일반적으로, 가장 품질이 좋은 교류 전류는 정현파, 즉 사인파(sine) 형태의 파형을 갖는다. 그러나, 시스템에 갑작스런 전압이 인가되거나 오류가 발생하는 경우 상기 교류 전류의 파형은 찌그러지거나 변형되어 사인파와 일치하지 않는 부분이 생기게 되는데, 이러한 현상을 왜곡이라 한다.
- [0031] block sequence는 오류가 발생한 영역을 HVDC 시스템으로부터 차단시킴으로써, 전력 계통에의 파급 효과를 최소화

화시킨다. 일 실시예에 의하면, 제어부(130)는 해당 영역에 위치하는 차단기를 동작시키거나 해당 영역에 연결되는 케이블에 공급되는 전류를 차단함으로써, block sequence를 실행할 수 있다.

[0032] 만일, 케이블 단락 또는 단선에 의한 데이터 미수신 현상이 발생한 것으로 판단되면, 제어부(130)는 block sequence를 실행하지 않는다.

[0033] 반면, 왜곡 또는 시스템의 제어 오류가 발생한 것으로 판단되면, 제어부(130)는 block sequence를 실행할 수 있다.

[0034] 기존의 HVDC 시스템에서는 케이블 단락 여부를 확인할 수 있는 방법이 없었기 때문에, 케이블 단락 또는 단선에 의한 데이터 미수신 현상이 왜곡 또는 시스템의 제어 오류로 인식되었다. 따라서, 케이블 단락이 발생하더라도 이는 왜곡 또는 시스템의 제어 오류가 발생한 것으로 간주되었고, 이에 따라 block sequence가 진행되어 시스템 오작동에 의한 손해가 발생하였다.

[0035] 본 발명에 의하면, 케이블 단락에 의한 데이터 미수신 현상과 왜곡을 구분하고 이에 기초하여 block sequence를 진행하므로, 시스템 오동작을 방지할 수 있다.

[0036] 도 2a와 도 2b는 본 발명의 일 실시예에 의한 제어 장치와 HVDC 시스템의 구성 요소간의 케이블 연결을 도시한 도면이다.

[0037] 본 발명의 일 실시예에 의한 제어 장치(100)는, 상기 제어 장치(100)를 구성하는 구성 요소들이 칩 형태로 기판에 탑재되는 온 보드(on board) 형태로 구현될 수 있다. 이 경우, 제어 장치(100)는 측정 인터페이스 시스템(Measure Interface System: MIS) 보드를 구성할 수 있다. 상기 측정 인터페이스 시스템 보드에는 본 발명의 일 실시예에 의한 케이블 단락 검출 기법이 적용될 수 있다.

[0038] 제어 장치(100)는 HVDC 시스템의 구성 요소들에서 측정된 적어도 하나의 아날로그 측정값을 입력 받기 위하여, 상기 HVDC 시스템의 구성 요소들과 케이블로 연결될 수 있다.

[0039] 한편, 제어 장치(100)가 HVDC 시스템의 구성 요소들과 연결되는 경우, 실시예에 따라 제어 장치(100)의 입력부(110)가 HVDC 시스템의 구성 요소들과 케이블로 연결되거나, 입력부(110)를 거치지 않고 제어 장치(100)의 ADC 변환부(120)가 직접 HVDC 시스템의 구성 요소들과 케이블로 연결될 수 있다.

[0040] 도 2a를 참조하면, 제어 장치(100)의 입력부(110)는 CT, PT 및 value와 각각 케이블(210, 220, 230)로 연결된다. 이 경우, 제어 장치(100)의 입력부(110)는 상기 케이블(210, 220, 230)을 통하여 CT, PT 및 value로부터 신호를 수신한다. 일 실시예에 의하면, 상기 value는 사이리스터에 관한 데이터 값을 저장한 테이블 등일 수 있다. 여기서, 사이리스터에 관한 데이터 값은 사이리스터에 흐르는 전류값이나 사이리스터에 걸리는 전압값, 사이리스터가 온 또는 오프되는 상태를 수치로 표현한 값 등을 포함할 수 있다. 상기 신호는 CT를 통해 측정된 전류값이나 PT를 통해 측정된 전압값 및 사이리스터에 관한 데이터 값 등을 포함할 수 있다.

[0041] 도 2b를 참조하면, 제어 장치(100)의 ADC 변환부(120)는 CT, PT 및 value와 각각 케이블(240, 250, 260)로 연결된다. 이 경우, 제어 장치(100)의 ADC 변환부(120)는 상기 케이블(240, 250, 260)을 통하여 CT, PT 및 value로부터 신호를 수신한다. 상기 신호는 CT를 통해 측정된 전류값이나 PT를 통해 측정된 전압값 및 사이리스터에 관한 데이터 값 등을 포함할 수 있다.

[0042] 한편, 도 2a와 도 2b에서, 전류값이나 전압값 및 사이리스터에 관한 데이터 값 등이 입력되면, ADC 변환부(120)는 상기 전류값, 전압값 및 사이리스터에 관한 데이터 값을 디지털 값으로 변환하여 이를 제어부(130)에 전송한다.

[0043] 도 3은 본 발명의 일 실시예에 의한 제어 장치에 포함되는 제어부의 구성을 도시한 블록도이다.

[0044] 본 발명의 일 실시예에 의한 제어 장치(100)에 포함되는 제어부(130)는, 적응 기법을 수행하기 위한 연산 블록들을 포함할 수 있다. 도 3을 참조하면, 상기 연산 블록들은 적응 필터(131), 임계값 저장부(132), 비교부(133) 및 출력부(134)를 포함할 수 있다.

[0045] 적응 필터(131)는 임의의 입력값과 원하는 출력값에 기초하여 적응필터의 계수를 추정한다. 상기 임의의 입력값은 전류나 전압 및 사이리스터에 관한 데이터의 아날로그 측정값을 디지털 값으로 변환하여 이산적으로 샘플링된 값일 수 있다. 일 실시예에 의하면, 상기 디지털 값을 소정 시간만큼 지연시킨 값을 적응 필터(131)의 입력으로 사용하여 적응필터의 계수를 추정할 수 있다. 전류나 전압은 신호가 주기적으로 반복되는 특성을 가진다. 따라서, 상기 디지털 값으로부터 소정 시간만큼 지연시킨 값을 구하여 이를 적응 필터(131)의 입력으로 사용할

고, 상기 디지털 값을 적응 필터(131)의 출력으로 사용하여, 적응 필터(131)의 계수를 추정한다. 이에 대해서는 도 4c에 대한 설명에서 후술한다.

- [0046] 임계값 저장부(132)는 임계값을 저장한다. 임계값은 케이블 단락 유무를 판단하기 위한 기준값일 수 있다. 상기 임계값은 시스템에 따라 다르게 설정될 수 있다.
- [0047] 비교부(133)는 적응 필터(131)에 의하여 계산된 적응필터의 계수의 파워값과 임계값 저장부(132)에 저장된 임계값을 비교하고, 이에 기초하여 케이블 단락 유무를 판단한다. 적응필터의 계수의 파워값은, 상기 적응필터 계수의 제곱의 합으로 계산될 수 있다. 일 실시예에 의하면, 적응필터의 계수의 파워값이 임계값 이상인 경우 케이블 단락이 발생한 것으로 판단할 수 있다.
- [0048] 출력부(134)는 케이블 단락이 발생하였는지 여부를 출력한다. 구체적으로, 출력부(134)는 케이블 단락이 발생하였음을 알리는 메시지를 출력하거나, 이에 대한 정보를 다른 구성 요소에 전송할 수 있다.
- [0049] 도 4a와 도 4b는 일반적인 적응 필터의 동작을 설명하기 위한 도면이다.
- [0050] 일반적인 적응필터의 구성이 도 4a에 도시되어 있다. 적응필터는 계수가 변화하는 필터로서, 페루프를 통해서 상기 계수가 필터의 출력과 원하는 신호와의 오차를 최소화하는 방향으로 변화한다. 적응필터는 적응을 하는 방식에 따라 Least Mean Square(LMS) 방식과 Recursive Least Square(RLS) 방식으로 구분될 수 있다.
- [0051] 도 4a에서 k 는 샘플번호, x 는 참조신호 입력, d 는 원하는 신호 입력, ε 는 오차, f 는 필터 impulse response, Σ 는 총합, box는 선형 필터와 적응 알고리즘을 의미한다.
- [0052] 도 4b는 도 4a에 도시된 적응 필터를 사용하여 적응필터의 계수를 추정하는 과정을 도시한다. 여기서, x_k 는 k 번째 입력값, f_k 는 k 번째 필터의 impulse response 값, X 는 현재의 x 값, y_k 는 k 번째 출력값, d_k 는 k 번째 바라는 신호, e_k 는 k 번째 오차, W_k 는 k 번째 필터의 계수이다.
- [0053] 적응 필터는 임의의 입력값과 원하는 출력값에 기초하여 적응필터의 계수를 추정한다. 구체적으로, 임의의 입력값과 원하는 출력값 사이의 오차를 구하고, 상기 오차를 최소화하는 적응필터의 계수를 추정한다. 예를 들어, k 번째 입력값 x_k 와 원하는 출력값 d_k 사이의 오차 e_k 를 구하고, 상기 오차 e_k 를 최소화하는 필터 계수 W_k 를 추정한다. 이 경우, W_k 을 W_{k+1} 에 입력하고, 이에 의하여 추정된 필터 계수 W_k 에 기초하여 적응 필터의 계수는 변화게 된다.
- [0054] 도 4c는 본 발명의 일 실시예에 의하여 적응 필터에서 수행되는 적응 기법을 설명하기 위한 도면이다.
- [0055] 본 발명의 일 실시예에 의한 적응 기법에서는, 입력 신호값과 입력 신호값에서 소정 시간만큼 지연된 이전 입력 신호값에 기초하여 적응필터 계수를 추정할 수 있다.
- [0056] 주기적으로 반복되는 파형을 가지는 전압, 전류 등의 아날로그 측정값은, 주기적으로 유사한 특징을 보이게 된다. 따라서, 입력 신호값을 소정 시간만큼 지연 시킨 값을 적응 필터의 임의의 입력값으로 입력하고, 상기 입력 신호값을 원하는 출력값으로 하여 적응필터의 계수를 추정할 수 있다.
- [0057] 도 4c에서, 입력 신호값은 $S(n)$ 이고, 입력 신호값 $S(n)$ 에서 소정 시간만큼 지연된 이전 입력 신호값은 $X(n)$ 이다.
- [0058] 여기서 $d(n)=S(n)$, $x(n)=s(n+d)$ 이다. d 는 지연값으로 시스템마다 그 값이 다를 수 있다. 일 실시예에 의하면, $d=2$ 로 설정될 수 있다.
- [0059] 이전 입력 신호값 $X(n)$ 은 적응 필터의 임의의 입력값으로 입력되고, 입력 신호값은 $S(n)$ 은 원하는 출력값 $d(n)$ 으로 입력된다. 이 경우, 입력 신호값은 $S(n)$ 과 원하는 출력값 $d(n)$ 사이의 오차 $e(n)$ 가 계산되고, 상기 오차 $e(n)$ 을 최소화하는 필터 계수 W_n 을 추정할 수 있다.
- [0060] 이 경우, 적응 필터의 계수는 다음과 같은 수학적 식 1을 만족한다.

수학식 1

$$\begin{aligned} w(n+1) &= w(n) + \mu x(n)e(n) \\ &= w(n) + \mu \frac{x(n)e(n)}{\|x(n)x(n)^T\|} \end{aligned}$$

[0061]

[0062]

신호의 통계적 특성이 유사한 구간에서, 적응필터 계수 W 는 일정한 값을 갖는다. 반면, 신호의 통계적 특성이 변하는 구간에서는 적응필터 계수 W 값이 변화한다. 따라서, 적응필터 계수 W 가 변화하는 구간에서 신호의 통계적 특성이 변하는 것으로 볼 수 있다.

[0063]

적응필터 계수는 계수의 길이와 지연값 및 신호의 통계적 특성에 의하여 결정된다. 전압과 전류 신호는 안정 상태인 경우 60Hz의 일정한 주파수를 갖는 정상적 신호이기 때문에, 도 4c에 도시된 적응기법에 의하여 계산되는 적응필터 계수 값은 거의 동일하다.

[0064]

만일, 케이블의 접촉 불량 또는 간섭에 의해 신호의 통계적 특성에 변화가 발생하면, 그 변화된 신호값을 추정하기 위하여 도 4c에 도시된 적응필터 계수가 변경될 수 있다.

[0065]

즉, 안정 상태에서는 시간이 경과하여도 적응필터 계수는 일정한 값을 가지게 되지만, 비정상 상태 또는 불안정 상태에서는 적응필터 계수가 변하게 된다.

[0066]

한편, 적응 기법에서 적응필터 계수의 합은 항상 1에 가까운 값을 가지게 되어 1에 수렴한다. 따라서, 적응필터 계수의 합으로만 비교하게 되면, 정상상태와 이상상태를 구별할 수 없다. 따라서, 본 발명의 일 실시예에서는 변경된 적응필터 계수의 상대적 비를 계산하기 위하여, 파워를 이용한다. 파워란 계수 제곱의 합을 의미한다. 적응필터 계수의 파워를 이용하면 적응필터 계수의 변화의 차이를 발견할 수 있다.

[0067]

적응필터 계수의 개수가 N 이면, 다음의 수학식 2를 사용하여 계수의 파워를 계산한다.

수학식 2

$$P = \sum_{i=1}^N w(i)^2$$

[0068]

[0069]

이 경우, 상기 적응필터 계수의 제곱의 합인 적응필터 계수의 파워를 계산하고 이에 기초하여 케이블의 단락 여부를 판단할 수 있다.

[0070]

도 5는 본 발명의 일 실시예에 의한 HVDC 시스템의 구성을 도시한 도면이다.

[0071]

본 발명의 일 실시예에 의한 HVDC 시스템(500)은 발전 파트(501), 송전 측 교류 파트(502), 송전 측 직류 변전 파트(503), 직류 송전 파트(504), 수요 측 직류 변전 파트(505), 수요 측 교류 파트(506), 수요 파트(507) 및 제어장치(100)를 포함할 수 있다.

[0072]

발전 파트(501)는 3상의 교류 전력을 생성한다. 상기 발전 파트(501)는 복수의 발전소를 포함할 수 있다.

[0073]

송전 측 교류 파트(502)는 발전 파트(501)가 생성한 3상 교류 전력을 송전 측 직류 변전 파트(503)에 전달한다.

[0074]

송전 측 직류 변전 파트(503)는 송전 측 트랜스포머(미도시)와 송전 측 교류-직류 컨버터(미도시)를 포함할 수 있다. 이 경우, 상기 송전 측 트랜스포머(미도시)는 송전 측 교류 파트(502)를 송전 측 교류-직류 컨버터(미도시) 및 직류 송전 파트(504)로부터 격리한다. 상기 송전 측 교류-직류 컨버터(미도시)는 송전 측 트랜스포머(미도시)의 출력에 해당하는 3상 교류 전력을 직류 전력으로 변환한다.

[0075]

직류 송전 파트(504)는 송전 측의 직류 전력을 수요 측으로 전달한다.

[0076]

수요 측 직류 변전 파트(505)는 수요 측 직류-교류 컨버터(미도시)와 수요 측 트랜스포머(미도시)를 포함할 수 있다. 상기 수요 측 직류-교류 컨버터(미도시)는 직류 송전 파트(504)에 의해 전달된 직류 전력을 3상 교류 전력으로 변환한다. 상기 수요 측 트랜스포머(미도시)는 수요 측 교류 파트(506)를 수요 측 직류-교류 컨버터(미도시)로부터 격리한다.

도시)와 직류 송전 파트(504)로부터 격리한다.

- [0077] 수요 측 교류 파트(506)는 수요 측 트랜스포머(미도시)의 출력에 해당하는 3상 교류 전력을 수요 파트(507)에 제공한다.
- [0078] 한편, HVDC 시스템(500)은 HVDC 시스템(500)을 구성하는 적어도 하나의 구성 요소를 더포함할 수 있다.
- [0079] 상기 적어도 하나의 구성 요소는 제어 장치(100)와 케이블로 연결될 수 있으며, HVDC 시스템(500)의 작동과 관련된 적어도 하나의 아날로그 측정값을 측정할 수 있다.
- [0080] 제어 장치(100)는 앞서 도 1에서 설명한 바와 같이, HVDC 시스템(500)의 구성 요소와 케이블로 연결되어 적어도 하나의 아날로그 측정값을 입력 받는다. 이 경우 제어 장치(100)는 적어도 하나의 아날로그 측정값을 디지털 값으로 변환하고, 상기 디지털 값을 적응필터의 입력으로 사용하여 상기 적응필터의 계수를 추정한 후, 상기 적응필터의 계수의 제공의 합과 임계값을 비교하여 상기 케이블의 단락 여부를 판단할 수 있다.
- [0081] 또한, 제어 장치(100)는 이외에도, HVDC 시스템(500)의 전반적인 제어를 수행한다. 구체적으로, 제어 장치(100)는 발전 파트(501), 송전 측 교류 파트(502), 송전 측 직류 변전 파트(503), 직류 송전 파트(504), 수요 측 직류 변전 파트(505), 수요 측 교류 파트(506), 수요 파트(507) 및 제어 장치(100) 중 적어도 하나를 제어할 수 있다.
- [0082] 특히, 제어 장치(100)는 송전 측 교류-직류 컨버터(미도시)와 수요 측 직류-교류 컨버터(미도시) 내의 복수 개의 밸브의 턴 온 및 턴 오프의 타이밍을 제어할 수 있다. 이때, 밸브는 사이리스터 또는 절연 게이트 양극성 트랜지스터(insulated gate bipolar transistor, IGBT)에 해당할 수 있다. 또한, 제어 장치(100)는 상술한 복수 개의 밸브를 제어하는 밸브 제어를 더 포함할 수 있다.
- [0083] 도 6은 본 발명의 일 실시예에 의한 적응 기법을 수행하는 과정을 도시한 도면이다.
- [0084] 본 발명의 일 실시예에 의한 제어 장치(100)의 제어부(130)는 입력 신호값을 소정 시간만큼 지연시켜 이를 적응필터의 입력값으로 사용하고, 이에 기초하여 적응 필터의 계수값을 추정할 수 있다.
- [0085] 제어부(130)는 ADC 변환부(120)로부터 디지털 신호를 입력 받는다(S601).
- [0086] 상기 디지털 신호는 HVDC 시스템을 구성하는 구성 요소에서 측정한 적어도 하나의 아날로그 측정값을 디지털 값으로 변환한 것일 수 있다.
- [0087] 디지털 값을 입력 받는 경우, 제어부(130)는 입력된 디지털 신호를 소정 시간만큼 지연시킨다(S602).
- [0088] 이 경우, 제어부(130)는 적응 기법에 의하여 계수를 계산한다(S603). 구체적으로, 디지털 값을 소정 시간만큼 지연시킨 값을 임의의 입력값으로, 디지털 값을 원하는 출력값으로 적응 필터에 입력하여 상기 계수를 추정할 수 있다. 계수는 적응 필터의 계수를 의미한다.
- [0089] 제어부(130)는 계수의 파워값을 계산한다(S604). 상기 계수의 파워값은 계수의 제공의 합에 의하여 계산될 수 있다.
- [0090] 이후, 제어부(130)는 계수의 파워값과 임계값을 비교하여 상기 HVDC 시스템의 구성 요소와 상기 제어 장치(100)를 연결하는 케이블의 단락 여부를 판단할 수 있다.
- [0091] 도 7은 본 발명의 일 실시예에 의한 적응 기법을 사용한 케이블 단락 검출 과정을 도시한 도면이다.
- [0092] 제어 장치(100)는 HVDC 시스템(500) 구성 요소의 아날로그 측정값을 입력 받는다(S701).
- [0093] 제어 장치(100)는 아날로그 측정값을 디지털 값으로 변환한다(S702).
- [0094] 제어 장치(100)는 디지털 값을 적응 필터의 입력으로 사용하여 적응 필터의 계수를 추정한다(S703).
- [0095] 제어 장치(100)는 추정된 계수의 파워값을 계산한다(S704). 상기 파워값은 적응필터의 계수의 제공의 합에 의하여 계산될 수 있다.
- [0096] 제어 장치(100)는 파워값을 임계값과 비교하여 케이블 단락 여부를 판단한다(S705). 구체적으로, 적응필터의 계수의 제공의 합과 임계값을 비교하여 상기 HVDC 시스템의 구성 요소와 제어 장치(100)를 연결하는 케이블의 단락 여부를 판단할 수 있다.
- [0097] 도 8은 본 발명의 일 실시예에 의한 적응 기법을 적용하여 계산된 파워값의 변화 파형을 도시한 도면이다.

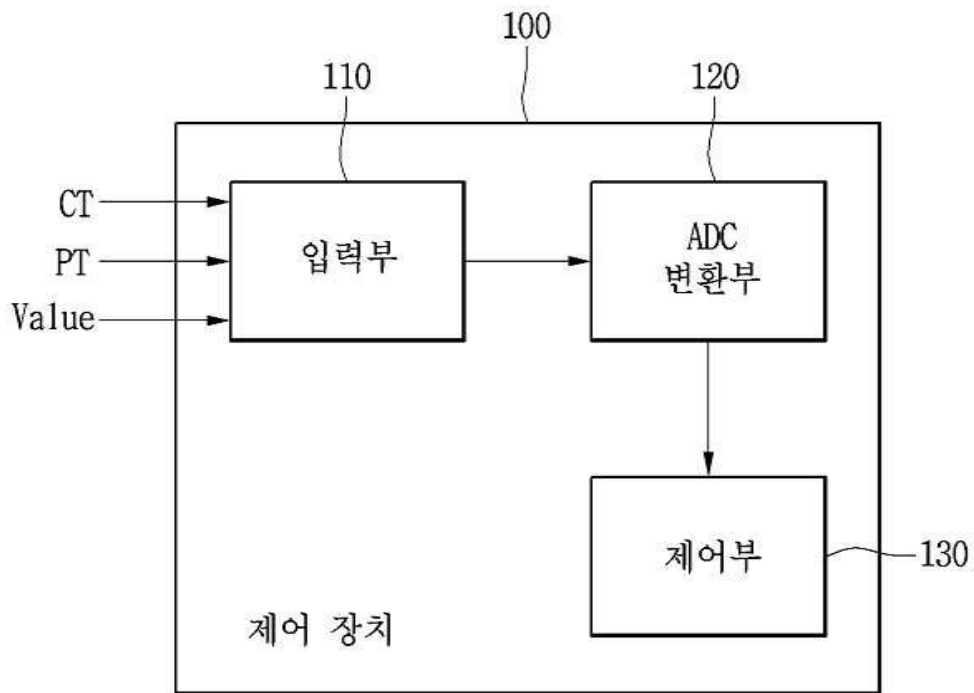
- [0098] X 축은 연속적인 시간 영역 또는 이산 영역으로 표현될 수 있다. 도 8에서는 이산 영역으로 표현되어 있고, 이에 따라 X 축은 샘플번호(number of sample)를 구성되어 있다.
- [0099] 샘플 번호는 입력 신호, 즉 케이블에 의해 MIS board 또는 제어 장치로 인가되는 전압 및 전류 신호의 위치이다. 만일, 시간 영역에서 $x(t)$ 라고 하면, 이산 영역에서는 $x(n)$ 으로 표현되며, 이때 n 을 샘플번호라 한다.
- [0100] 지점은 케이블 위치가 아닌, 샘플 위치 즉 그 시간에서 케이블 단락이 발생한 것을 의미한다. 한편, 시간은 샘플 번호에 샘플링 율을 곱하는 것으로 찾을 수 있다.
- [0101] 도 8을 참조하면, 적응필터의 파워값(810)이 도시되어 있다. 상기 파워값은 각 샘플 번호에 대응하는 디지털 값을 적응 필터의 입력값으로 사용하여 적응필터 계수를 추정하고, 상기 적응필터 계수의 제곱의 합을 계산함으로써 얻어질 수 있다. 적응필터 계수의 합은 항상 1에 가까운 값을 가지게 되어 1에 수렴한다.
- [0102] 샘플번호 8100번 이후 지점에서 적응필터 계수의 파워값은 변화한다. 즉, 적응필터 계수의 파워값은 샘플번호 8100번 이전의 a 구간에서는 1에 수렴하여 서서히 변화하다가, 샘플번호 8100번 이후의 b 구간에서는 a 구간과 전혀 다른 형태의 파형을 보인다. 이러한 결과에 따라 제어 장치는(100) 샘플번호 8100번 이후 지점에서 제어 장치(100)에 연결된 케이블이 단락 되었다고 판단할 수 있다.
- [0103] 이상에서 실시예를 중심으로 설명하였으나 이는 단지 예시일 뿐 본 발명을 한정하는 것이 아니며, 본 발명이 속하는 분야의 통상의 지식을 가진 자라면 본 실시예의 본질적인 특성을 벗어나지 않는 범위 내에서 이상에 예시되지 않은 여러 가지의 변형과 응용이 가능함을 알 수 있을 것이다. 예를 들어, 실시예에 구체적으로 나타난 각 구성 요소는 변형하여 실시할 수 있다. 그리고 이러한 변형과 응용에 관계된 차이점들은 첨부된 청구 범위에서 규정하는 본 발명의 범위에 포함되는 것으로 해석되어야 할 것이다.

부호의 설명

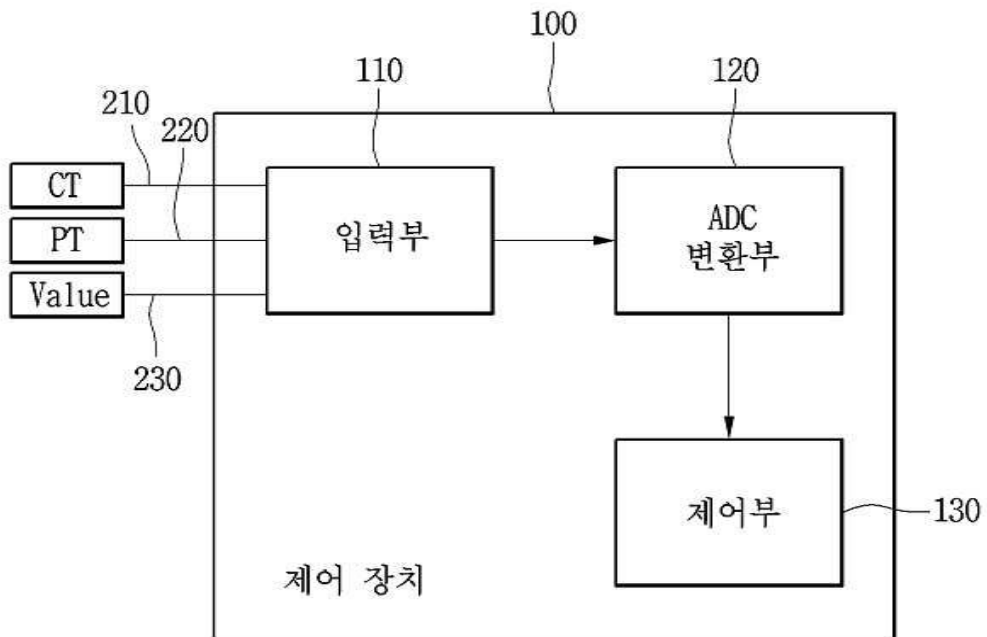
- [0104]
- | | |
|---------------|--------------|
| 100: 제어 장치 | 110: 입력부 |
| 120: ADC 변환부 | 130: 제어부 |
| 131: 적응필터 | 132: 임계값 저장부 |
| 133: 비교부 | 134: 출력부 |
| 500: HVDC 시스템 | |

도면

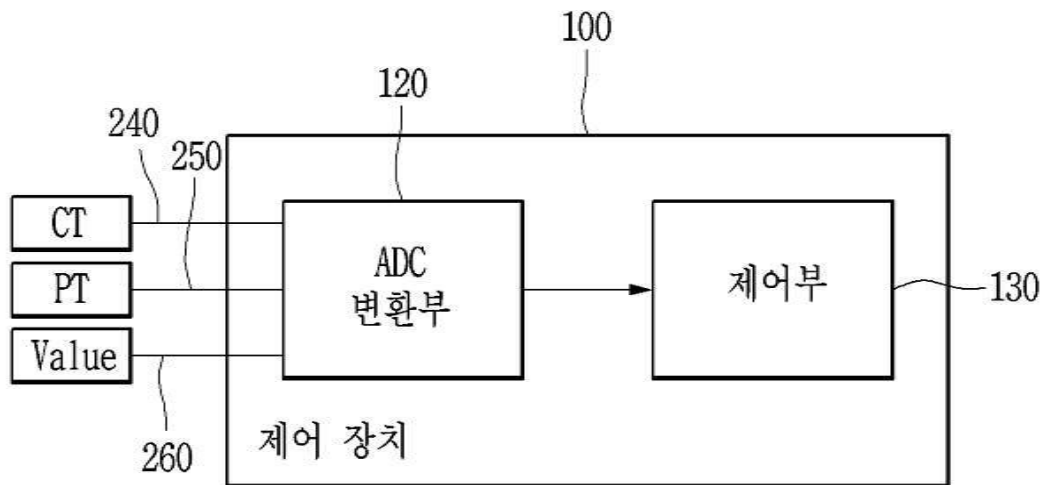
도면1



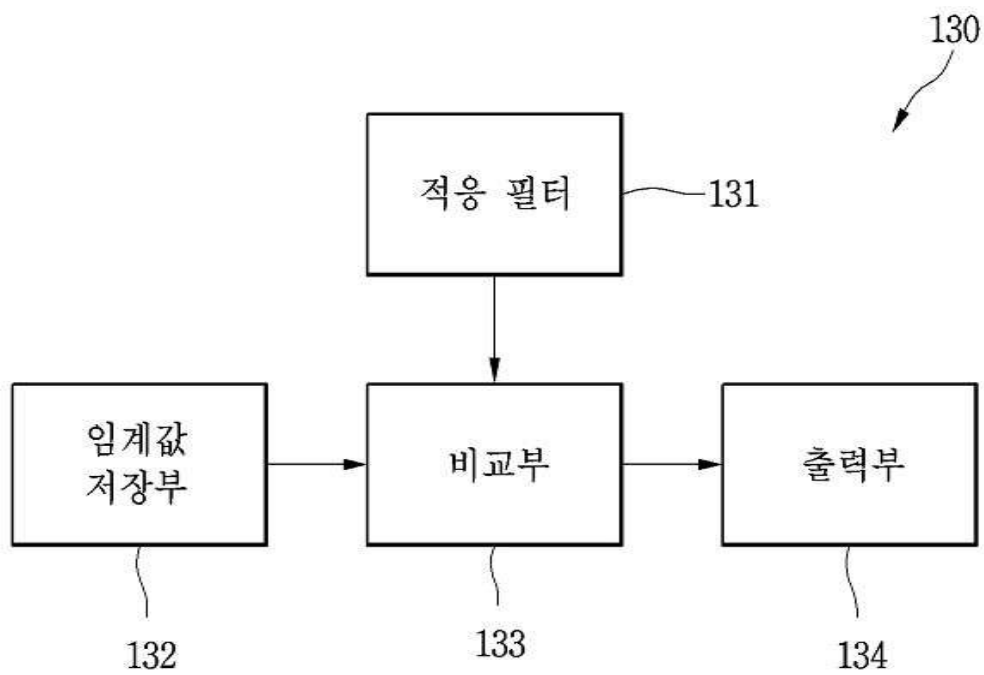
도면2a



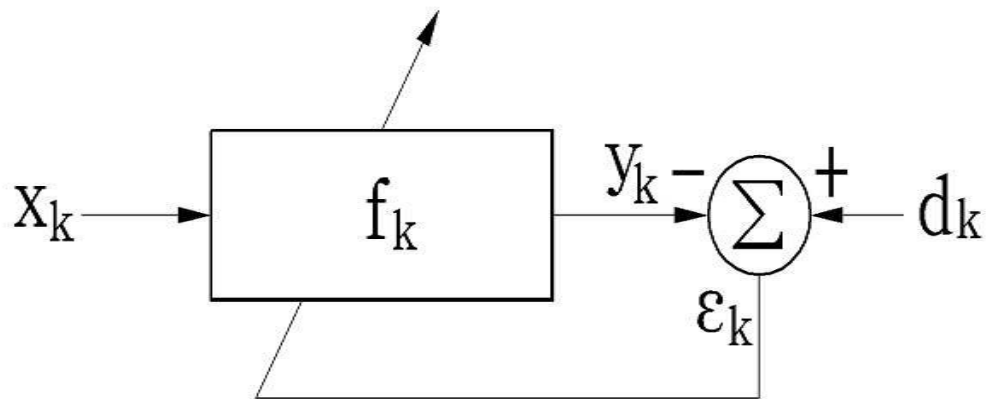
도면2b



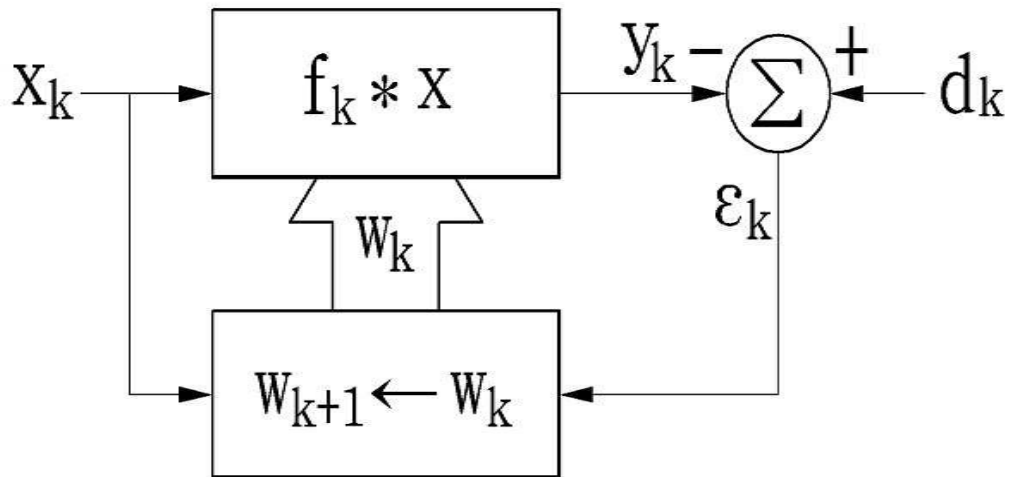
도면3



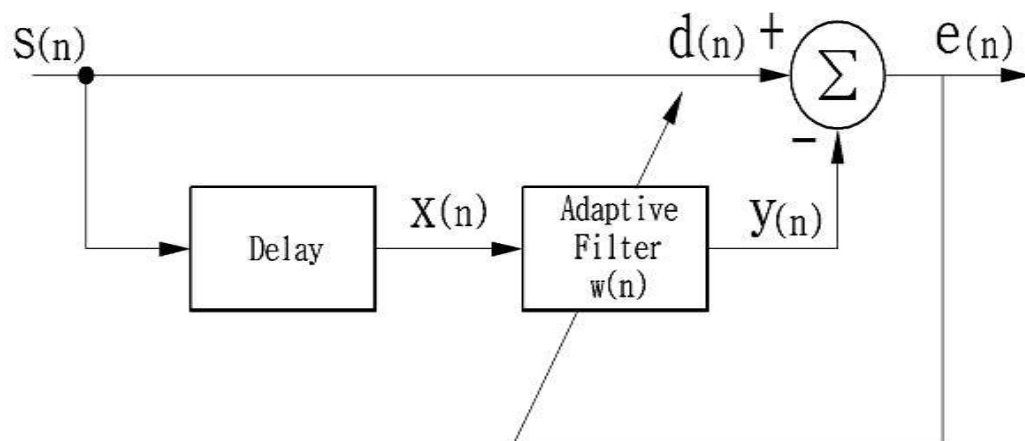
도면4a



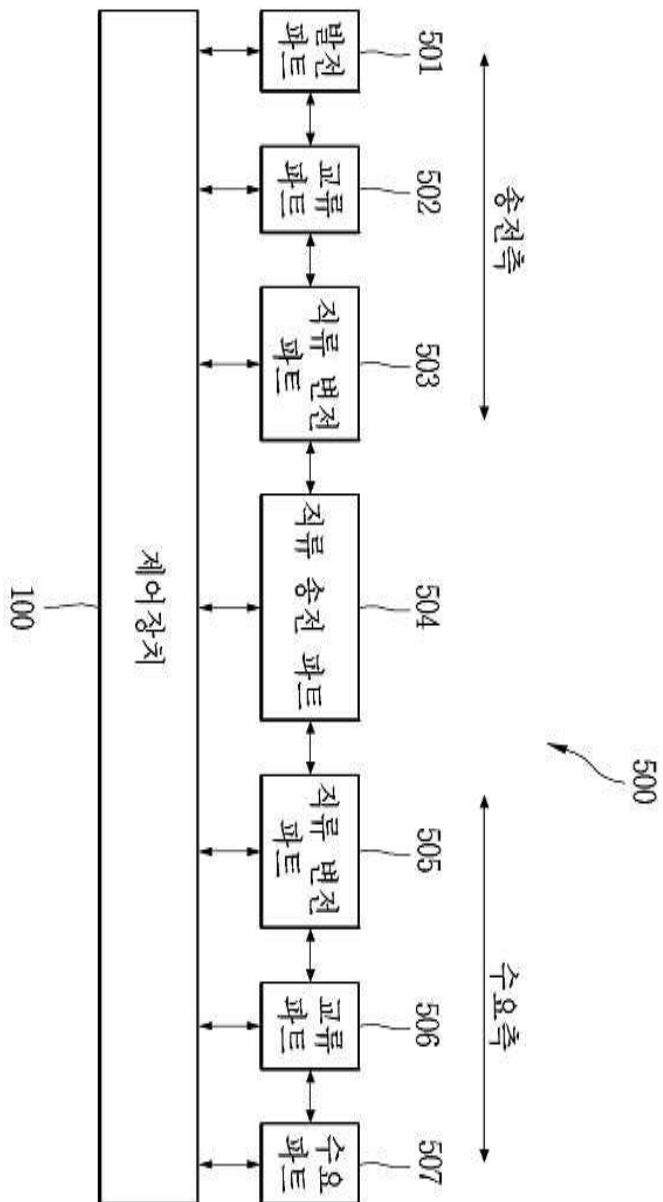
도면4b



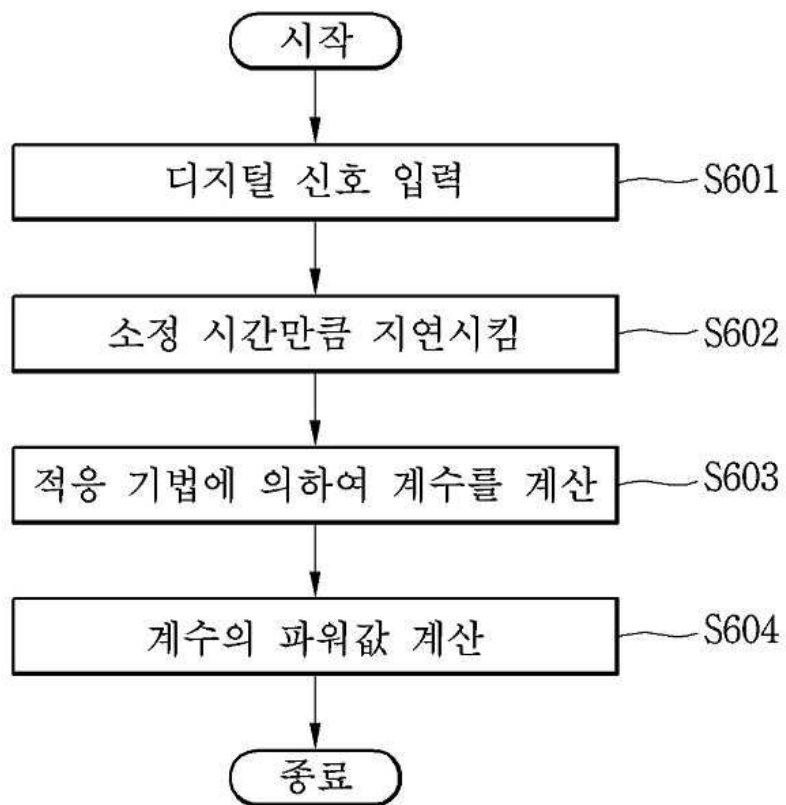
도면4c



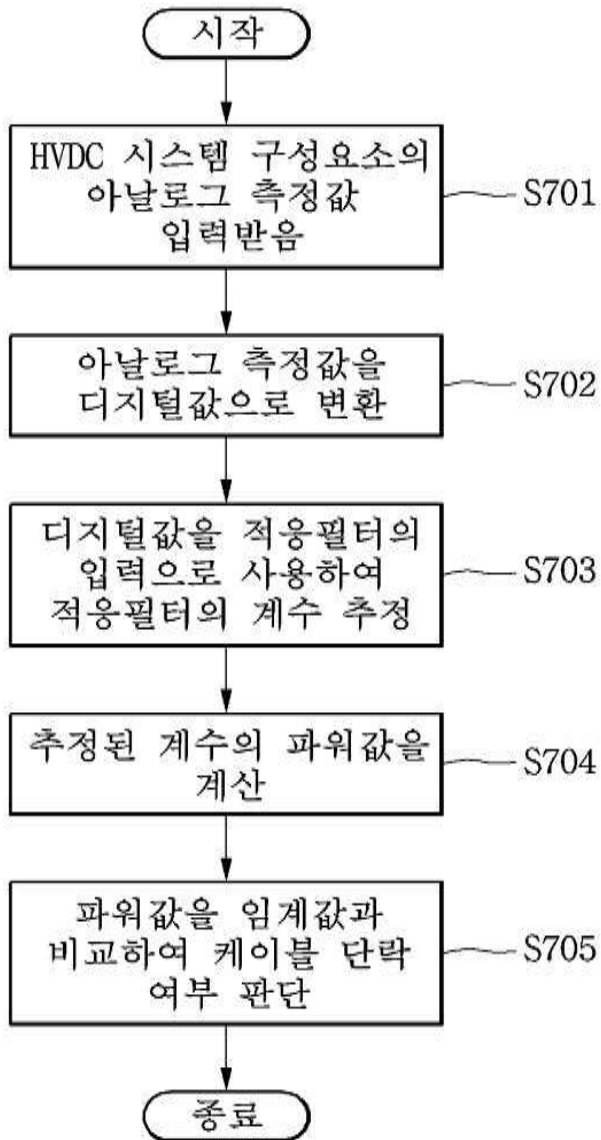
도면5



도면6



도면7



도면8

