



19



OFICINA ESPAÑOLA DE
PATENTES Y MARCAS

ESPAÑA

11 Número de publicación: **2 297 912**

51 Int. Cl.:

H04N 5/44 (2006.01)

H04N 5/46 (2006.01)

H04N 7/01 (2006.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

86 Número de solicitud europea: **99306155 .5**

86 Fecha de presentación : **03.08.1999**

87 Número de publicación de la solicitud: **0979004**

87 Fecha de publicación de la solicitud: **09.02.2000**

54 Título: **Aparato de tratamiento de imágenes, método y soporte que se proporciona.**

30 Prioridad: **04.08.1998 JP 10-220020**

45 Fecha de publicación de la mención BOPI:
01.05.2008

45 Fecha de la publicación del folleto de la patente:
01.05.2008

73 Titular/es: **Sony Corporation**
7-35 Kitashinagawa 6-chome
Shinagawa-ku, Tokyo 141, JP

72 Inventor/es: **Miyazaki, Shinichiro;**
Shirahama, Akira y
Ohno, Takeshi

74 Agente: **Elzaburu Márquez, Alberto**

ES 2 297 912 T3

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín europeo de patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre concesión de Patentes Europeas).

DESCRIPCIÓN

Aparato de tratamiento de imágenes, método y soporte que se proporciona.

5 Esta invención se refiere a un aparato y un método de tratamiento de imágenes así como a un soporte que se proporciona, y más particularmente a un aparato y un método de tratamiento de imágenes así como a un soporte que se proporciona mediante el cual un tamaño de imagen y una frecuencia vertical de una señal de vídeo pueden ser convertidos suprimiendo al mismo tiempo la fluctuación de líneas sin un deterioro indebido de la resolución vertical.

10 La radiodifusión de la televisión en Japón está basada en el sistema de TV de color NTSC, y los receptores de televisión en Japón se diseñan usualmente para recibir y presentar una señal de vídeo entrelazada (525i) que tiene 525 líneas de barrido. Mientras tanto, receptores de televisión también que pueden presentar una señal de vídeo entrelazada de 625i del sistema PAL, una señal de vídeo entrelazada de 1080i usada para la radiodifusión de televisión de alta definición y una señal de vídeo no entrelazada de 525p para presentar secuencialmente 525 líneas que exploran líneas
15 están empezando a ser ofrecidos en el mercado. Si cualquier señal de vídeo de 525i, 625i y 1080i es introducida en un receptor de televisión del tipo mencionado, el receptor de televisión convierte la señal de vídeo introducida en el mismo y presenta una imagen de un tamaño predeterminado y de una frecuencia unificada predeterminada. La frecuencia unificada puede ser, por ejemplo, 525 p. En este caso la frecuencia fh de exploración horizontal es de 31 kHz, y la frecuencia fv de campo (imagen) es de 60 Hz.

20 La Figura 9 muestra un ejemplo de una configuración de un receptor de televisión convencional del tipo descrito anteriormente. Haciendo referencia a la Figura 9, un convertidor 1 A/D convierte las señales Yi1, Ui1 y Vi1 de vídeo analógicas de una primera frecuencia introducida en el receptor de televisión en señales digitales y aplica las señales digitales a un filtro de paso bajo (LPF) 2. El LPF 2 extrae solamente los componentes de frecuencia bajos prede-
25 terminados de componentes de frecuencia horizontal y vertical de las señales introducidas en el mismo y envía los componentes de frecuencia bajos a un circuito 3 de interpolación. El circuito 3 de interpolación reduce los datos de imagen introducidos en el mismo desde el LPF 2 mediante el cálculo de interpolación y suministra las señales de vídeo reducidas a una memoria 4 de imágenes. Las operaciones de lectura y escritura de la memoria 4 de imágenes son controladas por un controlador 5 de memoria de escritura y un controlador 6 de memoria de lectura, respectivamente.
30 Otro circuito 7 de interpolación convierte los datos leídos de la memoria 4 de imágenes en datos de vídeo de una pantalla mayor y envía los datos de vídeo resultantes a un circuito 15 de mezclado (Mix).

Procedimientos similares a los realizados por los componentes del convertidor 1 A/D en el circuito 7 de interpolación son realizados también por otras señales Yi2, Ui2 y Vi2 mediante un conjunto diferente de componentes de un
35 convertidor 8 A/D en otro circuito 14 de interpolación que son similares a los componentes del convertidor 1 A/D en el circuito 7 de interpolación, respectivamente.

El circuito 15 de mezclado selecciona salidas del circuito 7 de interpolación o salidas del circuito 14 de interpolación y envía las salidas seleccionadas a un convertidor D/A 16. El convertidor D/A 16 convierte las señales de vídeo introducidas en el mismo en la forma de señales digitales en señales analógicas y envía las señales analógicas a una
40 unidad de presentación tal como un tubo de rayos catódicos (CRT) no mostrado.

En funcionamiento, el convertidor 1 A/D convierte las señales analógicas introducidas en el mismo en señales digitales y envía las señales digitales al LPF 2. El LPF 2 extrae componentes de baja frecuencia predeterminados de las señales de vídeo introducidas y envía los componentes de baja frecuencia al circuito 3 de interpolación. El
45 circuito 3 de interpolación realiza un procedimiento de reducción mediante la interpolación lineal si esta se requiere para reducir las señales de vídeo introducidas, y suministra las señales de vídeo reducidas a la memoria 4 de imagen de modo que estas pueden ser almacenadas en la memoria 4 de imagen. El controlador 5 de la memoria de escritura controla el procedimiento de escritura de las señales de vídeo reducidas en la memoria 4 de imagen.

50 Las señales de vídeo almacenadas en la memoria 4 de imagen son leídas bajo el control del controlador 6 de la memoria de lectura y suministradas al circuito 7 de interpolación. El circuito 7 de interpolación procesa las señales de vídeo leídas de la memoria 4 de imagen para expandir el tamaño de una pantalla mediante el procedimiento de interpolación cuando es necesario, y envía las señales de vídeo del tamaño de pantalla expandido al circuito 15 de
55 mezclado.

Un procedimiento similar es realizado también por los componentes del convertidor 8 A/D en el circuito 14 de interpolación, y las señales de vídeo resultantes son suministradas al circuito 15 de mezclado.

60 El circuito 15 de mezclado selecciona las señales de vídeo introducidas desde el circuito 7 de interpolación o las señales de vídeo introducidas desde el circuito 14 de interpolación y envía las señales de vídeo seleccionadas al convertidor 16 D/A. El convertidor 16 D/A convierte las señales de vídeo en forma de señales digitales en señales analógicas y envía las señales analógicas al CRT o a la unidad de presentación similar no mostrada.

65 El receptor de televisión por tanto convierte, por ejemplo, las señales de vídeo de 1080i, las señales de vídeo de 525i o las señales de vídeo de 625i en señales de vídeo de 525p teniendo en cuenta el tamaño de pantalla y el número de líneas de barrido como se ve en la Figura 10 de modo que la señal de vídeo de 525p puede ser presentada.

ES 2 297 912 T3

La Figura 11 muestra un ejemplo de una configuración más detallada de una porción del receptor de televisión mostrado en la Figura 9 que incluye una memoria 4 de imagen, el controlador 5 de memoria de escritura y el controlador 6 de memoria de lectura descritos anteriormente. Una señal de vídeo digital emitida desde el circuito 3 de interpolación es introducida en una memoria 34 de campo y una memoria 35 de campo que corresponde a la memoria 4 de imagen. Asimismo una señal de control de memoria de lado de escritura (por ejemplo, una señal de activación) suministrada desde un circuito no mostrado es suministrada a la memoria 34 de campo y la memoria 35 de campo. Un conmutador 33 puede ser conmutado a un lado "a" de contacto o un lado "b" de contacto en respuesta a la señal de conmutación de campo de lado de escritura suministrada al mismo desde un circuito no mostrado.

Asimismo, una señal de control de memoria de lado de lectura (señal de activación) es suministrada a la memoria 34 de campo y la memoria 35 de campo a través de otro conmutador 37. El conmutador 37 puede ser conmutado a un contacto de lado "a" o un contacto de lado "b" en respuesta a la señal de conmutación de campo de lado de lectura enviada desde un biestable 32 tipo D. También un conmutador más 36 puede ser conmutado a un contacto de lado "a" o un contacto de lado "b" en respuesta a la señal de conmutación de campo de lado de lectura y envía una señal de vacío leída de la memoria 34 de campo o la memoria 35 de campo al circuito 7 de interpolación.

El biestable 32 de tipo D retiene la señal de conmutación de campo de lado de escritura en respuesta a un impulso de inicio de lectura de lado de lectura detectado por, y enviado desde, un circuito 31 de detección de la posición de inicio y que envía la señal de conmutación de campo de lado de escritura retenida como una señal de conmutación de campo de lado de lectura al conmutador 36 y el conmutador 37.

El funcionamiento del circuito mostrado en la Figura 11 se describe con referencia adicional a los gráficos de tiempo de las Figuras 12A a 12E.

El conmutador 33 se conmuta al lado "a" de contacto en respuesta a un cambio de nivel de la señal de conmutación de campo de lado de escritura (Figura 12B) al nivel alto, pero es conmutada al lado "b" de contacto en respuesta a un cambio de nivel de la señal de conmutación de campo de lado de escritura al nivel bajo. Una señal de recuento dirigida a las líneas de lado de escritura (Figura 12A) es suministrada a la memoria 34 de campo cuando la señal de conmutación de campo de lado de escritura (Figura 12B) tiene el nivel alto, pero es suministrada a la memoria 35 de campo cuando la señal de conmutación de campo de lado de escritura tiene el nivel bajo. Como un resultado, una señal de vídeo digital suministrada desde el circuito 3 de interpolación se escribe en la memoria 34 de campo cuando la señal de conmutación de campo de lado de escritura (Figura 12B) tiene un nivel alto, pero es escrita en la memoria 35 de campo cuando la señal de conmutación de campo de lado de escritura tiene el nivel bajo.

Por otra parte, la señal de conmutación de campo de lado de escritura (Figura 12B) es retenida por el biestable 32 tipo D en sincronismo con un impulso de inicio de la cancelación de lado de lectura (Figura 12D) enviado desde el circuito 31 de detección de la posición de inicio y es suministrado como una señal (Figura 12E) de conmutación de campo de lado de lectura al conmutador 36 y el conmutador 37. El conmutador 36 y el conmutador 37 son conmutados al lado "b" de contacto cuando la señal (Figura 12E) de conmutación de campo de lado de lectura tiene el nivel alto, pero son conmutados al lado "a" de contacto cuando la señal de conmutación (Figura 12E) de campo de lado de lectura tiene el nivel bajo. Una señal (Figura 12C) de recuento dirigida a las líneas de lado de lectura es suministrada a la memoria 35 de campo cuando la señal (Figura 12E) de conmutación de campo de lado de lectura tiene el nivel alto. Como un resultado, una señal de vídeo leída de la memoria 35 de campo es suministrada al circuito 7 de interpolación a través del contacto "b" del conmutador 36.

De modo similar, cuando la señal (Figura 12E) de conmutación de campo de lado de lectura tiene el nivel bajo, la señal (Figura 12C) de recuento dirigida a las líneas de lado de lectura es suministrada a la memoria 34 de campo. Consecuentemente, una orden de borrado de la señal de vídeo de la memoria 34 de campo es suministrada al circuito 7 de interpolación a través del contacto "a" del conmutador 36.

De esta manera en el circuito mostrado en la Figura 11, por ejemplo, para convertir una señal de vídeo entrelazada de 625i (fh = 15 kHz, fv = 50 Hz) en una señal no entrelazada de 525 p (fh = 31 kHz, fv = 60 Hz), se realiza un tratamiento de campo para impedir que la fluctuación de la línea sea observada claramente sobre una pantalla de presentación. En particular, tras la escritura, cuando se escribe un campo de número impar de una imagen de orden n en la memoria 34 de campo, una señal de vídeo de un campo numerado impar de la imagen de orden n+1 siguiente se escribe en la memoria 35 de campo.

De modo similar, cuando una señal entrelazada de 525i (fh = 15.734 kHz, fv = 60 Hz) o 625i (fh = 15.625 kHz, fv = 50 Hz) se establece como una señal de vídeo a ser eliminada, donde la señal de entrada es una señal de vídeo de 625i o 525i, puesto que la conversión de frecuencia vertical está implicada, se ejecuta un procedimiento de campo para impedir la fluctuación de la línea que se observa visiblemente sobre una pantalla de presentación.

No obstante, donde se ejecuta un tratamiento de campo de esta manera, se utiliza una señal de imagen de uno de un campo de número impar y un campo de número par de los datos de imagen de los dos campos, y esto origina el deterioro de la resolución vertical. Como un resultado, por ejemplo, una línea recta oblicua es presentada no como una línea recta uniforme sino como una línea no uniforme dentada.

También una posibilidad es la de ejecutar ambos tratamientos de campo en lugar de un tratamiento de campo. No obstante, ambos tratamientos de campo dan lugar a un fenómeno en el que la fluctuación de la línea se observa claramente sobre una pantalla de presentación.

En particular, cuando la conversión de una frecuencia vertical, por ejemplo, de 60 Hz en 50 Hz, está implicada, si se trata de realizar la conversión de modo que los campos de 60 Hz puedan corresponderse en una relación de correspondencia de uno con uno con los campos de 50 Hz, se produce un fenómeno denominado de transición en el que una señal de vídeo de cada campo es presentada en un momento posterior al momento en que debería ser originalmente presentada debido a la diferencia en la frecuencia.

Para evitar este tipo de transición, por ejemplo, el mismo campo emitido repetidamente periódicamente como se ve en la Figura 14. En el modo de representación mostrado en la Figura 14, una señal de vídeo del mismo campo es emitida dos veces sucesivamente cada 6 campos. Esto origina particularmente que la línea de fluctuación aparezca visiblemente sobre una pantalla de presentación.

Más particularmente, en el caso en que todos los píxeles de cinco líneas de la primera a la quinta de un campo de número impar son negros y todos los píxeles de las líneas situadas debajo de las cinco líneas son blancos como se ve en la Figura 15, puesto que una línea de un campo de número par está posicionada entre las líneas de campo de número impar, los píxeles de las cuatro líneas, de la primera a la cuarta, son negros y los píxeles de las líneas inferiores a estas son blancos.

Si los píxeles de las líneas de campos numerados impares y de campos numerados pares se usan como píxeles de líneas de cada campo (imagen) de la presentación no entrelazada, entonces los píxeles de las cinco líneas superiores en el campo numerado impar son negros, pero los píxeles de las cuatro líneas superiores en el campo numerado par son negros. Como un resultado, cuando las imágenes del campo numerado par y el campo numerado impar se presentan alternativamente, entonces los píxeles negros y los píxeles blancos de la misma imagen fija son presentados alternativamente en la quinta línea desde arriba. Tal presentación alternativa de los píxeles negros y los píxeles blancos se observa como línea de fluctuación de la frecuencia de 30 Hz.

Aunque la fluctuación de la línea se produce también donde no está implicada la conversión de una frecuencia vertical, donde la conversión de una frecuencia vertical está implicada, la línea de fluctuación aparece particularmente visible porque la frecuencia con la cual la fluctuación se produce es inferior que aquella en la que la conversión de una frecuencia vertical no está implicada.

Un objeto de al menos las realizaciones preferidas de la presente invención es proporcionar un aparato y un método de tratamiento de imágenes así como un soporte mediante el cual la apariencia visible de la línea de fluctuación puede ser suprimida sin deterioro de la resolución vertical.

La Publicación de Solicitud de Patente Europea N° EP-A-0 854 438 describe un aparato de tratamiento de imágenes generalmente según la parte de precaracterización de la reivindicación 1 de la misma.

La Patente de EE.UU. N° 5.274.447 describe un convertidor estándar de televisión que tiene medios de almacenamiento para almacenar datos de píxeles calculados y medios de control para controlar la escritura y lectura de los datos de píxeles de los medios de almacenamiento.

La presente invención proporciona un aparato de tratamiento de imágenes según la reivindicación 1 de la misma, un método de tratamiento de imágenes según la reivindicación 4 de la misma, y un soporte que se proporciona según la reivindicación 7 de la misma.

En el aparato de tratamiento de imágenes, el método de tratamiento de imágenes y el soporte que se proporciona, se produce un coeficiente usando un valor inicial producido basado en una relación entre una señal de vídeo introducida y otra señal de vídeo que ha de ser emitida, y los datos de píxeles de la señal de vídeo que ha de ser emitida son calculados a partir de los datos de píxeles de la señal de vídeo introducida utilizando coeficientes generados. Consecuentemente, el deterioro de la resolución vertical puede ser evitado procesando ambos campos, y la línea de fluctuación puede ser suprimida evitando que sea observada claramente sobre una pantalla de presentación.

Una realización de la invención se describirá a continuación, a modo de ejemplo solamente, con referencia a los dibujos que se acompañan, en los cuales:

la Figura 1 es un diagrama de bloques que muestra una configuración de un aparato de tratamiento de imágenes en el que se aplica un ejemplo de la presente invención;

la Figura 2 es una tabla que ilustra una relación entre una combinación de una señal de entrada con una señal de salida y un desplazamiento;

la Figura 3 es una vista esquemática que ilustra un procedimiento para convertir una señal entrelazada en una señal no entrelazada;

la Figura 4 es una vista esquemática que ilustra la línea de fluctuación que se produce cuando una señal entrelazada es convertida en una señal no entrelazada;

la Figura 5 es una vista esquemática que ilustra un procedimiento cuando una señal entrelazada se convierte en una señal no entrelazada;

la Figura 6 es una vista similar pero que ilustra otro procedimiento cuando una señal entrelazada se convierte en una señal no entrelazada;

la Figura 7 es una vista similar pero que ilustra un procedimiento más cuando una señal entrelazada es convertida en una señal no entrelazada;

las Figuras 8A a 8D son gráficos de tiempo que ilustran el funcionamiento del aparato de tratamiento de imágenes de la Figura 1;

la Figura 9 es un diagrama de bloques que muestra una configuración de un aparato de tratamiento de imágenes convencional;

la Figura 10 es una vista esquemática que ilustra la conversión en número de líneas de exploración y la conversión entre una presentación entrelazada y una presentación no entrelazada;

la Figura 11 es un diagrama de bloques que muestra una configuración más detallada de componentes del aparato de tratamiento de imágenes de la Figura 9 que incluye una memoria de imágenes, un controlador de la memoria de escritura y un controlador de la memoria de lectura;

las Figuras 12A-12E son gráficos de tiempo que ilustran cada operación del circuito mostrado en la Figura 11;

la Figura 13 es una vista esquemática que ilustra el deterioro de la resolución vertical mediante un tratamiento de campo;

la Figura 14 es un diagrama de la forma de onda que ilustra el procedimiento de prevención de paso; y

la Figura 15 es una vista esquemática que ilustra la existencia de la línea que fluctúa.

Antes de describir una realización preferida de la presente invención, para aclarar una relación de correspondencia entre diversas características citadas en las reivindicaciones y elementos de la realización de la presente invención descrita más adelante, se describen las características de la presente invención más adelante junto con los elementos correspondientes a los cuales designan símbolos de referencia que se añaden entre paréntesis a continuación de los mismos. No obstante, esta descripción proporciona un mero ejemplo y no significa que las características de la presente invención estén limitadas a los elementos que se citan.

Un aparato de tratamiento de imágenes como se establece en la reivindicación 1 comprende medios de discriminación (por ejemplo, un decodificador 70 de la Figura 1) para discriminar una relación entre una señal de vídeo introducida y una señal de vídeo que ha de ser emitida, medios de suministro (por ejemplo, un conmutador 69 de la Figura 1) para suministrar un valor inicial predeterminado en respuesta a un resultado de la discriminación de los medios de discriminación, medios de generación (por ejemplo, un circuito 83 de generación de coeficientes de interpolación vertical de la Figura 1) para generar coeficientes predeterminados que usan el valor inicial suministrado a los mismos desde los medios de suministro, y medios de cálculo (por ejemplo, un circuito 85 de interpolación lineal de la Figura 1) para calcular datos de píxeles de la señal de vídeo que han de ser proporcionados desde los datos de píxeles de la señal de vídeo introducida usando los coeficientes generados por los medios de generación, caracterizado porque:

dichos medios de generación están dispuestos para ser alimentados con relaciones de ampliación de imágenes en las direcciones horizontal y vertical; y

dichos medios de discriminación son operativos para discriminar la relación entre la señal de vídeo introducida y la señal de vídeo que ha de ser emitida de la información representativa de si cada una de las señales de vídeo introducidas y la señal de vídeo que ha de ser emitida es una señal de vídeo entrelazada o una señal de vídeo no entrelazada, si un campo de cada una de las señales de vídeo introducidas y la señal de vídeo que ha de ser emitida es un campo numerado impar o un campo numerado par, o si los campos de la señal de vídeo introducida y la señal de vídeo que ha de ser emitida se corresponden o no entre sí.

El aparato de tratamiento de imágenes como se establece en la reivindicación 2 comprende además medios de almacenamiento (por ejemplo, las memorias 34, 35 de campo de la Figura 1) para almacenar los datos de píxeles calculados por los medios de cálculo, y medios de control (por ejemplo, los conmutadores 33, 37 de la Figura 1) para controlar la escritura y lectura de los datos de píxeles en, y de, los medios de almacenamiento.

La Figura 1 es un diagrama de bloques que muestra una configuración de un aparato de tratamiento de imágenes al cual se aplica la presente invención. En la Figura 1, aquellos componentes del aparato de tratamiento de imágenes que

ES 2 297 912 T3

corresponden a los componentes de los aparatos mostrados en la Figura 11 son designados por los mismos números que en la Figura 11 y su explicación se omite.

La configuración en la Figura 1 es una porción de la configuración que incluye el circuito 3 de interpolación, la memoria 4 de imágenes, el controlador 5 de la memoria de escritura y el controlador 6 de la memoria de lectura del aparato se describen en esta memoria con referencia a la Figura 9, y los otros detalles del aparato de tratamiento de imágenes son similares a los descritos aquí anteriormente con referencia a la Figura 9. Se ha de tener en cuenta que también el circuito 10 de interpolación, la memoria 11 de imágenes, el controlador 12 de la memoria de escritura y el controlador 13 de la memoria de lectura están diseñados de una manera similar a los que se muestran en la Figura 1.

En la disposición mostrada en la Figura 1, el número N de píxeles horizontales después de la conversión es introducido desde un contacto "a" de un conmutador 50-1 en un divisor 51, y el número de píxeles verticales M después de la conversión es introducido desde otro contacto "b" del conmutador 50-1 en el divisor 51. Además, el número de píxeles horizontales n de una señal de vídeo antes de la conversión es introducido en un contacto "a" de otro conmutador 50-2 y el número de píxeles verticales m de una señal de vídeo antes de la conversión se introduce desde un contacto "b" del conmutador 50-2 en el divisor 51. Estos números de los píxeles N y M son introducidos desde una CPU o algún otro aparato adecuado no mostrado. El divisor 51 calcula una relación n/N de una relación N/n de ampliación recíproca en una dirección horizontal y suministra la recíproca n/N a un circuito 52 de retención de un circuito 81 de generación de coeficientes de interpolación horizontal. El divisor 51 calcula además una relación recíproca m/M de una relación M/m de ampliación en una dirección vertical y suministra el número recíproco m/M a un circuito 64 de retención de un circuito 83 de generación de coeficientes de interpolación vertical.

El circuito 52 de retención suministra un valor de la retención a una sumadora 53. La sumadora 53 suma el valor introducido en la misma desde el circuito 52 de retención y otro valor introducido en la misma desde otro circuito 54 de retención, y envía la suma a un circuito 55 más de retención y al circuito 54 de retención. Una señal de reloj de muestreo de una frecuencia f_s es suministrada a los circuitos 52, 54 y 55 de retención.

El circuito 55 de retención normaliza el valor introducido en el mismo desde la sumadora 53 y resta un valor p resultante de 1 para obtener una diferencia $(1 - p)$, y aplica el valor p y la diferencia $(1 - p)$ a una multiplicadora 56 y una multiplicadora 57 de un circuito 82 de interpolación lineal horizontal, respectivamente. La multiplicadora 56 multiplica los datos de píxeles de una señal de vídeo introducida desde el LPF 2 (datos de píxeles antes de la conversión) por el valor p (coeficiente de interpolación horizontal) introducido en el mismo desde el circuito 55 de retención, y aplica un producto resultante a una sumadora 59. La multiplicadora 57 multiplica los datos de píxeles retardados por un intervalo de reloj de uno mediante un circuito 58 de retención por el valor $(1 - p)$ de la diferencia (coeficiente de interpolación horizontal) enviado desde el circuito 55 de retención, y envía un producto resultante a la sumadora 59. La sumadora 59 suma las salidas de la multiplicadora 56 y la multiplicadora 57 y envía la suma a un circuito 60 de retardo de IH (Controlador de Interrupciones) y una multiplicadora 61 de un circuito de interpolación lineal vertical 85.

Mientras tanto, en el circuito 83 de generación de coeficientes de interpolación vertical, una sumadora 65 suma un valor retenido en el circuito 64 de retención y un valor retenido en el otro circuito 67 de retención y suministra la suma a un circuito 68 de retención. Además, la sumadora 65 aplica la suma también a un circuito 67 de retención por medio de un contacto "a" de un conmutador 66 de un circuito 84 de establecimiento del valor inicial. El circuito 68 de retención normaliza el valor introducido en el mismo desde la sumadora 65 para obtener un valor q (coeficiente de interpolación vertical) y resta el valor q de 1 para obtener una diferencia $(1 - q)$ (coeficiente de interpolación vertical), y envía el valor q y la diferencia $(1 - q)$ a la multiplicadora 61 y la otra multiplicadora 62 del circuito 85 de interpolación lineal vertical, respectivamente.

En el circuito 83 de generación de coeficientes de interpolación vertical, un reloj de frecuencia horizontal de una frecuencia f_h es introducido en los terminales de reloj de los circuitos 64, 67 y 68 de retención.

Cinco señales diferentes son introducidas desde un circuito no mostrado en un descodificador 70 del circuito 84 de establecimiento de valores iniciales. En particular, una señal de discriminación de entrelazada de entrada representativa de si una señal de vídeo de entrada es una señal entrelazada o una señal no entrelazada, una señal de discriminación de impar/par de entrada representativa de si el campo de una señal de vídeo introducida es un campo numerado impar o un campo numerado par, una señal de discriminación entrelazada de salida representativa de si la señal de vídeo que ha de ser enviada es una señal entrelazada o una señal no entrelazada, una señal de discriminación de impar/par representativa de si el campo de una señal de vídeo que ha de ser emitida es un campo numerado impar o un campo numerado par, y una señal de discriminación entrelazada inversa representativa de si, cuando el campo de una señal de vídeo introducida es un campo numerado impar, también el campo de una señal de vídeo a ser enviada es un campo numerado impar (o si, cuando el campo de una señal de vídeo introducida es un campo numerado par, también el campo de una señal de vídeo que ha de ser enviada es un campo numerado par) o, cuando el campo de una señal de vídeo introducida es un campo numerado par, el campo de una señal de vídeo que ha de ser emitida es un campo numerado impar (o, cuando el campo de una señal de vídeo introducida es un campo numerado impar, el campo de una señal de vídeo que ha de ser emitida es un campo numerado par) son introducidos en el descodificador 70 del circuito 84 de establecimiento de valores iniciales.

ES 2 297 912 T3

El descodificador 70 se refiere a una tabla tal como la mostrada en la Figura 2 basada en las señales de discriminación introducidas en la misma para determinar un valor de desplazamiento y envía una señal de control a un conmutador 69 para seleccionar el valor de desplazamiento así determinado. El conmutador 69 selecciona uno de los valores 0, 0,5, $\Delta/2$ y $0,5 + \Delta/2$ como un valor del desplazamiento en respuesta a la señal de control del descodificador 70 y suministra el valor del desplazamiento seleccionado como un valor inicial al circuito 67 de retención por medio del contacto "b" del conmutador 66. El conmutador 66 es conmutado al lado "b" de contacto una vez por un campo en respuesta a un impulso preestablecido de un periodo de campo.

Como se ve en la Figura 2, para convertir una señal no entrelazada en otra señal no entrelazada el desplazamiento se establece en 0. Para convertir una señal no entrelazada en una señal entrelazada, el valor del desplazamiento se establece en 0 cuando el campo de una señal de vídeo que ha de ser emitida es un campo de número impar, pero se establece en $\Delta/2$ cuando el campo de una señal de vídeo que ha de ser emitida es un campo numerado par. Aquí, Δ representa la relación del número de líneas horizontales en la imagen de entrada con el número de líneas horizontales en la imagen de salida. Por ejemplo cuando una señal de vídeo de 625p es convertida en otra señal de vídeo de 525i, puesto que los números de líneas efectivos de las señales de video individuales son 576 y 480, respectivamente, $\Delta = 576/480 = 288/240 = 6/5 = 1,2$.

Para convertir una señal entrelazada en una señal no entrelazada, cuando una señal de video introducida es de un campo numerado impar, el valor del desplazamiento se establece en 0,5 (la distancia entre líneas de barrido horizontales de la señal de vídeo de entrada es 1), pero cuando la señal de vídeo introducida es de un campo numerado par, el valor del desplazamiento se establece en 0.

Para convertir una señal entrelazada en otra señal entrelazada, cuando los campos de las señales de entrada y salida se corresponden entre sí, es decir, cuando un campo numerado impar se ha de convertir en otro campo numerado impar y un campo numerado par ha de ser convertido en un campo numerado par, el valor del desplazamiento se establece en 0,5 para un campo numerado impar, pero se establece en $\Delta/2$ para un campo numerado par. Por otra parte, para convertir un campo numerado impar de una señal entrelazada introducida en una señal entrelazada de un campo numerado par, el valor del desplazamiento se establece en $0,5 + \Delta/2$, pero para convertir un campo numerado par de una señal entrelazada introducida en una señal entrelazada de un campo numerado impar, el valor del desplazamiento se establece en 0.

En el circuito 85 de interpolación lineal vertical, la multiplicadora 61 multiplica los datos introducidos desde la sumadora 59 del circuito 82 de interpolación lineal horizontal por el valor q (coeficiente de interpolación vertical) introducido desde el circuito 68 de retención del circuito 83 de generación de coeficientes de interpolación vertical y aplica el producto a una sumadora 62. El circuito 60 de retardo de 1H retarda los datos introducidos desde la sumadora 59 1H (un periodo de las líneas de barrido horizontales) y envía los datos retardados a la multiplicadora 62. La multiplicadora 62 multiplica los datos introducidos desde el circuito 60 de retardo de 1H por el valor $1 - q$ (coeficiente de interpolación vertical) introducido desde el circuito 68 de retención del circuito 83 de generación de coeficientes de interpolación vertical, y aplica el producto a la sumadora 63. La sumadora 63 suma el valor introducido desde la multiplicadora 61 y el valor introducido desde la multiplicadora 62 y envía la suma a la memoria 34 de campo y la memoria 35 de campo.

Una señal de control de la memoria de lado de escritura es suministrada desde un circuito no mostrado a la memoria 34 de campo o la memoria 35 de campo a través del contacto "a" o el contacto "b" del conmutador 33. El conmutador 33 es conmutado en respuesta a una señal de conmutación de campo de lado de escritura suministrada al mismo desde un circuito no mostrado.

Asimismo, una señal de control de la memoria de lado de lectura suministrada desde un circuito no mostrado se suministra a la memoria 34 de campo o la memoria 35 de campo a través del contacto "a" o el contacto "b" del conmutador 37. Los datos leídos de la memoria 34 de campo o la memoria 35 de campo son aplicados en el circuito 7 de interpolación en la etapa siguiente a través del contacto "a" o el contacto "b" del conmutador 36.

El circuito 31 de detección de la posición de inicio genera un impulso inicial de lado de lectura y suministra esta a un terminal de reloj biestable 32 de tipo D. El biestable 32 de tipo D retiene una señal de conmutación de campo de lado de escritura suministrada a un terminal D del mismo desde un circuito no mostrado en sincronismo con el impulso de inicio de la lectura de lado de lectura y envía esta como una señal de conmutación de campo de lado de lectura desde un terminal Q del mismo al conmutador 36 y el conmutador 37.

Un circuito 71 de generación de la dirección detecta la posición de un píxel en cada línea desde una salida del circuito 81 de generación de coeficientes de interpolación horizontal y detecta la posición de una línea de exploración horizontal en una dirección vertical desde la salida de la sumadora 65 del circuito 83 de generación de coeficientes de interpolación vertical. Luego, el circuito 71 de generación de la dirección genera una dirección escrita correspondiente a las posiciones así detectadas y la envía a la memoria 34 de campo y la memoria 35 de campo.

En funcionamiento, cuando los conmutadores 50-1 y 50-2 están conectados al lado "a" de contacto, el número N de píxeles horizontales después de la conversión y el número n de píxeles horizontales antes de la conversión son introducidos en el divisor 51. El divisor 51 divide el número de píxeles horizontales n por el número de píxeles horizontales N y envía un valor resultante al circuito 52 de retención del circuito 81 de generación de coeficientes

de interpolación horizontal. De modo similar, cuando los conmutadores 50-1 y 50-2 están conectados al lado “b” de contacto, el número de píxeles verticales M después de la conversión y el número de píxeles verticales m antes de la conversión son introducidos en el divisor 51. El divisor 51 divide el número de píxeles verticales m por el número de píxeles verticales M y suministra un valor resultante al circuito 64 de retención del circuito 83 de generación de coeficientes de interpolación vertical.

El circuito 52 de retención del circuito 81 de generación de coeficientes de interpolación retiene el valor n/N introducido en el mismo en sincronismo con una señal del reloj de muestreo y envía el valor retenido a la sumadora 53. La sumadora 53 envía el valor introducido en la misma al circuito 54 de retención. El valor retenido por el circuito 54 de retención es suministrado a la sumadora 53 y añadido a los valores introducidos desde el circuito 52 de retención por la sumadora 53. La operación descrita se ejecuta repetidamente cada vez que se introduce un reloj de muestreo, y la sumadora 53 produce sucesivamente valores tales como n/N , $2n/N$, $3n/N$, ... en sincronismo con los relojes de muestreo de la frecuencia f_s y envía los valores al circuito 55 de retención. El circuito 55 de retención proporciona un valor p obtenido mediante la normalización del valor introducido en el mismo desde la sumadora 53 y un valor $1 - p$ obtenido por sustracción del valor p de 1 como coeficientes de interpolación horizontal en las multiplicadoras 56 y 57 del circuito 82 de interpolación lineal horizontal, respectivamente.

La multiplicadora 56 del circuito 82 de interpolación lineal horizontal multiplica los datos de píxeles por el valor p y proporciona el producto a la sumadora 59. La multiplicadora 57 multiplica los datos de píxeles retardados por un intervalo de reloj de uno mediante el circuito 58 de retención, es decir, datos de otro píxel adyacente al píxel introducido en la multiplicadora 56 sobre el lado derecho de la misma línea sobre una pantalla, por el coeficiente $1 - p$ de interpolación horizontal, y proporciona el producto a la sumadora 59. La sumadora 59 suma los valores introducidos en la misma desde la multiplicadora 56 y la multiplicadora 57. Consecuentemente, los datos de píxeles producidos mediante la ponderación de datos de los dos píxeles adyacentes entre sí sobre la misma línea son obtenidos con el coeficiente p de interpolación horizontal y el coeficiente $1 - p$ de interpolación horizontal. Los datos de píxeles son proporcionados a la multiplicadora 61 y al circuito 60 de retardo de 1H del circuito 85 de interpolación lineal vertical.

El circuito 60 de retardo de 1H retarda los datos de los píxeles introducidos mediante un intervalo igual a 1H y proporciona los datos de los píxeles retardados a la multiplicadora 62. Como un resultado, en una regulación en la que los datos de un píxel son introducidos en la multiplicadora 61, los datos de un píxel sobre una línea inferior son suministrados a la multiplicadora 62. Entonces, los dos datos de píxeles verticalmente adyacentes entre sí son ponderados con los coeficientes q y $1 - q$ de interpolación vertical introducidos desde el circuito 68 de retención del circuito 83 de generación de coeficientes de interpolación vertical y luego sumados por la sumadora 63, y la suma es proporcionada a las memorias 34 y 35 de campo.

Los coeficientes de interpolación vertical que han de ser usados por el circuito 85 de interpolación lineal vertical son generados de la manera siguiente. En particular, el descodificador 70 produce una señal de selección para seleccionar uno de los cuatro valores de desplazamiento diferentes basándose en los tipos de una señal de vídeo de entrada y una señal de vídeo de salida usando la tabla de la Figura 2 y aplica la señal de selección producida al conmutador 69. El conmutador 69 selecciona una de las cuatro señales de desplazamiento en respuesta a la señal de selección. El conmutador 66 es conmutado al lado “b” de contacto en una frecuencia de una vez por un campo, y el valor de desplazamiento proporcionado desde el conmutador 69 en este momento se establece como un valor inicial para el circuito 67 de retención.

La sumadora 65 suma el valor m/M retenido en el circuito 64 de retención y el valor inicial retenido en el circuito 67 de retención y proporciona la suma. Puesto que el conmutador 66 está conectado normalmente al lado “a” de contacto “a” en un instante en que un impulso preestablecido emitido en una frecuencia de una vez por un campo no se suministra, un valor proporcionado desde la sumadora 65, es decir, un valor obtenido sumando el valor retenido en el circuito 64 de retención al valor inicial, es suministrado a, y retenido por, el circuito 67 de retención. Por consiguiente, este valor es suministrado a la sumadora 65 y añadido al valor suministrado desde el circuito 64 de retención. Puesto que la operación descrita se repite en sincronismo con una señal de reloj de la frecuencia f_h de exploración horizontal, valores tales como el valor inicial + m/M , valor inicial + $2m/M$, valor inicial + $3m/M$, ... se producen sucesivamente desde la sumadora 65. Cada uno de los valores producidos de esta manera es retenido por el circuito 68 de retención, y un valor obtenido mediante la normalización del valor es suministrado como un coeficiente q de interpolación vertical a la multiplicadora 61. Además, el valor $1 - q$ obtenido mediante la sustracción del valor q de 1 es suministrado como un coeficiente de interpolación vertical a la multiplicadora 62. Por tanto, los dos datos de píxeles verticalmente adyacentes entre sí son ponderados con los coeficientes de interpolación por medio de las multiplicadoras 61 y 62 y la sumadora 63 para obtener los datos de píxeles deseados.

Por ejemplo, se pretende convertir una señal de vídeo de 525i (señal entrelazada) en otra señal de vídeo de 525p (no entrelazada) con un régimen de cambio en el tamaño vertical = 1, luego cuando la señal entrelazada es convertida en la señal no entrelazada, el valor del desplazamiento se establece en 0,5 para un campo numerado impar de la señal de entrada, pero se establece en 0 para un campo numerado par de la señal de entrada como se ve en la Figura 2. Consecuentemente, puesto que la señal de vídeo de entrada es desplazada 9,5 H (H representa la distancia entre líneas de cada campo de la señal de vídeo de entrada, y $H = 1$ en la Figura 3) empezando con la línea superior I0 de un campo numerado impar de la señal de vídeo de entrada, la primera línea O0 del campo numerado impar de la señal de vídeo después de la conversión está posicionada justamente en el punto medio entre la primera línea I0 y una segunda línea I2 del campo numerado impar de la señal de vídeo introducida. Como un resultado, el coeficiente q de interpolación

ES 2 297 912 T3

vertical producido correspondiente a la posición es 0,5, y también el coeficiente $1 - q$ de interpolación vertical es 0,5. Consecuentemente, los datos de píxeles de la línea O0 son producidos con valores medios de píxeles de la línea I0 y la línea I2. De modo similar, puesto que la segunda línea O1 de la señal de vídeo después de la conversión está posicionada justamente en el punto medio entre la línea I2 y la línea I4 de la señal de vídeo antes de la conversión, los

Por otra parte, para un campo numerado par, el valor del desplazamiento es 0. Como un resultado, el coeficiente q de interpolación vertical es 1, y el coeficiente $1 - q$ de interpolación vertical es 0. Consecuentemente, los datos de píxeles de la primera línea O0 de la señal de vídeo de salida son producidos usando la línea I1 de la señal de vídeo de entrada como es, y los datos de píxeles de la línea siguiente O1 son producidos a partir de los datos de píxeles de la línea I3 de la señal de vídeo de entrada.

Consecuentemente, por ejemplo, cuando los datos de píxeles de las líneas de I0 a I8 de la señal de vídeo de entrada representan datos negros y de píxel de la línea I9, y las siguientes representan blancos como se ve en la Figura 4, puesto que la línea de la señal que ha de ser proporcionada en un campo numerado impar es producida a partir de dos líneas, superior e inferior adyacentes, las líneas O0 a O3 de la señal de vídeo que ha de ser proporcionada, que son producidas a partir de las líneas I0, I2, I4, I6 e I8, son líneas de datos de píxeles negros mientras que las líneas O5 y O6 que son producidas a partir de las líneas I10, I12, e I14 son líneas de datos de píxeles blancos.

En contraste, los datos de píxeles de la línea O4 producidos desde la línea I8 de datos de píxeles negros y de la línea I10 de datos de píxeles blancos son datos de píxeles grises.

Por otra parte, en el campo de números pares, los datos de píxeles negros de las líneas I1, I3, I5 e I7 son determinados como ellos son, como datos de píxeles de las líneas O0 a O3, y consecuentemente, la totalidad de las líneas son líneas de datos de píxeles negros. Al mismo tiempo, también los datos de píxeles de las líneas O4, O5, O6 y O7 producidos a partir de datos de píxeles blancos de las líneas I9, I11, I13 e I15 son datos de píxeles blancos.

Como un resultado, cuando la imagen del campo numerados par y la imagen del campo numerado impar son presentados alternativamente sobre la línea O4, los datos de píxeles grises y los datos de píxeles blancos son presentados alternativamente sobre la línea O4. Como un resultado, aparece la fluctuación de líneas. No obstante, cuando son comparadas con el caso en el que los píxeles blancos y los píxeles negros son presentados como ocurre en el caso de la Figura 15, incluso si los píxeles del campo numerado impar y los del campo numerado par son presentados sucesivamente dos veces, la línea de fluctuación se observa menos claramente porque los píxeles grises y los píxeles blancos se despliegan alternativamente.

Aunque la descripción anterior con referencia a las Figuras 3 y 4 se refiere a un caso en el que el régimen de cambios en el tamaño vertical es 1 para simplificar la descripción, para convertir de otra manera, por ejemplo, una señal de vídeo de 625i en otra señal de vídeo de 525p, puesto que el número de líneas de exploración eficaces de la señal de vídeo de 625i es de 576 y el número de las líneas de exploración eficaces de la señal de vídeo es 480, $\Delta = 576/480 = 288/240 = 6/5 = 1,2$.

En este caso, puesto que se establece el desplazamiento de 0,5 para un campo numerado impar, como se ve en la Figura 5, los datos de píxeles de la primera línea O0 después de la conversión son producidos con valores medios de datos de píxeles de la primera línea I0 y la segunda línea I2 antes de la conversión, y la línea O1 siguiente a la línea O0 está dispuesta a una distancia de 1,2 de la línea O0. Consecuentemente, la distancia de la línea O1 de la línea I2 es 0,7 ($= 1,2 - 0,5$), y la distancia entre la línea O1 y la línea I4 es 0,3 ($= 1,0 - 0,7$). Como un resultado, los datos de píxeles de la línea O1 se producen añadiendo valores obtenidos ponderando los datos de píxeles de la línea I2 con 0,3 y los valores obtenidos ponderando los datos de píxeles de la línea I4 con 0,7.

La línea O2 espaciada la distancia de 1,2 de la línea O1 está a una distancia de 0,9 ($= 1,2 - 0,3$) de la línea I4 y a una distancia de 0,1 ($= 1,0 - 0,9$) de la línea I6. Consecuentemente, los datos de píxeles de la línea O2 son producidos añadiendo valores obtenidos por ponderación de los datos de píxeles de la línea I4 con 0,1 y valores obtenidos por ponderación de los datos de píxeles de la línea I6 con 0,9.

En un campo numerado par, puesto que el valor del desplazamiento es 0, la posición de la primera línea O0 después de la conversión es la misma que la posición de la primera línea I1 antes de la conversión. Consecuentemente, los datos de píxeles de la línea O0 son producidos a partir de los datos de píxeles de la línea O1. La línea O1 siguiente que está a la distancia de 1,2 de la línea O0 está a una distancia de 0,2 ($= 1,2 - 1,0$) de la línea I3 y está a una distancia de 0,8 ($= 1,0 - 0,2$) de la línea I5. Consecuentemente, los datos de píxeles de la línea O1 son producidos añadiendo valores obtenidos ponderando los datos de píxeles de la línea I3 con 0,8 y los valores obtenidos ponderando los datos de píxeles de la línea I5 con 0,2.

Puesto que esa ponderación como se describe anteriormente está implicada, por ejemplo, tales datos de píxeles después de la conversión configurados sobre la frontera entre las líneas de píxeles negros y las líneas de píxeles blancos como se ve en la Figura 4 están formados todos por píxeles grises con una mayor probabilidad de que donde estén formados a partir de píxeles blanco y píxeles negros, la fluctuación de líneas sea observada menos visiblemente.

ES 2 297 912 T3

Las Figuras 6 y 7 ilustran diferentes maneras de conversión de una señal entrelazada en otra señal entrelazada. Más particularmente, la Figura 6 ilustra una manera de conversión en la que campos de entrada y salida se corresponden entre sí, y la Figura 7 ilustra otra manera de conversión en la que los campos de entrada y salida están invertidos entre sí.

En la conversión ilustrada en la Figura 6, en un campo numerado impar, se proporciona un desplazamiento de 0,5 a la señal de vídeo de salida. Como un resultado, la primera línea OO0 del campo numerado impar después de la conversión está posicionada en el punto medio entre la primera línea I0 y la línea siguiente I2 antes de la conversión, y los datos de píxeles de la línea OO0 son producidos a partir de valores medios de datos de píxeles de la línea I0 y la línea I2. La línea OO1 que está a una distancia de 1,2 de la línea OO0 está a una distancia de 0,7 ($= 1,2 - 0,5$) de la línea I2 y está a una distancia de 0,3 ($= 1,0 - 0,7$) de la línea I4. Consecuentemente, los datos de píxeles de la línea OO1 son producidos a partir de sumas de valores obtenidos ponderando los datos de píxeles de la línea I2 con 0,3 y los valores obtenidos ponderando los datos de píxeles de la línea I4 con 0,7.

En un campo numerado par, se proporciona un valor del desplazamiento de $\Delta/2$ a la primera línea OE0 después de la conversión. Como un resultado, la distancia de la línea OE0 a la línea I1 es 0,6 ($= \Delta/2$), y la distancia de la línea OE0 a la línea I3 es 0,4 ($= 1,0 - 0,6$). Como un resultado, los datos de píxeles de la línea OE0 son producidos a partir de sumas de valores obtenidos ponderando los datos de píxeles de la línea I1 con 0,4 y los valores obtenidos ponderando los datos de píxeles de la línea I3 con 0,6. La línea OE1 está a una distancia de 1,2 de la línea OE0. Consecuentemente, la línea OE1 está a una distancia de 0,8 ($= 1,2 - 0,4$) de la línea I3 y está a una distancia de 0,2 ($= 1,0 - 0,8$) de la línea I5. Consecuentemente, los datos de píxeles de la línea OE1 son producidos a partir de sumas de valores obtenidos ponderando los datos de píxeles de la línea I3 con 0,2 y los valores obtenidos ponderando los datos de píxeles de la línea I5 con 0,8.

Por otra parte, cuando una señal de vídeo de un campo numerado par ha de ser proporcionada de acuerdo con una señal de vídeo de entrada de un campo numerado impar como se ve en la Figura 7, se proporciona un valor de desplazamiento de $0,5 + \Delta/2$ a la señal de vídeo del campo numerado par que ha de ser proporcionada. Como un resultado, la primera línea OO0 del campo numerado par que ha de ser proporcionada está a una distancia de 0,1 ($= 0,5 + 0,6 - 1,0$) de la segunda línea I2 del campo numerado impar antes de la conversión, y a una distancia de 0,9 ($= 1,0 - 0,1$) de la línea I4. Consecuentemente, los datos de píxeles de la línea OO0 son producidos a partir de sumas de valores obtenidos ponderando los datos de píxeles de la línea I2 con 0,9 y los valores obtenidos ponderando los datos de píxeles de la línea I4 con 0,1. La línea OO1 está a una distancia de 0,3 ($= 1,2 - 0,9$) de la línea I4 y está a una distancia de 0,7 ($= 1,0 - 0,3$) de la línea I6. Consecuentemente, los datos de píxeles de la línea OO1 son producidos a partir de sumas de valores obtenidos ponderando los datos de píxeles de la línea I4 con 0,7 y los valores obtenidos ponderando los datos de píxeles de la línea I6 con 0,3.

Para producir una señal de vídeo de un campo numerado impar después de la conversión de una señal de vídeo de un campo numerado par antes de la conversión, el valor del desplazamiento se establece en 0. Consecuentemente, la primera línea OE0 del campo numerado impar después de la conversión está a una distancia de 0 de la primera línea I1 antes de la conversión. Como un resultado, los datos de píxeles de la línea OE0 son producidos a partir de los datos de píxeles de la línea I1. La línea OE1 que está a una distancia de 1,2 de la línea OE0 está a una distancia de 0,2 ($= 1,2 - 1,0$) de la línea I3 y está a una distancia de 0,8 ($= 1,0 - 0,2$) de la línea I5. Consecuentemente, los datos de píxeles de la línea OE1 son producidos a partir de sumas de valores obtenidos ponderando los datos de píxeles de la línea I3 con 0,8 y obtenido los valores mediante la ponderación de los datos de píxeles de la línea I5 con 0,2.

Puesto que el aparato de tratamiento de la información de la presente realización efectúa ambos tratamientos de campo de esta manera, los datos de píxeles producidos de la manera que se describe anteriormente y se proporcionan desde la sumadora 63 del circuito 85 de interpolación lineal son escritos alternativamente en la memoria 34 de campo o en la memoria 35 de campo para cada campo.

En particular, el conmutador 33 es conmutado en respuesta a la señal de conmutación de campo de lado de escritura (Figura 8A) de modo que, cuando la señal de conmutación de campo tiene un alto nivel, el conmutador 33 está conectado de modo conmutable al contacto de lado "a", pero cuando la señal de conmutación del campo de lado de escritura tiene el nivel bajo, el conmutador 33 está conectado de modo conmutable al lado "b" de contacto. Como un resultado, la señal de control de la memoria de lado de escritura (señal de activación) es suministrada a la memoria 34 de campo cuando la señal de conmutación de campo de lado de escritura tiene el nivel alto, pero es suministrada a la memoria 35 de campo cuando la señal de conmutación de campo de lado de escritura tiene un nivel bajo. Consecuentemente, los datos de píxeles de los campos individuales de la señal de vídeo de entrada se escriben alternativamente en la memoria 34 de campo y la memoria 35 de campo después de que estas experimenten el procedimiento de la interpolación lineal. La dirección escrita entonces es generada desde el circuito 71 de generación de direcciones.

Al mismo tiempo, en respuesta a un impulso de inicio de la lectura del lado de lectura (Figura 8B) generado por el circuito 31 de detección de la posición de inicio, el biestable 32 tipo D retiene la señal de conmutación de campo de lado de escritura (Figura 8A) y produce una señal (Figura 8D) de conmutación de campo de lado de lectura. Cuando la señal de conmutación de campo de lado de lectura tiene el nivel alto, el conmutador 37 y el conmutador 36 están conectados de modo conmutable al respectivo lado "b" de contacto, pero cuando la señal de conmutación de campo de lado de lectura tiene el nivel bajo, el conmutador 37 y el conmutador 36 están conectados de modo conmutable al respectivo lado "a" de contacto. Consecuentemente, cuando la señal de conmutación de campo de lado de lectura

ES 2 297 912 T3

(Figura D) tiene el nivel alto, la señal de control de memoria de lado de lectura (señal de activación) es suministrada a la memoria 35 de campo, pero cuando la señal de conmutación de campo de lado de lectura tiene un nivel bajo, la señal de control de memoria de lado de lectura (señal de activación) se suministra a la memoria 34 de campo. Consecuentemente, mientras la escritura en la memoria 34 de campo está siendo procesada, los datos son leídos de la otra memoria 35 de campo y proporcionados desde el contacto “b” del conmutador 36. Por otra parte, mientras está siendo procesada la escritura en la memoria 35 de campo, los datos son leídos de la memoria 34 de campo y proporcionados desde el contacto “a” del conmutador 36. La dirección leída (Figura 8C) en la memoria 34 ó 35 de campo se suministra desde un circuito no mostrado.

Por tanto, cuando una señal de vídeo de entrada de una frecuencia de 60 Hz es convertida en una señal de vídeo de salida de otra frecuencia de 50 Hz, los datos de píxeles del mismo campo son leídos dos veces sucesivamente durante cada periodo fijo como se ha descrito anteriormente, y consecuentemente, la posibilidad de omitirlos se evita.

Se ha de tener en cuenta que se proporciona a un usuario un soporte con el que un programa de ordenador realiza ese tratamiento tal como se ha descrito anteriormente, que puede estar en un medio de almacenamiento tal como un disco magnético, un disco compacto de memoria de solo lectura CD-ROM o una memoria de estado sólido (memoria de semiconductores) o un soporte de comunicación tal como una red o un satélite de comunicaciones.

En cuanto a las realizaciones de la invención descritas anteriormente, se ejecutan, al menos en parte, usando un aparato de tratamiento de datos controlado por software, se apreciará que un programa de ordenador que proporcione ese control de software y un soporte de almacenamiento mediante el cual ese tipo de programa de ordenador sea almacenado se contemplan como aspectos de la presente invención.

Aunque se ha descrito una realización preferida de la presente invención usando términos concretos, esa descripción tiene solamente propósitos ilustrativos, y ha de entenderse que pueden hacerse cambios y variaciones sin salirse del alcance de las reivindicaciones siguientes.

REIVINDICACIONES

1. Un aparato de tratamiento de imágenes, que comprende:

medios (70) de discriminación para discriminar una relación entre una señal de vídeo introducida y una señal de vídeo que ha de ser emitida;

medios (69) de suministro para suministrar un valor inicial predeterminado en respuesta a un resultado de la discriminación de dichos medios de discriminación;

medios (81, 83) de generación para generar un coeficiente predeterminado usando el valor inicial suministrado a los mismos desde dichos medios de suministro; y

medios (85) de cálculo para calcular datos de píxeles de la señal de vídeo que ha de ser emitida de datos de píxeles de la señal de vídeo introducida usando el coeficiente generado por dichos medios de generación;

caracterizado porque:

dichos medios (81, 83) de generación están dispuestos para ser suministrados con relaciones de ampliación de la imagen en las direcciones horizontal y vertical; y

dichos medios (70) de discriminación son operativos para discriminar la relación entre la señal de vídeo introducida y la señal de vídeo que ha de ser emitida de información representativa sobre si cada una de las señales de vídeo introducidas y la señal de vídeo que ha de ser emitida son una señal de vídeo entrelazada o una señal de vídeo no entrelazada, si un campo de cada una de la señal de vídeo introducida y la señal de vídeo que ha de ser emitida es un campo numerado par o un campo numerado impar, o si campos de la señal de vídeo introducida y de la señal de vídeo que ha de ser emitida se corresponden o no entre sí.

2. Un aparato de tratamiento de imágenes según la reivindicación 1, que comprende:

medios (34, 35) de almacenamiento para almacenar los datos de píxeles calculados por dichos medios ((5) de cálculo; y

medios (33, 37) de control para controlar la escritura y la lectura de los datos de píxeles en y de dichos medios de almacenamiento.

3. Un aparato de tratamiento de imágenes según la reivindicación 1, en el que dichos medios (69) de suministro son operativos para suministrar, como el valor inicial, un valor correspondiente a de 0 a 0,5 veces una distancia entre líneas de barrido horizontal de la señal de vídeo introducida, un valor correspondiente a 1/2 de la relación del número de líneas horizontales en la imagen de entrada con el número de líneas horizontales en la imagen de salida, o un valor obtenido añadiendo un valor correspondiente a 0,5 veces la distancia entre líneas de barrido horizontal de la señal de vídeo de entrada y un valor correspondiente a 1/2 de la relación del número de líneas horizontales en la imagen de entrada con el número de líneas horizontales en la imagen de salida.

4. Un método de tratamiento de imágenes, que comprende:

una operación de discriminación para discriminar una relación entre la señal de vídeo introducida y una señal de vídeo que ha de ser emitida;

una operación de suministro para suministrar un valor inicial predeterminado en respuesta a un resultado de la discriminación en la operación de discriminación;

una operación de generación para generar un coeficiente predeterminado usando el valor inicial suministrado en la operación de suministro; y

una operación de cálculo para calcular píxeles de la señal de vídeo que han de ser emitidos de los datos de píxeles de la señal de vídeo introducida usando el coeficiente generado en la operación de generación;

caracterizado porque:

dicha operación de generación utiliza relaciones de ampliación de la imagen en las direcciones horizontal y vertical; y

dicha operación de discriminación comprende discriminar la relación entre la señal de vídeo introducida y la señal de vídeo que ha de ser emitida de información representativa de si cada una de las señales de vídeo introducida y la señal de vídeo que ha de ser emitida es una señal de vídeo entrelazada o de vídeo no entrelazada, si un campo de cada una de la señal de vídeo introducida y la señal de vídeo que ha de ser emitida es un campo numerado impar o

ES 2 297 912 T3

un campo numerado par, o si los campos de la señal de vídeo introducida y la señal de vídeo que ha de ser emitida se corresponden o no entre sí.

5. Un método de tratamiento de imágenes según la reivindicación 4, que comprende:

una operación de almacenamiento para almacenar los datos de píxeles calculados por dicha operación de cálculo;
y

una operación de control para controlar la escritura y lectura de los datos de píxeles que entran y salen del almacenamiento.

6. Un método de tratamiento de imágenes según la reivindicación 4, en el que dicha operación de suministro suministra, como el valor inicial, un valor correspondiente a 0 ó 0,5 veces una distancia entre líneas de exploración horizontales de la señal de vídeo introducida, un valor correspondiente a 1/2 de la relación del número de líneas horizontales en la imagen introducida con el número de líneas horizontales en la imagen que ha de ser emitida, o un valor obtenido añadiendo un valor correspondiente a 0,5 veces la distancia entre líneas de exploración horizontales de la señal de vídeo introducida y un valor correspondiente a 1/2 de la relación del número de líneas horizontales en la imagen de entrada con el número de líneas horizontales en la imagen que ha de ser emitida.

7. Un soporte que se proporciona que tiene almacenado en el mismo un programa para conseguir que un aparato de tratamiento de la información ejecute un método según las reivindicaciones 4, 5 ó 6.

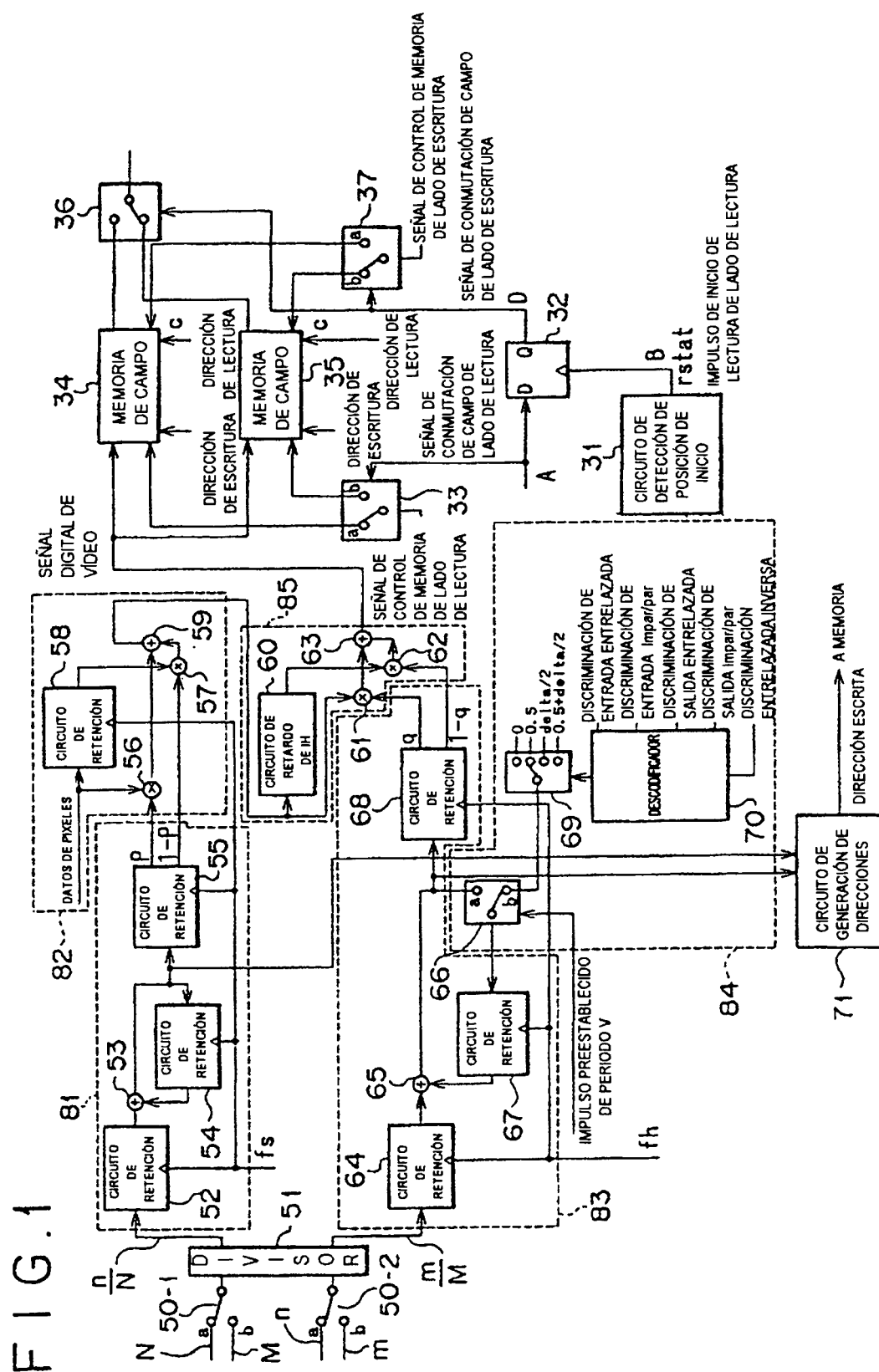
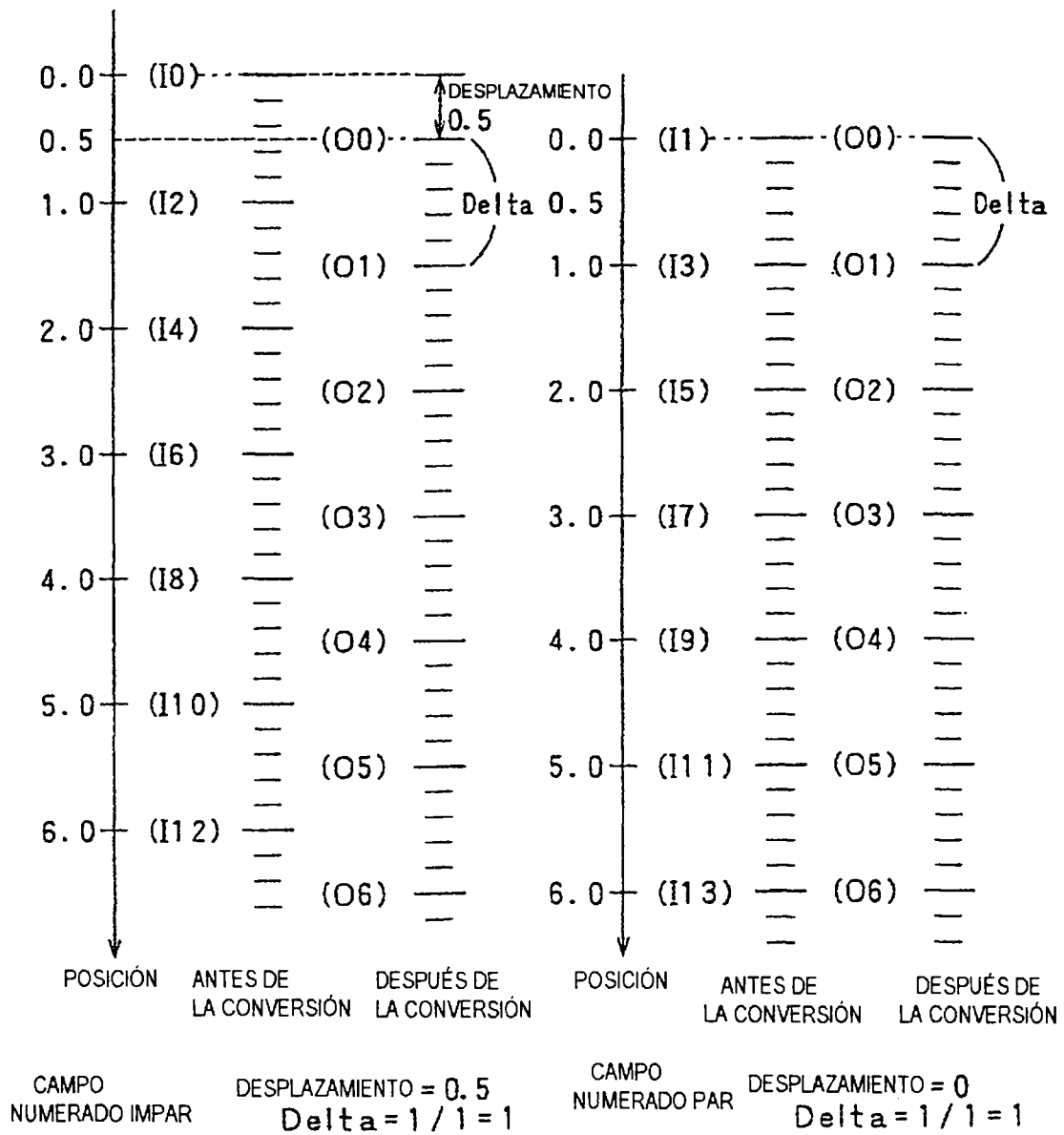


FIG.2

SEÑAL DE SALIDA SEÑAL DE ENTRADA		SEÑAL NO ENTRELAZADA	SEÑAL ENTRELAZADA	
			CAMPO NUMERADO IMPAR	CAMPO NUMERADO PAR
SEÑAL NO ENTRELAZADA		0	0	$\Delta/2$
SEÑAL ENTRELAZADA	CAMPO NUMERADO IMPAR	0.5	0.5	$0.5 + \Delta/2$
	CAMPO NUMERADO PAR	0	0	$\Delta/2$

FIG. 3



461E

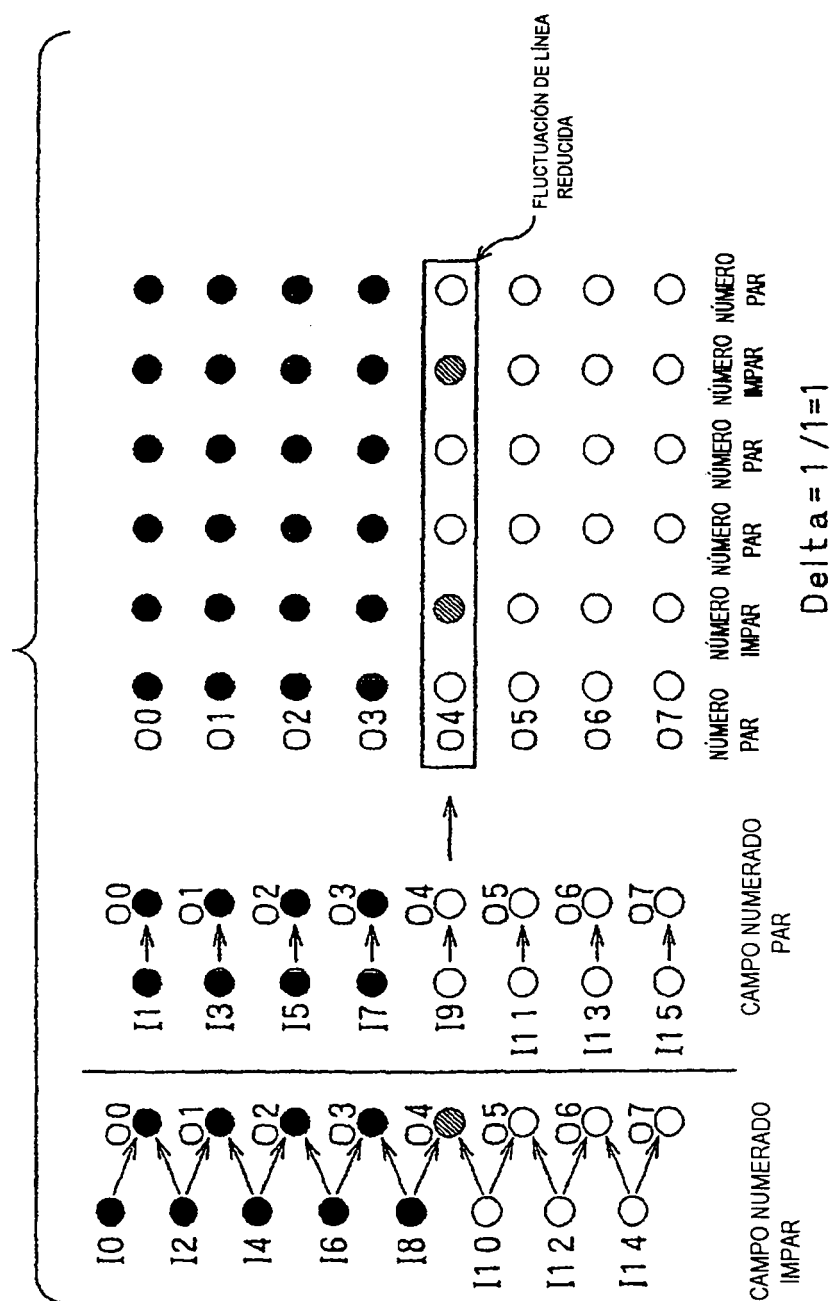


FIG. 5

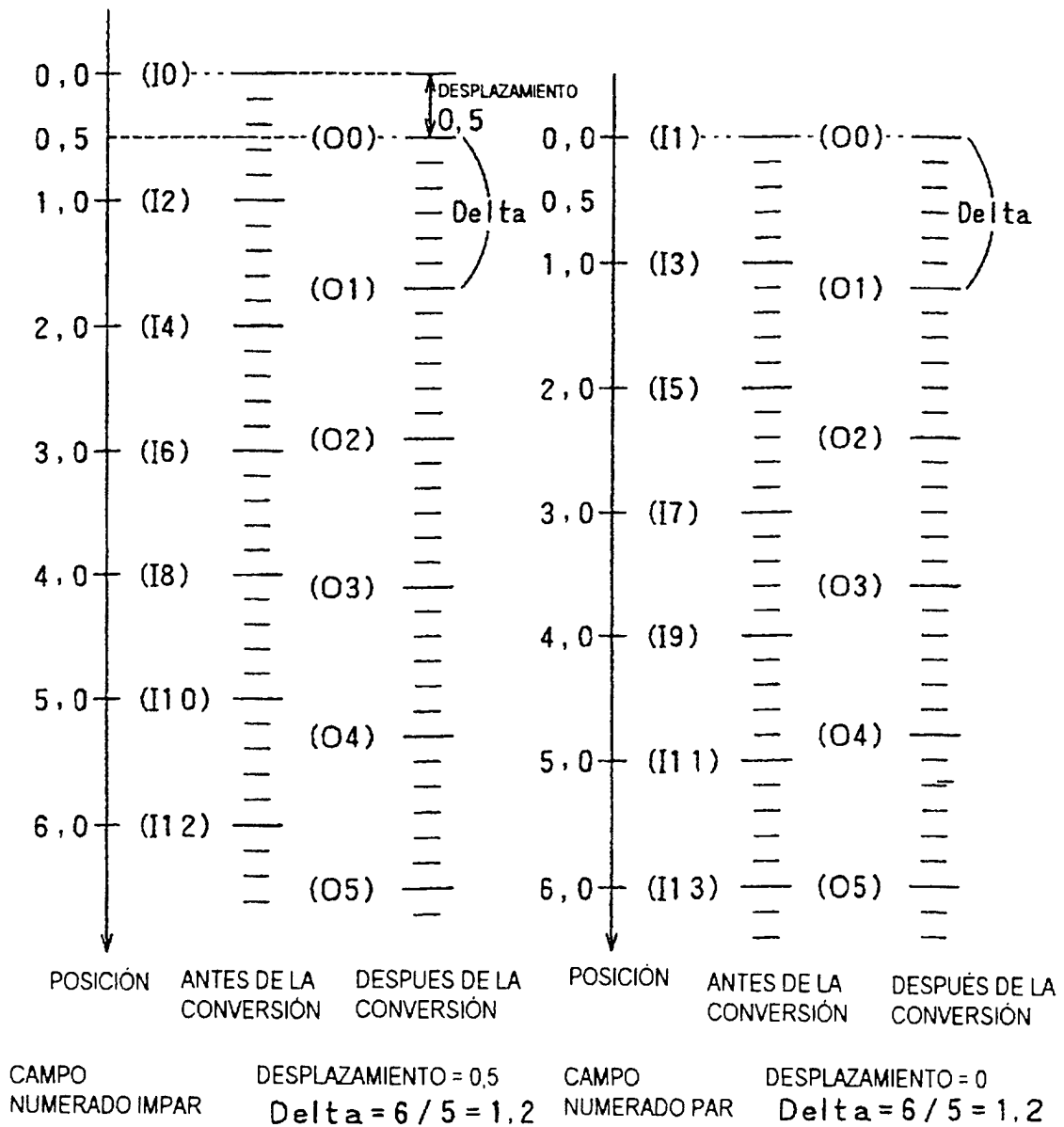


FIG. 6

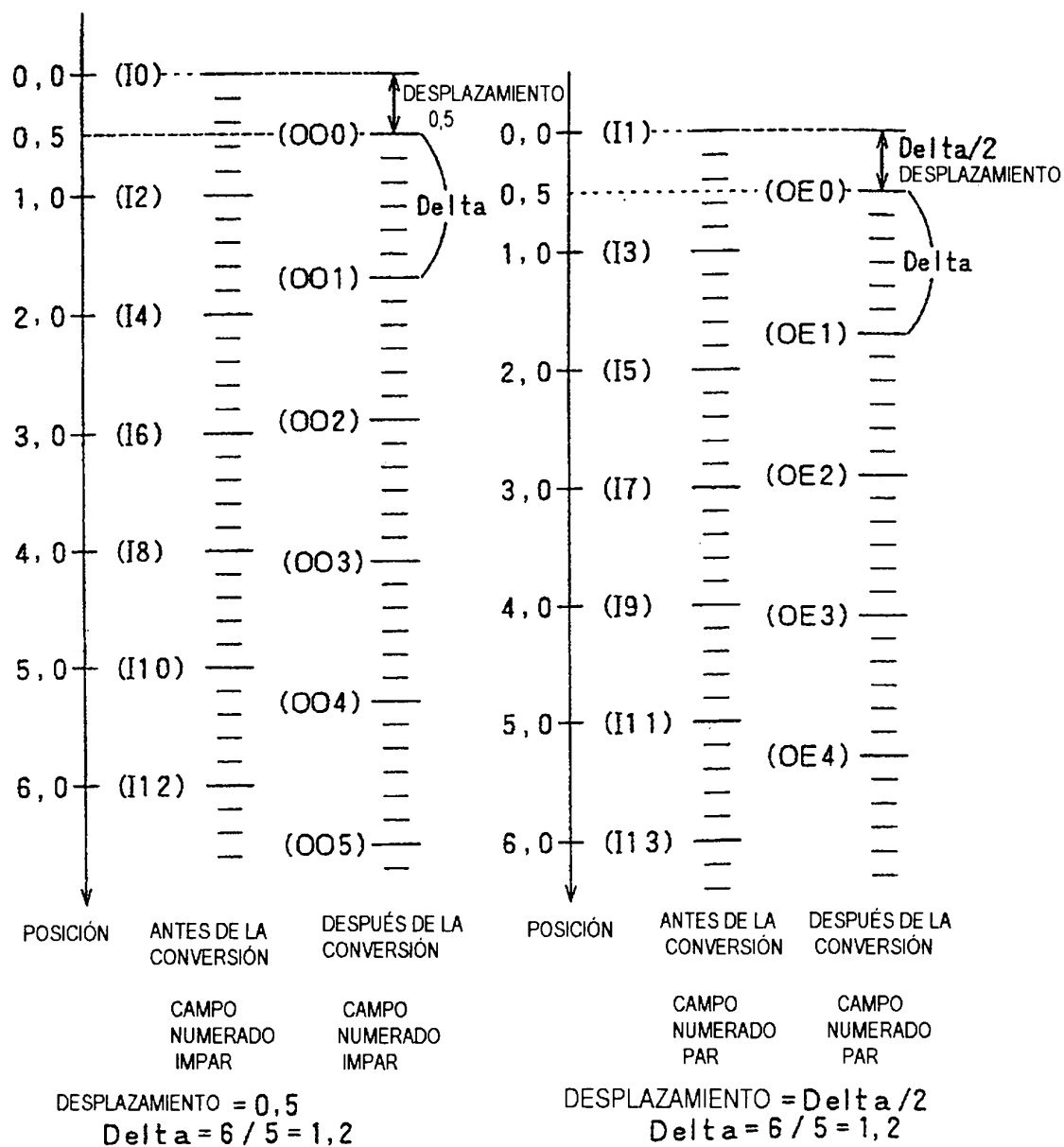
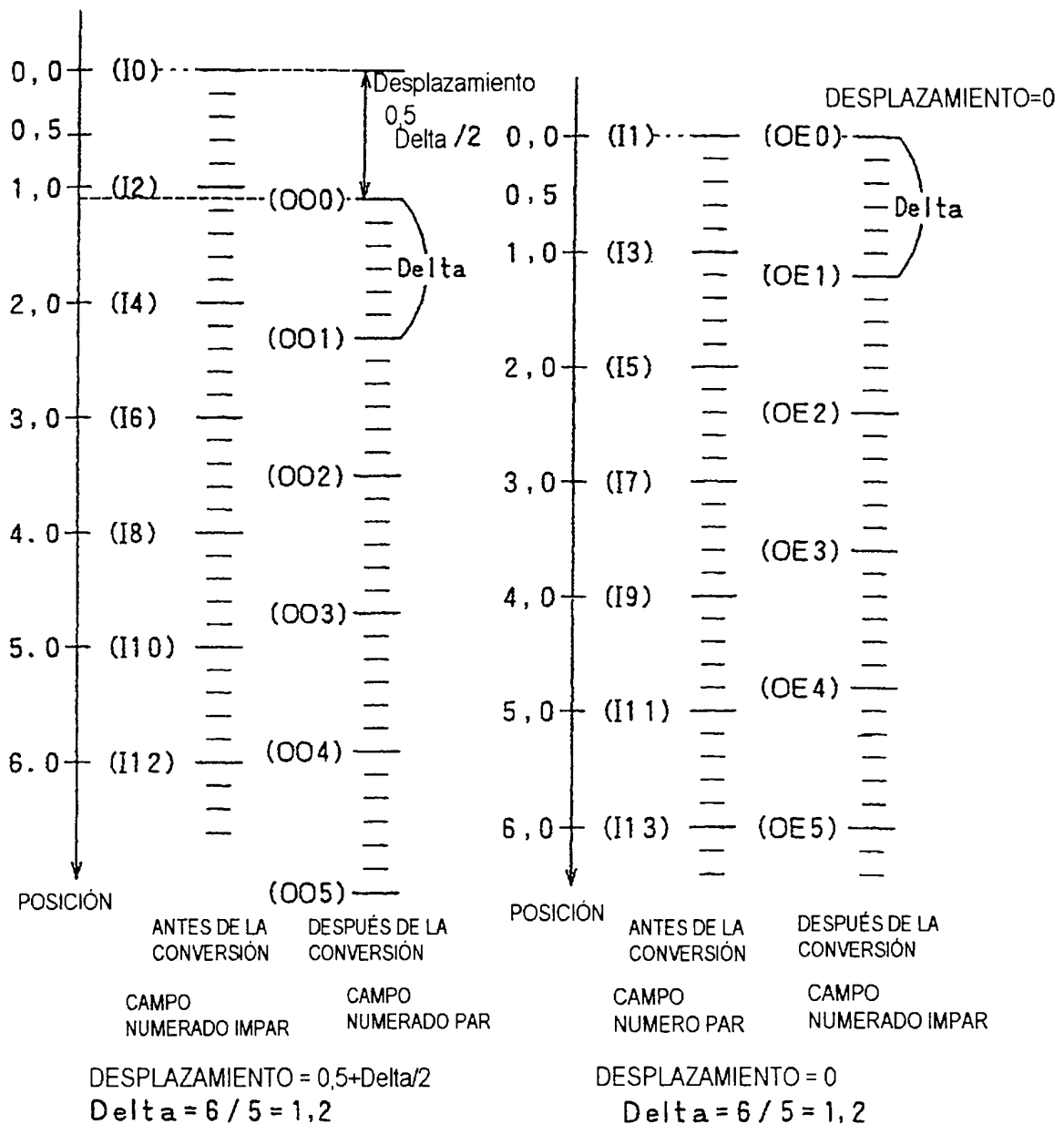


FIG. 7



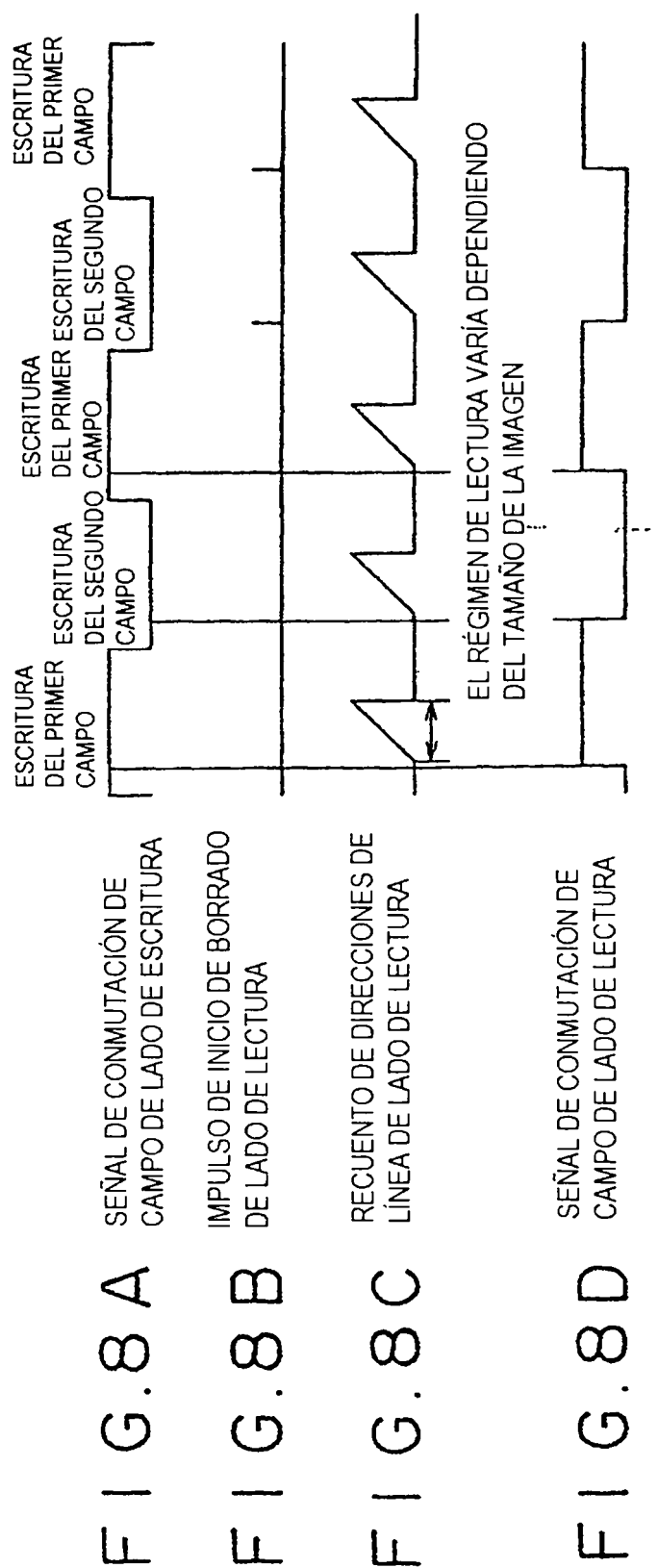
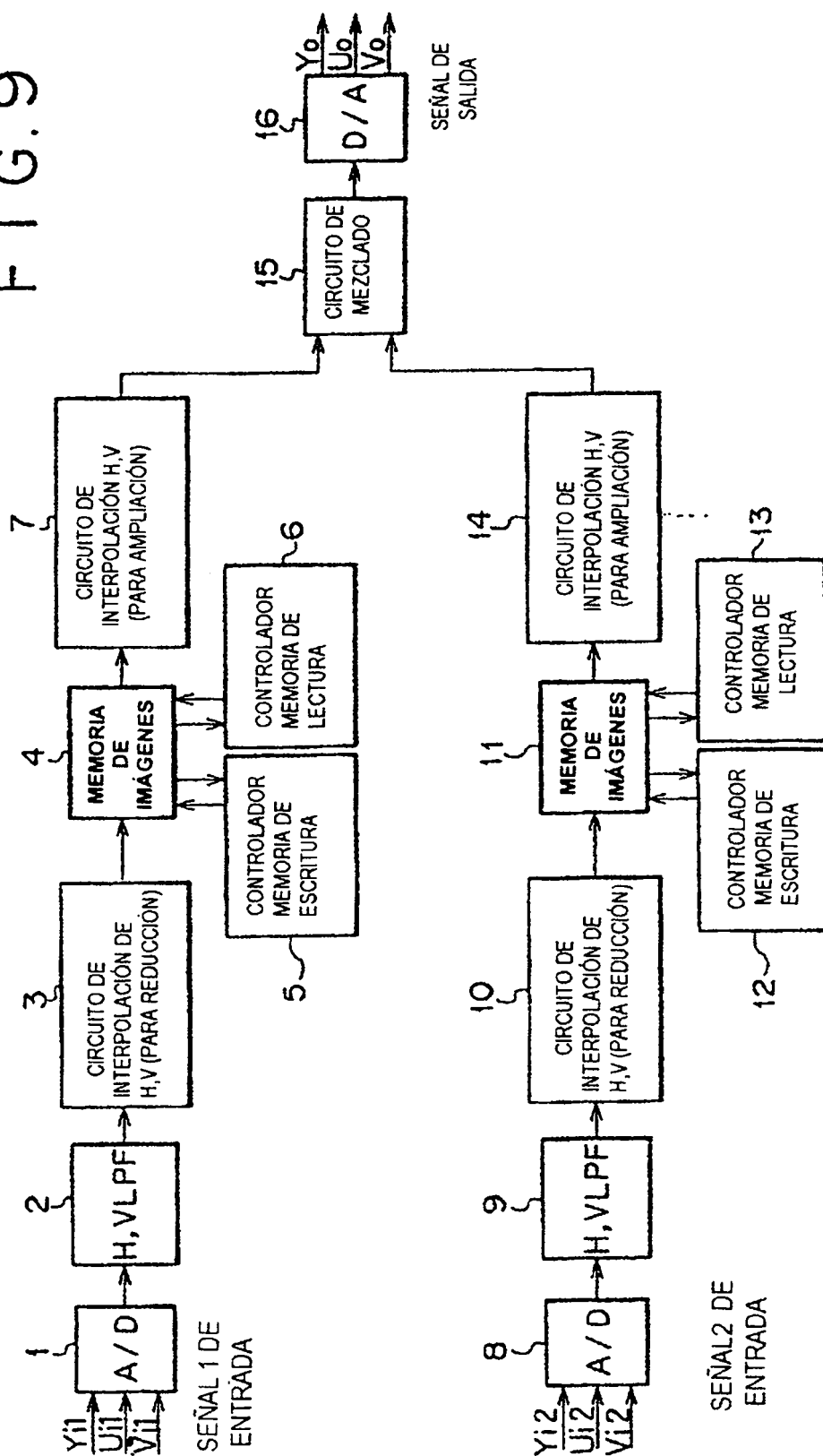


FIG. 9



F I G.10

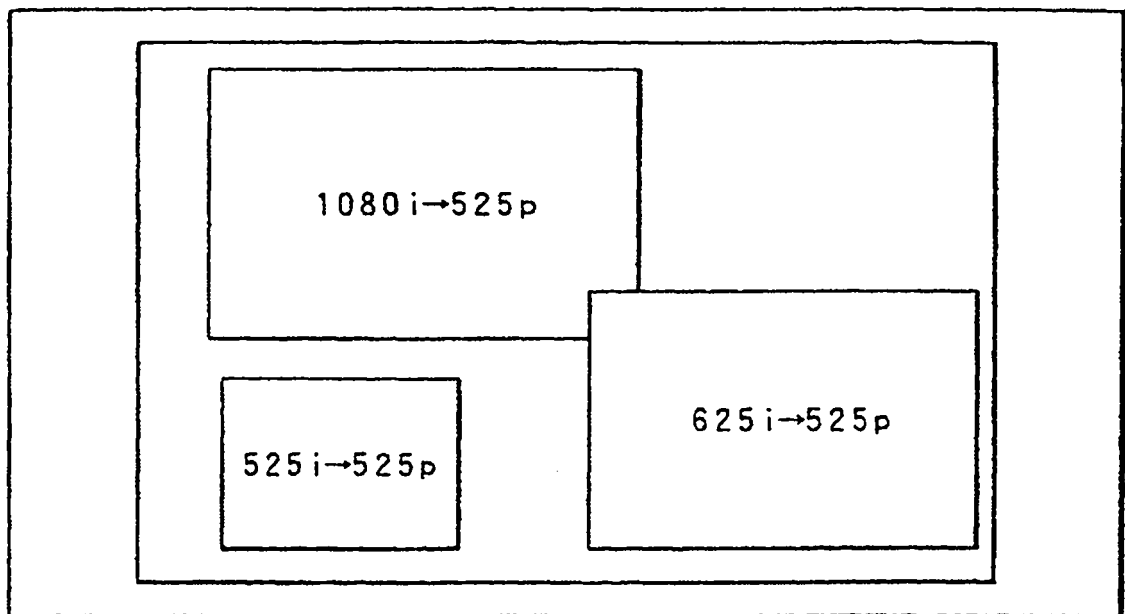


FIG.11

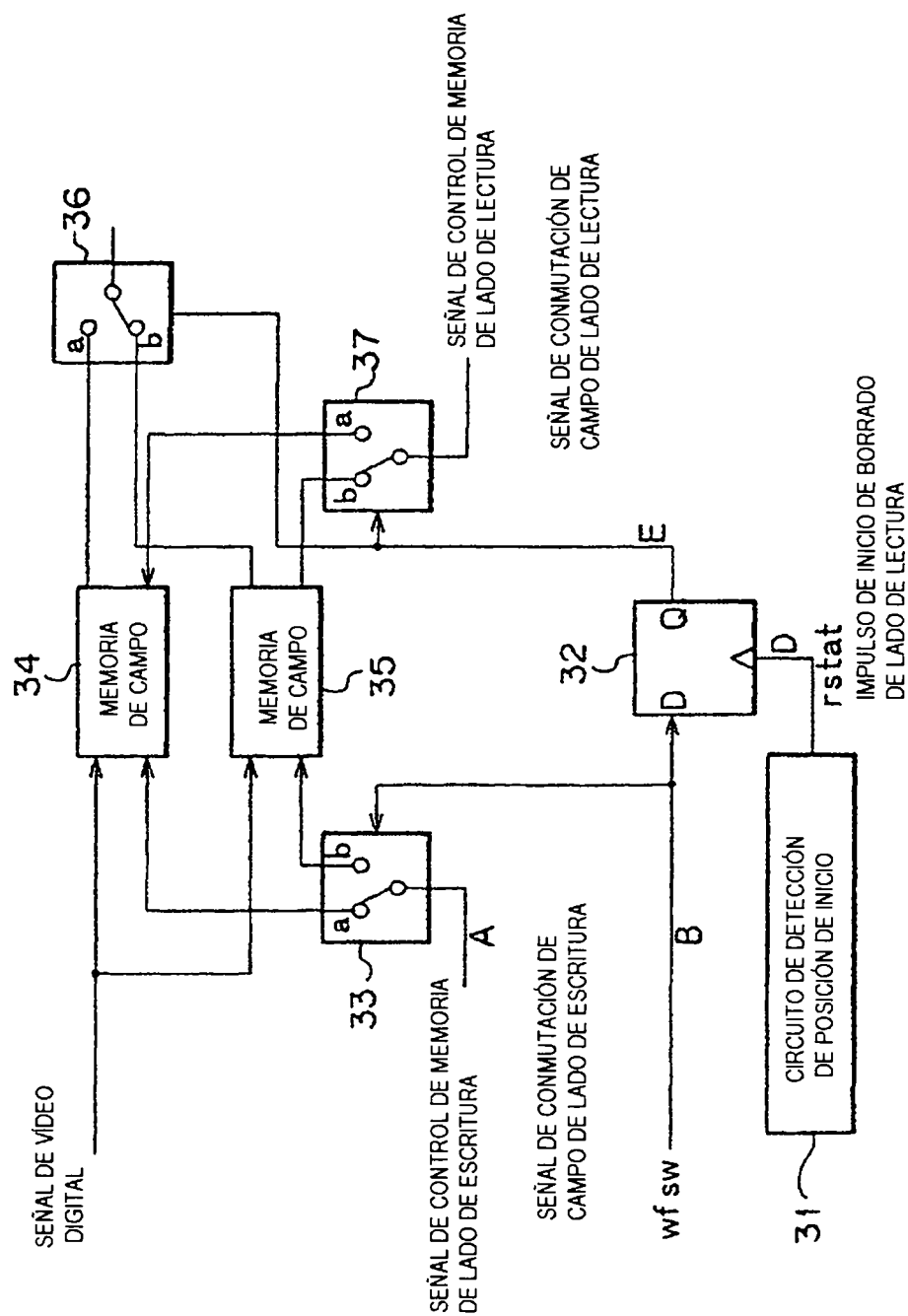


FIG.12A

SEÑAL DE RECuento DE DIRECCIONES DE
LÍNEA DE LADO DE ESCRITURA

FIG.12B

SEÑAL DE CONMUTACIÓN DE CAMPOS
DE LADO DE ESCRITURA

FIG.12C

SEÑAL DE RECuento DE DIRECCIONES
DE LÍNEA DE LADO DE LECTURA

FIG.12D

IMPULSO DE INICIO DE BORRADO DE
LADO DE LECTURA

FIG.12E

SEÑAL DE CONMUTACIÓN DE CAMPOS
DE LADO DE LECTURA

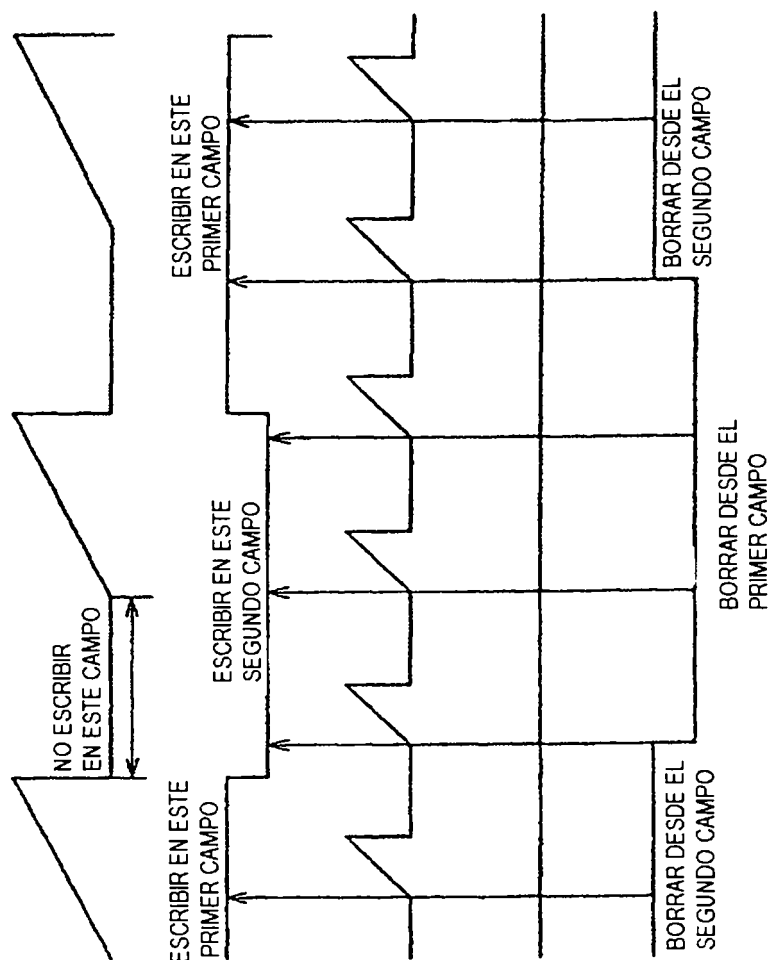


FIG.13

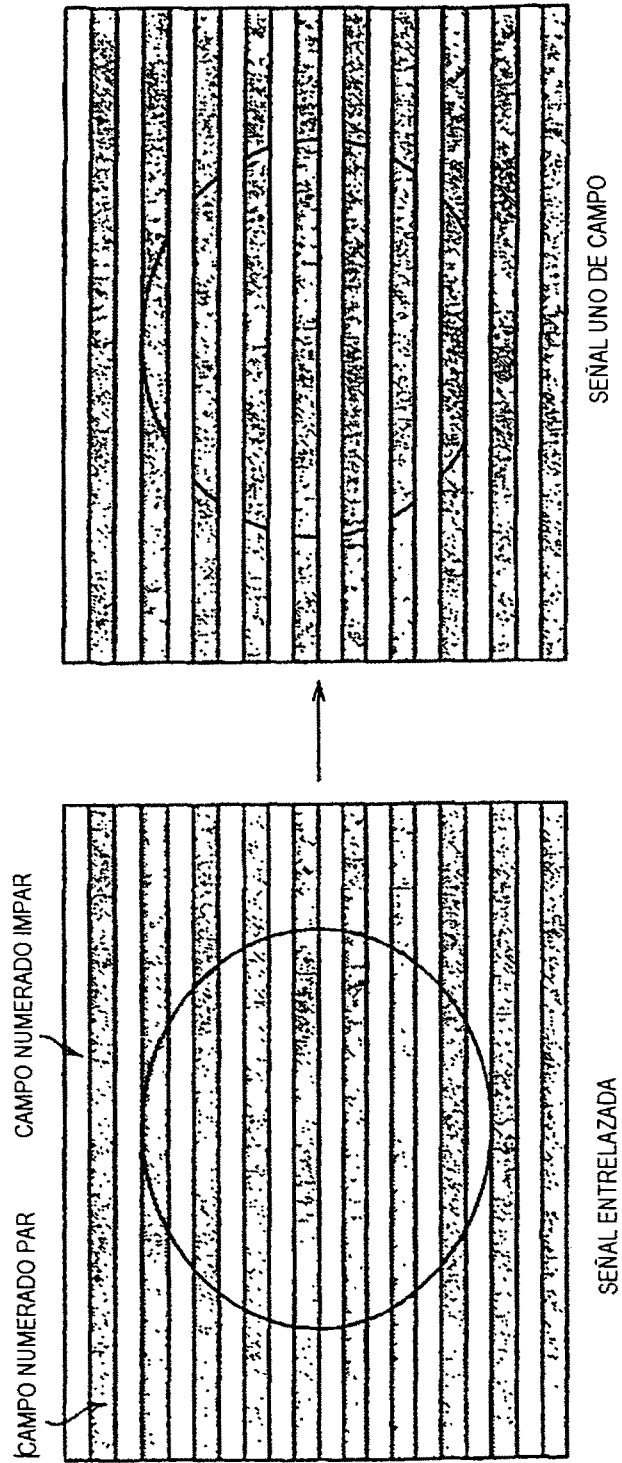


FIG.14

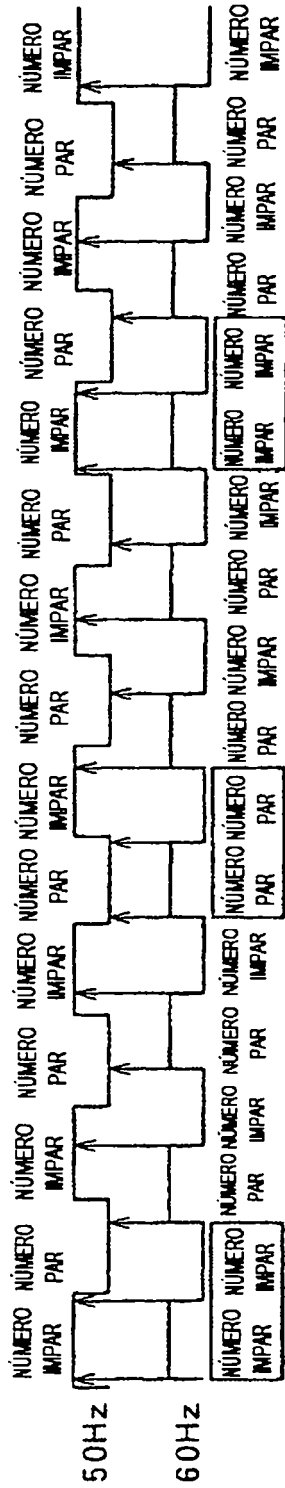


FIG.15

