



(21) 申請案號：112103176

(22) 申請日：中華民國 112 (2023) 年 01 月 30 日

(51) Int. Cl. : **H01L21/762 (2006.01)**

(30) 優先權：2022/01/31 法國 FR2200850

(71) 申請人：法商索泰克公司 (法國) SOITEC (FR)  
法國

(72) 發明人：杜瑞特 凱琳 DURET, CARINE (FR)；伊卡諾 魯多維克 ECARNOT, LUDOVIC (FR)；波塔 夏琳 PORTA, CHARLENE (FR)

(74) 代理人：陳絲倩；郭建中

申請實體審查：無 申請專利範圍項數：14 項 圖式數：9 共 26 頁

## (54) 名稱

用於製作雙重絕緣體上半導體結構之方法

## (57) 摘要

本發明涉及一種用於製作一雙重絕緣體上半導體結構之方法，該雙重絕緣體上半導體結構從背面到正面包括：一操作底材，一第一電絕緣層(1b)，一第一單晶半導體層(2)，一第二電絕緣層(2b)，以及一第二單晶半導體層(3)，該方法之特徵在於其包括：

在該操作底材之正背兩面形成一氧化物層之第一步驟，以形成該第一電絕緣層(1b)並在該操作底材之背面形成一氧化物層(1a')，

層移轉之第一步驟，以移轉該第一單晶半導體層(2)，

形成一氧化物層之第二步驟，以形成該第二電絕緣層(2b)，

層移轉之第二步驟，以移轉該第二單晶半導體層(3)。

The invention relates to a process for fabricating a double semiconductor-on-insulator structure comprising from a back side to a front side of the structure: a handle substrate, a first electrically insulating layer (1b), a first single-crystal semiconductor layer (2), a second electrically insulating layer (2b) and a second single-crystal semiconductor layer (3), the process being characterized in that it comprises:

- a first step of formation of an oxide layer on the front and back sides of the handle substrate, to form the first electrically insulating layer (1b) and an oxide layer (1a') on the back side of the handle substrate,

- a first step of layer transfer, to transfer the first single-crystal semiconductor layer (2),

- a second step of formation of an oxide layer, to form the second electrically insulating layer (2b),

- a second step of layer transfer, to transfer the second single-crystal semiconductor layer (3).

指定代表圖：

符號簡單說明：

1a':氧化物層

1b:第一電絕緣層

2b:第二電絕緣層

3:第二單晶半導體層

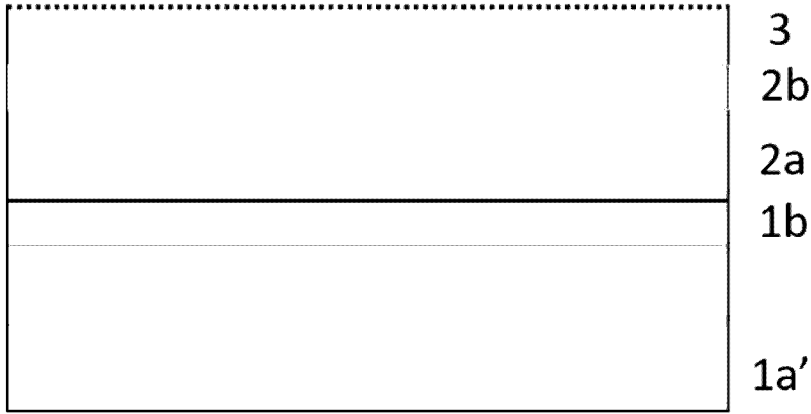


圖9

## 【發明摘要】

【中文發明名稱】 用於製作雙重絕緣體上半導體結構之方法

【英文發明名稱】 PROCESS FOR FABRICATING A DOUBLE

SEMICONDUCTOR-ON-INSULATOR STRUCTURE

【中文】本發明涉及一種用於製作一雙重絕緣體上半導體結構之方法，該雙重絕緣體上半導體結構從背面到正面包括：一操作底材，一第一電絕緣層(1b)，一第一單晶半導體層(2)，一第二電絕緣層(2b)，以及一第二單晶半導體層(3)，該方法之特徵在於其包括：

在該操作底材之正背兩面形成一氧化物層之第一步驟，以形成該第一電絕緣層(1b)並在該操作底材之背面形成一氧化物層(1a')，層移轉之第一步驟，以移轉該第一單晶半導體層(2)，形成一氧化物層之第二步驟，以形成該第二電絕緣層(2b)，層移轉之第二步驟，以移轉該第二單晶半導體層(3)。

【英文】The invention relates to a process for fabricating a double semiconductor-on-insulator structure comprising from a back side to a front side of the structure: a handle substrate, a first electrically insulating layer (1b), a first single-crystal semiconductor layer (2), a second electrically insulating layer (2b) and a second single-crystal semiconductor layer (3), the process being characterized in that it comprises:

- a first step of formation of an oxide layer on the front and back sides of the

handle substrate, to form the first electrically insulating layer (1b) and an oxide layer (1a') on the back side of the handle substrate,

- a first step of layer transfer, to transfer the first single-crystal semiconductor layer (2),
- a second step of formation of an oxide layer, to form the second electrically insulating layer (2b),
- a second step of layer transfer, to transfer the second single-crystal semiconductor layer (3).

【指定代表圖】 第(9)圖

【代表圖之符號簡單說明】

1a': 氧化物層

1b: 第一電絕緣層

2b: 第二電絕緣層

3: 第二單晶半導體層

【特徵化學式】



## 【發明說明書】

【中文發明名稱】 用於製作雙重絕緣體上半導體結構之方法

【英文發明名稱】 PROCESS FOR FABRICATING A DOUBLE

SEMICONDUCTOR-ON-INSULATOR STRUCTURE

### 【技術領域】

【0001】 本發明涉及一種用於製作一雙重絕緣體上半導體 (double semiconductor-on-insulator) 結構之方法。

### 【先前技術】

【0002】 絕緣體上半導體結構為多層結構，其包括一操作底材，通常由諸如矽的半導體製成；設置在該操作底材上之一電絕緣層，其通常為諸如氧化矽的氧化物層；及設置在該絕緣層上之一半導體層，其通常為矽層。此等結構被稱為 SeOI 結構 (SeOI 代表 semiconductor-on-insulator，絕緣體上半導體)，或者更具體地，當半導體是矽時被稱為 SOI 結構 (SOI 代表 silicon-on-insulator，絕緣體上矽)。氧化物層位於底材與半導體層之間。氧化物層從而被稱為「埋置」，且稱為「BOX」 (BOX 代表 buried oxide，埋置氧化物)。在本文的其餘部分，將使用術語「SOI」來泛指絕緣體上半導體結構。

【0003】 除了包括一BOX層及設置該在BOX層上之一半導體層之SOI結構之外，現在已有「雙重SOI」結構。被稱為「雙重SOI」結構者包括一操作底材、設置在該操作底材上的一第一氧化物層或下部埋置氧化物層、設置在該第一氧化物層上的一第一半導體層或下部半導體層、設置在該第一半導體層上的一第

二氧化物層或上部埋置氧化物層及設置在該第二氧化物層上的一第二半導體層或上半導體層。在這種雙重SOI結構中，該第一氧化物層及該第一半導體層形成了設置在結構下部的第一SOI，而該第二氧化物層及該第二半導體層形成了設置在結構上部的第二SOI。

**【0004】** 用於製作SOI結構的一種已知方法為Smart Cut™法。Smart Cut™法包括植入原子物種，諸如氫(H)及/或氦(He)以在一供體底材內部產生一弱化區，將該供體底材鍵合至受體底材，然後沿著該弱化區分離該供體底材，以將一薄層從該供體底材移轉到受體底材。供體底材及受體底材優選為直徑300 mm之晶圓形式。供體底材是其表面預先被氧化的半導體底材：H及/或He原子穿過氧化物層而被植入到半導體主體中的給定深度。鍵合是在受體底材表面及供體底材的氧化物層表面之間發生。

**【0005】** 獲得一雙重SOI結構的一種建議方法是實施兩次接續的Smart Cut™法，在第二次Smart Cut™法中，應用在第一次Smart Cut™法之後獲得的SOI作為受體底材，且表面已預先氧化的第二半導體底材作為供體底材。在最終的雙重SOI結構中，第一SOI的氧化物層及半導體層是在第一次Smart Cut™法之後獲得的，分別形成下部氧化物層及下部半導體層。在第二次Smart Cut™法之後從第二供體底材產生的氧化物層及半導體層，分別形成所獲得的雙重SOI之上部氧化物層及上部半導體層。

**【0006】** 就供體底材內部的弱化區之給定深度而言，預計要被移轉之半導體層厚度，受到存在於供體底材表面上的氧化物層厚度限制。具體來說，氫及/或氦原子能夠穿透到被氧化物層覆蓋的供體底材中的最大厚度，係由植入物種的最大能量決定。該厚度取決於被植入原子穿過的氧化物厚度。其通常保持大約

數百奈米的矽。因此，上述「雙重Smart Cut™」法不允許獲得半導體層及氧化物層的大厚度。然而，具有大厚度(例如各約數百奈米)的氧化物層及半導體層之雙重SeOI結構在某些應用中是令人感興趣的，特別是在光子學中。

【0007】此外，在第二次Smart Cut™法中形成的鍵合之有效性係由作為受體底材的SOI表面品質決定。在鍵合第二供體底材之前可進行表面處理，例如熱處理，以特別地降低作為受體底材的SOI表面粗糙度。然而，在此等熱處理結束時，可在由第一SOI及/或雙重SOI形成的晶圓中觀察到變形(或翹曲(wrap))。晶圓對於變形更為敏感，因其等具有大直徑，特別是在受歡迎的應用中直徑為300 mm。用於製作及處理半導體晶圓的產業設備係設計用於操作平面晶圓。此外，在與第二供體底材形成第二鍵合時，利用受應變變形(或翹曲)的晶圓作為受體底材，可能導致在該第二鍵合操作期間產生缺陷，並因此導致品質較差的鍵合。

#### 【發明內容】

【0008】本發明之一目的是製作雙重SOI類型的多層結構，使得半導體層及電絕緣層的厚度足以用於光子學中的某些應用。

【0009】本發明之另一目的是在用於製作該雙重SOI類型的多層結構之方法過程中所進行的任何熱處理，特別是表面處理之後，限制晶圓中的變形(或翹曲)。

【0010】為此，本發明提供一種用於製作一雙重SOI結構之方法，該雙重SOI結構從背面到正面依序包括：一操作底材、一第一電絕緣層、一第一單晶半導體層、一第二電絕緣層及一第二單晶半導體層，該方法之特徵在於其包括：

在該操作底材之正背兩面形成一氧化物層之第一步驟，以在該操作底材之正面形成該第一電絕緣層，並在該操作底材之背面形成一氧化物層，層移轉之第一步驟，將該第一單晶半導體層從一第一供體底材移轉到該第一電絕緣層，以形成一第一SOI底材，在該第一SOI底材之正面形成一氧化物層之第二步驟，以形成該第二電絕緣層，層移轉之第二步驟，將該第二單晶半導體層從一第二供體底材移轉到該第二電絕緣層，以形成該雙重SOI結構。

**【0011】** 由於雙重SOI結構的各層具有不同的熱膨脹係數，此一結構可能會遭受變形。在該雙重SOI結構的冷卻期間，此等變形特別在可施加到該雙重SOI結構的各種熱處理結束時發生。依照本發明在雙重SOI結構之背面形成一氧化物層有利地允許實現結構平衡，使得熱膨脹的影響在整個雙重SOI結構中被抵消，從而大為限制了其所受到的變形。

**【0012】** 依照本發明之其他特徵，這些特徵是選擇性的，且其可單獨實施，或者在技術上可能時組合實施：

該第一電絕緣層的厚度在100 nm至3000 nm之間，

在所獲得之最終該雙重SOI結構中，該第一單晶半導體層的厚度在50 nm至500 nm之間，

在所獲得之最終該雙重SOI結構中，該第二電絕緣層的厚度在100 nm至1100 nm之間，

在所獲得之最終該雙重SOI結構中，該第二單晶半導體層的厚度在50 nm至500 nm之間，

將該第一單晶半導體層從一第一供體底材移轉到該第一電絕緣層之步驟係應用一製程而進行，該製程依序包括植入原子物種以在該第一供體底材內部產生界定出該第一單晶半導體層之一弱化區，將該第一供體底材的第一單晶半導體層經歷植入的那一側鍵合至該第一電絕緣層，並沿著該弱化區分離該第一供體底材，

該第一供體底材在分離後的剩餘部被用於形成該第二供體底材，

將該第一單晶半導體層從一第一供體底材移轉到該第一電絕緣層之製程更包括，在將原子物種植入該第一供體底材內部之前，氧化該第一供體底材之表面，從而形成一第一保護氧化物層，以使原子物種穿過該第一保護氧化物層而植入，

形成在該第一供體底材表面上之該第一保護氧化物層係在原子物種已被植入之後，且在該第一供體底材被鍵合至該第一電絕緣層之前被移除，

將該第二單晶半導體層從一第二供體底材移轉到該第二電絕緣層之步驟係應用一製程而進行，該製程依序包括植入原子物種以在該第二供體底材內部產生界定出該第二單晶半導體層之一弱化區，將該第二供體底材的該第二單晶半導體層經歷植入的那一側鍵合至該第二電絕緣層，並沿著該弱化區分離該第二供體底材，

將該第二單晶半導體層從一第二供體底材移轉到該第二電絕緣層之製程更包括，在將原子物種植入該第二供體底材內部之前，氧化該第二供體底材之表面，從而形成一第二保護氧化物層，以使原子物種穿過該第二保護氧化物層而植入，

形成在該第二供體底材表面上之該第二保護氧化物層係在原子物種已被植入之

後，且在該第二供體底材被鍵合至該第二電絕緣層之前被移除，  
該方法更包括在該第一單一SOI底材表面上形成一氧化物層之第二步驟之前，  
對該第一單一SOI底材進行表面處理程序之一步驟，該表面處理製程之特徵在  
於：

快速熱回火之第一步驟，

熱氧化接著脫氧處理之第二步驟，

長時間熱處理或快速熱回火之第三步驟，該長時間熱處理及該快速熱  
回火係在非氧化性氣體環境中，在1000°C以上的溫度下進行，

化學機械研磨之第四步驟。

該操作底材及各個供體底材較佳者為直徑300 mm之晶圓形式。

#### 【圖式簡單說明】

【0013】 本發明其他特徵及優點將在下面參照附圖的詳細描述中顯現，  
其中：圖1繪示操作底材之剖面圖；圖2繪示操作底材之正背兩面進行氧化之第  
一步驟之後的操作底材之剖面圖；圖3繪示從第一供體底材到操作底材之正面  
的第一次層移轉之剖面圖；圖4繪示鍵合第一供體底材之後獲得之中間結構之  
剖面圖；圖5繪示在第一次層移轉之後獲得之中間SOI結構之剖面圖；圖6繪示  
在圖5的SOI底材之正背兩面上進行氧化之第二步驟之後獲得之中間結構之剖面  
圖；圖7繪示從第二供體底材到圖6的中間結構之正面的第二次層移轉之剖面  
圖；圖8繪示鍵合第二供體底材之後獲得之結構之剖面圖；圖9繪示在第二次層  
移轉之後獲得之最終雙重SOI結構。

【0014】 為了清楚起見，圖式並未完全按比例繪製。

**【實施方式】**

**【0015】** 本發明提供了一種用於製作一雙重SOI底材結構之方法，該雙重SOI底材結構從背面到正面包括一操作底材、對應於一第一電絕緣層的一第一埋置氧化物層、一第一單晶半導體層、對應於一第二電絕緣層的一第二埋置氧化物層及一第二單晶半導體層。

**【0016】** 該第一電絕緣層及該第一單晶半導體層一起形成稱為下部SOI結構的第一SOI結構。該第二電絕緣層及該第二單晶半導體層一起形成稱為上部SOI結構的第二SOI結構。此外，該操作底材有利地在其背面包括一氧化物層，其允許在本發明標的之方法的實施期間限制該操作底材中所產生的變形。

**【0017】** 形成應用本發明標的之方法所獲得之雙重SOI底材結構的各層厚度總和是厚的。特別地：

該第一電絕緣層的厚度優選大於100 nm，

該第一單晶半導體層的厚度優選大於50 nm且小於500 nm，

該第二電絕緣層的厚度優選大於100 nm且小於1100 nm，

該第二單晶半導體層的厚度優選大於50 nm且小於500 nm。

**【0018】** 例如，在光子學的應用範疇中，此等層厚度允許產製被動光子組件(諸如波導)或主動光子組件(諸如共振器)。

**【0019】** 應用常規Smart Cut™法無法實現此等厚度，在該方法中，單晶半導體層是透過在覆蓋有一氧化物層的一供體底材中植入原子物種來界定，該氧化物層旨在於SOI結構中形成電絕緣層。具體而言，產業植入裝置具有防止氫及/或氦原子穿過此等厚度的氧化物層及單晶半導體層的最大能量。

**【0020】** 第一氧化步驟

參照圖1，首先提供一操作底材1。該操作底材1為半導體晶圓之形式，且較佳者為直徑300 mm、厚度775  $\mu\text{m}$ 之晶圓。該操作底材1舉例而言為矽晶圓，且較佳者為具高含量間隙氧(interstitial oxygen,  $O_i$ )之高電阻率矽晶圓，即通常所稱的HR底材或高 $O_i$ 底材。

**【0021】** 在圖2繪示的第一步驟中，操作底材1之正背兩面以及該操作底材1之邊緣被氧化。

**【0022】** 在正面的氧化期間，該操作底材1被部分消耗以形成該第一電絕緣氧化物層1b。舉例來說，如果該操作底材是矽底材，則該第一電絕緣氧化物層1b便是氧化矽層。氧化條件收到控制，以獲得具有期望厚度之第一電絕緣氧化物層1b。

**【0023】** 此一氧化操作可透過例如在氧化性氣體環境中將該操作底材1加熱至800°C至1100°C之間的溫度持續數分鐘到數小時而進行，以獲得100 nm至3000 nm之間的大厚度之第一電絕緣氧化物層1b。

**【0024】** 背面的同時氧化有利地導致在該操作底材之背面形成氧化物層1a，其具有與形成在正面之氧化物層1b基本相同的厚度。該氧化物層1a的熱膨脹係數低於未氧化的操作底材1的熱膨脹係數。在本發明之方法的其餘部分，特別是在實施的熱處理結束時，存在於該操作底材1背面的該氧化物層1a允許該操作底材1中的變形被限制，從而改善將新層後續鍵合至該結構正面的品質。

**【0025】** 在上述氧化條件下獲得之氧化物層1a厚度與第一電絕緣層1b厚度相同。在任何後續熱處理及該等熱處理之後的冷卻期中，此厚度的氧化物層

1a允許熱膨脹的影響如結構整體上所經歷的被抵銷，因此該結構中的變形得以避免。

**【0026】** 層移轉之第一步驟

參照圖3，提供一第一供體底材之第一單晶半導體層2。該第一供體底材是單晶半導體底材，例如單晶矽底材。該第一供體底材為與該操作底材1直徑相同且厚度在670  $\mu\text{m}$ 及775  $\mu\text{m}$ 之間的晶圓形式。

**【0027】** 依照一實施例，應用Smart Cut™法進行第一次層移轉。在該第一供體底材中形成一弱化區(圖3中的虛線)，以界定出該第一半導體層2。該弱化區在該供體底材中形成於基本上對應於待移轉之半導體層2的厚度之預定深度。其較佳者，該弱化區係透過在將貢獻出半導體層的該供體底材中植入氫及/或氦原子而產生。

**【0028】** 由於該第一電絕緣層1b是由受體底材(即操作底材1)形成，而不是由該第一供體底材形成，因此移轉後之第一半導體層2的厚度僅受植入裝置的最大能量限制，這大約為100 keV。此一最大植入能量對應於大約600 nm的移轉後第一半導體層2的最大厚度，視植入的物種而定。因此，本發明允許大厚度之第一半導體層2被移轉，同時也具有大厚度的第一電絕緣層1b。

**【0029】** 參照圖4，然後透過將經歷植入的第一供體底材的那一側鍵合到第一電絕緣氧化物層1b，且透過沿著弱化區分離供體底材的其餘部分來移轉第一半導體層2 (參見圖5)。沿著弱化區的分離可由機械作用及/或熱能供應觸發。在層移轉的第一步驟中，操作底材背面的氧化物層之至少一部分被保留，以限制與晶圓變形相關的問題。

【0030】 在原子物種被植入該第一供體底材之前，可視需要地氧化第一供體底材表面之非常小的厚度，例如在20至30 nm之間的厚度。具體而言，第一供體底材中的原子物種植入如果是穿過該非常薄的(非晶相)氧化物層而不是直接在單晶材料中會更好。此外，非常薄的氧化物層在原子植入期間可保護第一半導體層2。在此例中，在原子物種已植入之後且在第一供體底材被鍵合至第一電絕緣層1b之前，第一供體底材表面之非常薄的氧化物層被移除。

【0031】 可透過在氧化性氣體環境中施加800°C至1000°C之間的溫度數分鐘到數十分鐘，來實現第一供體底材表面之非常小厚度之氧化。

【0032】 作為上述Smart Cut™法的替代方案，第一次層移轉可透過從相對於其鍵合至操作底材的那一側薄化供體底材，直到獲得第一半導體層期望的厚度來實現。

【0033】 在第一次層移轉之後，參照圖5，獲得了包括第一電絕緣層1b及第一單晶半導體層2之第一SOI底材。該SOI底材具有之表面粗糙度取決於層移轉所使用的方法。為了在下述的第二供體底材之鍵合期間允許良好的鍵合品質並限制孔洞形成，可對第一單晶半導體層2的自由表面施加各種處理，例如平滑化熱處理、犧牲氧化及/或清潔，以降低缺陷程度及表面粗糙度。該表面處理可改善層移轉之第二步驟中後續與第二供體底材鍵合之品質。

【0034】 在熱處理結束且當結構回復至熱平衡(例如室溫)時，(具有預定厚度)的氧化物層1a的存在可保持結構平衡、底材的平坦性，從而保持與第二供體底材鍵合的品質。

#### 【0035】 第二氧化步驟

接着氧化第一SOI底材之正背兩面，如圖6繪示。

【0036】 正面的氧化導致第一單晶半導體層2的部分被消耗，且因此導致之前移轉之單晶半導體層2的厚度降低，並致使第二電絕緣層2b形成。舉例來說，如果第一供體底材是矽底材，則第二電絕緣氧化物層2b便是氧化矽層。

【0037】 正面的氧化導致初始氧化物層1a的厚度增加。

【0038】 第二氧化步驟可透過例如在氧化性氣體環境中在800°C至1100°C之間的溫度下，將第一次層移轉之後獲得的SOI結構回火數分鐘到數小時來進行，以獲得厚度在100 nm至1100 nm之間的第二電絕緣氧化物層2b。

【0039】 最終結構中的第一半導體層2的厚度基本上是移轉後第一半導體層2的厚度減去形成第二電絕緣層2b所消耗的第二半導體層2厚度。移轉時，第一半導體層2的最大厚度僅受植入方法限制，且一般小於2  $\mu\text{m}$ ，較佳者為大約600 nm。因此，最終結構中的第一半導體層2厚度較佳地在50 nm至1  $\mu\text{m}$ 之間，甚至更佳地在50至500 nm之間。

【0040】 舉例來說，如果移轉後之第一半導體層2的厚度為600 nm，則改善該第一半導體層2的表面品質之表面處理，會消耗超過大約100 nm厚度的半導體。然後第二氧化步驟可消耗450 nm厚度的半導體，以留下50 nm厚度的第一半導體層2並形成厚度大約1000 nm的第二電絕緣層2b。

【0041】 在第二次層移轉之前，可有利地清潔及/或化學機械研磨第二電絕緣層2b的自由表面。

【0042】 層移轉之第二步驟

此外，參照圖7，提供一第二供體底材之第二單晶半導體層3。與第一供體底材一樣，第二供體底材是單晶半導體底材，例如單晶矽底材。第二供體底材為與操作底材1及第一供體底材具相同直徑的晶圓形式。視需要地，可回收第一供

體底材的剩餘部以形成第二供體底材。為此，處理第一供體底材的剩餘部以移除與植入及分離相關的缺陷，並賦予其與新鍵合操作相容的表面狀態。

【0043】 依照一實施例，第二次層移轉係應用Smart Cut™法進行。在該第二供體底材中形成界定出第二單晶半導體層3之弱化區(參見圖7中的虛線)。弱化區的形成方式可與用於在第一供體底材內部界定出第一單晶半導體層2之方式相同。參照圖8，第二單晶半導體層3透過將第二供體底材經歷植入的那一側鍵合到第二電絕緣層2b而移轉。參照圖9，第二供體底材的其餘部分透過沿著弱化區分離第二供體底材而移除。

【0044】 在該第二供體底材中形成弱化區之前，可視需要地氧化第二供體底材表面之非常小的厚度，例如在20至30 nm之間的厚度。其較佳者可在弱化區已形成之後並在第二供體底材被鍵合到第二電絕緣層2b之前，移除第二供體底材表面上非常薄的氧化物層。

【0045】 與第一供體底材一樣，第二供體底材表面之非常小的厚度之氧化，可透過在氧化性氣體環境中在800°C至1000°C之間的溫度下施加數分鐘到數十分鐘來實現。

【0046】 作為替代方案，第二次層移轉可透過從相對於其鍵合至第二電絕緣層2b的那一側薄化第二供體底材，直到獲得第二半導體層3期望的厚度來實現。

【0047】 在層移轉之第二步驟中，操作底材背面的氧化物層之至少一部分被保留，以限制與晶圓變形相關的問題。

【0048】在第二次層移轉之後，可獲得包括第二電絕緣層2b及第二單晶半導體層3之第二SOI結構，該第二SOI結構形成最終雙重SOI結構之上部SOI結構(參見圖9)。

【0049】由於第二電絕緣層2b是由第二受體底材形成，即由第一SOI底材在其正面予以氧化而形成，而不是由第二供體底材形成，所以移轉後的第二半導體層3之厚度僅受植入過程的最大能量限制。此一最大植入能量對應於大約600 nm的第二半導體層3之厚度，視植入的物種而定。因此，本發明可獲得大厚度的第二半導體層3，同時具有大厚度的第二電絕緣層2b。

【0050】視需要地，可在第二半導體層3的自由表面上進行各種處理，例如為了可能的後續功能化使該層的厚度完美或改善該自由表面的品質。在熱處理的情況下，操作底材1背面之氧化物層1a有利地限制了雙重SOI結構的變形。

【0051】 視需要的表面處理

視需要地，可在致使第二電絕緣層2b形成的氧化步驟之前，處理第一半導體層2的自由表面，以降低其缺陷程度及粗糙度。降低第一半導體層2表面的缺陷程度及粗糙度，可允許第二電絕緣層2b產生，其表面也具有與形成高品質後續鍵合相容的特性，特別是低缺陷程度及低粗糙度。作為替代或除此之外，可在第二次層移轉之前處理第二電絕緣層2b的自由表面，例如進行化學機械研磨及/或清潔。這些表面處理改善了第二單晶半導體層3的鍵合，特別是透過限制孔洞及其他缺陷的形成。

【0052】在第二氧化步驟之前對第一半導體層2的自由表面進行處理，及/或在層移轉之第二步驟之前對第二電絕緣層2b的自由表面進行處理，其本身可涉及進行多個步驟組成之方法。優選用於處理第一單晶半導體層2自由表面(在

形成氧化物層2b之前)之方法的一實例包括以下連續步驟：

- (E1) 快速熱回火，
- (E2) 氧化/脫氧處理順序，
- (E3) 長時間熱回火(亦稱批次回火)，
- (E4) 化學機械研磨。

【0053】 作為替代方案，長時間熱回火之步驟(E3)可被快速熱回火之步驟(E3')代替。同樣作為替代方案，該方法之步驟(E1)、(E2)及(E3/E3')在第一單晶半導體層2的自由表面上進行，而步驟(E4)可在第二氧化步驟(形成氧化物層2b)之前及之後，分別在第一單晶半導體層2之表面及第二電絕緣層2b之表面進行。

【0054】 「快速熱回火(rapid thermal annealing)」一詞是指在受控氣體環境下回火數秒或數十秒的時間。此等回火通常用縮寫RTA表示。快速熱回火(E1)在1100°C至1250°C之間的溫度下進行數秒到大約一百秒。快速熱回火(E1)在包含氫氣及/或氬氣之混合物的氣體環境下進行。

【0055】 氧化/脫氧處理步驟(E2)必須理解為包括以下操作順序之順序：  
熱氧化操作(E2a)，  
脫氧處理操作(E2b)。  
氧化操作(E2a)可透過例如在氧化性氣體環境中在800°C至1100°C之間的溫度加熱結構數分鐘到數小時來進行。脫氧處理操作(E2b)可透過例如將結構正面暴露於HF溶液(HF代表氫氟酸)數秒到數分鐘來進行，以移除在正面形成的氧化物層，而不會移除存在於結構背面的氧化物層。該氧化/脫氧處理步驟允許透過氧化消耗表面部分的矽，來調整半導體層厚度。

【0056】 長時間熱回火或批次回火對應於大約數分鐘至數小時(通常長於15分鐘)之熱回火，有利地在受控氣體環境下的爐具中進行。爐具回火(E3)在1050°C至1250°C之間的溫度下進行。此外，爐具回火(E3)在例如惰性氣體環境下，例如在氬氣下進行。

【0057】 在化學機械研磨或CMP的過程中，待研磨的表面借助於化學劑進行修飾，例如膠體二氧化矽顆粒在基礎液體(base liquid)中的懸浮液，並透過機械磨耗(abrasion)移除修飾的表面。CMP步驟(E4)期間使用的旋轉速度及壓力經過最佳化，以從第一半導體層2或第二電絕緣層2b的表面均勻地移除材料，但不會降低該表面的最終品質，尤其不會增加其粗糙度。

【0058】 作為替代方案，快速熱回火(E3')在1100°C至1250°C之間的溫度下進行數秒到大約一百秒，例如在包含氫氣及/或氬氣之混合物的氣體環境下。

【0059】 視需要地，第二半導體層3的自由表面也可視目標應用而定，加以處理或功能化。

【0060】 在這些不同的表面處理步驟中，特別是在熱處理步驟中，氧化物層1a非常有利地限制了晶圓變形。

#### 【符號說明】

1: 操作底材

1a, 1a': 氧化物層

1b: 第一電絕緣層

2: 第一單晶半導體層

2b: 第二電絕緣層

3: 第二單晶半導體層

【生物材料寄存】

## 【發明申請專利範圍】

【請求項1】 一種用於製作一雙重絕緣體上半導體結構之方法，該雙重絕緣體上半導體結構從背面到正面依序包括：一操作底材(1)，一第一電絕緣層(1b)，一第一單晶半導體層(2)，一第二電絕緣層(2b)，以及一第二單晶半導體層(3)，該方法之特徵在於其包括：

在該操作底材(1)之正背兩面形成一氧化物層之第一步驟，以在該操作底材(1)之正面形成該第一電絕緣層(1b)並在該操作底材(1)之背面形成一氧化物層(1a)，

層移轉之第一步驟，將該第一單晶半導體層(2)從一第一供體底材移轉到該第一電絕緣層(1b)，以形成一第一絕緣體上半導體底材，

在該第一絕緣體上半導體底材的正面形成一氧化物層之第二步驟，以形成該第二電絕緣層(2b)，

層移轉之第二步驟，將該第二單晶半導體層(3)從一第二供體底材移轉到該第二電絕緣層(2b)，以形成該雙重絕緣體上半導體結構。

【請求項2】 如請求項1之方法，其中該第一電絕緣層(1b)的厚度在100 nm至3000 nm之間。

【請求項3】 如請求項1或2之方法，在所獲得之最終該雙重絕緣體上半導體結構中，該第一單晶半導體層(2)的厚度在50 nm至500 nm之間。

【請求項4】 如請求項1至3任一項之方法，在所獲得之最終該雙重絕緣體上半導體結構中，該第二電絕緣層(2b)的厚度在100 nm至1100 nm之間。

【請求項5】 如請求項1至4任一項之方法，在所獲得之最終該雙重絕緣體上半導體結構中，該第二單晶半導體層(3)的厚度在50 nm至500 nm之間。

【請求項6】 如請求項1至5任一項之方法，其中將該第一單晶半導體層(2)從一第一供體底材移轉到該第一電絕緣層(1b)之步驟係應用一製程而進行，該製程依序包括植入原子物種以在該第一供體底材內部產生界定出該第一單晶半導體層(2)之一弱化區，將該第一供體底材的第一單晶半導體層(2)經歷植入的那一側鍵合至該第一電絕緣層(1b)，並沿着該弱化區分離該第一供體底材。

【請求項7】 如請求項6之方法，其中該第一供體底材在分離後的剩餘部被用於形成該第二供體底材。

【請求項8】 如請求項6或7之方法，其中其中將該第一單晶半導體層(2)從一第一供體底材移轉到該第一電絕緣層(1b)之製程更包括，在將原子物種植入該第一供體底材內部之前，氧化該第一供體底材之表面，從而形成一第一保護氧化物層，以使原子物種穿過該第一保護氧化物層而植入。

【請求項9】 如請求項8之方法，其中形成在該第一供體底材表面上之該第一保護氧化物層，係在原子物種已被植入之後，且在該第一供體底材被鍵合至該第一電絕緣層(1b)之前被移除。

【請求項10】 如請求項1至9任一項之方法，其中將該第二單晶半導體層(3)從一第二供體底材移轉到該第二電絕緣層(2b)之步驟係應用一製程而進行，該製程依序包括植入原子物種以在該第二供體底材內部產生界定出該第二單晶半導體層(3)之一弱化區，將該第二供體底材的第二單晶半導體層(3)經歷植入的那一側鍵合至該第二電絕緣層(2b)，並沿着該弱化區分離該第二供體底材。

【請求項11】 如請求項10之方法，其中將該第二單晶半導體層(3)從一第二供體底材移轉到該第二電絕緣層(2b)之製程更包括，在將原子物種植入該第二供體

底材內部之前，氧化該第二供體底材之表面，從而形成一第二保護氧化物層，以使原子物種穿過該第二保護氧化物層而植入。

【請求項12】 如請求項11之方法，其中形成在該第二供體底材表面上之該第二保護氧化物層，係在原子物種已被植入之後，且在該第二供體底材被鍵合至該第二電絕緣層(2b)之前被移除。

【請求項13】 如請求項1至12任一項之方法，其更包括在該第一絕緣體上半導體底材表面上形成一氧化物層之第二步驟之前，對該第一絕緣體上半導體底材進行表面處理製程之一步驟，該表面處理製程之特徵在於：

快速熱回火之第一步驟，

熱氧化接着脫氧處理之第二步驟，

長時間熱處理或快速熱回火之第三步驟，該長時間熱處理及該快速熱回火係在非氧化性氣氛中，在1000°C以上的溫度下進行，

化學機械研磨之第四步驟。

【請求項14】 如請求項1至13任一項之方法，其中該操作底材及各個供體底材為直徑300 mm之晶圓形式。





圖4

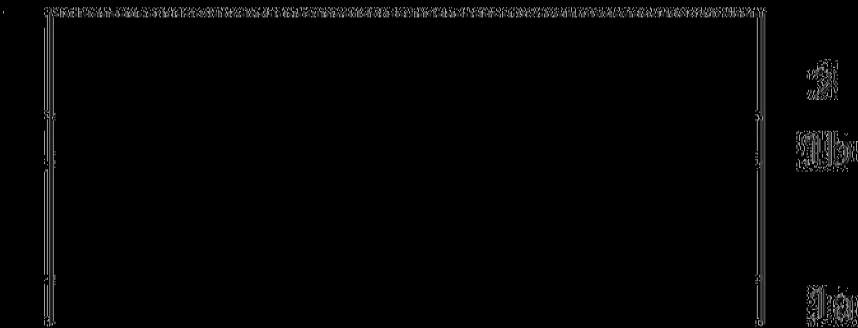


圖5

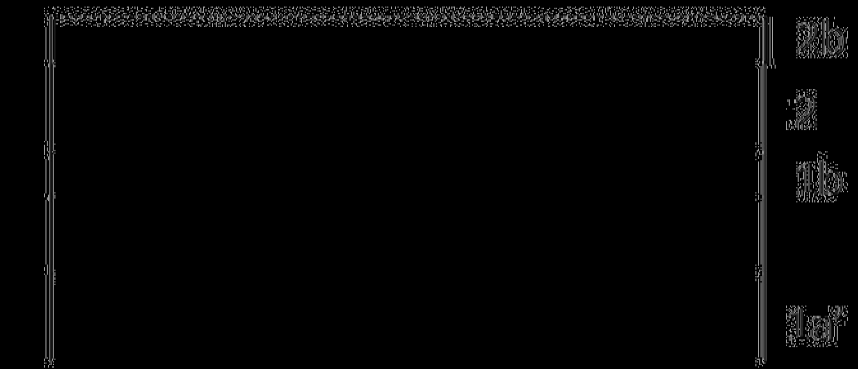


圖6



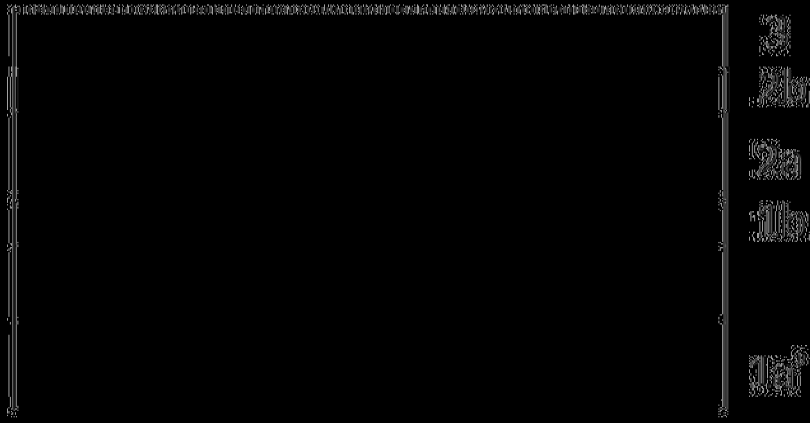


図9