

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2021 年 1 月 7 日 (07.01.2021)



(10) 国际公布号
WO 2021/000751 A1

- (51) 国际专利分类号:
H03L 7/099 (2006.01)
- (21) 国际申请号: PCT/CN2020/097225
- (22) 国际申请日: 2020 年 6 月 19 日 (19.06.2020)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:
201910591540.4 2019年7月2日 (02.07.2019) CN
- (71) 申请人: 中兴通讯股份有限公司 (ZTE CORPORATION) [CN/CN]; 中国广东省深圳市南山区高新技术产业园科技南路中兴通讯大厦, Guangdong 518057 (CN)。
- (72) 发明人: 刘俊 (LIU, Jun); 中国广东省深圳市南山区高新技术产业园科技南路中兴通讯大厦, Guangdong 518057 (CN)。 韦兆碧 (WEI, Zhaobi); 中国广东省深圳市南山区高新技术产业园科技南路中兴通讯大厦, Guangdong 518057 (CN)。 王珊 (WANG, Shan); 中国广东省深圳市南山区高新技术产业园科技南路中兴通

讯大厦, Guangdong 518057 (CN)。 段沛 (DUAN, Pei); 中国广东省深圳市南山区高新技术产业园科技南路中兴通讯大厦, Guangdong 518057 (CN)。 雷梦毕 (LEI, Mengbi); 中国广东省深圳市南山区高新技术产业园科技南路中兴通讯大厦, Guangdong 518057 (CN)。

(74) 代理人: 北京康信知识产权代理有限公司 (KANGXIN PARTNERS, P.C.); 中国北京市海淀区知春路甲 48 号盈都大厦 A 座 16 层, Beijing 100098 (CN)。

(81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,

(54) Title: PHASE-LOCKED LOOP CIRCUIT, CONFIGURATION METHOD THEREFOR, AND COMMUNICATION APPARATUS

(54) 发明名称: 锁相环电路及其设置方法、通信设备

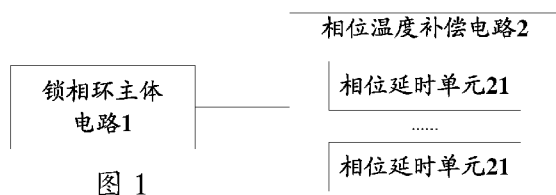


图 1

- 1 Phase-locked loop main circuit
2 Phase temperature compensation circuit
21 Phase delay unit

(57) Abstract: The present disclosure provides a phase-locked loop circuit, a configuration method therefor, and a communication apparatus. The phase-locked loop circuit comprises: a phase-locked loop main circuit; and a phase temperature compensation circuit capable of configuring, according to a phase shift generated by the phase-locked main circuit as a result of a temperature change, at least one phase delay unit of the phase temperature compensation circuit to be connected to the phase-locked loop main circuit, and cancelling out, by using a phase shift generated by the connected phase delay unit of the phase temperature compensation circuit as a result of the temperature change, the phase shift generated by the phase-locked loop main circuit as a result of the temperature change. In this way, the invention ensures the phase-locked loop circuit does not generate a phase shift as result of a temperature change or only generates a phase shift in a small range during operations thereof. When the invention is applied to multi-channel communication, a phase difference between channels is kept at the minimum at all times since a temperature change causes no phase shift or only a phase shift in a small range for the phase-locked loop circuits of the channels, thereby essentially meeting a synchronization requirement.

ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US,
UZ, VC, VN, WS, ZA, ZM, ZW。

- (84) 指定国(除另有指明, 要求每一种可提供的地区
保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ,
NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM,
AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG,
CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU,
IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT,
RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI,
CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

- 包括国际检索报告(条约第21条(3))。

(57) 摘要: 本公开提供一种锁相环电路及其设置方法、通信设备, 其中, 锁相环电路包括: 锁相环主体电路以及相位温度补偿电路, 可根据锁相环主体电路随温度变化所产生的相位偏移, 设置相位温度补偿电路的至少一个相位延时单元接入锁相环主体电路, 利用接入相位温度补偿电路的相位延时单元随温度变化所产生的相位偏移, 对锁相环主体电路随温度变化所产生的相位偏移进行抵消; 从而保证锁相环电路在工作过程中随着温度的变化不产生相位偏移或在很小范围内产生相位偏移; 应用于多通道通信时, 由于各通道的锁相环电路随温度的变化不产生相位偏移或在很小范围内产生相位偏移, 因此可保证各通道之前的相位差异在任何时刻都尽可能小, 从根本上满足同步的需求。

锁相环电路及其设置方法、通信设备

技术领域

本发明涉及通信技术领域，尤其涉及一种锁相环电路及其设置方法、通信设备。

背景技术

且随着通信技术的发展，多阵列天线基站、多收发通道整机是 4G 以及 5G (5th- Generation, 第 5 代) 通讯技术中的典型应用；在 5G 通信中，空分复用 (Space Division Multiple Access, SDMA) 是多输入多输出 (Maximum Input Minimum Output, Massive MIMO) 技术应用的一个重要例子。SDMA 使用波束形成 beamforming 技术使信号能量集中在特定的方向传播，从而增大频谱利用效率，减小对其它接收机的干扰。beamforming 对收发信机多通道之间信号的相位差异有着严苛的要求，例如 sub 6G 的 5G 基站收发信机多通道间的相位差异应小于 5°。由于受成本及单板面积等限制，目前一般一个通道对应使用一个锁相环电路，由于锁相环电路具有随着温度变化而产生相位偏移的特性，导致多个通道之间的相位偏差随着温度变化增大。这对该问题，为满足多通道之间的相位差异小于设定值 (例如 5°) 的要求，目前的做法是无线基站系统采用一系列相位检测及调整措施来减小通道间的相位误差，进而对齐多通道信号的相位；例如每间隔 30 分钟进行一次相位检测及对齐控制，这种相位检测对齐处理方式需要占用大量的系统资源以及产生较大的功耗，且也不能保证在检测时间间隔内多个通道之间的相位差异小于设定值的要求。因此，如何从根本上保证多通道相位同步是基站应用的一大技术瓶颈。

发明内容

本公开提供的一种锁相环电路及其设置方法、通信设备，解决如何从根本上实现多通道相位同步。

为解决上述技术问题，本公开提供一种锁相环电路，包括锁相环主体电路以及相位温度补偿电路，所述相位温度补偿电路包括至少一个相位延时单元，且至少一个所述相位延时单元接入所述锁相环主体电路，接入所述锁相环主体电路的相位延时单元随温度变化所产生的相位偏移，与所述锁相环主体电路随温度变化所产生的相位偏移相互抵消。

为解决上述技术问题，本公开还提供一种如上所述的锁相环电路设置方法，包括：通过仿真得到所述锁相环主体电路随温度变化所产生的相位偏移；根据所述相位偏移确定相位延时单元控制参数；根据所述相位延时单元控制参数控制相应个数的所述相位延时单元接入所述锁相环主体电路。

为解决上述技术问题，本公开还提供一种通信设备，包括至少一个如上所述的锁相环电路。

根据本公开提供的锁相环电路及其设置方法、通信设备，锁相环电路包括锁相环主体电路以及相位温度补偿电路，可根据锁相环主体电路随温度变化所产生的相位偏移，设置相位温度补偿电路的至少一个相位延时单元接入锁相环主体电路，利用接入相位温度补偿电路的相位延时单元随温度变化所产生的相位偏移，对锁相环主体电路随温度变化所产生的相位偏移进行抵消；从而保证锁相环电路在工作过程中随着温度的变化不产生相位偏移或在很小范围内产生相位偏移；这样锁相环电路应用到多通道场景时，由于各通道的锁相环电路在工作过程中随着温度的变化不产生相位偏移或在很小范围内产生相位偏移，因此可保证各通道之前的相位差异在任何时刻都尽可能小，从而从根本上更好的满足多通道通信相位同步的需求；且可省略对各通道之间的相位进行检测以及对齐的控制操作，因此可同时

提升资源利用率以及节省能耗。

本发明其他特征和相应的有益效果在说明书的后面部分进行阐述说明，且应当理解，至少部分有益效果从本发明说明书中的记载变的显而易见。

附图说明

- 图 1 为本公开实施例一的锁相环电路结构示意图；
- 图 2 为本公开实施例一的锁相环主体电路结构示意图；
- 图 3 为本公开实施例一的锁相环主体电路的相位延时示意图；
- 图 4 为本公开实施例一的另一锁相环电路结构示意图；
- 图 5 为本公开实施例二的锁相环电路的设置方法流程示意图；
- 图 6 为本公开实施例二的相位温度补偿电路结构示意图；
- 图 7 为本公开实施例二的相位延时单元结构示意图一；
- 图 8-1 为本公开实施例二的相位延时单元结构示意图二；
- 图 8-2 为本公开实施例二的相位延时单元结构示意图三；
- 图 8-3 为本公开实施例二的相位延时单元结构示意图四；
- 图 9 为本公开实施例二的一种相位延时单元控制模块结构示意图；
- 图 10 为本公开实施例二的锁相环电路的校准过程示意图；
- 图 11-1 为本公开实施例二的未补偿时的相位随温度变化示意图；
- 图 11-2 为本公开实施例二的欠补偿示意图；
- 图 11-3 为本公开实施例二的过补偿示意图；
- 图 11-4 为本公开实施例二的理想补偿示意图；

图 12 为本公开实施例二的欠补偿与未补偿的对比示意图；

图 13-1 为本公开实施例三应用场景一的锁相环电路结构示意图；

图 13-2 为本公开实施例三应用场景一的参考信号输入路径之 K1 示意图；

图 13-3 为本公开实施例三应用场景一的信号输出路径之 K2 示意图；

图 13-4 为本公开实施例三应用场景一的反馈信号传输路径之 K3 示意图；

图 13-5 为本公开实施例三应用场景一的相位延时单元在反馈信号传输路径之 Kc3 示意图；

图 13-6 为本公开实施例三应用场景一的比较示意图；

图 13-7 为本公开实施例三应用场景一的 Klast 示意图；

图 14-1 为本公开实施例三应用场景二的应用场景一锁相环电路结构示意图；

图 14-2 为本公开实施例三应用场景二的参考信号输入路径之 K1 示意图；

图 14-3 为本公开实施例三应用场景二的信号输出路径之 K2 示意图；

图 14-4 为本公开实施例三应用场景二的反馈信号传输路径之 K3 示意图；

图 14-5 为本公开实施例三应用场景二的相位延时单元在反馈信号传输路径之 Kc1 示意图；

图 14-6 为本公开实施例三应用场景二的比较示意图；

图 14-7 为本公开实施例三应用场景二的 Klast 示意图；

图 15-1 为本公开实施例三应用场景三的参考信号输入路径之 K1 示意图；

图；

图 15-2 为本公开实施例三应用场景三的信号输出路径之 K2 示意图；

图 15-3 为本公开实施例三应用场景三的反饋信号传输路径之 K3 示意图；

图 15-4 为本公开实施例三应用场景三的相位延时单元在反饋信号传输路径之 Kc1 示意图；

图 15-5 为本公开实施例三应用场景三的比较示意图；

图 15-6 为本公开实施例三应用场景三的 Klast 示意图；

图 16-1 为本公开实施例三应用场景二的应用场景一锁相环电路结构示意图；

图 16-2 为本公开实施例三应用场景四的参考信号输入路径之 K1 示意图；

图 16-3 为本公开实施例三应用场景四的信号输出路径之 K2 示意图；

图 16-4 为本公开实施例三应用场景四的反饋信号传输路径之 K3 示意图；

图 16-5 为本公开实施例三应用场景四的相位延时单元在反饋信号传输路径之 Kc2 示意图；

图 16-6 为本公开实施例三应用场景四的比较示意图；

图 16-7 为本公开实施例三应用场景四的 Klast 示意图；

图 17 为本公开实施例四的基站结构示意图。

具体实施方式

为了使本发明的目的、技术方案及优点更加清楚明白，下面通过具体

实施方式结合附图对本公开作进一步详细说明。应当理解，此处所描述的具体实施例仅仅用以解释本发明，并不用于限定本发明。

实施例一：

针对由于锁相环电路具有随着温度变化而产生相位偏移的特性，导致使用多个锁相环电路的多个通道随着温度的变化，通道之间的相位偏差也逐渐增大的问题；本公开提供了一种能从根本上实现多通道的相位同步锁相环电路。请参见图 1 所示，本实施例中的锁相环电路包括锁相环主体电路 1 以及相位温度补偿电路 2，其中相位温度补偿电路 2 包括至少一个相位延时单元 21，且至少一个相位延时单元 21 接入锁相环主体电路 1，接入锁相环主体电路 1 的相位延时单元 21 随温度变化所产生的相位偏移，与锁相环主体电路 1 随温度变化所产生的相位偏移相互抵消。从而保证锁相环电路在工作过程中随着温度的变化不产生相位偏移或在很小范围内产生相位偏移；这样锁相环电路应用到多通道场景时，由于各通道的锁相环电路在工作过程中随着温度的变化不产生相位偏移或在很小范围内产生相位偏移，因此可保证各通道之前的相位差异在任何时刻都尽可能小，从而从根本上更好的满足多通道通信相位同步的需求；且可省略对各通道之间的相位进行检测以及对齐的控制操作，因此可同时提升资源利用率以及节省能耗。

应当理解的是，在本实施例的一些应用场景中，可以根据但不限于锁相环主体电路 1 随温度变化所产生的相位偏移，设置相位温度补偿电路 2 的相应个数的相位延时单元 21 接入锁相环主体电路 1，且在锁相环主体电路 1 中具体设置的位置也都可灵活设定。

应当理解的是，本实施例中的锁相环主体电路 1 可以为各种能实现锁相环主体电路功能的各种电路。为了便于理解，本实施例下面以一种示例的锁相环主体电路 1 进行说明，但应当理解的是本实施例中锁相环主体电

路 1 的结构并不限于下面示例的结构。

请参见图 2 所示，本示例中的锁相环主体电路 1 包括：

鉴频鉴相器 11，设置为检测外部参考信号 f_{ref} 和可编程分频器 15 输出的反馈信号 f_b 之间的相位差和频率差。鉴频鉴相器 11 的实现电路可以灵活设置；例如一种示例中，鉴频鉴相器 11 可由两个 D 边缘触发器和一个与门构成；

电荷泵 12，主要设置为将鉴频鉴相器 11 输出的代表相位差信息的逻辑电平转化为电流信号，在控制开关的作用下对环路滤波器 13 进行充放电，使得环路滤波器 13 电容上的压控振荡器调谐电压 V_{tune} 升高或者降低；

环路滤波器 13，一种示例中可为但不限于无源滤波器。环路滤波器 13 设置为滤除电荷泵 12 输出信号的高频分量，输出一个近似直流电压 V_{tune} ，作为 VCO（Voltage Controlled Oscillator，压控振荡器）的控制信号；环路滤波器 13 的实现电路也可以灵活设置，例如一种示例中，环路滤波器 13 可由电容和电阻组成。

压控振荡器 14，为通过环路滤波器 13 输入的电压信号控制输出振荡频率的电路模块。在一种示例中，压控振荡器 14 可通过但不限于自激振荡的方式，将直流电能转换为交流电能，源源不断的产生交流信号，其频率值由压控电压控制。

可编程分频器 15，设置为降低振荡器的输出信号频率，方便振荡器输出频率缩小到 N 分之一之后与参考信号频率相比较，实现锁相环倍频功能。

应当理解的是，图 2 中锁相环主体电路 1 的结构可以灵活调整或设置，且图 2 中各模块的具体实现电路也都可灵活设置。

图 2 所示的锁相环主体电路 1 在被通道应用时，锁相环主体电路 1 随着温度变化而产生相位偏移；当多条通道各自使用一个锁相环主体电路 1

时,随着温度的变化,各通道之间的相位差异较大,不能满足通道之间相位同步的需求。因此,在本实施例中,可在图 2 所示的锁相环主体电路 1 的相应位置接入对应个数的相位延时单元 21,利用接入的相位延时单元 21 随温度变化而产生相位偏移,对锁相环主体电路 1 随温度变化而产生相位偏移进行抵消,从而使得锁相环主体电路 1 在不同温度下最终输出的相位偏移为 0 或略微大于 0,也即使得锁相环主体电路 1 的输出相位稳定在一个符合相位同步需求所允许的范围内;实现电路简单,易操作性强,电路代价小,对锁相环输出相位随温度变化特性改善明显;且本实施例提供的锁相环电路应用于多通道时,不需要对通道之间的相位进行检测以及进行对齐控制操作,因此还可同时提升资源利用率以及节省能耗。

经试验研究,锁相环主体电路 1 中各部分的相位与温度之间的整体线性比例关系,因此为了便于理解,本实施例下面以相位温度变化斜率表征相位偏移情况为示例进行说明。这种相位随温度变化的特性本实施例称之为相位与温度变化斜率,用参数 K 来表示,其单位为 ps/°C。在本示例中,锁相环主体电路 1 上的传输路径自身的总输出相位与温度变化斜率 K_{out} 与接入锁相环主体电路 1 的相位延时单元 21 在传输路径上的总输出相位与温度变化斜率 K_{outc} 之间满足:

K_{out} 的值为负时, K_{outc} 的值为正, K_{out} 的值为正时, K_{outc} 的值为负,且 K_{out} 与 K_{outc} 之和的绝对值小于等于阈值 K_0 ;这样可以保证通过接入锁相环主体电路 1 的相位延时单元 21 的补偿之后,锁相环电路最终的相位与温度变化斜率 K_{last} 维持在 0 左右,也即:

$$K_{last} = |K_{out} + K_{outc}| \leq K_0.$$

应当理解的是,本实施例中 K_0 的取值可以根据具体应用场景和应用需求灵活设置。例如, K_0 的取值可介于 0ps/°C 到 0.5ps/°C 之间,具体取值

可根据具体需求灵活设置。

根据上述分析可知，锁相环主体电路 1 中各模块的信号传输相位会随着温度变化，锁相环主体电路 1 主要可分为四个部分：参考信号输入路径、前馈路径、反馈信号传输路径、信号输出路径。其中前馈路径传输相位随温度变化不会体现体现在锁相环最终输出信号上，锁相环自身的负反馈机理会将其时时校准。如图 3 所示，参考信号输入路径、反馈信号传输路径、信号输出路径的相位随温度变化造成的额外延时分别用第一相位延时、第二相位延时，第三相位延时来表示，参考信号输入路径、反馈信号传输路径、信号输出路径的相位也都随着温度的升高而升高，也即相位与温度成线性正比关系。相位延时单元 21 的相位与温度之间也成线性正比关系。对应的，参考信号输入路径、反馈信号传输路径、信号输出路径的相位与温度变化斜率以及当前接入锁相环主体电路的相位延时单元在传输路径上的总输出相位与温度变化斜率分别为 K_1 、 K_2 、 K_3 、 K_{outc} 。

在本实施例中，参考信号输入路径的 K_1 与信号输出路径的 K_2 对最终输出相位温度变化起叠加作用，反馈信号传输路径的 K_3 起相减作用；因此在本示例中锁相环主体电路 1 传输路径自身的总输出相位与温度变化斜率 $K_{out}=K_1+K_2-K_3$ ；

相应的，在本实施例中设接入锁相环主体电路 1 的相位延时单元 21 在参考信号输入路径、信号输出路径以及反馈信号传输路径上的相位与温度变化斜率分别为 K_{c1} 、 K_{c2} 、 K_{c3} ，当前接入锁相环主体电路的相位延时单元在传输路径上的总输出相位与温度变化斜率 $K_{outc}=K_{c1}+K_{c2}-K_{c3}$ 。

K_{out} 的值为负时， K_{outc} 的值为正， K_{out} 的值为正时， K_{outc} 的值为负，从而 K_{out} 与 K_{outc} 之间相互抵消。

例如，在一种场景中， K_1+K_2 比 K_3 大的较多时，此处可通过设置对

应的调整阈值, 当 $K1+K2$ 比 $K3$ 大的部分大于等于该调整阈值时, 例如大于 0.5, $K_{out}=K1+K2-K3$ 大于 0.5, 此时 $K_{outc}=Kc1+Kc2-Kc3$ 则需要为负数, 且 $K_{last}=|K_{out}+K_{outc}| \leq K0$, 当 $K0$ 的取值较小, 例如为 0 附近的取值时, 则该表达式还可为: $|K_{out}+K_{outc}| \approx 0$ 。在本应用场景中, $Kc1+Kc2$ 小于 $Kc3$, 从而使得 K_{outc} 的取值为负, 此时 $K_{last}=K_{out}+K_{outc}$ 。例如一种示例中假设 $K_{out}=0.7$, $K_{outc}=-0.5$, 则 $K_{last}=0.7+(-0.5)=0.2$; 又例如另一种示例中, 假设 $K_{out}=0.7$, $K_{outc}=-0.7$, 则 $K_{last}=0.7+(-0.7)=0$, 此时为最佳的效果; 又例如另一种示例中, 假设 $K_{out}=0.7$, $K_{outc}=-0.8$, 则 $K_{last}=0.7+(-0.8)=-0.1$ 。这样通过 K_{outc} 对 K_{out} 实现一阶补偿, 使得最终输出的 K_{last} 为 0 或为一个较小的正值或负值。

在本应用场景中, K_{out} 为正时, 也即 K_{out} 为大于 0 且需要进行补偿的值时, 一种示例中可设置 $Kc1$ 、 $Kc2$ 中的至少一个为 0, 也即在参考信号输入路径和信号输出路径中的至少一个路径上不接入相位延时单元 21, 此时对应该路径可不设置相位延时单元 21 或设置相应个数的相位延时单元 21 但不接入; 从而减少相位延时单元 21 的使用, 提升资源利用率, 降低成本和控制的复杂程度。在另一些示例中, 可设置 $Kc1$ 、 $Kc2$ 都为 0, 也即在参考信号输入路径和信号输出路径上都不接入相位延时单元 21 (此时对应这两个路径可不设置相位延时单元 21 或设置相应个数的相位延时单元 21 但不接入), 此时则仅在反馈信号传输路径上接入相位延时单元 21, 且所接入相位延时单元 21 的个数可根据 K_{out} 以及 $K0$ 的取值灵活设定。

又例如, 在另一种场景中, $K1+K2$ 比 $K3$ 小的较多时, 此处也可通过设置对应的调整阈值进行表征确定, 当 $K3$ 比 $K1+K2$ 大的部分大于等于该调整阈值, 例如大于 1, 则 $K_{out}=K1+K2-K3$ 小于 -1, 此时 $K_{outc}=Kc1+Kc2-Kc3$ 则需要为正, 且 $K_{last}=|K_{out}+K_{outc}| \leq K0$, 当 $K0$

的取值较小, 例如为 0 附近的取值时, 则该表达式还可为: $|K_{out}| - |K_{outc}| \approx 0$ 。在本应用场景中, $K_{c1}+K_{c2}$ 大于 K_{c3} , 从而使得 K_{outc} 的取值为正, 此时 $K_{last} = K_{out} + K_{outc}$ 。例如一种示例中假设 $K_{out} = -1$, $K_{outc} = 0.8$, 则 $K_{last} = -1 + 0.8 = -0.2$; 又例如另一种示例中, 假设 $K_{out} = -1$, $K_{outc} = 1$, 则 $K_{last} = -1 + 1 = 0$, 此时为最佳的效果; 又例如另一种示例中, 假设 $K_{out} = -1$, $K_{outc} = 1.1$, 则 $K_{last} = -1 + 1.1 = 0.1$ 。这样通过 K_{outc} 也能实现对 K_{out} 进行一阶补偿, 使得最终输出的 K_{last} 为 0 或为一个较小的正值或负值。

在本应用场景中, K_{out} 为负时, 也即 K_{out} 为小于 0 且需要进行补偿的值时, 一种示例中可设置 K_{c3} 为 0, 也即在反馈信号传输路径上不接入相位延时单元 21 (此时对应这个路径可不设置相位延时单元 21 或设置相应个数的相位延时单元 21 但不接入), 从而减少相位延时单元 21 的使用, 提升资源利用率, 降低成本和控制的复杂程度。在另一些示例中, 可设置 K_{c1} 和 K_{c2} 中的任意一个为 0, 也即在参考信号输入路径或信号输出路径上不接入相位延时单元 21, 此时在反馈信号传输路径上可接入相位延时单元 21, 也可不接入相位延时单元 21; 当然, 在一些示例中, 还可同时在参考信号输入路径、信号输出路径和反馈信号传输路径上都设置相位延时单元 21 (此时 K_{c1} 、 K_{c2} 、 K_{c3} 的取值都大于 0), 且所接入相位延时单元 21 的个数可根据 K_{out} 以及 K_0 的取值灵活设定, 只要满足 K_{outc} 的取值符合上述条件即可。

根据上述分析可知, 本实施例中, 为消除相位偏移, 锁相环主体电路 1 所需接入的相位延时单元 21 个数, 以及相位延时单元 21 在锁相环主体电路 1 中接入的位置, 可以根据具体应用场景和需求灵活设置。因此, 请参见图 4 所示, 在本实施例的一些示例中, 锁相环电路还可包括相位延时单元控制模块 3, 设置为根据相位延时单元控制参数, 控制相应个数的相

位延时单元 21 接入锁相环主体电路 1; 其中相位延时单元控制参数根据锁相环主体电路 1 随温度变化所产生的相位偏移确定; 例如, 一种示例中, 可根据 K_{out} 灵活确定需要在参考信号输入路径、信号输出路径和反馈信号传输路径中的哪些路径上接入相位延时单元 21。以及在各路径上接入的相位延时单元 21 的个数; 从而利用接入相位温度补偿电路的相位延时单元随温度变化所产生的相位偏移, 对锁相环主体电路随温度变化所产生的相位偏移进行抵消; 进而保证锁相环电路在工作过程中随着温度的变化不产生相位偏移或在很小范围内产生相位偏移。本实施例提供的锁相环电路应用到多通道场景时, 由于各通道的锁相环电路在工作过程中随着温度的变化不产生相位偏移或在很小范围内产生相位偏移, 因此可保证各通道之前的相位差异在任何时刻都尽可能小, 从而从根本上更好的满足多通道通信相位同步的需求; 且可省略对各通道之间的相位进行检测以及对齐的控制操作, 因此可同时提升资源利用率以及节省能耗。

实施例二:

为了便于理解, 本实施例下面在上述实施例一基础上, 对实施例一所示的锁相环电路的设置方法进行示例说明, 请参见图 5 所示, 包括:

S501: 通过仿真得到锁相环主体电路 1 随温度变化所产生的相位偏移。

例如, 一种示例中, 可基于采集到的数据仿真得到参考信号输入路径、反馈信号传输路径、信号输出路径的相位与温度变化斜率 K_1 、 K_2 、 K_3 , 从而得到锁相环主体电路 1 传输路径自身的总输出相位与温度变化斜率 $K_{out}=K_1+K_2-K_3$ 。

S502: 根据得到的相位偏移确定相位延时单元控制参数。

例如一种示例中, 可根据 $K_{out}=K_1+K_2-K_3$ 确定需要在参考信号输入路径、信号输出路径和反馈信号传输路径中的哪些路径上接入相位延时单元 21; 以及在各路径上接入的相位延时单元 21 的个数; 也即一种示例中

相位延时单元控制参数包括需要在哪些路径上接入相位延时单元 21 以及在各路径上接入的相位延时单元 21 的个数

S503: 根据相位延时单元控制参数控制相应个数的相位延时单元接入锁相环主体电路。

例如可通过相位延时单元控制参数可以包括高低电平, 高低电平通过控制开关控制连入相位温度补偿电路中相应的相位延时单元锁, 从而在仿真阶段实现在相应位置接入相应个数的相位延时单元。

应当理解的是, 本实施例中相位延时单元 21 和相位延时单元控制模块 3 的具体结构以及设置的总数可以根据需求灵活设定。

例如, 一种示例的相位温度补偿电路请参见图 6 所示, 其包括多个相位延时单元 21, 多个相位延时单元 21 通过传输门逻辑连入电路中, 组成相位温度补偿电路。每个相位延时单元 21 可以由两级或多级反相器电路组成, 如图 7 所示。也可由由传输门单元、RC 延时单元、简单电阻单元等电路组成, 如几种组成方式请分别参见图 8-1、图 8-2 和图 8-3 所示; 当然也可通过其他电路结构实现。

又例如, 一种示例中, 相位延时单元控制模块 3 的结构参见图 9 所示, 其包括译码电路以及传输门控制逻辑电路, 译码电路可以将 v_1 、 $v_2 \dots v_n$ 等输入信号转换成 $ctrl_1$ 、 $ctrl_2 \dots ctrl_2^n$ 等 2^n 个高低电平控制信号, 这些控制信号直接或通过反相器之后连接传输门控制逻辑, 进而控制相位温度补偿电路的相位延时单元 21 接入锁相环主体电路。

在本实施例的另一些应用场景中, 基于上述仿真结果设置好锁相环电路之后, 还可包括以下校准过程, 以进一步提升控制的准确性和可靠性。本实施例提供的校准过程可包括:

获取接入锁相环主体电路的相位延时单元随温度变化所产生的相位偏移, 与锁相环主体电路随温度变化所产生的相位偏移相互抵消后输出的

最终的相位与温度变化斜率 K_{last} 。

根据最终相位偏移 K_{last} 确定需要增加或减少接入锁相环主体电路的相位延时单元的个数 m ，并对应增加 m 个相位延时单元接入锁相环主体电路，或从当前接入锁相环主体电路的相位延时单元中，断开 m 个相位延时单元 21。

本实施例的中上述校准过程可以为但不限于在芯片出厂阶段进行测试校准。为了便于理解，本实施例下面以芯片出厂阶段进行测试校准的过程进行说明，请参见图 10 所示，包括：

S1001：测试锁相环电路最终的相位与温度变化斜率 K_{last} 。

S1002： $|K_{last}| \leq K_0$ ？（也即 $|K_{last}|$ 是否小于等于 K_0 ）；如是，转至 S1003；否则，转至 S1004。

S1003： $|K_{last}|$ 满足要求，测试校验结束。

S1004： $K_{last} > 0$ ？（也即 K_{last} 是否大于 0）；如是，转至 S1005；否则，转至 S1006；

S1005：根据 $|K_{last}|$ 值在参考信号输入路径和/或信号输出路径上减少接入的相应个数的相位延时单元；或在反馈信号传输路径上增加相应个数的相位延时单元接入，然后转至 S1001。

S1006：根据 $|K_{last}|$ 值在参考信号输入路径和/或信号输出路径上增加相应个数的相位延时单元接入；或在反馈信号传输路径上减少接入的相应个数的相位延时单元；然后转至 S1001。

在一种应用场景中，当锁相环电路设置于芯片内或以分离器件形式出厂时，可执行图 10 所示的校准过程。例如可分别测试在高温和低温下测试获得锁相环电路当前相的 K_{last} ，然后判断 $|K_{last}|$ 值是否足够小且满足应用要求，如果满足则校准结束，如果不满足则进一步判断 K_{last} 值是

否大于 0。如果 K_{last} 值大于 0，则根据 $|K_{\text{last}}|$ 值适当减少参考信号输入路径和/或输出路径接入的相位延时单元数目，或者增加反馈信号传输路径上接入的相位延时单元数目；如果 K_{last} 值小于 0，则根据 $|K_{\text{last}}|$ 值适当增加参考信号输入路径和/或输出路径上相位延时单元数目，或者减少反馈信号传输路径上的相位延时单元数目；之后重复上述校验步骤，直到 $|K_{\text{last}}|$ 值满足要求。

在本实施例的一种示例中，针对一个锁相环电路，可基于其工作环境下的最高温度和最低温度区间对应的相位与温度变化斜率，通过图 5 和图 10 所示的过程得到一组固定的相位延时单元控制参数，该相位延时单元控制参数包括需要在哪些路径上接入相位延时单元以及在各路径上需要接入的相位延时单元的个数。在本示例中，相位延时单元控制模块可基于该固定的相位延时单元控制参数控制相应个数的相位延时单元在相应路径上接入，且在出厂之后可不变。

在本实施例的另一种示例中，针对一个锁相环电路，可基于其工作环境下的最高温度和最低温度划分成多个温度区间，并基于测试结果得到各温度区间对应的一组相位延时单元控制参数，也即一个温度区间对应的一组相位延时单元控制参数；在工作过程中，相位延时单元控制模块可获取当前的温度，并在确定当前温度落入另一目标温度区间时，基于目标温度区间对应的相位延时单元控制参数动态的控制相应个数的相位延时单元在相应路径上接入。

另外，为了便于理解，本实施例下面以修正前后的几种情况进行比对为示例，对本实施例提供的锁相环电路为结构进行示例说明。

请参见图 11-1 所示，该图所示为锁相环主体电路未进行补偿时输出相位随着温度变化的情况；从该图中可以看出相位随温度变化的幅度较大，不能满足通信要求。通过本实施例提供的锁相环电路输出的波形相位随温

度变化的情况可能存在以下三种：

欠补偿情况，请参见图 11-2 所示，此时 K_{last} 为一个较小的大于 0 的值，锁相环电路最终输出相位随温度升高的略微增大；

过补偿情况，请参见图 11-3 所示，此时 K_{last} 为一个较小的小于 0 的值，锁相环电路最终输出相位随温度升高的略微减小；

理想补偿情况，请参见图 11-4 所示，此时 K_{last} 为一个等于 0 的值，此时温度升高或降低时，锁相环电路输出相位不变。

下面以图 11-1 和图 11-2 所述的两种情况对应的锁相环电路最终输出的相位与温度变化斜率的对比为示例进行说明，请参见图 12 所示，图 12 中左边的坐标系为图 11-1 对应的相位与温度变化斜率，右边的坐标系为图 11-2 对应的相位与温度变化斜率。可见经过校准后的输出相位随温度变化的斜率远小于未经校准的锁相环电路结构。

实施例三：

为了便于理解，本实施例下面以几种具体的应用场景为示例进行说明。

应用场景一：

在本应用场景中，请参见图 13-2 至图 13-4 所示，参考信号输入路径、信号输出路径以及反馈信号传输路径的相位与温度变化斜率关系为 $K_1+K_2-K_3 > 0$ ，如果不接入相位延时单元，锁相环电路最终输出相位随温度升高而增大。本实施例中在反馈信号传输路径上接入相应个数的相位延时单元产生对应的 K_{c3} ，请参见图 13-1 和图 13-5 所示，参考信号输入路径、信号输出路径当前不接入相位延时单元；接入的相位延时单元输出相位随温度升高而增大，由于锁相环电路反馈信号传输路径的相位延时增大会导致锁相环电路输出相位延时减小的固有特性，可借助仿真校准和离线校准，接入的相位延时单元最终使得锁相环输出相位随温度升高而增大的特性减小，即 $K_{last}=K_1+K_2-K_3-K_{c3}$ 。在本应用场景中，可借助图 5 和图

10 所示的仿真校准和离线校准,通过相位延时单元控制模块控制相应个数的相位延时单元接入反馈信号传输路径,实现系数 $Kc3$ 的调整。在 $Kc3$ 的作用下,实现 $K_{last}=K1+K2-K3-Kc3 \approx 0$, 其中 $K1$ 、 $K2$ 、 $K3$ 、 $Kc3$ 的对比图请参见图 13-6 所示,抵消之后得到的 K_{last} 请参见图 13-7 所示,此时锁相环电路输出相位随温度升高略微增大,但远小于 $K1+K2-K3$ 。

应用场景二:

在本应用场景中,请参见图 14-2 至图 14-4 所示,参考信号输入路径、信号输出路径以及反馈信号传输路径的相位与温度变化斜率关系为 $K1+K2-K3 < 0$, 如果不接入相位延时单元,锁相环电路最终输出相位随温度升高而减小。本实施例中在参考信号输入路径上接入相应个数的相位延时单元产生对应的 $Kc1$, 请参见图 14-1 和图 14-5 所示,信号输出路径、反馈信号传输路径当前不接入相位延时单元(也可根据需求接入相位延时单元);接入的相位延时单元输出相位随温度升高而增大,由于锁相环电路参考信号输入路径的相位延时增大会导致锁相环电路输出相位延时增大的固有特性,可借助仿真校准和离线校准,接入的相位延时单元最终使得锁相环输出相位随温度升高而减小的特性减小,即 $K_{last}=K1+K2-K3+Kc1$ 。在本应用场景中,可借助图 5 和图 10 所示的仿真校准和离线校准,通过相位延时单元控制模块控制相应个数的相位延时单元接入参考信号输入路径,实现系数 $Kc1$ 的调整。在 $Kc1$ 的作用下,实现 $K_{last}=K1+K2-K3+Kc1 \approx 0$, 其中 $K1$ 、 $K2$ 、 $K3$ 、 $Kc1$ 的对比图请参见图 14-6 所示,抵消之后得到的 K_{last} 请参见图 14-7(为欠补偿的示意图)所示。

应用场景三:

在本应用场景中,请参见图 15-1 至图 15-3 所示,参考信号输入路径、信号输出路径以及反馈信号传输路径的相位与温度变化斜率关系为

$K1+K2-K3 < 0$, 如果不接入相位延时单元, 锁相环电路最终输出相位随温度升高而减小。本实施例中在参考信号输入路径上接入相应个数的相位延时单元产生对应的 $Kc1$, 请参见图 15-4 所示, 信号输出路径、反馈信号传输路径当前不接入相位延时单元 (也可根据需求接入相位延时单元); 接入的相位延时单元输出相位随温度升高而增大, 由于锁相环电路参考信号输入路径的相位延时增大会导致锁相环电路输出相位延时增大的固有特性, 可借助仿真校准和离线校准, 接入的相位延时单元最终使得锁相环输出相位随温度升高而减小的特性减小, 即 $K_{last}=K1+K2-K3+Kc1$ 。在本应用场景中, 可借助图 5 和图 10 所示的仿真校准和离线校准, 通过相位延时单元控制模块控制相应个数的相位延时单元接入参考信号输入路径, 实现系数 $Kc1$ 的调整。在 $Kc1$ 的作用下, 实现 $K_{last}=K1+K2-K3+Kc1 \approx 0$, 其中 $K1$ 、 $K2$ 、 $K3$ 、 $Kc1$ 的对比图请参见图 15-5 所示, 抵消之后得到的 K_{last} 请参见图 15-6 (为过补偿的示意图) 所示。此时锁相环输出相位随温度升高略微减小。

应用场景四:

在本应用场景中, 请参见图 16-2 至图 16-4 所示, 参考信号输入路径、信号输出路径以及反馈信号传输路径的相位与温度变化斜率关系为 $K1+K2-K3 < 0$, 如果不接入相位延时单元, 锁相环电路最终输出相位随温度升高而减小。本实施例中在信号输出路径上接入相应个数的相位延时单元产生对应的 $Kc2$, 请参见图 16-1 和图 16-5 所示, 参考信号输入路径、反馈信号传输路径当前不接入相位延时单元 (也可根据需求接入相位延时单元); 接入的相位延时单元输出相位随温度升高而增大, 由于锁相环电路参考信号输入路径的相位延时增大会导致锁相环电路输出相位延时增大的固有特性, 可借助仿真校准和离线校准, 接入的相位延时单元最终使得锁相环输出相位随温度升高而减小的特性减小, 即 $K_{last}=K1+K2-K3+Kc2$ 。在本应用场景中, 可借助图 5 和图 10 所示的仿真

校准和离线校准，通过相位延时单元控制模块控制相应个数的相位延时单元接入信号输出路径，实现系数 $Kc2$ 的调整。在 $Kc2$ 的作用下，实现 $K_{last}=K1+K2-K3+Kc2 \approx 0$ ，其中 $K1$ 、 $K2$ 、 $K3$ 、 $Kc2$ 的对比图请参见图 16-6 所示，抵消之后得到的 K_{last} 请参见图 16-7 所示。此时锁相环输出相位随温度升高略微增大，但远小于 $K1+K2-K3$ 。

实施例四：

本实施例还提供了一种通信设备，该通信设备可以为但不限于基站或各种收发机，其包括至少一个上述各实施例所示的锁相环电路。在一种示例中，通信设备采用多通道通信时，可一个通道对应使用一个锁相环电路，也可多个通道共用一个锁相环电路。

为了便于理解，本实施例的一种示例中以通信设备为基站进行示例说明。且应当理解的是，本实施例中的基站可以为机柜式宏基站、分布式基站或多模基站。请参见图 17 所示，本示例中的基站包括基带单元 (Building Base band Unit, BBU) 171 和射频拉远单元 (Radio Remote Unit, RRU) 172 以及天线 173，其中：

基带单元 171 负责集中控制与管理整个基站系统，完成上下行基带处理功能，并提供与射频单元、传输网络的物理接口，完成信息交互。按照逻辑功能的不同，请参见图 17 所示，基带单元 171 可包括基带处理单元 1712、主控单元 1711、传输接口单元 1713 等。其中，主控单元 1711 主要实现基带单元的控制管理、信令处理、数据传输、交互控制、系统时钟提供等功能；基带处理单元 1712 设置为完成信号编码调制、资源调度、数据封装等基带协议处理，提供基带单元和射频拉远单元间的接口；传输接口单元 1713 负责提供与核心网连接的传输接口。在本示例中，上述各逻辑功能单元可分布在不同的物理板卡上，也可以集成在同一块板卡上。且可选的，基带单元 171 可采用基带主控集成式，也可采用基带主控分离式。

对于基带主控集成式，主控、传输、基带一体化设计，即基带处理单元与主控单元、传输接口单元集成在一块物理板卡上，该架构具有更高的可靠性、更低的低延、更高的资源共享及调度效率，同时功耗更低。对于基带主控分离式，基带处理单元与主控单元分布在不同的板卡上，对应于基带板、主控板，分离式架构支持板卡间自由组合、便于基带灵活扩容。具体可根据需求灵活采用设置。

射频拉远单元 172 通过基带射频接口与 BBU 通信，完成基带信号与射频信号的转换。参见图 17 所示，一种示例的射频拉远单元 172 主要包括接口单元 1721、上行信号处理单元 1724、下行信号处理单元 1722、功放单元 1723、低噪放单元 1725、双工器单元 1726 等，构成下行信号处理链路与上行信号处理链路。其中，接口单元 1721 提供与基带单元之间的前传接口，接收和发送基带 IQ 信号；下行信号处理单元 1722 完成信号上变频、数模转换、射频调制等信号处理功能；上行信号处理单元 1724 主要完成信号滤波、混频、模数转换、下变频等功能；功放单元 1723 设置为对下行信号进行放大后通过天线 173 发出；低噪放单元 1725 设置为对天线 173 接收到的上行信号进行放大后发给上行信号处理单元 1724 进行处理；双工器单元 1726 支持收发信号复用并对收发信号进行滤波。

另外，应当理解的是，本实施例中的基站还可采用 CU(Central Unit, 中央单元)-DU(Distributed Unit, 分布式单元)架构，其中 DU 是分布式接入点，负责完成底层基带协议及射频处理功能，CU 是中央单元，负责处理高层协议功能并集中管理多个 DU。CU 和 DU 共同完成基站的基带及射频处理功能。

可见，本领域的技术人员应该明白，上文中所公开方法中的全部或某些步骤、系统、装置中的功能模块/单元可以被实施为软件(可以用计算装置可执行的计算机程序代码来实现)、固件、硬件及其适当的组合。在硬

件实施方式中,在以上描述中提及的功能模块/单元之间的划分不一定对应于物理组件的划分;例如,一个物理组件可以具有多个功能,或者一个功能或步骤可以由若干物理组件合作执行。某些物理组件或所有物理组件可以被实施为由处理器,如中央处理器、数字信号处理器或微处理器执行的软件,或者被实施为硬件,或者被实施为集成电路,如专用集成电路。

此外,本领域普通技术人员公知的是,通信介质通常包含计算机可读指令、数据结构、计算机程序模块或者诸如载波或其他传输机制之类的调制数据信号中的其他数据,并且可包括任何信息递送介质。所以,本发明不限制于任何特定的硬件和软件结合。

以上内容是结合具体的实施方式对本公开所作的进一步详细说明,不能认定本发明的具体实施只局限于这些说明。对于本发明所属技术领域的普通技术人员来说,在不脱离本发明构思的前提下,还可以做出若干简单推演或替换,都应当视为属于本发明的保护范围。

工业实用性

基于本发明实施例提供的上述技术方案,锁相环电路包括锁相环主体电路以及相位温度补偿电路,可根据锁相环主体电路随温度变化所产生的相位偏移,设置相位温度补偿电路的至少一个相位延时单元接入锁相环主体电路,利用接入相位温度补偿电路的相位延时单元随温度变化所产生的相位偏移,对锁相环主体电路随温度变化所产生的相位偏移进行抵消;从而保证锁相环电路在工作过程中随着温度的变化不产生相位偏移或在很小范围内产生相位偏移;这样锁相环电路应用到多通道场景时,由于各通道的锁相环电路在工作过程中随着温度的变化不产生相位偏移或在很小范围内产生相位偏移,因此可保证各通道之前的相位差异在任何时刻都尽可能小,从而从根本上更好的满足多通道通信相位同步的需求;且可省略对各通道之间的相位进行检测以及对齐的控制操作,因此可同时提升资源利用率以及节省能耗。

权 利 要 求 书

1. 一种锁相环电路，包括锁相环主体电路以及相位温度补偿电路，所述相位温度补偿电路包括至少一个相位延时单元，且至少一个所述相位延时单元接入所述锁相环主体电路，接入所述锁相环主体电路的相位延时单元随温度变化所产生的相位偏移，与所述锁相环主体电路随温度变化所产生的相位偏移相互抵消。

2. 如权利要求 1 所述的锁相环电路，其中，所述锁相环主体电路上的传输路径自身的总输出相位与温度变化斜率 K_{out} 与接入所述锁相环主体电路的相位延时单元在所述传输路径上的总输出相位与温度变化斜率 K_{outc} 之间满足：

所述 K_{out} 的值为负时，所述 K_{outc} 的值为正，所述 K_{out} 的值为正时，所述 K_{outc} 的值为负，且所述 K_{out} 与所述 K_{outc} 之和的绝对值小于等于阈值 K_0 。

3. 如权利要求 2 所述的的锁相环电路，其中，所述传输路径包括参考信号输入路径、信号输出路径以及反馈信号传输路径，所述参考信号输入路径、信号输出路径以及反馈信号传输路径的相位与温度变化斜率分别为 K_1 、 K_2 和 K_3 ，所述 $K_{out}=K_1+K_2-K_3$ ；

接入所述锁相环主体电路的相位延时单元在所述参考信号输入路径、信号输出路径以及反馈信号传输路径上的相位与温度变化斜率分别为 K_{c1} 、 K_{c2} 、 K_{c3} ，所述 $K_{outc}=K_{c1}+K_{c2}-K_{c3}$ 。

4. 如权利要求 3 所述的锁相环电路，其中，所述 K_{out} 的值为正时，所述 K_{c1} 、 K_{c2} 中的至少一个为 0。

5. 如权利要求 4 所述的锁相环电路，其中，所述 K_{out} 的值为正时，所述 K_{c1} 、 K_{c2} 都为 0。

6. 如权利要求 3 至 5 任一项所述的锁相环电路, 其中, 所述 K_{out} 的值为负时, 所述 K_{c3} 为 0。

7. 如权利要求 3 至 5 任一项所述的锁相环电路, 其中, 所述 K_{out} 的值为负时, 所述 K_{c1} 或 K_{c2} 为 0。

8. 如权利要求 1 至 5 任一项所述的锁相环电路, 其中, 还包括相位延时单元控制模块, 设置为根据相位延时单元控制参数, 控制相应个数的相位延时单元接入所述锁相环主体电路; 所述相位延时单元控制参数根据所述锁相环主体电路随温度变化所产生的相位偏移确定。

9. 一种如权利要求 1 至 8 任一项所述的锁相环电路设置方法, 包括:

通过仿真得到所述锁相环主体电路随温度变化所产生的相位偏移;

根据所述相位偏移确定相位延时单元控制参数;

根据所述相位延时单元控制参数控制相应个数的所述相位延时单元接入所述锁相环主体电路。

10. 如权利要求 9 所述的锁相环电路设置方法, 其中, 根据所述相位延时单元控制参数控制相应个数的所述相位延时单元接入所述锁相环主体电路之后, 还包括以下校准过程:

获取接入所述锁相环主体电路的相位延时单元随温度变化所产生的相位偏移, 与所述锁相环主体电路随温度变化所产生的相位偏移相互抵消后输出的最终相位偏移;

根据所述最终相位偏移确定需要增加或减少接入所述锁相环主体电路的相位延时单元的个数 m , 并对应增加 m 个相位延时单元接入所述锁相环主体电路, 或从当前接入所述锁相环主体电路的相位延时单元中, 断

开 m 个相位延时单元。

11. 一种通信设备，包括至少一个如权利要求 1 至 9 任一项所述的锁相环电路。

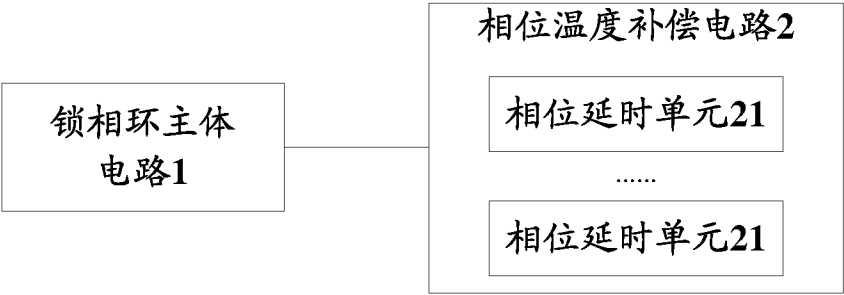


图 1

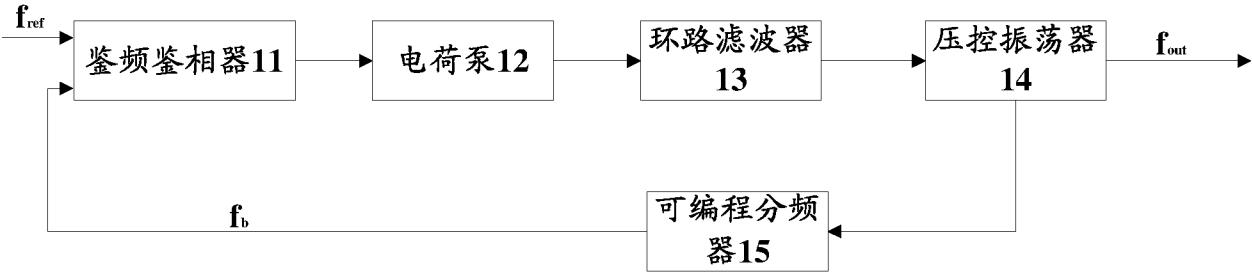


图 2

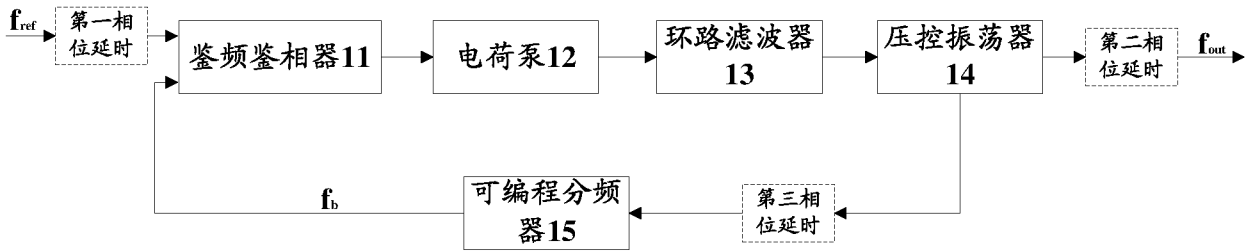


图 3

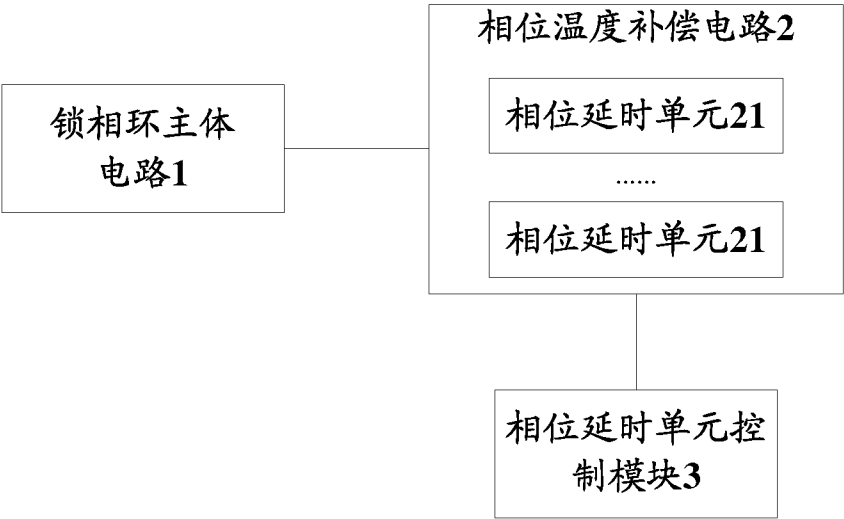


图 4

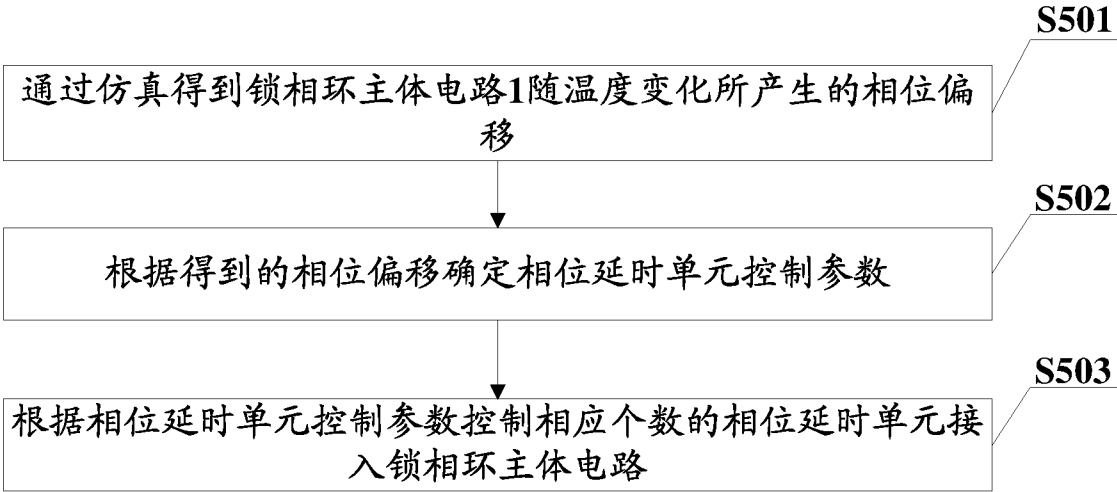


图 5

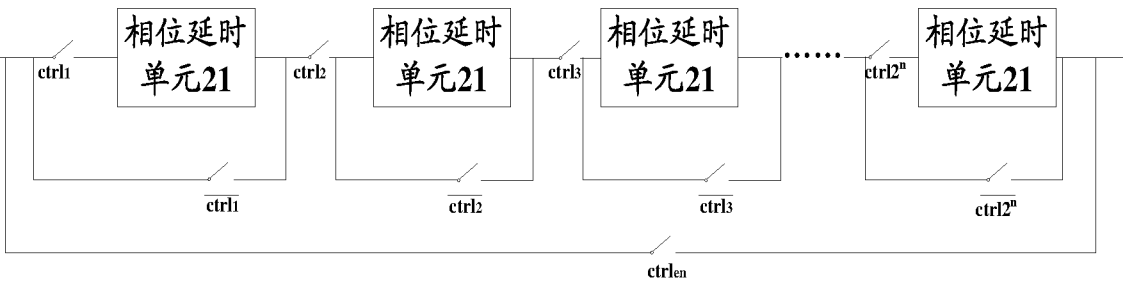


图 6

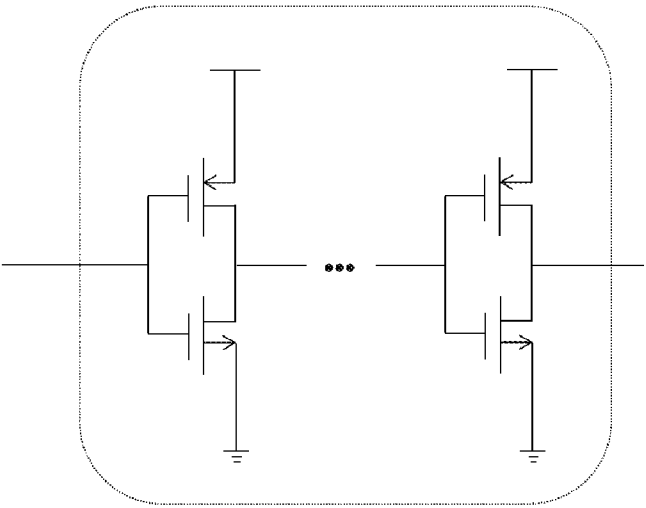


图 7

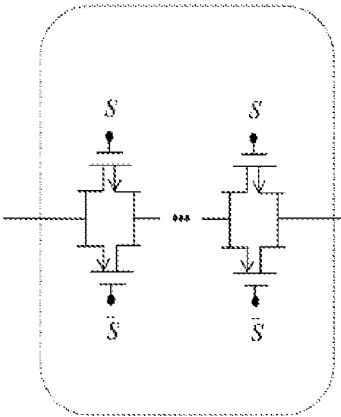


图 8-1

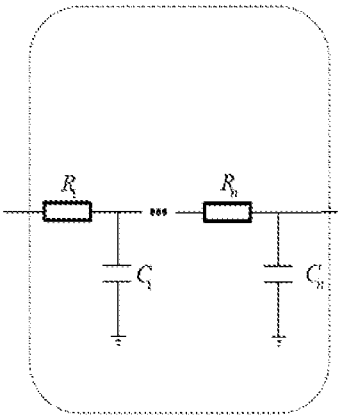


图 8-2

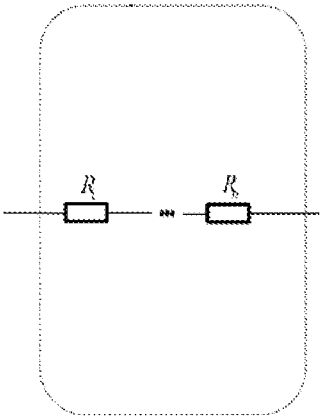


图 8-3

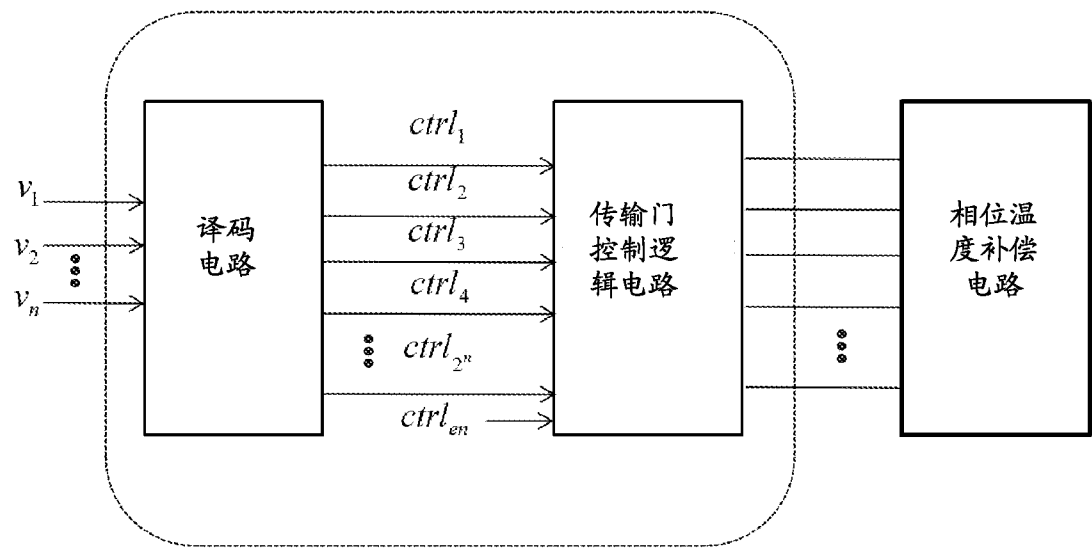


图 9

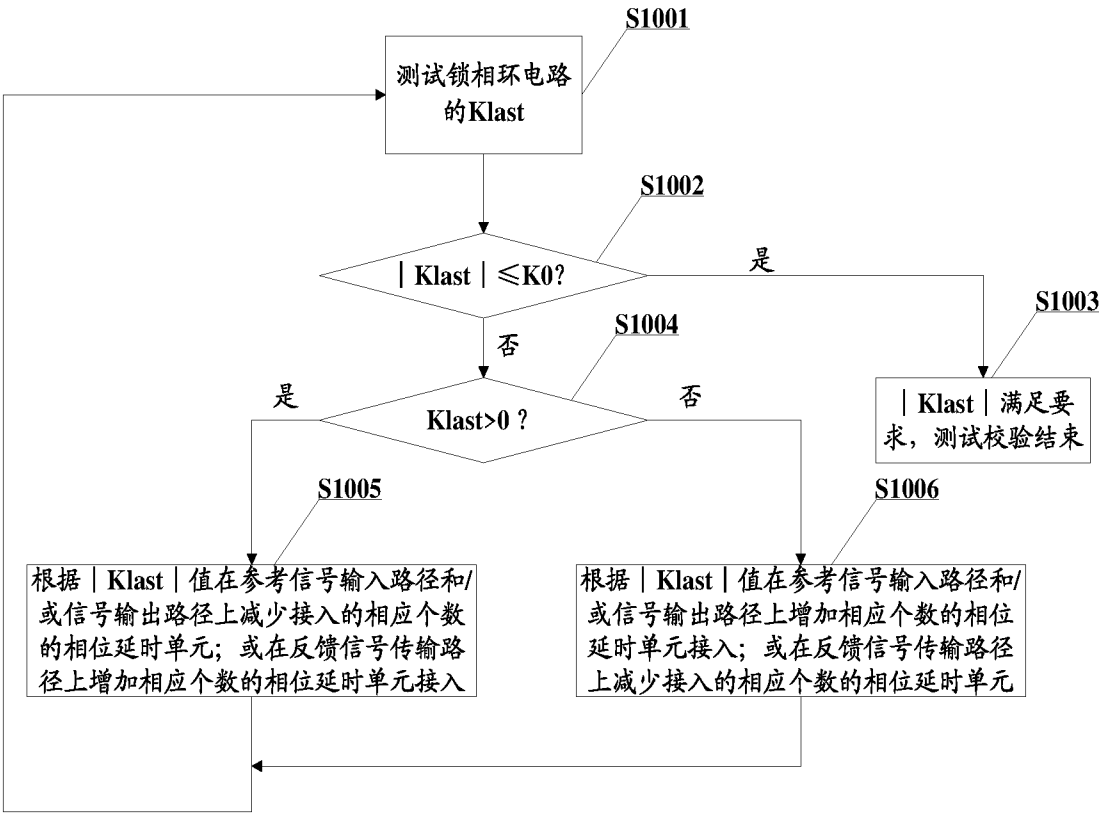


图 10

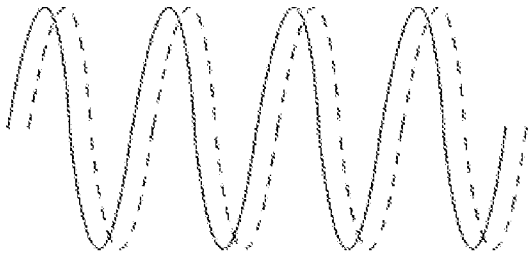


图 11-1

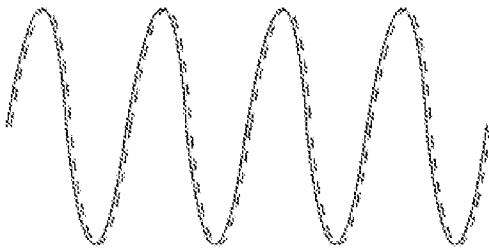


图 11-2

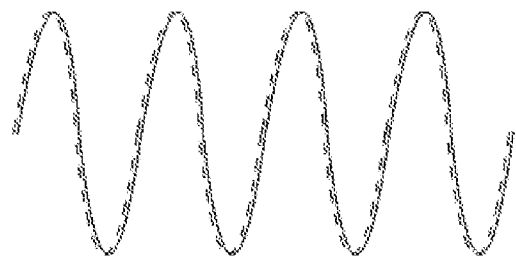


图 11-3

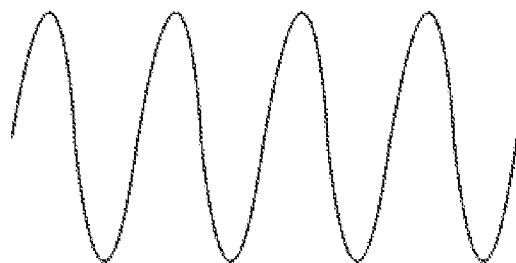


图 11-4

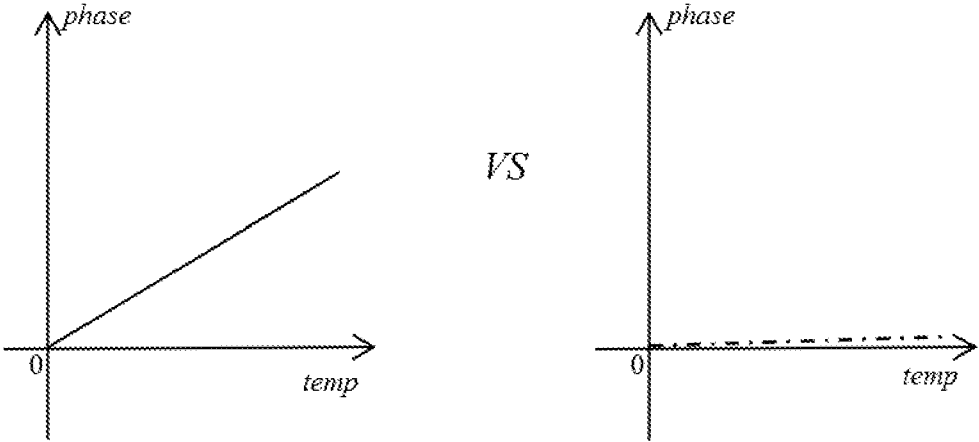


图 12

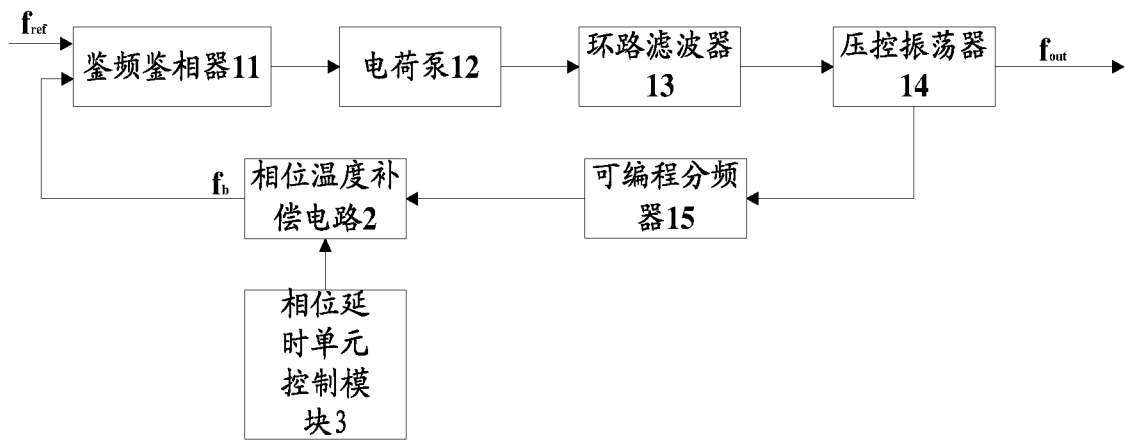


图 13-1

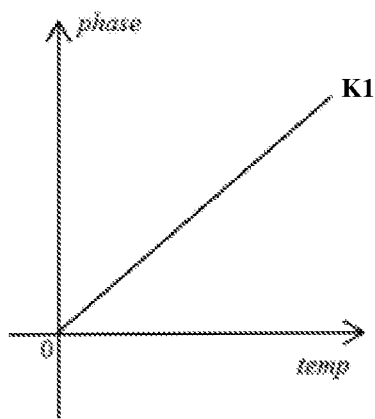


图 13-2

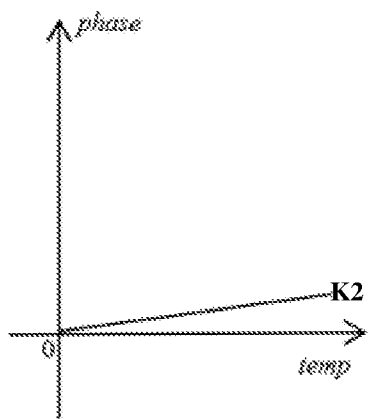


图 13-3

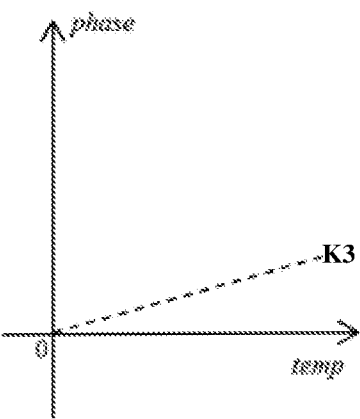


图 13-4

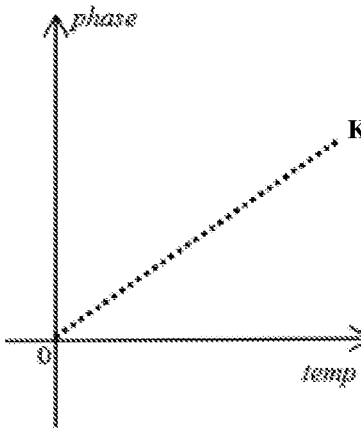


图 13-5

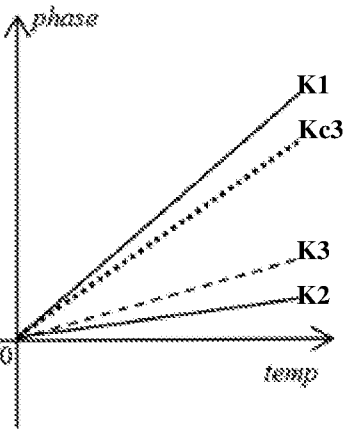


图 13-6

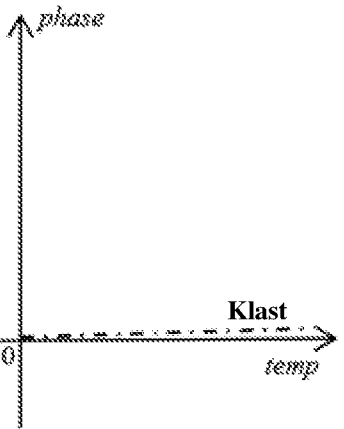


图 13-7

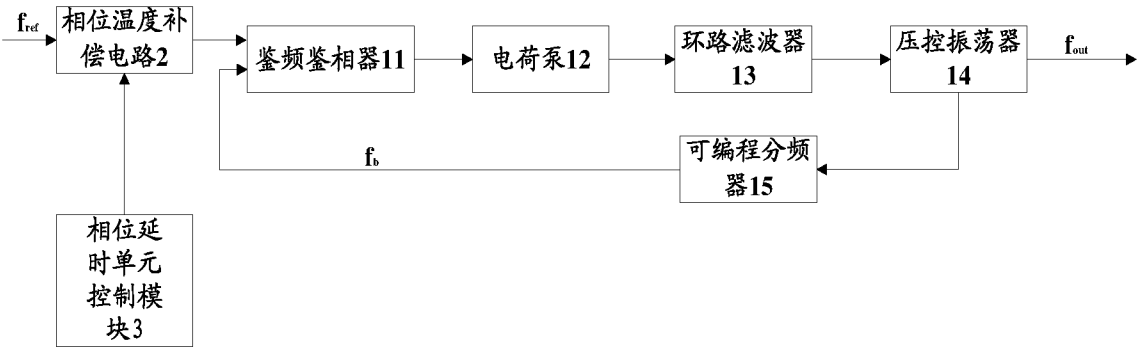


图 14-1

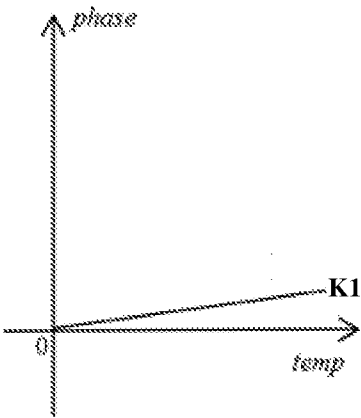


图 14-2

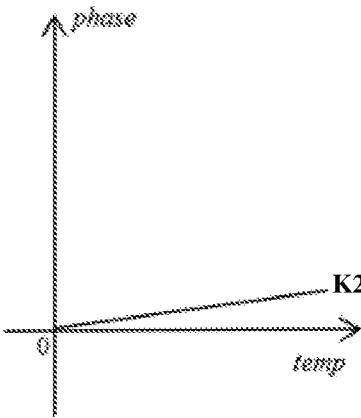


图 14-3

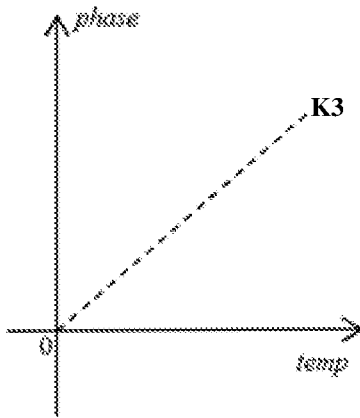


图 14-4

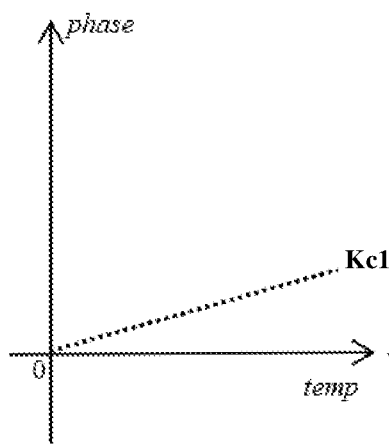


图 14-5

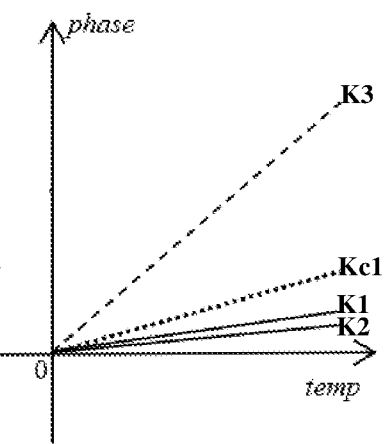


图 14-6

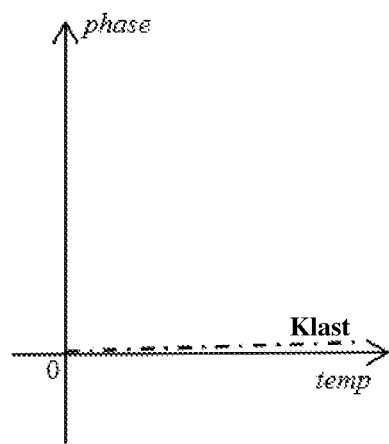


图 14-7

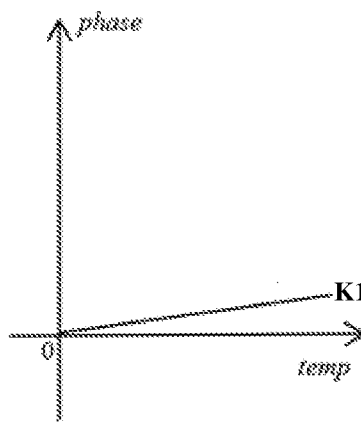


图 15-1

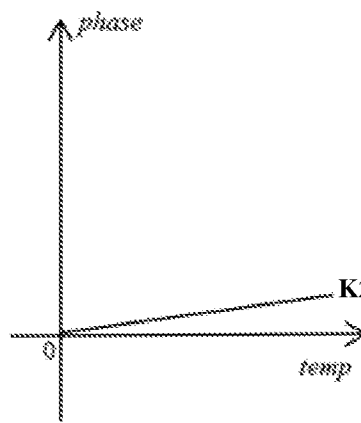


图 15-2

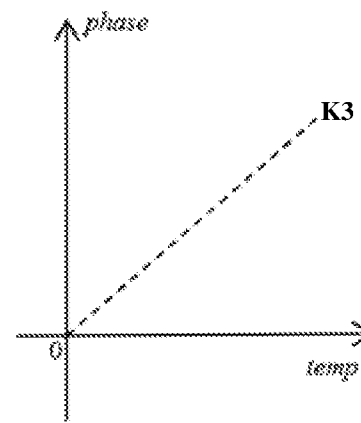


图 15-3

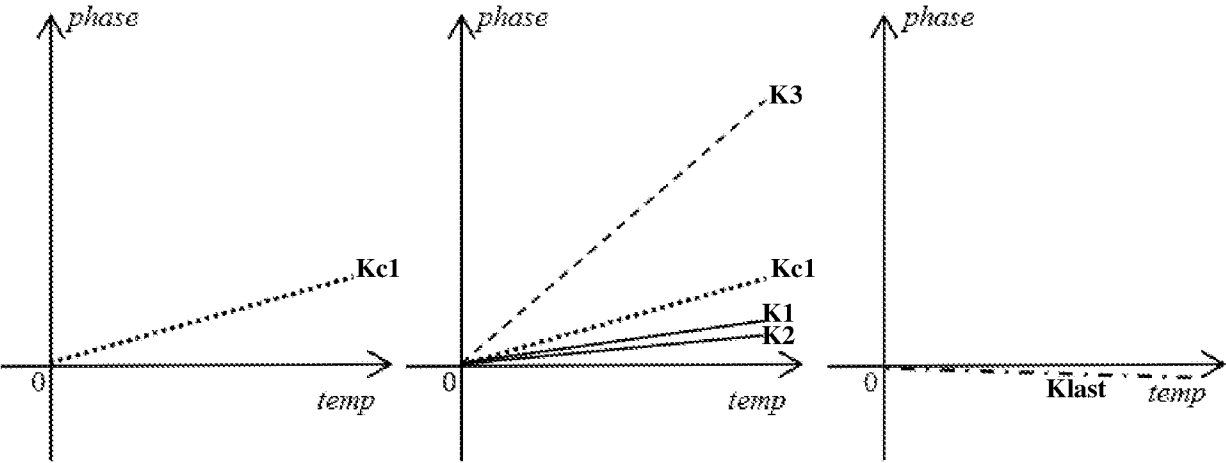


图 15-4

图 15-5

图 15-6

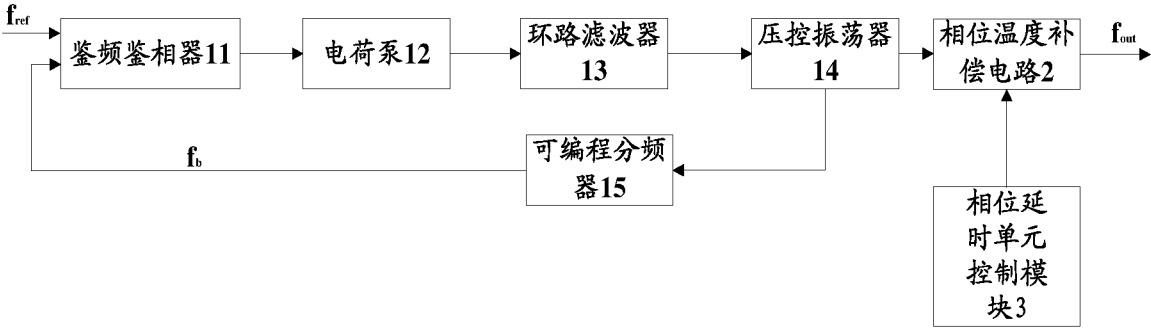


图 16-1

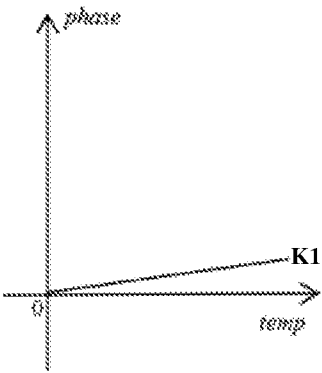


图 16-2

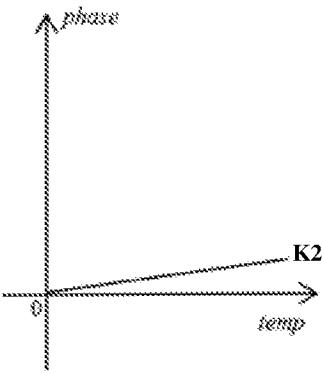


图 16-3

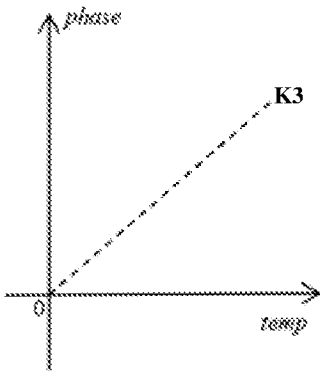


图 16-4

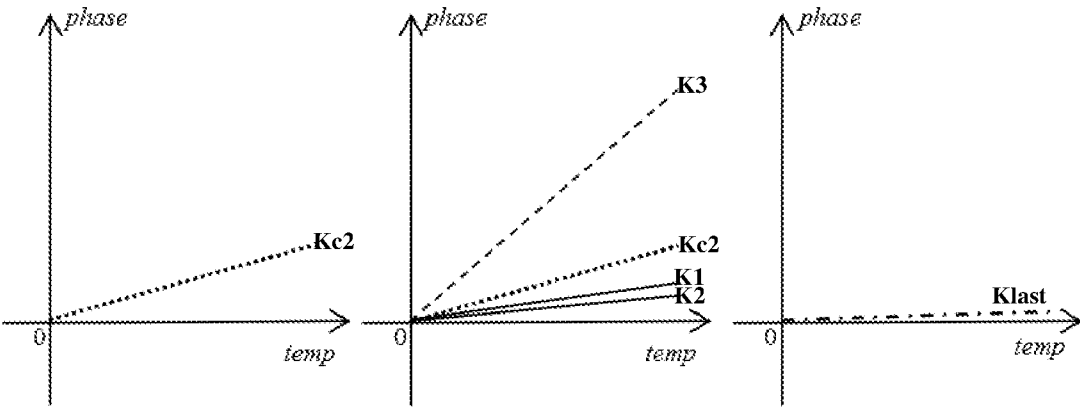


图 16-5

图 16-6

图 16-7

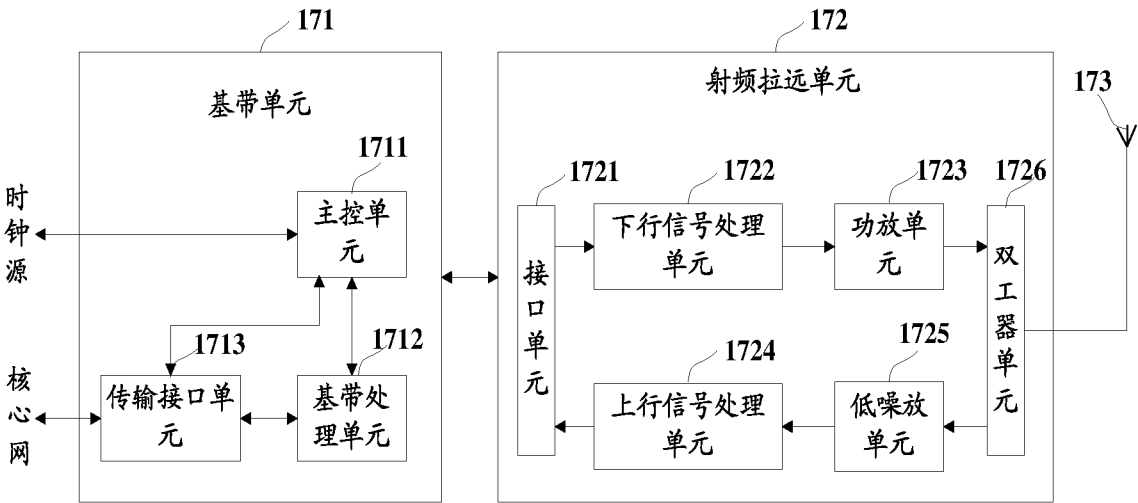


图 17

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2020/097225

A. CLASSIFICATION OF SUBJECT MATTER

H03L 7/099(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H03L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNPAT, CNKI, WPI, EPODOC: 锁相环, 电路, 相位, 温度, 补偿, 相位延时单元, 相位偏移, 延时单元, 相互, 抵消, 仿真, 参数, 模拟, 偏移, 延时, phase locked loop, circuit, phase, temperature, compensation, phase delay element, phase offset, delay element, mutual, cancellation, simulation, parameter, offset, delay

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	CN 108988854 A (XIDIAN UNIVERSITY) 11 December 2018 (2018-12-11) description, paragraphs [0002]-[0041], figures 1-4	1-11
X	CN 105629772 A (SHENZHEN ARK MICRO TECHNOLOGIES INC.) 01 June 2016 (2016-06-01) description, paragraphs [0002]-[0042], figures 1-11	1-11
X	CN 1968006 A (INSTITUTE OF SEMICONDUCTORS, CHINESE ACADEMY OF SCIENCES) 23 May 2007 (2007-05-23) description, page 1, paragraph 2 to page 5, paragraph 5, figures 1-7	1-11
A	CN 104135277 A (SHENZHEN UNIVERSITY) 05 November 2014 (2014-11-05) entire document	1-11
A	CN 101662260 A (RENESAS TECHNOLOGY CORPORATION) 03 March 2010 (2010-03-03) entire document	1-11
A	WO 2006000611 A1 (NOKIA CORPORATION) 05 January 2006 (2006-01-05) entire document	1-11



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance
 “E” earlier application or patent but published on or after the international filing date
 “L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
 “O” document referring to an oral disclosure, use, exhibition or other means
 “P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
 “X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
 “Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
 “&” document member of the same patent family

Date of the actual completion of the international search

14 August 2020

Date of mailing of the international search report

28 August 2020

Name and mailing address of the ISA/CN

China National Intellectual Property Administration (ISA/
CN)
No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing
100088
China

Facsimile No. (86-10)62019451

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2020/097225

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
CN	108988854	A	11 December 2018	None			
CN	105629772	A	01 June 2016	None			
CN	1968006	A	23 May 2007	None			
CN	104135277	A	05 November 2014	None			
CN	101662260	A	03 March 2010	JP	2010056856	A	11 March 2010
				US	2010052795	A1	04 March 2010
WO	2006000611	A1	05 January 2006	US	2005285692	A1	29 December 2005
				AT	494660	T	15 January 2011
				EP	1762004	A1	14 March 2007
				CN	1993890	A	04 July 2007
				DE	602004030953	D1	17 February 2011
				KR	20070019792	A	15 February 2007

国际检索报告

国际申请号

PCT/CN2020/097225

A. 主题的分类 H03L 7/099 (2006.01) i 按照国际专利分类 (IPC) 或者同时按照国家分类和 IPC 两种分类																							
B. 检索领域 检索的最低限度文献 (标明分类系统和分类号) H03L 包含在检索领域中的除最低限度文献以外的检索文献 在国际检索时查阅的电子数据库 (数据库的名称, 和使用的检索词 (如使用)) CNPAT, CNKI, WPI, EP0DOC: 锁相环, 电路, 相位, 温度, 补偿, 相位延时单元, 相位偏移, 延时单元, 相互, 抵消, 仿真, 参数, 模拟, 偏移, 延时, phase locked loop, circuit, phase, temperature, compensation, phase delay element, phase offset, delay element, mutual, cancellation, simulation, parameter, offset, delay																							
C. 相关文件 <table border="1"> <thead> <tr> <th>类 型*</th> <th>引用文件, 必要时, 指明相关段落</th> <th>相关的权利要求</th> </tr> </thead> <tbody> <tr> <td>X</td> <td>CN 108988854 A (西安电子科技大学) 2018年 12月 11日 (2018 - 12 - 11) 说明书第[0002]段-第[0041]段, 附图1-4</td> <td>1-11</td> </tr> <tr> <td>X</td> <td>CN 105629772 A (深圳艾科创新微电子有限公司) 2016年 6月 1日 (2016 - 06 - 01) 说明书第[0002]段-第[0042]段, 附图1-11</td> <td>1-11</td> </tr> <tr> <td>X</td> <td>CN 1968006 A (中国科学院半导体研究所) 2007年 5月 23日 (2007 - 05 - 23) 说明书第1页第2段-第5页第5段, 附图1-7</td> <td>1-11</td> </tr> <tr> <td>A</td> <td>CN 104135277 A (深圳大学) 2014年 11月 5日 (2014 - 11 - 05) 全文</td> <td>1-11</td> </tr> <tr> <td>A</td> <td>CN 101662260 A (株式会社瑞萨科技) 2010年 3月 3日 (2010 - 03 - 03) 全文</td> <td>1-11</td> </tr> <tr> <td>A</td> <td>WO 2006000611 A1 (NOKIA CORPORATION) 2006年 1月 5日 (2006 - 01 - 05) 全文</td> <td>1-11</td> </tr> </tbody> </table>			类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求	X	CN 108988854 A (西安电子科技大学) 2018年 12月 11日 (2018 - 12 - 11) 说明书第[0002]段-第[0041]段, 附图1-4	1-11	X	CN 105629772 A (深圳艾科创新微电子有限公司) 2016年 6月 1日 (2016 - 06 - 01) 说明书第[0002]段-第[0042]段, 附图1-11	1-11	X	CN 1968006 A (中国科学院半导体研究所) 2007年 5月 23日 (2007 - 05 - 23) 说明书第1页第2段-第5页第5段, 附图1-7	1-11	A	CN 104135277 A (深圳大学) 2014年 11月 5日 (2014 - 11 - 05) 全文	1-11	A	CN 101662260 A (株式会社瑞萨科技) 2010年 3月 3日 (2010 - 03 - 03) 全文	1-11	A	WO 2006000611 A1 (NOKIA CORPORATION) 2006年 1月 5日 (2006 - 01 - 05) 全文	1-11
类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求																					
X	CN 108988854 A (西安电子科技大学) 2018年 12月 11日 (2018 - 12 - 11) 说明书第[0002]段-第[0041]段, 附图1-4	1-11																					
X	CN 105629772 A (深圳艾科创新微电子有限公司) 2016年 6月 1日 (2016 - 06 - 01) 说明书第[0002]段-第[0042]段, 附图1-11	1-11																					
X	CN 1968006 A (中国科学院半导体研究所) 2007年 5月 23日 (2007 - 05 - 23) 说明书第1页第2段-第5页第5段, 附图1-7	1-11																					
A	CN 104135277 A (深圳大学) 2014年 11月 5日 (2014 - 11 - 05) 全文	1-11																					
A	CN 101662260 A (株式会社瑞萨科技) 2010年 3月 3日 (2010 - 03 - 03) 全文	1-11																					
A	WO 2006000611 A1 (NOKIA CORPORATION) 2006年 1月 5日 (2006 - 01 - 05) 全文	1-11																					
☐ 其余文件在C栏的续页中列出。 ☒ 见同族专利附件。																							
<table border="0"> <tr> <td> * 引用文件的具体类型: “A” 认为不特别相关的表示了现有技术一般状态的文件 “E” 在国际申请日的当天或之后公布的在先申请或专利 “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的) “O” 涉及口头公开、使用、展览或其他方式公开的文件 “P” 公布日先于国际申请日但迟于所要求的优先权日的文件 </td> <td> “T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 “&” 同族专利的文件 </td> </tr> </table>			* 引用文件的具体类型: “A” 认为不特别相关的表示了现有技术一般状态的文件 “E” 在国际申请日的当天或之后公布的在先申请或专利 “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的) “O” 涉及口头公开、使用、展览或其他方式公开的文件 “P” 公布日先于国际申请日但迟于所要求的优先权日的文件	“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 “&” 同族专利的文件																			
* 引用文件的具体类型: “A” 认为不特别相关的表示了现有技术一般状态的文件 “E” 在国际申请日的当天或之后公布的在先申请或专利 “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的) “O” 涉及口头公开、使用、展览或其他方式公开的文件 “P” 公布日先于国际申请日但迟于所要求的优先权日的文件	“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 “&” 同族专利的文件																						
国际检索实际完成的日期 2020年 8月 14日		国际检索报告邮寄日期 2020年 8月 28日																					
ISA/CN的名称和邮寄地址 中国国家知识产权局 (ISA/CN) 中国北京市海淀区蓟门桥西土城路6号 100088 传真号 (86-10)62019451		受权官员 王成苗 电话号码 (86-10)53961686																					

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2020/097225

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	108988854	A	2018年 12月 11日	无			
CN	105629772	A	2016年 6月 1日	无			
CN	1968006	A	2007年 5月 23日	无			
CN	104135277	A	2014年 11月 5日	无			
CN	101662260	A	2010年 3月 3日	JP	2010056856	A	2010年 3月 11日
				US	2010052795	A1	2010年 3月 4日
WO	2006000611	A1	2006年 1月 5日	US	2005285692	A1	2005年 12月 29日
				AT	494660	T	2011年 1月 15日
				EP	1762004	A1	2007年 3月 14日
				CN	1993890	A	2007年 7月 4日
				DE	602004030953	D1	2011年 2月 17日
				KR	20070019792	A	2007年 2月 15日