

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2020年1月2日(02.01.2020)



(10) 国際公開番号

WO 2020/003564 A1

(51) 国際特許分類:

H01L 31/10 (2006.01) H01L 27/146 (2006.01)
H01L 21/336 (2006.01) H01L 29/786 (2006.01)

(21) 国際出願番号: PCT/JP2019/000376

(22) 国際出願日: 2019年1月9日(09.01.2019)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:

特願 2018-122776 2018年6月28日(28.06.2018) JP

(71) 出願人: 三菱電機株式会社(MITSUBISHI ELECTRIC CORPORATION) [JP/JP]; 〒1008310 東京都千代田区丸の内二丁目7番3号 Tokyo (JP).

(72) 発明者: 嶋谷 政彰 (SHIMATANI, Masaaki); 〒1008310 東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内 Tokyo (JP). 小川 新平 (OGAWA, Shimpei); 〒1008310 東京都千代

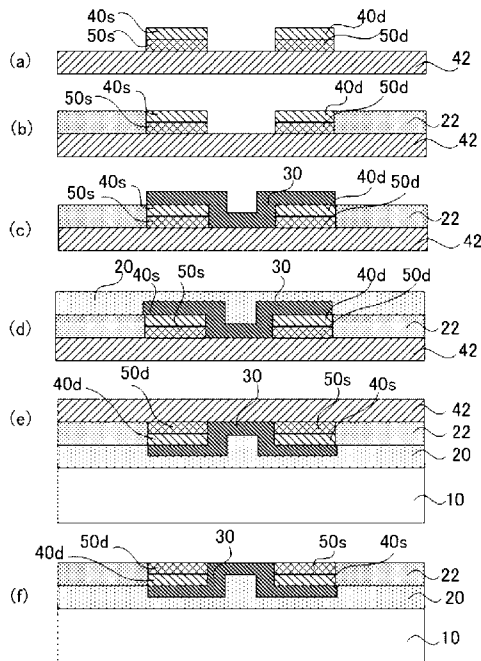
田区丸の内二丁目7番3号 三菱電機株式会社内 Tokyo (JP). 福島 昌一郎 (FUKUSHIMA, Shoichiro); 〒1008310 東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内 Tokyo (JP).

(74) 代理人: 村上 加奈子, 外(MURAKAMI, Kanako et al.); 〒1008310 東京都千代田区丸の内二丁目7番3号 三菱電機株式会社 知的財産センター内 Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,

(54) Title: ELECTRONIC DEVICE USING GRAPHENE, METHOD OF MANUFACTURING SAME, AND ELECTROMAGNETIC WAVE DETECTOR INCLUDING SAME

(54) 発明の名称: グラフェンを用いた電子デバイス、その製造方法及びそれを備えた電磁波検出器



(57) Abstract: The present invention includes: a step of forming a catalyst metal (42); a step of forming a catalyst metal (40); a step of forming a protective film (22) such that top surfaces of the catalyst metal (42) and the catalyst metal (40) are exposed; a step of forming a graphene layer (30) on the exposed catalyst metal (42) and catalyst metal (40); a step of forming an insulating film (20) so as to cover the graphene layer (30); a step of forming a substrate (10) on the insulating film (20); and a step of removing the catalyst metal (42). The present invention is capable of reducing process damage to the graphene layer and of improving performance.

(57) 要約: 触媒金属(42)を形成する工程と、触媒金属(40)を形成する工程と、触媒金属(42)及び触媒金属(40)の上面が露出するように保護膜(22)を形成する工程と、露出した触媒金属(42)及び触媒金属(40)の上にグラフェン層(30)を形成する工程と、グラフェン層(30)を覆うように絶縁膜(20)を形成する工程と、絶縁膜(20)上に基板(10)を形成する工程と、触媒金属(42)を除去する工程とを備え、グラフェン層へのプロセスダメージを減らすことができ、性能の向上させることができる。

SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA,
UG, US, UZ, VC, VN, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 一 国際調査報告 (条約第21条(3))

明 細 書

発明の名称：

グラフェンを用いた電子デバイス、その製造方法及びそれを備えた電磁波
検出器

技術分野

[0001] 本発明は、グラフェンを用いた電子デバイス、その製造方法及びそれを備えた電磁波検出器に関する。

背景技術

[0002] 次世代の電磁波検出器に用いられる電磁波検出層の材料として、バンドギャップがゼロ又は極めて小さいグラフェンが注目されており、例えば、半導体基板上に絶縁膜を設け、絶縁膜上にグラフェンからなるチャネル領域を形成し、グラフェンの両端にソース・ドレイン電極を形成したグラフェンを用いた電子デバイスを備える電磁波検出器が提案されている。

[0003] グラフェンは、一般に、熱CVD (Chemical Vapor Deposition) 法を用いて成膜され、広い面積に成膜可能でグラフェンの層数の制御も可能であるが、熱CVD法によるグラフェンの成膜方法は、金属触媒基板上にグラフェンを成膜するため、成膜されたグラフェン膜を金属触媒基板から別の基板に転写する必要がある。

[0004] 従来のグラフェン膜の転写方法としては、グラフェン上に樹脂層を成膜し、金属触媒基板から剥離し、水中で別の基板に転写する方法が一般的である。また、別のグラフェン膜の転写方法として、触媒金属基板上に形成されたグラフェン膜と別の基板とを、揮発成分の含有量が1重量%未満で粘着性を有する樹脂層により張り合わせ、触媒金属基板を除去することで水中転写工程を経ずにグラフェン膜を別の基板へ転写する方法が提案されている（特許文献1参照）。

先行技術文献

特許文献

[0005] 特許文献1：特開2012-140308

発明の概要

発明が解決しようとする課題

[0006] しかしながら、従来のグラフェンを用いた電子デバイスの製造方法は、グラフェン層上にソース・ドレイン電極を形成する工程及びグラフェン層をチャネル部として加工する工程を備え、これら工程によって、グラフェン層がプロセスダメージを受ける。このグラフェン層のプロセスダメージは、チャネル領域の移動度低下及びグラフェンを用いた電子デバイスのノイズ増加の原因になり、グラフェンを用いた電子デバイスの性能を劣化させる問題点がある。

[0007] そこで、本発明は、このような従来技術の問題点を解決すべくなされたものであって、グラフェン層へのプロセスダメージを減らすことができ、性能を向上させることができるグラフェンを用いた電子デバイス、その製造方法及びそれを備えた電磁波検出器を提供することを目的とする。

課題を解決するための手段

[0008] 以上の目的を達成するために、本発明のグラフェンを用いた電子デバイスは、第1の基板と、第1の基板上に設けられる絶縁膜と、絶縁膜上に設けられるチャネル領域となる単層グラフェン層と、絶縁膜上に設けられ、単層グラフェン層に隣接する多層グラフェン層と、多層グラフェン層の上面全面に設けられ、多層グラフェン層を介して単層グラフェン層と電氣的に接続される第1の触媒金属とを備えることを特徴とする。

[0009] 以上の目的を達成するために、本発明のグラフェンを用いた電子デバイスの製造方法は、第2の触媒金属を形成する工程と、第3の触媒金属を形成する工程と、第2の触媒金属及び第3の触媒金属の上面が露出するように保護膜を形成する工程と、触媒金属を形成した後、露出した第2の触媒金属及び第3の触媒金属の上にグラフェン層を形成する工程と、グラフェン層を形成した後、グラフェン層を覆うように絶縁膜を形成する工程と、絶縁膜を形成した後、絶縁膜上に第2の基板を形成する工程と、グラフェン層を形成した

後、第2の触媒金属を除去する工程とを備えることを特徴とする。

発明の効果

[0010] 以上のように構成された本発明のグラフェンを用いた電子デバイス、その製造方法及びそれを備えた電磁波検出器は、第1の触媒金属、第2の触媒金属又は第3の触媒金属を用いることにより、グラフェン層へのプロセスダメージを減らすことができ、性能を向上させることができるグラフェンを用いた電子デバイス、その製造方法及びそれを備えた電磁波検出器を提供することができる。

図面の簡単な説明

[0011] [図1]本発明の実施の形態1であるグラフェンを用いた電子デバイスの構成を示す平面図及び断面図。

[図2]本発明の実施の形態1であるグラフェンを用いた電子デバイスの製造方法を示す断面図。

[図3]本発明の実施の形態2であるグラフェンを用いた電子デバイスの構成を示す断面図。

[図4]本発明の実施の形態3であるグラフェンを用いた電子デバイスの構成を示す断面図。

[図5]本発明の実施の形態4であるグラフェンを用いた電子デバイスの構成を示す断面図。

[図6]本発明の実施の形態5であるグラフェンを用いた電子デバイスの構成を示す断面図。

[図7]本発明の実施の形態5であるグラフェンを用いた電子デバイスの効果を説明するための図。

[図8]本発明の実施の形態6であるグラフェンを用いた電子デバイスの構成を示す断面図。

[図9]本発明の実施の形態6であるグラフェンを用いた電子デバイスの製造方法の一部を示す断面図。

[図10]本発明の実施の形態7であるグラフェンを用いた電子デバイスの構成

を示す断面図。

[図11]本発明の実施の形態8であるグラフェンを用いた電子デバイスの構成を示す断面図。

[図12]本発明の実施の形態8であるグラフェンを用いた電子デバイスの製造方法の一部を示す断面図。

[図13]本発明の実施の形態9であるグラフェンを用いた電子デバイスの構成を示す断面図。

[図14]本発明の実施の形態9であるグラフェンを用いた電子デバイスの製造方法の一部を示す断面図。

[図15]本発明の実施の形態10であるグラフェンを用いた電子デバイスの構成を示す断面図。

[図16]本発明の実施の形態11であるグラフェンを用いた電子デバイスの構成を示す断面図。

[図17]本発明の実施の形態11であるグラフェンを用いた電子デバイスの製造方法を示す断面図。

[図18]本発明の実施の形態12であるグラフェンを用いた電子デバイスの構成を示す断面図。

[図19]本発明の実施の形態13であるグラフェンを用いた電子デバイスの構成を示す断面図。

[図20]本発明の実施の形態13であるグラフェンを用いた電子デバイスの製造方法を示す断面図。

[図21]本発明の実施の形態14であるグラフェンを用いた電子デバイスの効果を説明するための図。

[図22]本発明の実施の形態15である電磁波検出器の構成を示す平面図。

[図23]本発明の実施の形態15である電磁波検出器の構成を示す平面図。

[図24]本発明の実施の形態15である電磁波検出器の構成を示す断面図。

[図25]本発明の実施の形態16である電磁波検出器の構成を示す回路図。

発明を実施するための形態

[0012] はじめに、この発明のグラフェンを用いた電子デバイス及び電磁波検出器の構成について、図面を参照しながら説明する。なお、図は模式的なものであり、機能又は構造を概念的に説明するものである。また、以下に示す実施の形態により本発明が限定されるものではない。特記する場合を除いて、電磁波検出器の基本構成は全ての実施の形態において共通である。また、同一の符号を付したものは、同一又はこれに相当するものであり、このことは明細書の全文において共通する。

[0013] 本発明の実施の形態では、電磁波検出器について、可視光又は赤外光を用いて説明するが、本発明はこれらに加えて、例えば、X線、紫外光、近赤外光、テラヘルツ（THz）波、又は、マイクロ波などの電波領域の検出器としても有効である。なお、本発明の実施の形態において、これらの光及び電波を総称して電磁波と記載する。

[0014] また、本発明の実施の形態では、グラフェンを用いたデバイスの一例としてトランジスタ構造を有するグラフェンを用いた電子デバイスを用いて説明しているが、本発明はトランジスタに限定されるものではなく、ショットキー又はダイオードなどの他の電極とグラフェンを用いた構造にも適用可能である。

[0015] また、本発明の実施の形態では、トランジスタ構造を有するグラフェンを用いた電子デバイスとして、ソースとドレインの2つの電極を有する構造、バックゲートとなる裏面電極をさらに有する構造を用いて説明するが、本発明は、4端子電極構造又はトップゲート構造などの他の電極構造を備えた電磁波検出器にも適用できる。

[0016] また、本発明の実施の形態では、グラフェンとしてp型グラフェン又はn型グラフェンの用語が用いられているが、真性状態のグラフェンよりも正孔が多いものをp型、電子が多いものをn型と呼ぶ。

[0017] また、本発明の実施の形態では、グラフェンの上に設ける接触層の材料について、n型又はp型の用語が用いられているが、これらの用語は、例えば、n型であれば電子供与性を有する材料、p型であれば電子求引性を有する

材料を示す。また、分子全体において電荷に偏りが見られ、電子が支配的となるものをn型、正孔が支配的となるものをp型と呼ぶ。これらの接触層の材料は、有機物及び無機物のいずれか一方又はそれらの混合物を用いることができる。

[0018] また、金属表面と光との相互作用である表面プラズモン共鳴現象等のプラズモン共鳴現象、可視光域・近赤外光域以外での金属表面にかかる共鳴という意味での擬似表面プラズモン共鳴と呼ばれる現象、又は、波長以下の寸法の構造により特定の波長を操作するという意味でのメタマテリアル又はプラズモニックメタマテリアルと呼ばれる現象については、特にこれらを名称により区別せず、現象が及ぼす効果の面からは同等の扱いとする。ここでは、これらの共鳴を、表面プラズモン共鳴、プラズモン共鳴、又は、単に共鳴と呼ぶ。

[0019] 実施の形態1.

図1は、本発明の実施の形態1であるグラフェンを用いた電子デバイスの構成を示す平面図及び断面図である。図1の(a)は、本実施の形態であるグラフェンを用いた電子デバイスの構成を示す平面図であり、図1の(b)は、本実施の形態であるグラフェンを用いた電子デバイスの構成を示す断面図であり、図1の(a)の切断線A-Aから見た断面図である。

[0020] 本実施の形態であるグラフェンを用いた電子デバイスは、図1に示すように、基板10と、基板10上に設けられる絶縁膜20と、絶縁膜20上に設けられるチャネル領域となるグラフェン層30と、グラフェン層30の上面に設けられ、グラフェン層30と電氣的に接続される触媒金属40s, 40dと、触媒金属40s, 40d上に設けられる電極50s, 50dと、絶縁膜20上に設けられる保護膜22とを備える。

[0021] 基板10は、表面及び表面と平行に対向する裏面を有し、例えば、シリコン等の半導体材料からなり、具体的には、高抵抗シリコン基板、熱酸化膜を形成して絶縁性を高めた基板、又は、不純物がドーパされたシリコン基板などが用いられる。

[0022] ここで、基板 10 として、シリコン基板を例に説明したが、ゲルマニウム、ⅢⅤ族又はⅡⅤ族半導体などの化合物半導体、水銀カドミウムテルル、インジウムアンチモン、鉛セレン、鉛硫黄、カドミウム硫黄、ガリウム窒素、シリコンカーバイド、又は、量子井戸又は量子ドットを含む基板、Type Ⅱ超格子などの材料の単体又はそれらを組み合わせた基板を用いてもよい。

[0023] 絶縁膜 20 は、図 1 の (b) に示すように、基板 10 の表面上に設けられ、例えば、酸化シリコンからなる絶縁膜を用いることができる。

[0024] ここで、絶縁膜 20 として、酸化シリコンからなる絶縁膜を例に説明したが、窒化シリコン、酸化ハフニウム、酸化アルミニウム、酸化ニッケル、ボロンナイトライド、又は、シロキサン系のポリマー材料等からなる絶縁膜を用いることもできる。例えば、ボロンナイトライドは原子配列がグラフェンと似ているため、グラフェンと接触しても電荷の移動度を妨げない。そのため、電子移動度などのグラフェンの性能を阻害せず、グラフェンの下地膜として好ましい。

[0025] グラフェン層 30 は、図 1 の (b) に示すように、絶縁膜 20 の基板 10 が設けられる面とは反対面上に設けられる。グラフェン層 30 は、例えば、単層のグラフェンを用いることができる。単層のグラフェンは二次元炭素結晶の単原子層であり、単層のグラフェンの厚さは炭素原子 1 個分に相当する 0.34 nm である。また、グラフェンは六角形状に配置された各連鎖に炭素原子を有している。

[0026] グラフェン層 30 は、チャネル領域及びソース・ドレイン層として機能する領域に分けられる。ソース・ドレイン層として機能する領域のグラフェン層 30 は、絶縁膜 20 に埋め込まれるように形成される。また、チャネル領域として機能する領域のグラフェン層 30 は、ソース・ドレイン層として機能する領域のグラフェン層 30 の上面よりも高い位置に設けられ、グラフェン層 30 の上面は、後述の電極 50s, 50d の上面と一致する。ソース・ドレイン層として機能する領域のグラフェン層 30 及びチャネル領域として

機能する領域のグラフェン層30は、一つの層で連続的に設けられ、グラフェン層30全体で凸部形状を有している。

[0027] ここで、グラフェン層30は、2層以上積層した多層グラフェンを用いてもよい。また、グラフェン層30は、ノンドープのグラフェンを用いても、p型又はn型の不純物がドーピングされたグラフェンを用いても構わない。

[0028] グラフェン層30に多層グラフェンを用いた場合、グラフェン層30の光電変換効率は増加し、電磁波検出器の感度は高くなる。また、多層グラフェンは、任意の2層のグラフェンの六方格子の格子ベクトルの向きが一致しなくても、完全に一致してもどちらでもよい。例えば、2層以上のグラフェンを積層することで、グラフェン層30にバンドギャップが形成されるので、光電変換させる電磁波の波長選択効果を持たせることが可能である。また、グラフェンの層数が増加するとチャネル領域での移動度は低下するが、基板からのキャリア散乱の影響を受けにくくなり、ノイズが低下する。そのため、多層グラフェンを用いたグラフェンを用いた電子デバイスを有する電磁波検出器は、光吸収が増加し、電磁波の検出感度を高めることができる。

[0029] また、グラフェン層30はナノリボン状のグラフェンを用いることもできる。その場合、グラフェン層30は、グラフェンナノリボン単体、複数のグラフェンナノリボンを積層した構造、又は、グラフェンナノリボンが平面上に周期的に配列された構造を用いることができる。例えば、グラフェンナノリボンが周期的に配置された構造の場合、グラフェンナノリボンにおいて、プラズモン共鳴を発生させ、電磁波検出器の感度を向上させることができる。ここで、グラフェンナノリボンが周期的に配列された構造は、グラフェンメタマテリアルと呼ばれることもあるが、現象としては同じである。

[0030] 触媒金属40s、40dは、図1の(b)に示すように、互いに離間し、2つで一对の触媒金属を構成し、ソース・ドレイン層として機能する領域のグラフェン層30の上面に設けられ、例えば、Cu、Ni、Al、Fe、Co、W、又は、Cr等の金属材料を用いることができる。また、触媒金属40s、40dは、図1に示すように、触媒金属40s、40dの下面全面に

グラフェン層30が設けられる。

[0031] 電極50s, 50dは、図1の(b)に示すように、触媒金属40s, 40dの上面に設けられ、例えば、Au、Ag、Cu、Al、Ni、Cr、又は、Pd等の金属材料を用いることができる。ここで、熱CVD法により、グラフェン層30を成膜する場合は成膜温度が1000℃を超える場合があるため、電極50s, 50dとして、融点が1000℃以上の金属又は導電性炭素材料を用いてもよい。また、電極50sと触媒金属40sとの間、又は、電極50dと触媒金属40dとの間に、Cr又はTi等からなる不図示の密着膜を形成しても構わない。

[0032] また、電極50s, 50dは、触媒金属40s, 40dの上面全面に設けられ、電極50s, 50dの上面は、チャネル領域として機能する領域のグラフェン層30の上面と一致し、電極50s, 50dの間にチャネル領域として機能する領域のグラフェン層30が設けられる。つまり、電極50s, 50dは、互いに離間し、2つで一对の電極を構成し、平面視において、図1の(a)に示すように、同一の矩形形状を有している。また、本実施の形態では、触媒金属40s及び電極50sでソース電極を構成し、触媒金属40d及び電極50dでドレイン電極を構成する。

[0033] 保護膜22は、図1に示すように、絶縁膜20上にグラフェン層30、触媒金属40s, 40d及び電極50s, 50dの周りを覆うように設けられ、例えば、酸化シリコンからなる絶縁膜を用いることができる。保護膜22の上面は、チャネル領域として機能する領域のグラフェン層30の上面及び電極50s, 50dの上面と一致する。

[0034] ここで、保護膜22として、酸化シリコンからなる絶縁膜を例に説明したが、酸化物又は窒化物等の絶縁膜を用いることができる。また、保護膜22は、後述する触媒金属42においてチャネル領域として機能するグラフェン層30を選択的に成長させるために、チャネル領域として機能するグラフェン層30の領域以外のグラフェン層の成長が抑制される絶縁材料であればよい。また、保護膜22は、グラフェン層30を形成するときに、熱CVD法

を用いる場合は、熱CVD法によって溶融しない絶縁材料を用いることが好ましい。

[0035] また、本実施の形態であるグラフェンを用いた電子デバイスは、図1の(b)に示すように、基板10には、バックゲート電圧 V_{bg} を印加するための電源回路が電氣的に接続され、ドレイン電極となる電極50dには、グラフェン層30に電圧 V_d を印加するための電源回路が電氣的に接続され、ソース電極となる電極50sは接地される。また、電極50dに接続される電源回路は、電極50dと電極52sとの間のグラフェン層30の電流 I_d を検出するための電流計が接続される。

[0036] 以上より、本実施の形態であるグラフェンを用いた電子デバイスが構成される。

[0037] 次に、本実施の形態であるグラフェンを用いた電子デバイスの製造方法について説明する。図2は、本実施の形態であるグラフェンを用いた電子デバイスの各製造工程を示す、図1の(a)の切断線A-Aに対応する断面図である。

[0038] まず、触媒金属42の上に電極50s、50d及び触媒金属40s、40dの金属膜を成膜し、一部の電極50s、50d及び触媒金属40s、40dを残して、触媒金属42を露出させる。例えば、平坦な銅箔のような触媒金属42を形成し、フォトリソグラフィ又はEB描画等を用いて、触媒金属42上に開口部を有するレジストマスクを形成する。その後、電極50s、50d、触媒金属40s、40dの順でそれぞれの金属層をEB蒸着又はスパッタ蒸着法などを用いて堆積させ、開口部以外に形成された金属膜をレジストマスクとともにリフトオフすることで、図2の(a)に示すように、触媒金属42上に触媒金属40s、40d及び電極50s、50dを形成する。

[0039] ここで、触媒金属42の金属材料として、例えば、Cu、Ni、Al、Fe、Co、W、又は、Cr等を用いることができる。また、触媒金属42を別の基板の上に形成し、触媒金属42が形成された別の基板の上に触媒金属

40s, 40d及び電極50s, 50dの金属層を形成しても構わない。また、電極50sと触媒金属40sとの間、又は、電極50dと触媒金属40dとの間に、Cr又はTi等からなる不図示の密着膜を形成しても構わない。

[0040] また、触媒金属40s, 40d及び電極50s, 50dを形成する方法として、触媒金属42の上に、電極50s, 50d、触媒金属40s, 40dの順でそれぞれの金属層を先に成膜し、その金属層上にフォトリソグラフィなどを用いて、開口部を有するレジストマスクを形成した後、ウェットエッチング又はドライエッチング等によって、レジストマスクの開口部に露出した金属層を除去することで、触媒金属42上に触媒金属40s, 40d及び電極50s, 50dを形成しても構わない。

[0041] 次に、蒸着、CVD法、又は、ALD (Atomic Layer Deposition) 法などを用いて、触媒金属42、触媒金属40s, 40d及び電極50s, 50dを覆うように、例えば、シリコン酸化膜からなる保護膜22を形成する。そして、図2の(b)に示すように、例えば、エッチング処理等により、触媒金属42上の触媒金属40s, 40dと電極50s, 50dとの間の保護膜22を除去して、触媒金属40s, 40d, 42を露出させる。

[0042] ここで、保護膜22を形成する方法として、保護膜22を形成しない領域を、フォトリソグラフィなどを用いて、レジストマスクでマスクした後、蒸着、CVD法、又は、ALD法などを用いて、保護膜22を成膜し、不要な保護膜をレジストマスクとともに除去しても構わない。

[0043] 次に、図2の(c)に示すように、保護膜22から露出した触媒金属40s, 40d上面及び触媒金属42の上面の一部の上に、例えば、熱CVD法又はプラズマCVD法を用いて、グラフェン層30を選択的に形成する。例えば、熱CVD法の場合、CVD装置内を1000℃に加熱し、H₂ガス及びCH₄ガスをCVD装置内に注入することで、グラフェン層30が形成される。ここで、例えば、プラズマCVD法を用いる場合、触媒金属40s,

40d、電極50s、50d及び触媒金属42の金属材料が融解したり、合金化したりしないように、低温プラズマCVD法を用いることもできる。

[0044] 次に、図2の(d)に示すように、グラフェン層30及び保護膜22の上に、例えば、スピコート法などの溶液法、真空蒸着法などの物理蒸着法、又は、CVD法などの化学蒸着法等を用いて、例えば、酸化シリコンからなる絶縁膜20を形成する。その後、絶縁膜20の上面と基板10とを接合させるため、絶縁膜20の上面を平坦化しておくことが望ましい。

[0045] 次に、図2の(e)に示すように、平坦化された絶縁膜20の上面と基板10を接合させ、張り合わせる。絶縁膜20の上面と基板10を接合させ、張り合わせる方法として、基板10を加熱しながら絶縁膜20に圧着させる方法又は接着剤等を基板10に塗布して絶縁膜20に圧着する方法等を用いることができる。また、絶縁膜20を溶液法により形成する場合は、絶縁膜20の材料を塗布した後に、基板10を圧着し、加熱することで絶縁膜20と貼り合わせることができる。例えば、SOG(Spin On glass)を用いて、スピコート法により絶縁膜20を成膜する場合、SOGを塗布した後すぐに基板10と張り合わせ、100℃でアニールを行い、その後、250℃でアニールを行うことにより、SOGはガラス化し、基板10と張り合わせることができる。

[0046] ここで、基板10の材料として、基板10からゲート電圧を印加する場合は、不純物イオンがドーパされたシリコン基板等の導電性半導体材料又は金属材料を用いることが好ましい。また、基板10からゲート電圧を印加しない場合は、基板10の材料として、上述した材料以外にも、例えば、石英又はガラス等の透明無機材料、又は、透明プラスチック等の透明基板、紫外線硬化樹脂、熱硬化樹脂、又は、熱可塑性樹脂等を用いてもよい。また、基板10の材料として、フレキシブル基板を用いてもよく、その場合、ロールtoロール法を用いて、絶縁膜20と基板10を張り合わせることができる。

[0047] そして、図2の(f)に示すように、エッチング法又は剥離法等によって、触媒金属42を除去し、グラフェン層30の一部及び電極50s、50d

を露出させる。エッチング法を用いる場合は、触媒金属 4 2 のみを選択的に除去することができれば、特にエッチング方法は限定されないが、例えば、ドライエッチング又はウェットエッチング等を用いることができる。ウェットエッチングを用いる場合、エッチャントは、触媒金属 4 2 が選択的に溶解される材料が好ましく、例えば、触媒金属 4 2 が銅箔の場合、銅選択エッチング液を用いることができる。また、剥離法を用いる場合は、触媒金属 4 2 を機械的に剥離する方法、保護膜 2 2 を親水性材料とし触媒金属 4 2 を疎水性材料とすることで、水中で超音波を照射して剥離する方法、又は、電解液中で触媒金属 4 2 を電極とし電気化学反応により発生した気泡で剥離する方法等を用いることができる。

[0048] ここで、触媒金属 4 2 を除去する工程を説明したが、電極 5 0 s, 5 0 d から電気信号を取り出すことができるのであれば、例えば、触媒金属 4 2 を除去しないで酸化させて、絶縁膜又は保護膜として用いても構わない。また、触媒金属 4 2 を除去した後、保護膜 2 2 を除去しても構わない。

[0049] 以上より、本実施の形態であるグラフェンを用いた電子デバイスを製造することができる。

[0050] 次に、本実施の形態であるグラフェンを用いた電子デバイスを電磁波検出器として用いた場合の動作原理について、図 1 を用いて説明を行う。

[0051] まず、図 1 の (b) に示すように、電極 5 0 s, 5 0 d との間に電圧 V_d を印加する電源回路が電氣的に接続されているため、電極 5 0 s, 5 0 d との間のグラフェン層 3 0 には電流 I_d が流れ、電流計によりグラフェン層 3 0 に流れる電流 I_d をモニターしている。

[0052] そして、グラフェン層 3 0 に電磁波が照射されると、グラフェン層 3 0 内に光電変換が発生し、グラフェン層 3 0 内の抵抗値が変化する。この抵抗値の変化により、グラフェン層 3 0 に流れる光電流である電流 I_d が変化し、この電流 I_d の変化を検出することによって、照射された電磁波を検出することができる。

[0053] また、基板 1 0 からバックゲート電圧 V_{bg} を印加することにより、グラフ

エン層 30 内の電荷密度を調整することができるため、グラフェン層 30 に流れる光電流の取り出し効率を向上させることができるため、照射された電磁波の検出感度を高めることができる。

[0054] また、グラフェンは、広帯域の電磁波の波長域に対して、光電変換に対する感度を有するため、グラフェン層 30 は、広帯域の電磁波の波長域に対して電流の変化を発生させる。そのため、本実施の形態であるグラフェンを用いた電子デバイスを電磁波検出器として用いた場合、例えば、紫外光から電波までの広帯域の波長域の電磁波を検出することができる。

[0055] ここで、上述のようなグラフェン層 30 の電流の変化を検出する構成に限定されるわけではなく、例えば、電極 50 s, 50 d 間に一定電流を流し、電極 50 s, 50 d 間のグラフェン層 30 の電圧値の変化を検出してもよいし、電極 50 s, 50 d のどちらか一つだけ電極を形成し、グラフェン層 30 の電位変化を検出してもよく、グラフェン層 30 の電気量の変化を検出できる構成であればよい。

[0056] また、同じグラフェンを用いた電子デバイスを別に準備し、別に準備されたグラフェンを用いた電子デバイスを電磁波が照射されない遮蔽された空間に配置し、電磁波が照射されるグラフェンを用いた電子デバイスの電流又は電圧と、遮蔽された空間に配置されたグラフェンを用いた電子デバイスの電流又は電圧の差分を検出することにより、電磁波を検出しても構わない。

[0057] 次に、本実施の形態であるグラフェンを用いた電子デバイス及びその製造方法の効果について説明を行う。

[0058] 本実施の形態であるグラフェンを用いた電子デバイスは、触媒金属 40, 42 を用いて、グラフェン層 30 を選択的に形成した後、絶縁膜 20 で覆い、絶縁膜 20 と基板 10 とを張り合わせ、触媒金属 42 を除去することによって、製造される。

[0059] それに対して、従来のグラフェンを用いた電子デバイスを製造する方法は、グラフェン層を形成した後、電極を形成する工程及びチャネル領域を形成する工程を行っていた。つまり、グラフェン層を基板上に形成した後、チャ

ネル領域を形成するため、エッチング処理等により不要なグラフェン層を除去し、その後、チャネル領域として残ったグラフェン層上に電極を形成するため、レジストマスクを形成する工程及び電極となる金属膜を形成する工程が行われていた。そのため、チャネル領域形成時のエッチング処理、電極形成時のレジストマスクを形成する工程、及び、金属膜を形成する工程によって、グラフェン層がプロセスダメージを受け、グラフェン層のチャネル領域の移動度低下及びグラフェンを用いた電子デバイスのノイズ増加等のグラフェンを用いた電子デバイスの性能を劣化させてしまう。

[0060] しかしながら、本実施の形態であるグラフェンを用いた電子デバイスは、グラフェン層30を形成した後、電極を形成する工程及びチャネル領域を形成する工程を行わずに、グラフェンを用いた電子デバイスを製造することができる。つまり、グラフェン層30を形成した後、グラフェン層30が、上述したチャネル領域形成時のエッチング処理、電極形成時のレジストマスクを形成する工程、及び、金属膜を形成する工程によって、グラフェン層がプロセスダメージを受けることはなく、従来に比べ、本実施の形態であるグラフェンを用いた電子デバイスの性能を向上させることができる。

[0061] また、本実施の形態であるグラフェンを用いた電子デバイスは、グラフェン層を形成するときに、従来のような水中での転写工程を用いずに製造することができるため、従来よりも容易にグラフェンを用いた電子デバイスを製造することができ、量産性を向上させることができる。

[0062] また、本実施の形態であるグラフェンを用いた電子デバイスは、触媒金属40s, 40dからグラフェン層30を選択的に成長させているため、グラフェン層30が触媒金属40s, 40dに均一に形成され、グラフェン層30と触媒金属40s, 40dとの間にダスト等の余計なものが入り込むことがなく、グラフェン層30と触媒金属40s, 40dとの間の接触抵抗を抑えることができ、グラフェンを用いた電子デバイスの性能を向上させることができる。

[0063] ここで、本実施の形態では、電極50s, 50dを有するグラフェンを用

いた電子デバイスを例に説明を行ってきたが、触媒金属40s, 40dを電極として用いて、電極50s, 50dを設けなくても構わない。その場合、本実施の形態であるグラフェンを用いた電子デバイスの製造方法は、電極50s, 50dを形成する工程を除くことができる。

[0064] なお、触媒金属40s, 40dの厚さを数十nm以下とすることで、触媒金属40s, 40dからグラフェン層30s, 30dへのキャリアドーピングを無視できるくらい小さくすることができ、電極50s, 50dからのグラフェンへのキャリアドーピングが支配的となる。

[0065] 実施の形態2.

本発明の実施の形態2であるグラフェンを用いた電子デバイスは、実施の形態1とは異なり、グラフェン層のチャネル領域に対応する部分に単層グラフェン、グラフェン層のソース・ドレイン領域に対応する部分に多層グラフェンが形成されている点異なる。その他の同一符号を付した部分については、実施の形態1のグラフェンを用いた電子デバイスと同様に構成されるため、説明は省略する。

[0066] 図3は、本実施の形態であるグラフェンを用いた電子デバイスの構成を示す断面図であり、断面の見方は実施の形態1の場合の図1の切断線A-Aから見た断面図と同様である。

[0067] 図3に示すように、本実施の形態であるグラフェンを用いた電子デバイスは、グラフェン層のチャネル領域に対応する部分に単層グラフェンからなるグラフェン層32と、グラフェン層のソース・ドレイン領域に対応する部分に多層グラフェンからなるグラフェン層34s, 34dとを備える。

[0068] グラフェン層32は、単層グラフェンからなり、電極50s, 50dの間に設けられ、チャネル領域として機能し、実施の形態1と同様、グラフェン層32の上面は電極50s, 50dの上面と一致する。

[0069] グラフェン層34s, 34dは、多層グラフェンからなり、ソース・ドレイン領域に対応する部分に設けられ、グラフェン層32と連続して設けられる。

[0070] 多層グラフェンからなるグラフェン層34s, 34d上には、例えば、多層グラフェンが選択的に形成される金属材料、例えば、Niからなる触媒金属44s, 44dが設けられる。触媒金属44s, 44dは、下面全面に多層グラフェンからなるグラフェン層34s, 34dが設けられ、多層グラフェンからなるグラフェン層34s, 34dを介して、単層グラフェンからなるグラフェン層32と電氣的に接続される。

[0071] その他の構成は、実施の形態1であるグラフェンを用いた電子デバイスの構成と同じである。

[0072] 次に、本実施の形態であるグラフェンを用いた電子デバイスの製造方法について実施の形態1の図2を用いて説明する。実施の形態1と同じ製造方法については、説明を省略し、実施の形態1と異なる製造方法である図2の(a)及び図2の(c)についての工程のみ説明を行う。

[0073] 図2の(a)に示すように、単層グラフェンが選択的に形成される金属材料、例えば、平坦な銅箔のような触媒金属42を準備し、フォトリソグラフィ又はEB描画等を用いて、触媒金属42上に開口部を有するレジストマスクを形成する。その後、電極50s, 50dの金属層、及び、図2の(a)の触媒金属40s, 40dに代わって、触媒金属44s, 44dの金属膜の順でEB蒸着又はスパッタ蒸着法などを用いて堆積させ、開口部以外に形成された金属膜をレジストマスクとともにリフトオフすることで、触媒金属42上に触媒金属44s, 44d及び電極50s, 50dを形成する。このとき、触媒金属44s, 44dの金属層には、多層グラフェンが選択的に形成される金属材料、例えば、Niからなる金属膜を用いる。

[0074] その後、図2の(b)の保護膜22を形成する工程を経て、図2の(c)の触媒金属40s, 40dに代わって、保護膜22から露出した触媒金属44s, 44d上面及び触媒金属42の上面の一部の上に、例えば、熱CVD法又はプラズマCVD法を用いて、グラフェン層を選択的に形成する。このとき、例えば、銅箔からなる触媒金属42が露出した面には、単層グラフェンからなるグラフェン層32が選択的に形成され、例えば、Niからなる触

媒金属 4 4 s, 4 4 d が露出した面には、多層グラフェンからなるグラフェン層 3 4 s, 3 4 d が選択的に形成される。

[0075] その後の本実施の形態であるグラフェンを用いた電子デバイスの製造方法は、実施の形態 1 であるグラフェンを用いた電子デバイスの製造方法と同じである。

[0076] 次に、本実施の形態であるグラフェンを用いた電子デバイス及びその製造方法の効果について説明を行う。

[0077] 本実施の形態であるグラフェンを用いた電子デバイスは、実施の形態 1 と同様のため詳細な説明は省略するが、グラフェン層 3 2, 3 4 s, 3 4 d を形成した後、グラフェン層 3 2, 3 4 s, 3 4 d が、上述したチャネル領域形成時のエッチング処理、電極形成時のレジストマスクを形成する工程、及び、金属膜を形成する工程によって、グラフェン層がプロセスダメージを受けることはなく、本実施の形態であるグラフェンを用いた電子デバイスは、性能を向上させることができる。また、実施の形態 1 と同様、従来のような水中での転写工程を用いずに製造することができるため、量産性を向上させることができる。また、本実施の形態であるグラフェンを用いた電子デバイスは、実施の形態 1 と同様、触媒金属 4 4 s, 4 4 d からグラフェン層 3 4 s, 3 4 d を選択的に成長させ、触媒金属 4 4 s, 4 4 d の下面全面にグラフェン層 3 4 s, 3 4 d が設けられているため、グラフェン層 3 4 s, 3 4 d と触媒金属 4 4 s, 4 4 d との間の接触抵抗を抑えることができ、グラフェンを用いた電子デバイスの性能を向上させることができる。

[0078] また、本実施の形態であるグラフェンを用いた電子デバイスは、グラフェン層のチャネル領域に対応する部分に単層グラフェンからなるグラフェン層 3 2、グラフェン層のソース・ドレイン領域に対応する部分に多層グラフェンからなるグラフェン層 3 4 s, 3 4 d が形成されている。以下に当該構成による効果について詳細に説明を行う。

[0079] 一般に、グラフェン層上に電極を形成した場合、電極からグラフェン層へキャリアがドーピングされる。例えば、電極に Au を用いた場合、グラフェンと

Auとの仕事関数の差から、電極近傍のグラフェンに正孔がドーピングされる。この状態でグラフェンを用いた電子デバイスを電子伝導状態で駆動させると、電極からグラフェンにドーピングされた正孔の影響により、チャンネル内に流れる電子の移動度が妨げられ、グラフェンと電極のコンタクト抵抗が増加する。このコンタクト抵抗の増加により、グラフェンを用いた電子デバイスの電界効果の移動度が低下し、グラフェンを用いた電子デバイスの性能低下が生じる。特に、単層グラフェンの場合、電極から注入されるキャリアのドーピング量が大きく、グラフェンを用いた電子デバイスの電界効果の移動度の低下は、単層グラフェンにおいて顕著であるため、グラフェン層をすべて単層グラフェンで形成した場合、グラフェンを用いた電子デバイスの性能が低下してしまう。

[0080] しかしながら、本実施の形態であるグラフェンを用いた電子デバイスでは、電極からのキャリアがドーピングしやすいグラフェン層のソース・ドレイン領域に対応する部分において、多層グラフェンを形成している。多層グラフェンは、単層グラフェンに比べ、電極からのキャリアドーピングが小さいため、グラフェン層と電極との間のコンタクト抵抗の増加を抑制することができる。そのため、グラフェンを用いた電子デバイスの電界効果の移動度の低下を抑制することができ、実施の形態1に比べて、グラフェンを用いた電子デバイスの性能を向上させることができる。

[0081] また、チャンネル領域に多層グラフェンを用いず、チャンネル領域に単層グラフェンを用いることで、高い移動度が得られるため、上述したコンタクト抵抗の増加を抑制するとともに、高い移動度を維持することができ、グラフェンを用いた電子デバイスの性能を向上させることができる。

[0082] また、本実施の形態であるグラフェンを用いた電子デバイスは、触媒金属44s, 44dに直接多層グラフェンを成長させて、触媒金属44s, 44dの下面全面にグラフェン層34s, 34dを形成しているため、触媒金属44s, 44dと多層グラフェンからなるグラフェン層34s, 34dとの間の接触抵抗を小さくすることができ、グラフェンを用いた電子デバイスの

性能を向上させることができる。

[0083] 実施の形態 3.

本発明の実施の形態 3 であるグラフェンを用いた電子デバイスは、他の実施の形態とは異なり、電極の金属材料が互いに異なる。その他の同一符号を付した部分については、他の実施の形態のグラフェンを用いた電子デバイスと同様に構成されるため、説明は省略する。

[0084] 図 4 は、本実施の形態であるグラフェンを用いた電子デバイスの構成を示す断面図であり、断面の見方は実施の形態 1 の場合の図 1 の切断線 A - A から見た断面図と同様である。

[0085] 本実施の形態であるグラフェンを用いた電子デバイスは、図 4 に示すように、一对の電極である電極 5 2 と電極 5 4 の金属材料が互いに異なる。電極 5 2 と電極 5 4 の金属材料は、例えば、Au、Ag、Cu、Al、Ni、Cr、又は、Pd 等の金属から互いに異なる金属材料が適宜選択される。

[0086] 次に、本実施の形態であるグラフェンを用いた電子デバイスの製造方法について実施の形態 1 の図 2 を用いて説明する。実施の形態 1 と同じ製造方法については、説明を省略し、実施の形態 1 と異なる製造方法である図 2 の (a) についての工程のみ説明を行う。

[0087] 本実施の形態であるグラフェンを用いた電子デバイスは、図 2 の (a) に示すように、触媒金属 4 2 を準備した後、フォトリソグラフィ又は EB 描画等を用いて、触媒金属 4 2 上に、電極 5 2 及び触媒金属 4 0 s の位置に対応する開口部を有するレジストマスクを形成する。その後、電極 5 2、触媒金属 4 0 s の順でそれぞれの金属層を EB 蒸着又はスパッタ蒸着法などを用いて堆積させ、開口部以外に形成された金属膜をレジストマスクとともにリフトオフすることで、触媒金属 4 2 上に触媒金属 4 0 s 及び電極 5 2 を形成する。触媒金属 4 0 d 及び電極 5 4 についても、触媒金属 4 0 s 及び電極 5 2 と同様の工程を用いて、触媒金属 4 0 d 及び電極 5 2 とは異なる金属材料の電極 5 4 を形成する。

[0088] その後の本実施の形態であるグラフェンを用いた電子デバイスの製造方法

は、実施の形態１であるグラフェンを用いた電子デバイスの製造方法と同じである。

[0089] 次に、本実施の形態であるグラフェンを用いた電子デバイス及びその製造方法の効果について説明を行う。

[0090] 本実施の形態であるグラフェンを用いた電子デバイスは、実施の形態１と同様のため詳細な説明は省略するが、グラフェン層３０を形成した後、グラフェン層３０が、上述したチャネル領域形成時のエッチング処理、電極形成時のレジストマスクを形成する工程、及び、金属膜を形成する工程によって、グラフェン層がプロセスダメージを受けることはなく、本実施の形態であるグラフェンを用いた電子デバイスは、性能を向上させることができる。また、実施の形態１と同様、従来のような水中での転写工程を用いずに製造することができるため、量産性を向上させることができる。また、本実施の形態であるグラフェンを用いた電子デバイスは、実施の形態１と同様、触媒金属４０ｓ，４０ｄからグラフェン層３０を選択的に成長させ、触媒金属４０ｓ，４０ｄの下面全面にグラフェン層３０が設けられているため、グラフェン層３０と触媒金属４０ｓ，４０ｄとの間の接触抵抗を抑えることができ、グラフェンを用いた電子デバイスの性能を向上させることができる。

[0091] また、本実施の形態であるグラフェンを用いた電子デバイスは、ソース・ドレイン電極に対応する電極５２，５４を互いに異なる金属材料で形成している。グラフェンは、接触する金属の種類によってフェルミレベルが移動し、接触抵抗が異なる。そのため、電極５２と電極５４の金属材料が互いに異なる場合、電極５２と電極５４の仕事関数も異なるので、例えば、電極５２と電極５４との間のグラフェン層３０においてキャリア密度勾配が形成される。その結果、グラフェンを用いた電子デバイスの電流取り出し効率が向上する。そのため、本実施の形態であるグラフェンを用いた電子デバイスを用いた電磁波検出器に電磁波が照射された場合、グラフェン層３０に発生したキャリアにより、電極５２と電極５４との間の光電流が増大し、電磁波検出器の感度を向上させることができる。

[0092] ここで、本実施の形態であるグラフェンを用いた電子デバイスの構成は、他の実施の形態にも適用することができる。

[0093] 実施の形態4.

本発明の実施の形態4であるグラフェンを用いた電子デバイスは、他の実施の形態とは異なり、グラフェン層上に接触層を有している。その他の同一符号を付した部分については、他の実施の形態のグラフェンを用いた電子デバイスと同様に構成されるため、説明は省略する。

[0094] 図5は、本実施の形態であるグラフェンを用いた電子デバイスの構成を示す断面図であり、断面の見方は実施の形態1の場合の図1の切断線A-Aから見た断面図と同様である。

[0095] 図5に示すように、本実施の形態であるグラフェンを用いた電子デバイスは、グラフェン層30の上に接触層60を有している。接触層60は、グラフェン層30と接触することで、グラフェン層30に正孔又は電子を供給することが可能で、接触層60によりグラフェン層30に任意に正孔又は電子をドーピングすることができる。

[0096] また、接触層60は、例えば、ポジ型フォトレジストと呼ばれる、キノンジアジト基を有する感光剤とノボラック樹脂を含有する組成物を用いることができる。

[0097] また、接触層60は、例えば、極性基を有する材料を用いることができ、例えば、電子求引基を有する材料は、グラフェン層30の電子密度を減少させる効果を持ち、電子供与基を有する材料は、グラフェン層30の電子密度を増加させる効果を持つ。電子求引基を有する材料としては、例えば、ハロゲン、ニトリル、カルボキシル基、又は、カルボニル基等を有する材料がある。また、電子供与基を有する材料としては、例えば、アルキル基、アルコール、アミノ基、又は、ヒドロキシル基等を有する材料がある。また、上記以外にも極性基によって分子全体において電荷の偏りが生じる材料も、接触層60の材料として用いることができる。

[0098] また、有機物、金属、半導体、絶縁体、2次元材料、又は、これら材料の

いずれかの混合物においても、分子内で電荷の偏りが生じて極性を生じる材料であれば、接触層 60 の材料として用いることができる。ここで、無機物の接触層とグラフェンとを接触させた場合、グラフェンのドーピングについては、グラフェンの仕事関数よりも接触層の仕事関数が高い場合は p 型、小さい場合は n 型にドーピングされることが知られている。それに対して、接触層が有機物の場合は、明確な仕事関数を有していないため、グラフェンに対して n 型ドーピングになるのか、p 型ドーピングになるのかは、接触層 60 に用いる分子の極性によって、接触層 60 の材料の極性基を判断することが好ましい。

[0099] 次に、本実施の形態であるグラフェンを用いた電子デバイスの製造方法について図 5 を用いて説明する。

[0100] 本実施の形態であるグラフェンを用いた電子デバイスは、実施の形態 1 の図 2 の (a) ~ (f) までの工程は実施の形態 1 と同様であり、図 2 の (f) の後、図 5 に示すように、グラフェン層 30 の上に接触層 60 を形成することで製造することができる。

[0101] 例えば、接触層 60 として、ポジ型フォトリソグレイスと呼ばれる、キノンジアジト基を有する感光剤とノボラック樹脂を含有する組成物を用いる場合、フォトリソグラフィ工程によりレジストを形成した領域が p 型グラフェン領域となる。これにより、マスク形成処理が不要となり、プロセスダメージの低減及びプロセスの簡素化が可能となる。

[0102] 次に、本実施の形態であるグラフェンを用いた電子デバイス及びその製造方法の効果について説明を行う。

[0103] 本実施の形態であるグラフェンを用いた電子デバイスは、実施の形態 1 と同様のため詳細な説明は省略するが、グラフェン層 30 を形成した後、グラフェン層 30 が、上述したチャネル領域形成時のエッチング処理、電極形成時のレジストマスクを形成する工程、及び、金属膜を形成する工程によって、グラフェン層がプロセスダメージを受けることはなく、本実施の形態であるグラフェンを用いた電子デバイスは、性能を向上させることができる。ま

た、実施の形態1と同様、従来のような水中での転写工程を用いずに製造することができるため、量産性を向上させることができる。また、本実施の形態であるグラフェンを用いた電子デバイスは、実施の形態1と同様、触媒金属40s, 40dからグラフェン層30を選択的に成長させ、触媒金属40s, 40dの下面全面にグラフェン層30が設けられているため、グラフェン層30と触媒金属40s, 40dとの間の接触抵抗を抑えることができ、グラフェンを用いた電子デバイスの性能を向上させることができる。

[0104] また、本実施の形態であるグラフェンを用いた電子デバイスは、グラフェン層30の上に接触層60を形成している。上述した通り、接触層60の材料として、例えば、電子求引基を有する材料、又は、電子供与基を有する材料を用いることで、グラフェン層30の状態を意図的にn型又はp型のグラフェン層とすることができ、触媒金属40s, 40d又は電極50s, 50dからのキャリアドーピングの影響を考慮せず、グラフェン層30のキャリアドーピングを制御することができ、グラフェンを用いた電子デバイスの性能を向上させることができる。

[0105] ここで、本実施の形態であるグラフェンを用いた電子デバイスは、複数の接触層をグラフェン層30の上に積層させてもよく、複数の接触層を電極50s, 50dとの間のグラフェン層30に複数形成しても構わない。その場合、接触層の材料は、同じ材料でも異なる材料でもどちらでも構わない。

[0106] また、本実施の形態であるグラフェンを用いた電子デバイスを電磁波検出器として用いる場合、接触層60の膜厚は、電磁波がグラフェン層に照射された場合に、光電変換を行うことができよう十分薄い方が好ましいが、接触層60からグラフェン層30にキャリアがドーピングされる程度に薄すぎない方が好ましい。また、接触層60は、分子又は電子などのキャリアがグラフェンに導入されていれば良く、例えば、グラフェンを溶液に浸漬させて、分子レベルでグラフェンにキャリアを供給することで、接触層60を形成しないで、グラフェン層30にキャリアをドーピングしても構わない。

[0107] また、接触層60として、上述した材料以外にも、極性変換を生じる材料

しても構わない。その場合、接触層60が極性変換すると、変換の際に生じた電子又は正孔が、グラフェン層に供給されるため、接触層60が接触しているグラフェン層に電子又は正孔のドーピングが生じる。そのため、接触層60を取り除いても、接触層60と接触していたグラフェン層は、電子又は正孔がドーピングされたままの状態となる。したがって、接触層60として、極性変換を生じる材料を用いた場合、接触層60を取り除くことができ、本実施の形態であるグラフェンを用いた電子デバイスを電磁波検出器として用いた場合、グラフェン層の開口部面積が増加し、電磁波検出器の検出感度を向上させることができる。ここで、極性変換とは、極性基が化学的に変換する現象であり、例えば、電子求引基が電子供与基に変化、電子供与基が電子求引基に変化、極性基が非極性基に変化、又は、非極性基が極性基に変化することをいう。

[0108] また、接触層60が電磁波照射によって極性変換を生じる材料で形成されている場合、特定の電磁波の波長において極性変換を生じる材料を選択することで、特定の電磁波の波長の電磁波照射時のみ極性変換を生じさせ、光電流を増大させることができる。

[0109] また、電磁波照射によって酸化還元反応を生じる材料を接触層60として用いてもよく、酸化還元反応時に生じる電子又は正孔をグラフェン層30にグラフェンにドーピングすることができる。

[0110] ここで、本実施の形態であるグラフェンを用いた電子デバイスの構成は、他の実施の形態にも適用することができる。

[0111] 実施の形態5.

本発明の実施の形態5であるグラフェンを用いた電子デバイスは、実施の形態4とは異なり、グラフェン層上に設けられる接触層がソース領域若しくはドレイン領域のいずれかに近い位置に配置される。その他の同一符号を付した部分については、他の実施の形態のグラフェンを用いた電子デバイスと同様に構成されるため、説明は省略する。

[0112] 図6は、本実施の形態であるグラフェンを用いた電子デバイスの構成を示

す断面図であり、断面の見方は実施の形態 1 の場合の図 1 の切断線 A－A から見た断面図と同様である。

[0113] 図 6 に示すように、本実施の形態であるグラフェンを用いた電子デバイスは、グラフェン層 30 上に設けられる接触層 62 が、ソース領域若しくはドレイン領域に設けられる電極 50s, 50d のいずれかに近い位置に配置される。つまり、平面視において、電極 50s, 50d との間で接触層 62 が非対称に配置される。

[0114] ここで、非対称に配置されるとは、平面視における電極 50s, 50d との間の中間線を対称軸とした場合の接触層 62 の配置又は形状の非対称性をいう。つまり、上述のように接触層 62 を電極 50d の近くに配置することで非対称に配置するだけでなく、接触層 62 を対称軸上に配置し、平面視で対称軸に対して非対称な形状を有する接触層 62 を配置しても構わないし、接触層 62 の配置及び形状の両方を非対称にしても構わない。

[0115] ここで、接触層 62 の材料は、実施の形態 4 と同様であり、適用される接触層 62 の材料に伴う効果も実施の形態 4 と同様である。

[0116] 次に、本実施の形態であるグラフェンを用いた電子デバイスの製造方法について説明する。

[0117] 本実施の形態であるグラフェンを用いた電子デバイスは、実施の形態 1 の図 2 の (a) ～ (f) までの工程は実施の形態 1 と同様であり、図 2 の (f) の後、図 6 に示すように、グラフェン層 30 の上に接触層 62 を形成することで製造することができる。接触層 62 を形成する具体的な方法は、実施の形態 4 と同様である。このとき、現像液として使用する水酸化テトラメチルアンモニウム溶液を用いれば、接触層 62 が形成されていないグラフェン層 30 の領域が n 型にドーピングされ、レジストマスクの現像処理のみで、p 型グラフェン領域と n 型グラフェン領域を得ることが出来る。これにより、マスク形成処理が不要となり、プロセスダメージの低減及びプロセスの簡素化が可能となる。

[0118] 次に、本実施の形態であるグラフェンを用いた電子デバイス及びその製造

方法の効果について説明を行う。図7は、本実施の形態であるグラフェンを用いた電子デバイスの効果を説明するための図である。

[0119] 本実施の形態であるグラフェンを用いた電子デバイスは、実施の形態1と同様のため詳細な説明は省略するが、グラフェン層30を形成した後、グラフェン層30が、上述したチャネル領域形成時のエッチング処理、電極形成時のレジストマスクを形成する工程、及び、金属膜を形成する工程によって、グラフェン層がプロセスダメージを受けることはなく、本実施の形態であるグラフェンを用いた電子デバイスは、性能を向上させることができる。また、実施の形態1と同様、従来のような水中での転写工程を用いずに製造することができるため、量産性を向上させることができる。また、本実施の形態であるグラフェンを用いた電子デバイスは、実施の形態1と同様、触媒金属40s, 40dからグラフェン層30を選択的に成長させ、触媒金属40s, 40dの下面全面にグラフェン層30が設けられているため、グラフェン層30と触媒金属40s, 40dとの間の接触抵抗を抑えることができ、グラフェンを用いた電子デバイスの性能を向上させることができる。

[0120] また、本実施の形態であるグラフェンを用いた電子デバイスは、実施の形態4と同様、接触層62により、グラフェン層30のキャリアドーピングを制御することができ、グラフェンを用いた電子デバイスの性能を向上させることができる。

[0121] また、本実施の形態であるグラフェンを用いた電子デバイスは、図7に示すように、グラフェン層30の上に接触層62を設けることにより、グラフェン層30の接触層62と接触する部分とそうでない部分との間に電荷密度勾配が形成される。つまり、図7に示すように、チャネル領域に対応する部分のグラフェン層30において、擬似的なp型及びn型の電荷密度勾配が形成される。本実施の形態であるグラフェンを用いた電子デバイスを電磁波検出器として用いた場合、チャネル領域に対応する部分のグラフェン層30内のこの電荷密度勾配が、電磁波照射に伴うグラフェン層30内の検出電流の取り出し効率を向上させるため、本実施の形態であるグラフェンを用いた電

子デバイスを用いた電磁波検出器の検出感度を高めることができる。ここでは、電極50s, 50dとの間で接触層62が非対称に配置される例について示したが、接触層62を設けることにより、グラフェン層30内に電荷密度勾配が形成されればよく、配置方法は本実施の形態の例に限定されない。

[0122] ここで、本実施の形態であるグラフェンを用いた電子デバイスの構成は、他の実施の形態にも適用することができる。

[0123] 実施の形態6.

本発明の実施の形態6であるグラフェンを用いた電子デバイスは、実施の形態4及び実施の形態5とは異なり、チャネル領域に対応するグラフェン層の下部に接触層が設けられる。その他の同一符号を付した部分については、他の実施の形態のグラフェンを用いた電子デバイスと同様に構成されるため、説明は省略する。

[0124] 図8は、本実施の形態であるグラフェンを用いた電子デバイスの構成を示す断面図であり、断面の見方は実施の形態1の場合の図1の切断線A-Aから見た断面図と同様である。

[0125] 図8に示すように、本実施の形態であるグラフェンを用いた電子デバイスは、接触層64がチャネル領域に対応するグラフェン層30の下部、つまり、チャネル領域に対応するグラフェン層30と絶縁膜20との間に設けられる。

[0126] ここで、接触層64の材料は、実施の形態4と同様であり、適用される接触層64の材料に伴う効果も実施の形態4と同様である。

[0127] 次に、本実施の形態であるグラフェンを用いた電子デバイスの製造方法について説明する。図9は、本実施の形態であるグラフェンを用いた電子デバイスの製造方法の一部を示す断面図である。実施の形態1と同じ製造方法については、説明を省略し、実施の形態1の図2の(d)と代わる図9の工程のみ説明を行う。

[0128] 本実施の形態であるグラフェンを用いた電子デバイスは、図2の(a)～(c)の製造工程を経た後、図9に示すように、チャネル領域に対応するグ

ラフェン層 30 の凹部に接触層 64 を形成する。その後、保護膜 22、グラフェン層 30 及び接触層 64 を覆うように絶縁膜 20 を形成する。その後の工程は、図 2 の (e) 及び (f) と同様である。接触層 62 を形成する具体的な方法は、実施の形態 4 と同様である。

[0129] 次に、本実施の形態であるグラフェンを用いた電子デバイス及びその製造方法の効果について説明を行う。

[0130] 本実施の形態であるグラフェンを用いた電子デバイスは、実施の形態 1 と同様のため詳細な説明は省略するが、グラフェン層 30 を形成した後、グラフェン層 30 が、上述したチャネル領域形成時のエッチング処理、電極形成時のレジストマスクを形成する工程、及び、金属膜を形成する工程によって、グラフェン層がプロセスダメージを受けることはなく、本実施の形態であるグラフェンを用いた電子デバイスは、性能を向上させることができる。また、実施の形態 1 と同様、従来のような水中での転写工程を用いずに製造することができるため、量産性を向上させることができる。また、本実施の形態であるグラフェンを用いた電子デバイスは、実施の形態 1 と同様、触媒金属 40s, 40d からグラフェン層 30 を選択的に成長させ、触媒金属 40s, 40d の下面全面にグラフェン層 30 が設けられているため、グラフェン層 30 と触媒金属 40s, 40d との間の接触抵抗を抑えることができ、グラフェンを用いた電子デバイスの性能を向上させることができる。また、本実施の形態であるグラフェンを用いた電子デバイスは、実施の形態 4 と同様、接触層 62 により、グラフェン層 30 のキャリアドーピングを制御することができ、グラフェンを用いた電子デバイスの性能を向上させることができる。

[0131] また、本実施の形態であるグラフェンを用いた電子デバイスは、チャネル領域に対応するグラフェン層 30 の下部に接触層 64 を設けているため、実施の形態 4 及び実施の形態 5 に比べて、接触層 64 が、照射される電磁波を減衰させたり、遮蔽したりすることなく、電磁波がグラフェン層に直接照射されるため、本実施の形態であるグラフェンを用いた電子デバイスを用いた

電磁波検出器の検出感度を向上させることができる。

[0132] ここで、本実施の形態であるグラフェンを用いた電子デバイスの構成は、他の実施の形態にも適用することができる。

[0133] 実施の形態 7.

本発明の実施の形態 7 であるグラフェンを用いた電子デバイスは、他の実施の形態とは異なり、グラフェン層の上に少なくとも一つのフローティングの電極が設けられる。その他の同一符号を付した部分については、他の実施の形態のグラフェンを用いた電子デバイスと同様に構成されるため、説明は省略する。

[0134] 図 10 は、本実施の形態であるグラフェンを用いた電子デバイスの構成を示す断面図であり、断面の見方は実施の形態 1 の場合の図 1 の切断線 A-A から見た断面図と同様である。

[0135] 図 10 に示すように、本実施の形態であるグラフェンを用いた電子デバイスは、チャンネル領域に対応するグラフェン層 30 の上に少なくとも一つのフローティングの電極 56 が設けられる。フローティングの電極 56 は、例えば、Au、Ag、Cu、Al、Ni、Cr、又は、Pd 等の金属材料を用いることができる。ここで、電極 56 には、電源回路等には接続されておらず、フローティングとなっている。

[0136] 電極 56 は、電極 50s、50d の間のグラフェン層 30 上に設けられ、一次元、又は、二次元の周期構造を有する。つまり、一次元の周期構造として、例えば、図 10 の紙面上の水平方向又は奥行き方向に複数の電極 56 が周期的に配列される。また、二次元の周期構造として、例えば、平面視で、正方格子又は三角格子等で電極 56 が周期的に配列される。また、平面視で、一つ一つの電極 56 は、円形、三角形、四角形、多角形、又は、楕円形等の形状を用いることができる。また、電極 56 は、上述した周期的な対称性を有する配列だけに限られず、平面視で非対称性を有する電極形状を形成しても構わない。

[0137] 次に、本実施の形態であるグラフェンを用いた電子デバイスの製造方法に

ついて図10を用いて説明する。本実施の形態であるグラフェンを用いた電子デバイスは、実施の形態1の図2の(a)～(f)までの工程は実施の形態1と同様であり、図2の(f)の後、図10に示すように、グラフェン層30の上に電極56を形成することで製造することができる。ここで、電極56を形成する具体的な方法は、例えば、実施の形態1で説明した電極50s, 50dと同様の方法で形成することができる。

[0138] 次に、本実施の形態であるグラフェンを用いた電子デバイス及びその製造方法の効果について説明を行う。

[0139] 本実施の形態であるグラフェンを用いた電子デバイスは、実施の形態1と同様のため詳細な説明は省略するが、グラフェン層30を形成した後、グラフェン層30が、上述したチャネル領域形成時のエッチング処理、電極形成時のレジストマスクを形成する工程、及び、金属膜を形成する工程によって、グラフェン層がプロセスダメージを受けることはなく、本実施の形態であるグラフェンを用いた電子デバイスは、性能を向上させることができる。また、実施の形態1と同様、従来のような水中での転写工程を用いずに製造することができるため、量産性を向上させることができる。また、本実施の形態であるグラフェンを用いた電子デバイスは、実施の形態1と同様、触媒金属40s, 40dからグラフェン層30を選択的に成長させ、触媒金属40s, 40dの下面全面にグラフェン層30が設けられているため、グラフェン層30と触媒金属40s, 40dとの間の接触抵抗を抑えることができ、グラフェンを用いた電子デバイスの性能を向上させることができる。

[0140] また、本実施の形態であるグラフェンを用いた電子デバイスは、チャネル領域に対応するグラフェン層30の上にフローティングの電極56を設けているため、電磁波の照射で発生した光キャリアが、複数の電極56の間を行き来できるようになり、光キャリアの寿命が長くなり、本実施の形態であるグラフェンを用いた電子デバイスを電磁波検出器で用いた場合の電磁波検出器の感度を高めることができる。

[0141] また、複数の電極56を一次元の周期的な構造にし、電極56の材料を表

面プラズモン共鳴が生じる材料とすることにより、照射される電磁波に対して電極 5 6 に偏光依存性が生じ、特定の偏光の電磁波だけをグラフェンを用いた電子デバイスに照射させることができる。そのため、本実施の形態であるグラフェンを用いた電子デバイスを用いた電磁波検出器は、特定の偏光のみを検出することができる。

[0142] また、複数の電極 5 6 を二次元の周期的な構造にし、電極 5 6 の材料を表面プラズモン共鳴が生じる材料とすることにより、特定の波長の電磁波を共鳴させることができ、特定の波長を有する電磁波だけをグラフェンを用いた電子デバイスで検出することができる。そのため、本実施の形態であるグラフェンを用いた電子デバイスを用いた電磁波検出器は、特定の波長の電磁波のみを高感度に検出することができる。

[0143] また、複数の電極 5 6 を非対称な構造にする場合は、複数の電極 5 6 を一次元の周期的な構造する場合と同様、照射される電磁波に対して電極 5 6 に偏光依存性が生じ、特定の偏光の電磁波だけをグラフェンを用いた電子デバイスに照射させることができる。そのため、本実施の形態であるグラフェンを用いた電子デバイスを用いた電磁波検出器は、特定の偏光のみを検出することができる。

[0144] ここで、本実施の形態であるグラフェンを用いた電子デバイスの構成は、他の実施の形態にも適用することができる。

[0145] 実施の形態 8.

本発明の実施の形態 8 であるグラフェンを用いた電子デバイスは、実施の形態 7 とは異なり、少なくとも一つのフローティングの電極がグラフェン層内に埋め込まれている。その他の同一符号を付した部分については、他の実施の形態のグラフェンを用いた電子デバイスと同様に構成されるため、説明は省略する。

[0146] 図 1 1 は、本実施の形態であるグラフェンを用いた電子デバイスの構成を示す断面図であり、断面の見方は実施の形態 1 の場合の図 1 の切断線 A - A から見た断面図と同様である。

[0147] 図 1 1 に示すように、少なくとも一つのフローティングの電極 5 8 がグラフェン層 3 0 内に埋め込まれている。電極 5 8 の材料及び配置の仕方は、実施の形態 7 の電極 5 6 と同様であるため、説明は省略する。

[0148] 次に、本実施の形態であるグラフェンを用いた電子デバイスの製造方法について説明する。図 1 2 は、本実施の形態であるグラフェンを用いた電子デバイスの製造方法の一部を示す断面図である。実施の形態 1 と同じ製造方法については、説明を省略し、実施の形態 1 と異なる製造方法である図 2 の (a) に代わる図 1 2 についての工程のみ説明を行う。

[0149] 図 1 2 に示すように、まず、実施の形態 1 と同様、触媒金属 4 2 の上に、電極 5 0 s, 0 d 及び触媒金属 4 0 s, 4 0 d を形成する。その後、例えば、フォトリソグラフィ又は E B 描画等を用いて、触媒金属 4 2 上に電極 5 8 に対応する開口部を有するレジストマスクを形成する。そして、電極 5 8 の金属層を E B 蒸着又はスパッタ蒸着法などを用いて堆積させ、開口部以外に形成された金属膜をレジストマスクとともにリフトオフすることで、図 1 2 に示すような電極 5 8 が形成される。その後の工程については、実施の形態 1 と同様である。

[0150] ここで、電極 5 8 を形成する方法として、電極 5 0 s, 0 d 及び触媒金属 4 0 s, 4 0 d を形成した後、別の工程で電極 5 8 を形成したが、これには限定されず、例えば、電極 5 0 s, 0 d 及び触媒金属 4 0 s, 4 0 d を形成するときに、同時に電極 5 8 を形成しても構わない。

[0151] 次に、本実施の形態であるグラフェンを用いた電子デバイス及びその製造方法の効果について説明を行う。

[0152] 本実施の形態であるグラフェンを用いた電子デバイスは、実施の形態 1 と同様のため詳細な説明は省略するが、グラフェン層 3 0 を形成した後、グラフェン層 3 0 が、上述したチャネル領域形成時のエッチング処理、電極形成時のレジストマスクを形成する工程、及び、金属膜を形成する工程によって、グラフェン層がプロセスダメージを受けることはなく、本実施の形態であるグラフェンを用いた電子デバイスは、性能を向上させることができる。ま

た、実施の形態１と同様、従来のような水中での転写工程を用いずに製造することができるため、量産性を向上させることができる。また、本実施の形態であるグラフェンを用いた電子デバイスは、実施の形態１と同様、触媒金属４０ｓ，４０ｄからグラフェン層３０を選択的に成長させ、触媒金属４０ｓ，４０ｄの下面全面にグラフェン層３０が設けられているため、グラフェン層３０と触媒金属４０ｓ，４０ｄとの間の接触抵抗を抑えることができ、グラフェンを用いた電子デバイスの性能を向上させることができる。また、実施の形態７と同様、光キャリアの寿命が長くなり、本実施の形態であるグラフェンを用いた電子デバイスを電磁波検出器で用いた場合の電磁波検出器の感度を高めることができる。また、複数の電極５８を一次元の周期的な構造にし、電極５８の材料を表面プラズモン共鳴が生じる材料とすることにより、実施の形態７と同様、特定の偏光のみを検出することができる。また、複数の電極５８を二次元の周期的な構造にし、電極５８の材料を表面プラズモン共鳴が生じる材料とすることにより、実施の形態７と同様、特定の波長の電磁波のみを高感度に検出することができる。また、複数の電極５８を非対称な構造にする場合は、複数の電極５８を一次元の周期的な構造にする場合と同様、特定の偏光のみを検出することができる。

[0153] ここで、電極５８を形成後、グラフェン層３０に埋め込まれた電極５８を除去することで、チャネル領域に対応するグラフェン層３０に凹凸を形成しても構わない。その場合、グラフェン層３０に形成される凹凸は、実施の形態７と同様、周期的な構造又は非対称な構造とすることにより、実施の形態７に記載した効果と同様の効果を奏する。

[0154] ここで、本実施の形態であるグラフェンを用いた電子デバイスの構成は、他の実施の形態にも適用することができる。

[0155] 実施の形態９．

本発明の実施の形態９であるグラフェンを用いた電子デバイスは、他の実施の形態とは異なり、チャネル領域に対応する部分のグラフェン層下部に空間が設けられている。その他の同一符号を付した部分については、他の実施

の形態のグラフェンを用いた電子デバイスと同様に構成されるため、説明は省略する。

[0156] 図13は、本実施の形態であるグラフェンを用いた電子デバイスの構成を示す断面図であり、断面の見方は実施の形態1の場合の図1の切断線A-Aから見た断面図と同様である。

[0157] 図13に示すように、本実施の形態であるグラフェンを用いた電子デバイスは、チャネル領域に対応する部分のグラフェン層30下部に空間80が設けられている。つまり、チャネル領域に対応する部分のグラフェン層30は、実施の形態1とは異なり、絶縁膜20と接触していない。

[0158] 次に、本実施の形態であるグラフェンを用いた電子デバイスの製造方法について説明する。図14は、本実施の形態であるグラフェンを用いた電子デバイスの製造方法の一部を示す断面図である。実施の形態1と同じ製造方法については、説明を省略し、実施の形態1と異なる製造方法である図2の(d)に代わる図14についての工程のみ説明を行う。

[0159] 図2の(a)～(c)の工程の後、図14に示すように、実施の形態1と同様、グラフェン層30及び保護膜22の上に絶縁膜20を形成する。その後、エッチング処理等により、チャネル領域に対応する部分の絶縁膜20を除去する。その後、図2の(e)及び(f)の工程については、実施の形態1と同様である。図2の(e)において、基板10が絶縁膜20に張り合わされるが、図14の工程により、チャネル領域に対応する部分のグラフェン層30の上部の絶縁膜20が除去されているため、チャネル領域に対応する部分のグラフェン層30は、絶縁膜20及び基板10と接触しない。

[0160] 次に、本実施の形態であるグラフェンを用いた電子デバイス及びその製造方法の効果について説明を行う。

[0161] 本実施の形態であるグラフェンを用いた電子デバイスは、実施の形態1と同様のため詳細な説明は省略するが、グラフェン層30を形成した後、グラフェン層30が、上述したチャネル領域形成時のエッチング処理、電極形成時のレジストマスクを形成する工程、及び、金属膜を形成する工程によって

、グラフェン層がプロセスダメージを受けることはなく、本実施の形態であるグラフェンを用いた電子デバイスは、性能を向上させることができる。また、実施の形態1と同様、従来のような水中での転写工程を用いずに製造することができるため、量産性を向上させることができる。また、本実施の形態であるグラフェンを用いた電子デバイスは、実施の形態1と同様、触媒金属40s, 40dからグラフェン層30を選択的に成長させ、触媒金属40s, 40dの下面全面にグラフェン層30が設けられているため、グラフェン層30と触媒金属40s, 40dとの間の接触抵抗を抑えることができ、グラフェンを用いた電子デバイスの性能を向上させることができる。

[0162] また、本実施の形態であるグラフェンを用いた電子デバイスは、チャンネル領域に対応する部分のグラフェン層30下部に空間80を設けているため、絶縁膜20とグラフェン層30との接触に伴うキャリアの散乱の影響を無くすことができ、キャリアの移動度低下を抑制することができるため、本実施の形態であるグラフェンを用いた電子デバイスの性能を向上させることができる。また、グラフェンを用いた電子デバイスの性能を向上させることができるため、本実施の形態であるグラフェンを用いた電子デバイスを用いた電磁波検出器の感度を高めることができる。

[0163] ここで、本実施の形態であるグラフェンを用いた電子デバイスは、チャンネル領域に対応する部分のグラフェン層30の下部のみに空間80を形成していたが、電極50s, 50dと接触するグラフェン層30の下部に空間を形成しても構わない。

[0164] ここで、本実施の形態であるグラフェンを用いた電子デバイスの構成は、他の実施の形態にも適用することができる。

[0165] 実施の形態10.

本発明の実施の形態10であるグラフェンを用いた電子デバイスは、他の実施の形態とは異なり、チャンネル領域に対応するグラフェン層が基板と接している。その他の同一符号を付した部分については、他の実施の形態のグラフェンを用いた電子デバイスと同様に構成されるため、説明は省略する。

[0166] 図15は、本実施の形態であるグラフェンを用いた電子デバイスの構成を示す断面図であり、断面の見方は実施の形態1の場合の図1の切断線A-Aから見た断面図と同様である。

[0167] 図15に示すように、本実施の形態であるグラフェンを用いた電子デバイスは、チャネル領域に対応するグラフェン層30が基板12と接している。基板12は、実施の形態1で説明した基板10と同じ材料を用いることができる。ここで、基板12の材料として、シリコン等の半導体材料、具体的には、高抵抗シリコン基板、熱酸化膜を形成して絶縁性を高めた基板、又は、不純物がドーパされたシリコン基板、又は、ゲルマニウム、III-V族又はIII-V族半導体などの化合物半導体を用いることが好ましい。

[0168] 次に、本実施の形態であるグラフェンを用いた電子デバイスの製造方法について説明する。実施の形態1及び実施の形態9と同じ製造方法については、説明を省略し、実施の形態1及び実施の形態9と異なる製造方法である工程のみ説明を行う。

[0169] 図2の(a)～(c)の工程及び図14の工程の後、例えば、溶液法などを用いて、絶縁膜20上及び絶縁膜20の開口部に露出したグラフェン層30が接触するように、基板12を成膜する。ここで、基板12として、平坦な基板を用いて、グラフェン層30と接触させても構わない。

[0170] 次に、本実施の形態であるグラフェンを用いた電子デバイス及びその製造方法の効果について説明を行う。

[0171] 本実施の形態であるグラフェンを用いた電子デバイスは、実施の形態1と同様のため詳細な説明は省略するが、グラフェン層30を形成した後、グラフェン層30が、上述したチャネル領域形成時のエッチング処理、電極形成時のレジストマスクを形成する工程、及び、金属膜を形成する工程によって、グラフェン層がプロセスダメージを受けることはなく、本実施の形態であるグラフェンを用いた電子デバイスは、性能を向上させることができる。また、実施の形態1と同様、従来のような水中での転写工程を用いずに製造することができるため、量産性を向上させることができる。また、本実施の形

態であるグラフェンを用いた電子デバイスは、実施の形態１と同様、触媒金属４０ｓ，４０ｄからグラフェン層３０を選択的に成長させ、触媒金属４０ｓ，４０ｄの下面全面にグラフェン層３０が設けられているため、グラフェン層３０と触媒金属４０ｓ，４０ｄとの間の接触抵抗を抑えることができ、グラフェンを用いた電子デバイスの性能を向上させることができる。

[0172] また、本実施の形態であるグラフェンを用いた電子デバイスは、基板１２を設けることにより、チャネル領域に対応するグラフェン層３０が基板１２と接しており、実施の形態１と同様、基板１２にはバックゲート電圧が印加される。そのため、基板１２及び電極５０ｓ，５０ｄを端子とすることで、グラフェン層３０と基板１２のショットキー構造とすることができ、本実施の形態であるグラフェンを用いた電子デバイスの性能を向上させることができる。

[0173] また、本実施の形態であるグラフェンを用いた電子デバイスを用いた電磁波検出器の場合、基板１２に電磁波の検出波長を吸収する材料を選択することで、グラフェン－基板ショットキーにより基板１２で生成されたキャリアをグラフェン層３０に直接注入することで、電磁波検出器の検出感度を高めることができる。また、本実施の形態ではソース・ドレイン電極を有する構造について説明したが、必ずしもソース・ドレイン電極が必要ではなく、ソース又はドレインのいずれか一方のみを有する構造を用いても良い。この場合、ソース又はドレインと、ゲートの２端子のダイオード構造となる。このとき、ショットキー接合によりＯＦＦ動作が可能となる。また、電磁波検出器として用いたとき、ＯＦＦ動作時は暗電流が低下するためノイズが低減される。

[0174] ここで、本実施の形態であるグラフェンを用いた電子デバイスの構成は、他の実施の形態にも適用することができる。

[0175] 実施の形態１１．

本発明の実施の形態１１であるグラフェンを用いた電子デバイスは、実施の形態１０とは異なり、チャネル領域に対応するグラフェン層において、グ

ラフェン層と基板が接触する領域と、グラフェン層と絶縁膜が接触する領域を有している。その他の同一符号を付した部分については、他の実施の形態のグラフェンを用いた電子デバイスと同様に構成されるため、説明は省略する。

[0176] 図16は、本実施の形態であるグラフェンを用いた電子デバイスの構成を示す断面図であり、断面の見方は実施の形態1の場合の図1の切断線A-Aから見た断面図と同様である。

[0177] 図16に示すように、本実施の形態であるグラフェンを用いた電子デバイスは、ソース・ドレイン電極50s, 50dとの間のチャネル領域に対応するグラフェン層30が、基板12と接する領域と、絶縁膜20と接触する領域とを有し、ソース・ドレイン領域に対応するグラフェン層30の側面に絶縁膜20が設けられる。例えば、実施の形態2に適用した場合、チャネル領域に対応する単層グラフェン層32において、基板12と接する領域と、絶縁層20と接触する領域が設けられることになる。

[0178] 次に、本実施の形態であるグラフェンを用いた電子デバイスの製造方法について説明する。図17は、本実施の形態であるグラフェンを用いた電子デバイスの製造方法の一部を示す断面図である。実施の形態1と同じ製造方法については、説明を省略し、実施の形態1と異なる製造方法である工程のみ説明を行う。

[0179] 図2の(a)～(c)の工程の後、図17に示すように、実施の形態1と同様、グラフェン層30及び保護膜22の上に絶縁膜20を形成する。その後、図17に示すように、エッチング処理等により、チャネル領域に対応するグラフェン層30の上部の一部分の絶縁膜20を除去する。このとき、チャネル領域に対応するグラフェン層30の上部には、絶縁膜20が形成された領域と、エッチングにより開口部82が形成された領域が設けられる。

[0180] その後、図2の(e)の工程において、例えば、溶液法などを用いて、絶縁膜20上及び絶縁膜20の開口部82に露出したグラフェン層30が接触するように、基板12を成膜する。ここで、基板12として、平坦な基板を

用いて、グラフェン層30と接触させても構わない。

[0181] 次に、本実施の形態であるグラフェンを用いた電子デバイス及びその製造方法の効果について説明を行う。

[0182] 本実施の形態であるグラフェンを用いた電子デバイスは、実施の形態1と同様のため詳細な説明は省略するが、グラフェン層30を形成した後、グラフェン層30が、上述したチャネル領域形成時のエッチング処理、電極形成時のレジストマスクを形成する工程、及び、金属膜を形成する工程によって、グラフェン層がプロセスダメージを受けることはなく、本実施の形態であるグラフェンを用いた電子デバイスは、性能を向上させることができる。また、実施の形態1と同様、従来のような水中での転写工程を用いずに製造することができるため、量産性を向上させることができる。また、本実施の形態であるグラフェンを用いた電子デバイスは、実施の形態1と同様、触媒金属40s、40dからグラフェン層30を選択的に成長させ、触媒金属40s、40dの下面全面にグラフェン層30が設けられているため、グラフェン層30と触媒金属40s、40dとの間の接触抵抗を抑えることができ、グラフェンを用いた電子デバイスの性能を向上させることができる。

[0183] また、本実施の形態であるグラフェンを用いた電子デバイスは、基板12を設けることにより、チャネル領域に対応するグラフェン層30が基板12と接しており、実施の形態1と同様、グラフェン層30と基板12のショットキー構造とすることができ、本実施の形態であるグラフェンを用いた電子デバイスの性能を向上させることができる。

[0184] また、本実施の形態であるグラフェンを用いた電子デバイスを用いた電磁波検出器の場合、基板12に電磁波の検出波長を吸収する材料を選択することで、グラフェン-基板ショットキーにより基板12で生成されたキャリアをグラフェン層30に直接注入することができ、さらに、絶縁膜20を介して基板12で生じた電界変化によりグラフェン層30にゲート電圧の変化、つまり、後述する光ゲート効果が生じる。これにより、基板12からグラフェン層30に注入されたキャリアに加えて、基板12で生じた電界変化によ

リグラフェン層30の導電率が変化するため、実施の形態10よりも電磁波検出器の検出感度をさらに高めることができる。また、本実施の形態ではソース・ドレイン電極を有する構造について説明したが、必ずしもソース・ドレイン電極が必要ではなく、ソース又はドレインのいずれか一方のみを有する構造を用いても良い。この場合、ソース又はドレインと、ゲートの2端子のダイオード構造となる。このとき、ショットキー接合によりOFF動作が可能となる。また、電磁波検出器として用いたとき、OFF動作時は暗電流が低下するためノイズが低減される。

[0185] ここで、本実施の形態であるグラフェンを用いた電子デバイスの構成は、他の実施の形態にも適用することができる。

[0186] 実施の形態12

本発明の実施の形態12であるグラフェンを用いた電子デバイスは、他の実施の形態とは異なり、チャネル領域に対応するグラフェン層が乱層構造で設けられていることを特徴とする。その他の同一符号を付した部分については、他の実施の形態のグラフェンを用いた電子デバイスと同様に構成されるため、説明は省略する。

[0187] 図18は、本実施の形態であるグラフェンを用いた電子デバイスの構成を示す断面図であり、断面の見方は実施の形態1の場合の図1の切断線A-Aから見た断面図と同様である。

[0188] 図18に示すように、本実施の形態であるグラフェンを用いた電子デバイスは、チャネル領域に対応するグラフェン層38が乱層構造で設けられている。具体的に説明すると、チャネル領域に対応するグラフェン層38には、グラフェンが複数積層され、互いのグラフェン同士の格子が不整合な状態で積層された乱層構造のグラフェン層が設けられ、ソース・ドレイン領域に対応するグラフェン層39s, 39dには、グラフェンが複数積層され、互いのグラフェン同士の格子が整合した状態で積層されたA-B積層構造の多層グラフェン又は単層グラフェンが設けられる。例えば、実施の形態2に適用

した場合、単層グラフェン層 3 2 上に乱層構造で設けられた 1 層以上のグラフェンが設けられ、乱層構造のグラフェン層 3 8 となっている。

[0189] 次に、本実施の形態であるグラフェンを用いた電子デバイスの製造方法について説明する。実施の形態 1 と同じ製造方法については、説明を省略し、実施の形態 1 と異なる製造方法である工程のみ説明を行う。

[0190] 図 2 の (a) ~ (f) の工程の後、最表面に露出しているグラフェン層 3 0 上に、CVD で作製したグラフェン層を複数回転写し、乱層構造でグラフェンを積層する。その後、チャネル領域以外のグラフェンを除去することで、チャネル領域に対応する部分に乱層構造のグラフェン層 3 8 を形成することができる。

[0191] また、図 2 の (a) ~ (c) の工程の後、グラフェン層 3 0 上に、エタノールなどを炭素源として CVD 法によりグラフェンを成長して乱層構造のグラフェン層 3 8 を形成しても良いし、図 2 (a) ~ (c) の工程の後、グラフェン層 3 0 上に、グラフェンを複数回転写して、乱層構造のグラフェン層 3 8 を形成しても良い。その場合、チャネル領域に対応するグラフェン層 3 0 の部分にマスク等を用いて選択的に形成しても構わないし、グラフェン層 3 0 全面に乱層構造のグラフェンを形成しても構わない。

[0192] 次に、本実施の形態である 9 を用いた電子デバイス及びその製造方法の効果について説明を行う。

[0193] 本実施の形態であるグラフェンを用いた電子デバイスは、実施の形態 1 と同様のため詳細な説明は省略するが、グラフェン層 3 0 を形成した後、グラフェン層 3 0 が、上述したチャネル領域形成時のエッチング処理、電極形成時のレジストマスクを形成する工程、及び、金属膜を形成する工程によって、グラフェン層がプロセスダメージを受けることはなく、本実施の形態であるグラフェンを用いた電子デバイスは、性能を向上させることができる。また、実施の形態 1 と同様、従来のような水中での転写工程を用いずに製造することができるため、量産性を向上させることができる。また、本実施の形態であるグラフェンを用いた電子デバイスは、実施の形態 1 と同様、触媒金

属40s, 40dからグラフェン層30を選択的に成長させ、触媒金属40s, 40dの下面全面にグラフェン層30が設けられているため、グラフェン層30と触媒金属40s, 40dとの間の接触抵抗を抑えることができ、グラフェンを用いた電子デバイスの性能を向上させることができる。

[0194] また、本実施の形態であるグラフェンを用いた電子デバイスは、チャネル領域に乱層構造のグラフェンを用いることで、グラフェンの移動度が向上する。通常の積層グラフェンは、A-B積層と呼ばれ、互いのグラフェン同士の格子が整合した状態で積層される。しかし、CVDにより作製したグラフェンは多結晶であり、グラフェン上に更にグラフェンを複数回転写した場合や、CVDで下地のグラフェンを核としてグラフェンを積層した場合は、互いのグラフェン同士の格子が不整合な状態である乱層構造となる。乱層構造のグラフェンは層間の相互作用の影響が少なく、単層グラフェンと同等の性質を持つ。さらに、グラフェンは下地となる絶縁膜のキャリア散乱の影響を受けて移動度が低下するが、乱層構造で積層されたグラフェンは、絶縁膜と接触するグラフェンはキャリア散乱の影響を受けるが、グラフェン上に乱層構造で積層されたグラフェンは下地の絶縁膜のキャリア散乱の影響を受けにくくなるため、電界効果移動度を向上させることができ、本実施の形態であるグラフェンを用いた電子デバイスの性能を向上させることができる。

[0195] ここで、本実施の形態であるグラフェンを用いた電子デバイスの構成は、他の実施の形態にも適用することができる。

[0196] 実施の形態13

本発明の実施の形態13であるグラフェンを用いた電子デバイスは、他の実施の形態とは異なり、グラフェン層が平坦な層で設けられている。その他の同一符号を付した部分については、他の実施の形態のグラフェンを用いた電子デバイスと同様に構成されるため、説明は省略する。

[0197] 図19は、本実施の形態であるグラフェンを用いた電子デバイスの構成を示す断面図であり、断面の見方は実施の形態1の場合の図1の切断線A-A

から見た断面図と同様である。

[0198] 図19に示すように、本実施の形態であるグラフェンを用いた電子デバイスは、実施の形態1と異なり、グラフェン層36が平坦な層で設けられている。つまり、グラフェン層36は、実施の形態1のような凸部形状ではなく、絶縁膜20に全てが埋め込まれ、連続して平坦な形状を有している。そのため、グラフェン層36の上面は、すべて絶縁膜20の上面と一致している。

[0199] 次に、本実施の形態であるグラフェンを用いた電子デバイスの製造方法について説明する。図20は、本実施の形態であるグラフェンを用いた電子デバイスの製造方法を示す断面図である。

[0200] まず、例えば、シリコン基板等の基板90を準備し、フォトリソグラフィ又はEB描画等を用いて、基板90上に開口部を有するレジストマスクを形成する。その後、電極50s、50d、触媒金属40s、40dの順でそれぞれの金属層をEB蒸着又はスパッタ蒸着法などを用いて堆積させ、開口部以外に形成された金属膜をレジストマスクとともにリフトオフすることで、図20の(a)に示すように、一部の触媒金属40s、40d及び電極50s、50dを残し、不要な触媒金属40s、40d及び電極50s、50dを除去し、基板90上に触媒金属40s、40d及び電極50s、50dを形成する。その後、フォトリソグラフィ又はEB描画等を用いて、触媒金属40s、40d及び電極50s、50dの間にのみ開口部を有するレジストマスクを形成し、開口部内に、例えば、Cuからなる金属膜を成膜し、開口部以外に形成された金属膜をレジストマスクとともにリフトオフすることで、図20の(a)に示すように、一部の触媒金属44を残し、不要な触媒金属44を除去し、基板90上に触媒金属44を形成する。このとき、触媒金属40s、40d及び触媒金属44の上面が平坦に一致するように各金属膜の膜厚を調整する。

[0201] ここで、触媒金属44の金属材料として、例えば、Cu、Ni、Al、Fe、Co、W、又は、Cr等を用いることができる。また、基板90は、シ

リコン基板に限られず、実施の形態１とは異なり、触媒金属として用いられないため、後の工程で除去することができ、本実施の形態であるグラフェンを用いた電子デバイスを支持することができる材料であればよく、実施の形態１の基板１０と同じであっても構わない。

[0202] 次に、蒸着、ＣＶＤ法、又は、ＡＬＤ（Atomic Layer Deposition）法などを用いて、基板９０、触媒金属４０ｓ、４０ｄ、４４及び電極５０ｓ、５０ｄを覆うように、例えば、シリコン酸化膜からなる保護膜２２を形成する。そして、図２０の（ｂ）に示すように、例えば、エッチング処理等により、基板９０上の触媒金属４０ｓ、４０ｄ、４４上の保護膜２２を除去する。

[0203] 次に、図２０の（ｃ）に示すように、保護膜２２から露出した触媒金属４０ｓ、４０ｄ、４４上面に、例えば、熱ＣＶＤ法又はプラズマＣＶＤ法を用いて、グラフェン層３６を選択的に形成する。例えば、熱ＣＶＤ法の場合、ＣＶＤ装置内を１０００℃に加熱し、Ｈ２ガス及びＣＨ４ガスをＣＶＤ装置内に注入することで、グラフェン層３６が形成される。このとき、触媒金属４０ｓ、４０ｄ、４４の上面は、平坦であるため、グラフェン層３６は平坦に形成される。ここで、例えば、プラズマＣＶＤ法を用いる場合、触媒金属４０ｓ、４０ｄ、４４及び電極５０ｓ、５０ｄの金属材料が融解したり、合金化したりしないように、低温プラズマＣＶＤ法を用いることもできる。

[0204] ここで、例えば、触媒金属４０ｓ、４０ｄにＮｉを、触媒金属４４にＣｕを用いることにより、実施の形態２のように、触媒金属４０ｓ、４０ｄの上には、多層グラフェンを、触媒金属４４の上には、単層グラフェンを選択的に形成することができ、単層グラフェン層及び多層グラフェン層が連続して平坦に形成される。

[0205] 次に、図２０の（ｄ）に示すように、グラフェン層３６及び保護膜２２の上に、例えば、スピンコート法などの溶液法、真空蒸着法などの物理蒸着法、又は、ＣＶＤ法などの化学蒸着法等を用いて、例えば、酸化シリコンからなる絶縁膜２０を形成する。その後、絶縁膜２０の上面と基板１０とを接合

させるため、絶縁膜 20 の上面を平坦化しておくことが望ましい。

[0206] 次に、図 20 の (e) に示すように、平坦化された絶縁膜 20 の上面と基板 10 を接合させ、張り合わせる。絶縁膜 20 の上面と基板 10 を接合させ、張り合わせる方法は、実施の形態 1 と同様であるため、説明は省略する。

[0207] そして、図 20 の (f) に示すように、エッチング法又は剥離法等によって、基板 90 及び触媒金属 44 を除去する。基板 90 を除去する方法については、実施の形態 1 と同様であるため説明は省略するが、触媒金属 44 を除去する場合は、触媒金属 44 が選択的に溶解される材料、例えば、触媒金属 42 が銅箔の場合、銅選択エッチング液を用いることにより、触媒金属 44 を選択的に除去することができる。

[0208] 以上より、本実施の形態であるグラフェンを用いた電子デバイスを製造することができる。

[0209] 次に、本実施の形態であるグラフェンを用いた電子デバイス及びその製造方法の効果について説明を行う。

[0210] 本実施の形態であるグラフェンを用いた電子デバイスは、実施の形態 1 と同様のため詳細な説明は省略するが、グラフェン層 32 を形成した後、グラフェン層 32 が、上述したチャネル領域形成時のエッチング処理、電極形成時のレジストマスクを形成する工程、及び、金属膜を形成する工程によって、グラフェン層がプロセスダメージを受けることはなく、本実施の形態であるグラフェンを用いた電子デバイスは、性能を向上させることができる。また、実施の形態 1 と同様、従来のような水中での転写工程を用いずに製造することができるため、量産性を向上させることができる。また、本実施の形態であるグラフェンを用いた電子デバイスは、実施の形態 1 と同様、触媒金属 40 s, 40 d からグラフェン層 32 を選択的に成長させ、触媒金属 42 s, 42 d の下面全面にグラフェン層 32 が設けられているため、グラフェン層 32 と触媒金属 40 s, 40 d との間の接触抵抗を抑えることができ、グラフェンを用いた電子デバイスの性能を向上させることができる。

[0211] また、本実施の形態であるグラフェンを用いた電子デバイスは、グラフェ

ン層が平坦な層で設けられているため、実施の形態１に比べ、グラフェン層の湾曲による光キャリアの移動度の低下が抑制され、本実施の形態であるグラフェンを用いた電子デバイスを用いた電磁波検出器の電磁波検出感度を高めることができる。

[0212] ここで、本実施の形態であるグラフェンを用いた電子デバイスの構成は、他の実施の形態にも適用することができる。

[0213] 実施の形態１４．

本発明の実施の形態１４であるグラフェンを用いた電子デバイスは、絶縁膜２０の材料として、電磁波の照射により特性が変化し、グラフェン層３０に電位の変化を与える材料を用いている。その他の同一符号を付した部分については、他の実施の形態のグラフェンを用いた電子デバイスと同様に構成されるため、説明は省略する。

[0214] ここで、電磁波の照射により特性が変化し、グラフェン層３０に電位の変化を与える材料として、例えば、量子ドット、強誘電体材料、液晶材料、フラーレン、希土類酸化物、半導体材料、 $p-n$ 接合材料、金属－半導体接合材料、又は、金属－絶縁物－半導体接合材料等を用いることができる。例えば、強誘電体材料として、電磁波による分極効果（焦電効果）を有する強誘電体材料を用いることにより、電磁波の照射により、強誘電体に分極の変化が生じ、グラフェン層３０に電位の変化を与えることができる。

[0215] 次に、本実施の形態であるグラフェンを用いた電子デバイス及びその製造方法の効果について説明を行う。

[0216] 本実施の形態であるグラフェンを用いた電子デバイスは、実施の形態１と同様のため詳細な説明は省略するが、グラフェン層３０を形成した後、グラフェン層３０が、上述したチャネル領域形成時のエッチング処理、電極形成時のレジストマスクを形成する工程、及び、金属膜を形成する工程によって、グラフェン層がプロセスダメージを受けることはなく、本実施の形態であるグラフェンを用いた電子デバイスは、性能を向上させることができる。また、実施の形態１と同様、従来のような水中での転写工程を用いずに製造す

ることができるため、量産性を向上させることができる。また、本実施の形態であるグラフェンを用いた電子デバイスは、実施の形態1と同様、触媒金属40s, 40dからグラフェン層30を選択的に成長させ、触媒金属42s, 42dの下面全面にグラフェン層34s, 34dが設けられているため、グラフェン層30と触媒金属40s, 40dとの間の接触抵抗を抑えることができ、グラフェンを用いた電子デバイスの性能を向上させることができる。

[0217] また、本実施の形態であるグラフェンを用いた電子デバイスは、絶縁膜20の材料として、電磁波の照射により特性が変化し、グラフェン層30に電位の変化を与える材料を用いている。以下にその効果について詳細を説明する。図21は、本実施の形態であるグラフェンを用いた電子デバイスの効果を説明するための図であり、基板10から印加されるゲート電圧 V_{bg} とグラフェン層30に流れる電流 I_d との関係を示した図である。

[0218] 本実施の形態であるグラフェンを用いた電子デバイスに電磁波が入射していない場合、本実施の形態である電磁波検出器は、図21の破線で示すようなゲート電圧 V_{bg} －電流 I_d の特性を示し、通常のグラフェンにおける両極性のトランジスタ動作を示す曲線となる。ここで、ディラックポイントを与えるゲート電圧 V_{bg} を V_{DP} とする。

[0219] 一方、電磁波がグラフェンを用いた電子デバイスに入射した場合、絶縁膜20は、電磁波の照射により特性の変化を引き起こし、グラフェン層30に印加されるゲート電圧が変化する。絶縁膜20の特性が変化したことによるゲート電圧の変化分を V_{ph} とすると、電磁波がグラフェンを用いた電子デバイスに入射した場合のゲート電圧 V_{bg} －電流 I_d の特性は、図21の実線で示すような曲線となり、ディラックポイントを与えるゲート電圧が V_{DP} から $V_{DP} + V_{ph}$ にシフトした曲線となる。

[0220] つまり、電磁波がグラフェンを用いた電子デバイスに入射されると、ゲート電圧 V_{bg} －電流 I_d の特性が、図21の破線で示す曲線から図21の実線で示す曲線にシフトするため、電極50s, 50dの間のグラフェン層30に

は、絶縁膜20の特性変化に伴うグラフェン層30の電気量の変化である ΔI_{ph} の差分電流が発生する。このような効果を光ゲート効果又は光スイッチと呼び、この電気量の変化である差分電流 ΔI_{ph} を検出することで、電磁波の入射を検出することができる。

[0221] グラフェン層30は、単層のグラフェンを用いた場合、厚さが原子層1層という薄膜であり、電子の移動度が大きい。そのため、通常の半導体と比較して、わずかな電位変化に対して大きな電流変化を生じる。例えば、ゲート電圧の変化 V_{ph} によって印加されるグラフェン層30への電位変化に対する電流変化量 ΔI_{ph} は、通常の半導体と比較して、電子の移動度及び膜厚から算出すると、数百倍～数千倍程度大きくなる。

[0222] したがって、グラフェンの低い光電変換効率と比較して、光ゲート効果を利用することで、グラフェン層30の検出電流の取り出し効率は大幅に大きくなる。このような光ゲート効果は、光電変換材料の量子効率を直接的に増強するのではなく、電磁波入射による電流変化を大きくするため、等価的に電磁波入射による差分電流から算出した量子効率は100%を超えることができる。よって、従来の電磁波検出器と比較して、高感度な電磁波検出器を得ることができる。

[0223] また、上記差分電流に加えて、他の実施の形態で説明したグラフェン本来の光電変換効率に起因する光電流も生じるため、グラフェン層30では、電磁波の入射により、上述した光ゲート効果に伴う差分電流に加え、グラフェン本来の光電変換効率に起因する光電流も検出することができる。

[0224] ここで、電磁波の照射により特性が変化し、グラフェン層30に電位の変化を与える材料を絶縁膜20に適用する例を説明したが、それに限定されず、例えば、基板10又は接触層60、62、64のいずれかに適用しても構わない。また、絶縁膜20、基板10及び接触層60、62、64の少なくとも一つ以上に電磁波の照射により特性が変化し、グラフェン層30に電位の変化を与える材料を適用しても構わない。例えば、接触層60、62、64に電磁波の照射により特性が変化し、グラフェン層30に電位の変化を与

える材料を適用する場合、接触層 60, 62, 64 は、必ずしもグラフェン層に直接接触している必要はなく、電位の変化をグラフェン層に与えることができるのであれば、絶縁膜等を介して、グラフェン層の上面又は下面に接触層 60, 62, 64 を設けても構わない。

[0225] ここで、本実施の形態であるグラフェンを用いた電子デバイスの構成は、他の実施の形態にも適用することができる。

[0226] 実施の形態 15.

本発明の実施の形態 15 である電磁波検出器は、検出素子として実施の形態 1 であるグラフェンを用いた電子デバイスを複数有し、一次元方向又は二次元方向にアレイ状に配置される。図 22 は、本実施の形態である電磁波検出器の構成を示す平面図である。図 23 は、本実施の形態である電磁波検出器の構成を示す断面図である。図 24 は、本実施の形態である電磁波検出器の構成を示す回路図である。

[0227] 図 22 に示すように、本実施の形態である電磁波検出器は、実施の形態 1 であるグラフェンを用いた電子デバイス 100 を検出素子として複数有し、二次元方向にアレイ状に配置される。本実施の形態では、実施の形態 1 であるグラフェンを用いた電子デバイス 100 が、 2×2 のアレイ状に配置されている。ただし、配置されるグラフェンを用いた電子デバイス 100 の数はこれに限定されるものではない。また、本実施の形態では、二次元に周期的に配列したが、一次元に周期的に配列しても構わない。また、周期的ではなく異なる間隔で配置しても構わない。

[0228] このようにグラフェンを用いた電子デバイスを用いた電磁波検出器では、紫外光からマイクロ波まで非常に広い波長範囲の電磁波を検出できる。特に、アレイ状に配列することで画像センサとしても使用できる。例えば、電磁波検出器を車載センサに適用した場合、昼間は可視光画像用カメラとして使用でき、夜間は赤外線カメラとしても使用でき、電磁波の検出波長によって、画像センサを有するカメラを使い分ける必要が無い。

[0229] また、本実施の形態である電磁波検出器は、図 23 に示すように、上述の

ようにアレイ状に配列されたグラフェンを用いた電子デバイス100と、グラフェンを用いた電子デバイス100それぞれから得られた電気信号を読み出す読み出し回路基板250とを備え、グラフェンを用いた電子デバイス100の電極50s, 50d及び読み出し回路基板250は、バンプ70を介して電氣的に接続される。

[0230] ここで、本実施の形態では、グラフェンを用いた電子デバイス100とは別に読み出し回路基板250を設けたが、グラフェンを用いた電子デバイス100と同一の基板に後述の読み出し回路を設けても構わない。このとき、グラフェンを用いた電子デバイス100と読み出し回路基板250を接合するために、電子デバイス100及び読み出し回路基板250にアライメントマークを形成することが望ましい。

[0231] また、本実施の形態である電磁波検出器は、図24に示すように、上述したアレイ状に配列されたグラフェンを用いた電子デバイス100それぞれに列選択トランジスタ300及び行選択トランジスタ400が接続され、列選択トランジスタ300の他端には、グラフェンを用いた電子デバイス100が検出した電磁波の信号を出力する出力回路500が接続され、行選択トランジスタ400の他端には、グラフェンを用いた電子デバイス100にバイアス電圧 V_d を印加するバイアス回路600が接続される。

[0232] また、列選択トランジスタ300のゲートは、列ごとに設けられた水平信号線に接続され、各水平信号線は水平走査回路700に接続され、水平走査回路700は各列の水平信号線を駆動し、列選択トランジスタ300を列ごとに制御する。また、行選択トランジスタ400のゲートは、行ごとに設けられた垂直信号線に接続され、各垂直信号線は垂直走査回路800に接続され、垂直走査回路800は、各行の垂直信号線を駆動し、行選択トランジスタ400を行ごとに制御する。つまり、水平走査回路700及び垂直走査回路800により、各列及び各行が選択され、対応する一つの検出素子であるグラフェンを用いた電子デバイス100が選択される。

[0233] 本実施の形態では、図23のように構成される電磁波検出器の場合、図2

4で説明した列選択トランジスタ300、行選択トランジスタ400、出力回路500、バイアス回路600、水平走査回路700、及び、垂直走査回路800は、読み出し回路基板250に集積される。

[0234] 次に、本実施の形態である電磁波検出器の動作について、図24を用いて説明を行う。

[0235] まず、垂直走査回路800は、一つの垂直信号線を選択し、電圧を印加する。そして、水平走査回路700が、一つの水平信号線を選択し、一つのグラフェンを用いた電子デバイス100を選択する。

[0236] その後、選択されたグラフェンを用いた電子デバイス100は、バイアス回路600からバイアス電圧 V_d が印加されることにより、電流 I_d が流れ、出力回路500に出力される。

[0237] 出力回路500は、選択されたグラフェンを用いた電子デバイス100に流れる電流 I_d を、グラフェンを用いた電子デバイス100が検出した電磁波の信号として、電気信号として出力する。

[0238] その後、水平走査回路700及び垂直走査回路800により、次のグラフェンを用いた電子デバイス100を選択し、上述した動作をすべてのグラフェンを用いた電子デバイス100に行い、電磁波検出器の検出した電磁波のイメージ信号を電気信号として出力する。

[0239] 以上より、上述のように構成された本実施の形態であるグラフェンを用いた電子デバイスを用いた電磁波検出器は、グラフェンを用いることで、広い波長域の電磁波を検出することができる。

[0240] ここで、本実施の形態では、実施の形態1であるグラフェンを用いた電子デバイスを複数有する電磁波検出器を例に説明したが、実施の形態1であるグラフェンを用いた電子デバイスの代わりに、他の実施の形態である電磁波検出器を用いても構わない。

[0241] 実施の形態16.

本発明の実施の形態16である電磁波検出器は、実施の形態12と異なり、互いに種類の異なるグラフェンを用いた電子デバイスを複数有し、一次元

方向又は二次元方向にアレイ状に配置される。図25は、本実施の形態である電磁波検出器の構成を示す平面図である。ここで、本実施の形態である電磁波検出器の断面の構成及び回路構成については、実施の形態12と同様であるため、説明は省略する。

[0242] 図25に示すように、本実施の形態の電磁波検出器は、互いに種類の異なるグラフェンを用いた電子デバイス200, 201, 202, 203が、2×2のマトリックス状に配置されている。ただし、配置される電磁波検出器の数はこれに限定されるものではない。また、本実施の形態では、二次元に周期的に配列したが、一次元に周期的に配列しても構わない。また、周期的ではなく異なる間隔で配置しても構わない。

[0243] 本実施の形態である電磁波検出器は、実施の形態1～12で述べた種類の異なるグラフェンを用いた電子デバイスを、一次元又は一次元のアレイ状に配置することで、画像センサとしての機能を持たせることができる。例えば、グラフェンを用いた電子デバイス200, 201, 202, 203を、それぞれ検出波長の異なるグラフェンを用いた電子デバイスから形成しても良い。具体的には、実施の形態1～12に記載したグラフェンを用いた電子デバイスからそれぞれ異なる検出波長選択性を有するグラフェンを用いた電子デバイスを準備し、アレイ状に並べる。これにより、電磁波検出器は、少なくとも2つ以上の異なる波長の電磁波を検出することができるようになる。

[0244] このように異なる検出波長を有するグラフェンを用いた電子デバイスをアレイ状に配置することにより、可視光域で用いるイメージセンサと同様に、紫外光、赤外光、テラヘルツ波、電波の波長域においても波長を識別でき、カラー化した画像を得ることができる。

[0245] また、イメージセンサ以外の用途としては、少ない画素数でも、物体の位置検出用センサとして用いることができる。電磁波検出器の構造により、複数波長の電磁波の強度を検出する画像センサが得られる。これにより、従来、CMOSイメージセンサなどで必要であったカラーフィルタを用いることなく、複数の波長の電磁波を検出し、カラー画像を得ることができる。

[0246] さらに、検出する偏光が異なるグラフェンを用いた電子デバイスをアレイ化することにより、偏光識別イメージセンサを形成することもできる。例えば、検知する偏光角度が 0° 、 90° 、 45° 、 135° である4つの画素を一単位として、複数配置することで偏光イメージングが可能になる。偏光識別イメージセンサは、例えば、人工物と自然物の識別、材料識別、赤外波長域における同一温度物体の識別、物体間の境界の識別、又は、等価的な分解能の向上などが可能になる。

[0247] 以上より、上述のように構成された本実施の形態であるグラフェンを用いた電子デバイスを用いた電磁波検出器は、実施の形態13と同様、広い波長域の電磁波を検出することができる。また、本実施の形態であるグラフェンを用いた電子デバイスを用いた電磁波検出器は、異なる波長の電磁波を検出することができる電磁波検出器を提供することができる。

[0248] なお、本発明は、その発明の範囲内において、各実施の形態を自由に組み合わせたり、各実施の形態を適宜、変形、省略したりすることが可能である。さらに、本発明は上記実施の形態に限定されるものではなく、実施段階ではその要旨を逸脱しない範囲で種々に変形することが可能である。また、上記実施の形態には種々の段階の発明が含まれており、開示される複数の構成要件における適宜な組み合わせにより種々の発明が抽出されうる。

符号の説明

[0249] 10 基板、20 絶縁膜、22 保護膜、30 グラフェン層、40 s, 40 d, 42 触媒金属、50 s, 50 d 電極

請求の範囲

- [請求項1] 第1の基板と、
前記第1の基板（10）上に設けられる絶縁膜（20）と、
前記絶縁膜（20）上に設けられるチャネル領域となる単層グラフェン層（32）と、
前記絶縁膜（20）上に設けられ、前記単層グラフェン層（32）に隣接する多層グラフェン層（34s, 34d）と、
前記多層グラフェン層（34s, 34d）の上面全面に設けられ、前記多層グラフェン層（34s, 34d）を介して前記単層グラフェン層（32）と電氣的に接続される第1の触媒金属（44s, 44d）と
を備えることを特徴とするグラフェンを用いた電子デバイス。
- [請求項2] 前記第1の触媒金属（44s, 44d）は、互いに離間して配置された一对の前記第1の触媒金属（44s, 44d）であり、
一对の前記第1の触媒金属（44s, 44d）上にそれぞれ設けられ、前記第1の触媒金属（44s, 44d）の上面に設けられる一对の第1の電極（50s, 50d）を備えることを特徴とする請求項1に記載のグラフェンを用いた電子デバイス。
- [請求項3] 前記一对の第1の電極（50s, 50d）は、第2の電極（50s）と前記第2の電極（50s）と異なる金属材料の第3の電極（50d）とを備えることを特徴とする請求項2に記載のグラフェンを用いた電子デバイス。
- [請求項4] 前記単層グラフェン層（32）の上面又は下面に接触し前記単層グラフェン層（32）に正孔又は電子を供給することができる接触層（60, 62, 64）、前記単層グラフェン層（32）上に設けられる少なくとも一つのフローティングである第4の電極（56, 58）、及び、前記単層グラフェン層（32）と前記絶縁膜（20）との間に空間（80）の少なくとも一つを備えることを特徴とする請求項1か

ら請求項3のいずれか一項に記載のグラフェンを用いた電子デバイス。
。

[請求項5] 前記単層グラフェン層(32)と前記第1の基板(10)は少なくとも一部で接触することを特徴とする請求項1から請求項4のいずれか一項に記載のグラフェンを用いた電子デバイス。

[請求項6] 前記単層グラフェン層(32)は、前記第1の基板(10)と接触する領域と前記絶縁膜(20)と接触する領域を備えることを特徴とする請求項5に記載のグラフェンを用いた電子デバイス。

[請求項7] 前記単層グラフェン層(32)上に1層以上の乱層構造を有するグラフェンを備えることを特徴とする請求項1から請求項6のいずれか一項に記載のグラフェンを用いた電子デバイス。

[請求項8] 記単層グラフェン層(32)と前記多層グラフェン層(34s, 34d)は、連続して平坦であることを特徴とする請求項1から請求項7のいずれか一項に記載のグラフェンを用いた電子デバイス。

[請求項9] 前記第1の基板(10)、前記絶縁膜(20)、及び、前記接触層(60, 62, 64)の少なくとも一つは、電磁波の照射により、前記単層グラフェン層(32)に電位の変化を与える材料であることを特徴とする請求項1から請求項8のいずれか一項に記載のグラフェンを用いた電子デバイス。

[請求項10] 第2の触媒金属(42, 44)を形成する工程と、
第3の触媒金属(40s, 40d)を形成する工程と、
前記第2の触媒金属(42, 44)及び前記第3の触媒金属(40s, 40d)の上面が露出するように保護膜(22)を形成する工程と、

露出した前記第2の触媒金属(42, 44)及び前記第3の触媒金属(40s, 40d)の上にグラフェン層(30, 36)を形成する工程と、

前記グラフェン層(30, 36)を形成した後、前記グラフェン層

(30, 36) を覆うように絶縁膜 (20) を形成する工程と、

前記絶縁膜 (20) を形成した後、前記絶縁膜 (20) 上に第2の基板 (10) を形成する工程と、

前記グラフェン層 (30, 36) を形成した後、前記第2の触媒金属 (42, 44) を除去する工程と
を備えることを特徴とするグラフェンを用いた電子デバイスの製造方法。

[請求項11] 前記第3の触媒金属 (40s, 40d) を形成する工程は、前記第2の触媒金属 (42, 44) を形成した後、前記第2の触媒金属 (42, 44) の上に前記第3の触媒金属 (40s, 40d) を成膜し、一部の前記第3の触媒金属 (40s, 40d) を残して、前記第2の触媒金属 (42, 44) を露出させることを特徴とする請求項10に記載のグラフェンを用いた電子デバイスの製造方法。

[請求項12] 前記第2の触媒金属 (42, 44) 及び前記第3の触媒金属 (40s, 40d) を形成する工程は、前記第2の触媒金属 (42, 44) 及び前記第3の触媒金属 (40s, 40d) は第3の基板 (90) 上に互いに隣接し、前記第2の触媒金属 (42, 44) と前記第3の触媒金属 (40s, 40d) の上面の高さが同じになるように形成されることを特徴とする請求項10に記載のグラフェンを用いた電子デバイスの製造方法。

[請求項13] 前記グラフェン層 (30, 36) を形成する工程は、前記第2の触媒金属 (42, 44) 上に単層グラフェン層 (32) が形成され、前記第3の触媒金属 (40s, 40d) 上に多層グラフェン層 (34s, 34d) が形成されることを特徴とする請求項10から請求項12のいずれか一項に記載のグラフェンを用いた電子デバイスの製造方法。

[請求項14] 前記第2の触媒金属 (42, 44) を形成した後、前記第2の触媒金属 (42, 44) の上に第1の金属膜を成膜する工程を備え、

前記第3の触媒金属（40s, 40d）を形成する工程は、前記第1の金属膜を成膜した後、前記第1の金属膜の上に前記第3の触媒金属（40s, 40d）を成膜し、第3の電極（50s, 50d）となる前記第1の金属膜の一部及び前記第3の触媒金属（40s, 40d）の一部を残して、前記第2の触媒金属（42, 44）を露出させることを特徴とする請求項11に記載のグラフェンを用いた電子デバイスの製造方法。

[請求項15] 前記第3の基板（90）の上に第2の金属膜を成膜する工程を備え、

前記第3の触媒金属（40s, 40d）を形成する工程は、前記第2の金属膜を成膜した後、前記第2の金属膜の上に前記第3の触媒金属（40s, 40d）を成膜し、第4の電極（50s, 50d）となる前記第2の金属膜の一部及び前記第3の触媒金属（40s, 40d）の一部を残して、前記第2の金属膜及び前記第3の触媒金属（40s, 40d）を除去することを特徴とする請求項12に記載のグラフェンを用いた電子デバイスの製造方法。

[請求項16] 前記第2の触媒金属（42, 44）を形成した後、前記第2の触媒金属（42, 44）の上に前記第1の金属膜と金属材料の異なる第3の金属膜を成膜する工程を備え、

前記第3の触媒金属（40s, 40d）を形成する工程は、前記第3の金属膜を成膜した後、前記第3の金属膜の上に前記第3の触媒金属（40s, 40d）を成膜し、第4の電極（52, 54）となる前記第3の金属膜の一部及び前記第3の触媒金属（40s, 40d）の一部を残して、前記第2の触媒金属（42, 44）を露出させることを特徴とする請求項14に記載のグラフェンを用いた電子デバイスの製造方法。

[請求項17] 前記グラフェン層（30, 36）の上面又は下面と接触し、前記グラフェン層（30, 36）に正孔又は電子を供給することができる接

触層（６０，６２，６４）を形成する工程、前記グラフェン層（３０，３６）上に少なくとも一つのフローティングである第５の電極（５６，５８）を形成する工程、及び、前記グラフェン層（３０，３６）と前記第２の基板（１０）との間に空間（８０）を形成する工程の少なくとも一つを備えることを特徴とする請求項１０から請求項１６のいずれか一項に記載のグラフェンを用いた電子デバイスの製造方法。

[請求項18] 前記絶縁膜（２０）の一部を除去し、前記グラフェン層（３０，３６）の一部を露出させる工程を備え、前記絶縁膜（２０）上に前記第２の基板（１０）を形成する工程は、前記絶縁膜（２０）の除去により露出された前記グラフェン層（３０，３６）と前記第２の基板（１０）を接触させることを特徴とする請求項１０から請求項１７のいずれか一項に記載のグラフェンを用いた電子デバイスの製造方法。

[請求項19] 前記絶縁膜（２０）の一部を除去し、前記グラフェン層（３０，３６）の一部を露出させる工程は、前記グラフェン層（３０，３６）のチャネル領域の一部を露出させ、
前記絶縁膜（２０）上に前記第２の基板（１０）を形成する工程は、露出した前記グラフェン層（３０，３６）のチャネル領域の一部と前記第２の基板（１０）を接触させ、露出しない前記グラフェン層（３０，３６）のチャネル領域の一部と前記絶縁膜（２０）を接触させることを特徴とする請求項１８に記載のグラフェンを用いた電子デバイスの製造方法。

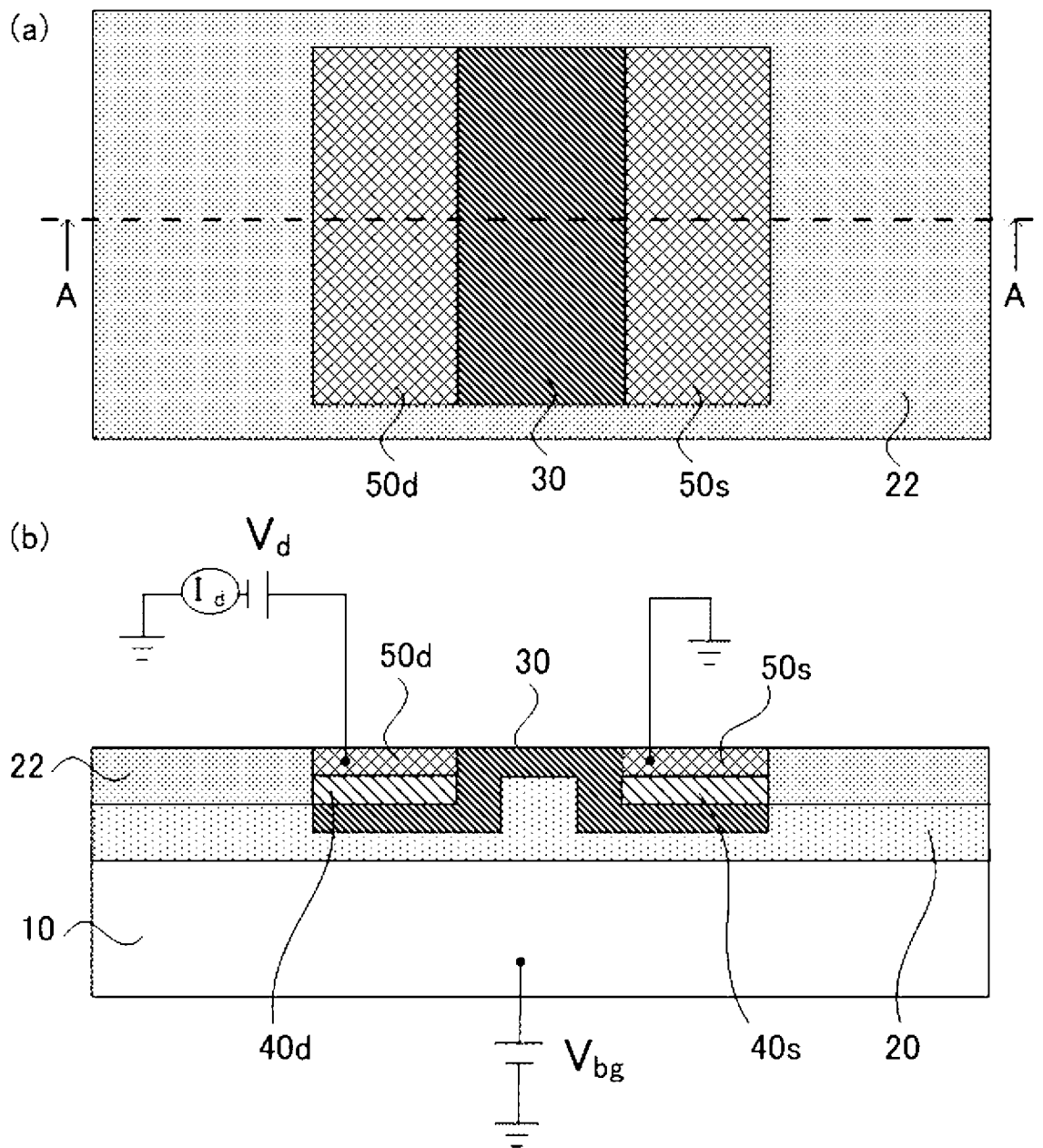
[請求項20] 前記グラフェン層（３０）上に少なくとも１層以上の乱層構造を有するグラフェンを形成する工程を備えることを特徴とする請求項１０から請求項１９のいずれか一項に記載のグラフェンを用いた電子デバイスの製造方法。

[請求項21] 前記第２の基板（１０）、前記絶縁膜（２０）、及び、前記接触層（６０，６２，６４）の少なくとも一つは、電磁波の照射により特性が変化し、前記グラフェン層（３０，３６）に電位の変化を与える材

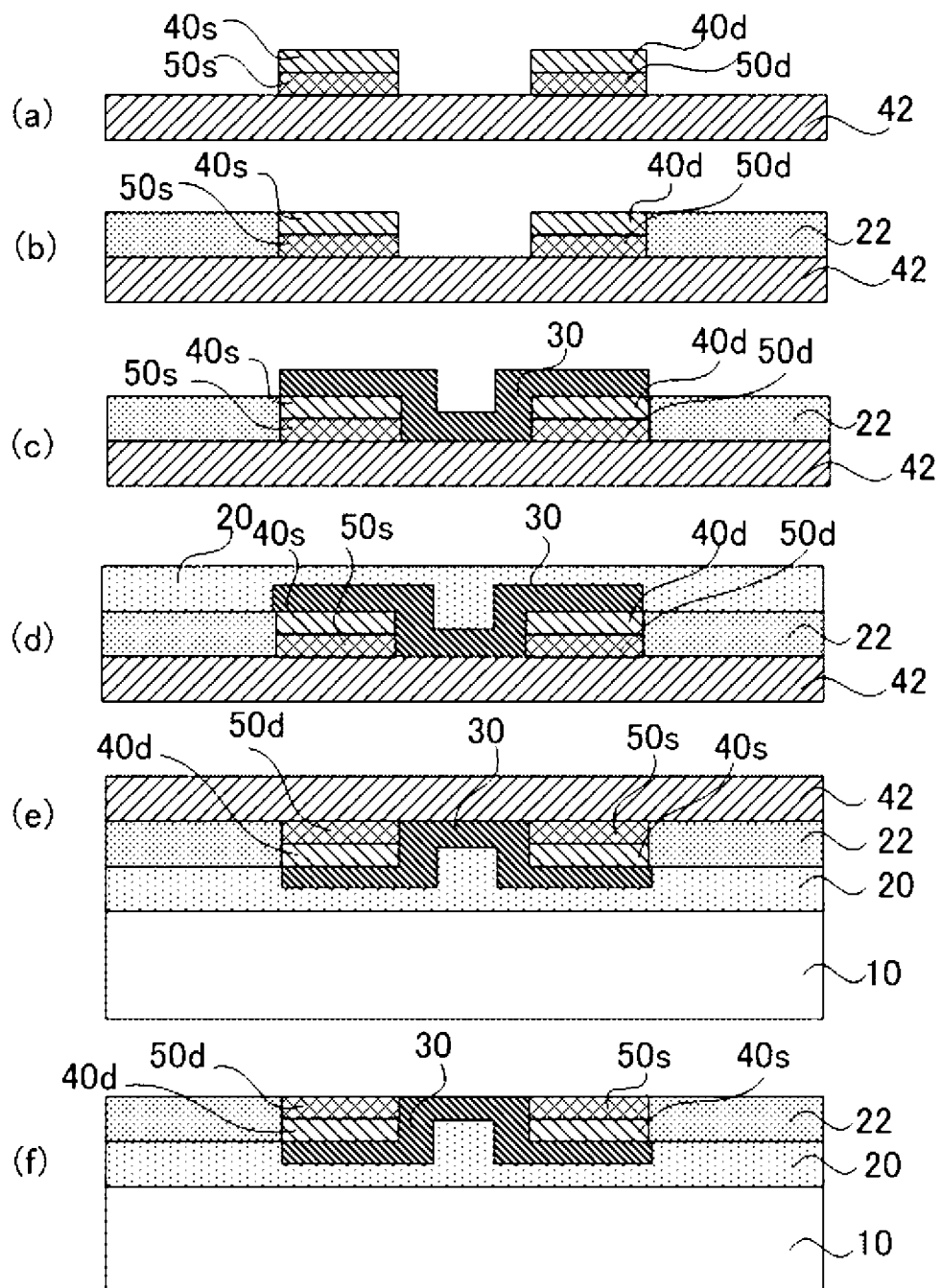
料であることを特徴とする請求項 10 から請求項 20 のいずれか一項に記載のグラフェンを用いた電子デバイスの製造方法。

[請求項22] 請求項 1 から請求項 9 のいずれか一項に記載のグラフェンを用いた電子デバイス、又は、請求項 10 から請求項 21 のいずれか一項に記載のグラフェンを用いた電子デバイスの製造方法により製造されたグラフェンを用いた電子デバイスを複数有し、複数の前記電子デバイスは一次元方向又は二次元方向にアレイ状に配置されることを特徴とする電磁波検出器。

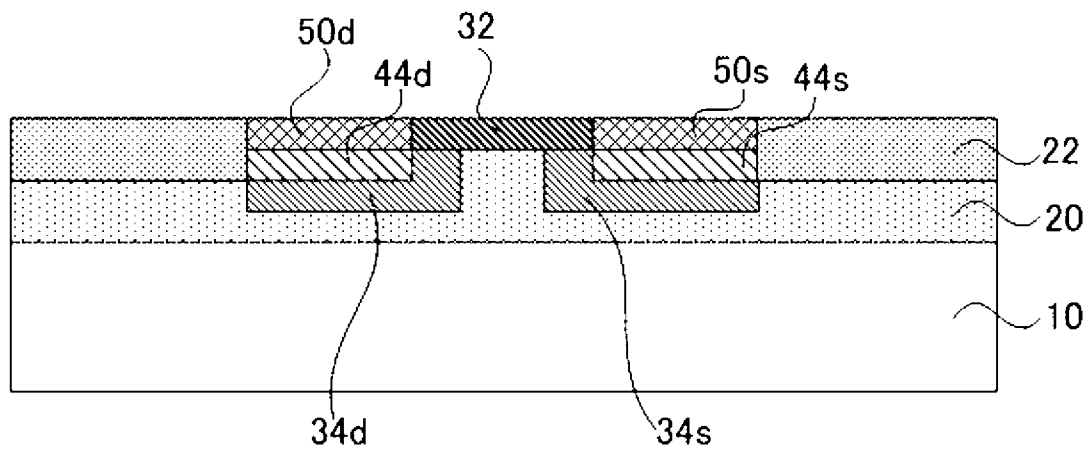
[図1]



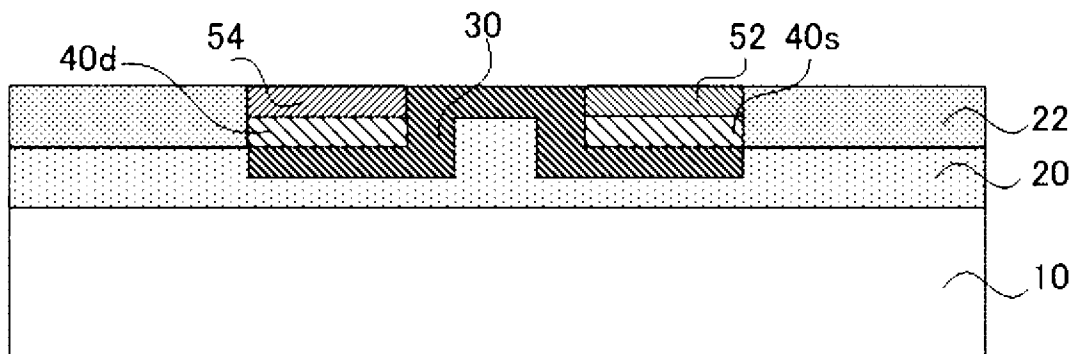
[図2]



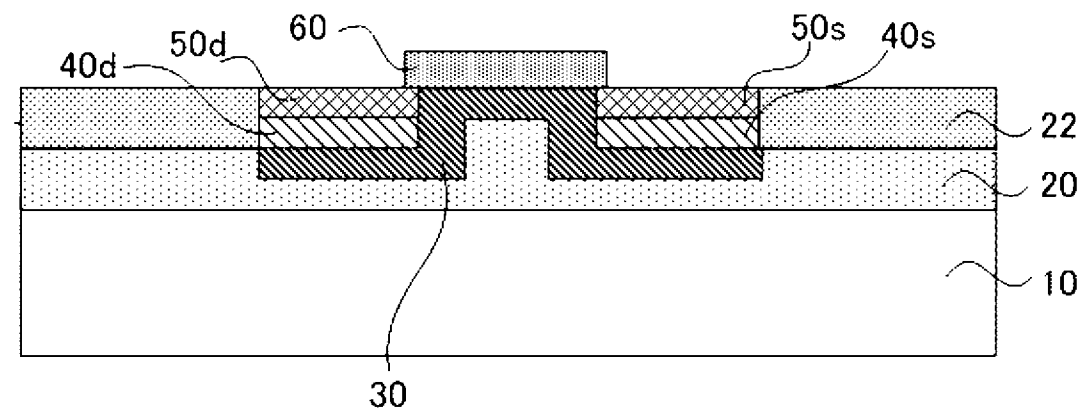
[図3]



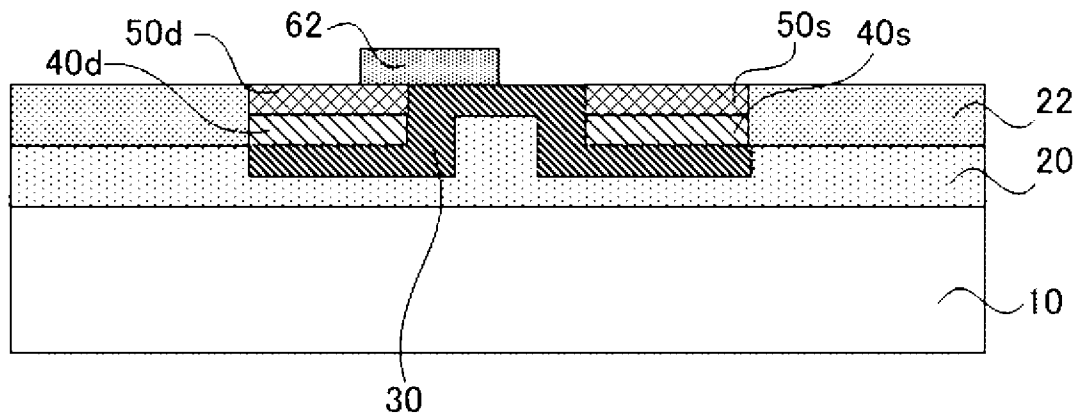
[図4]



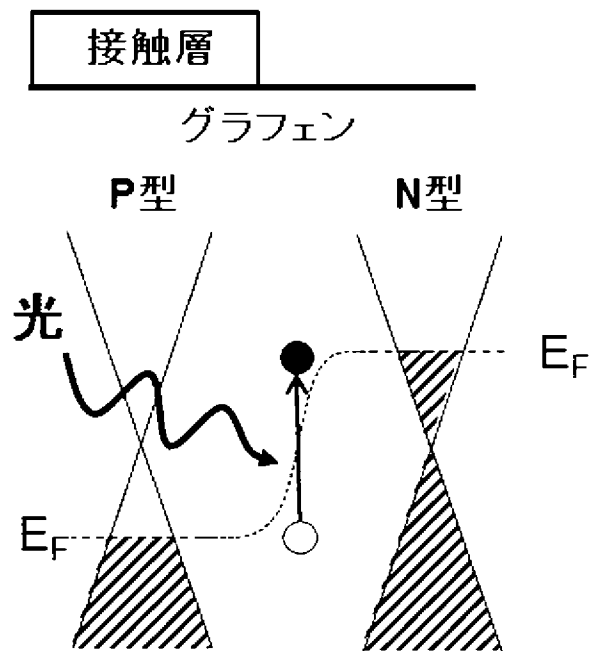
[図5]



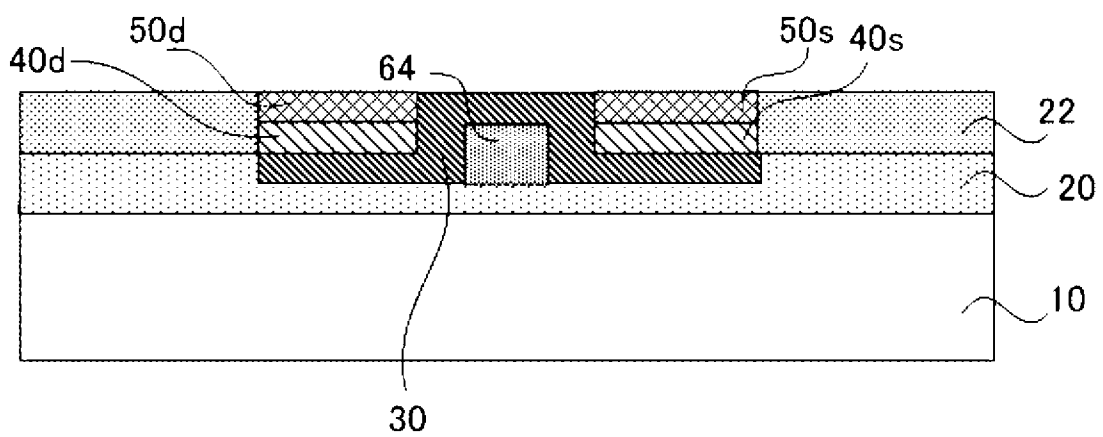
[図6]



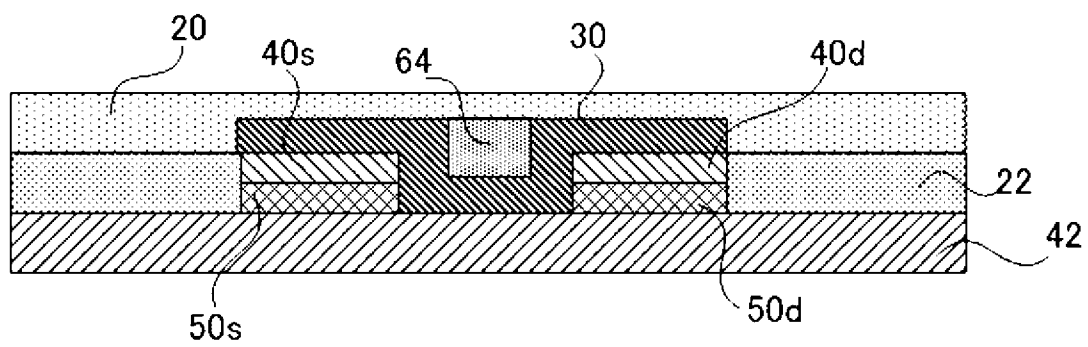
[図7]



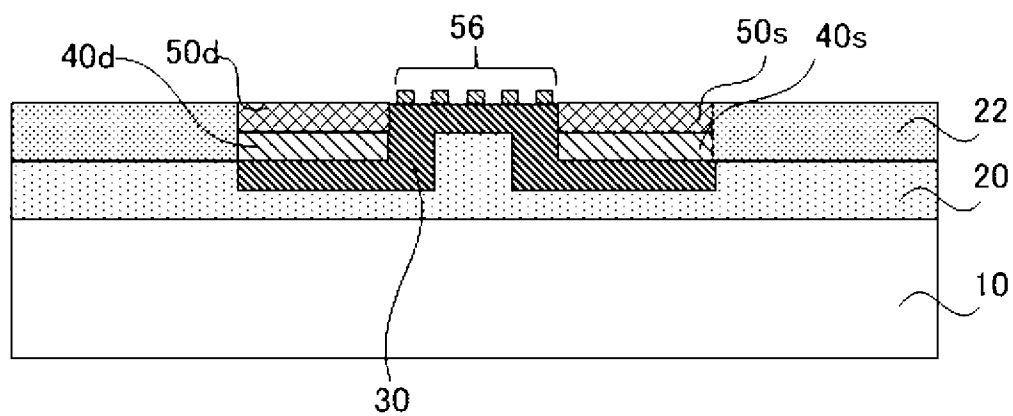
[図8]



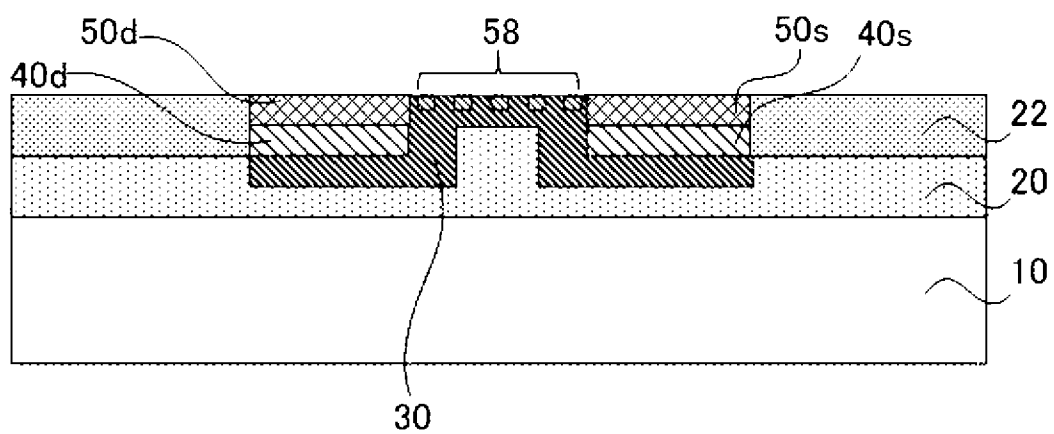
[図9]



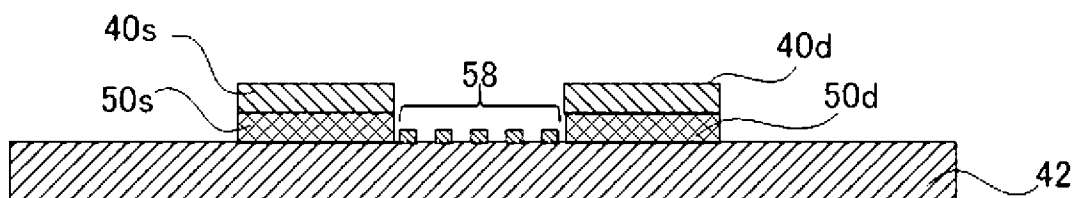
[図10]



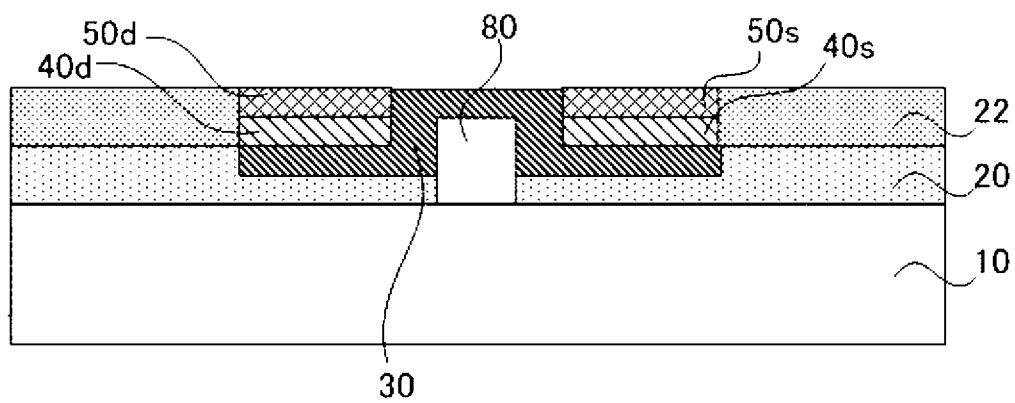
[図11]



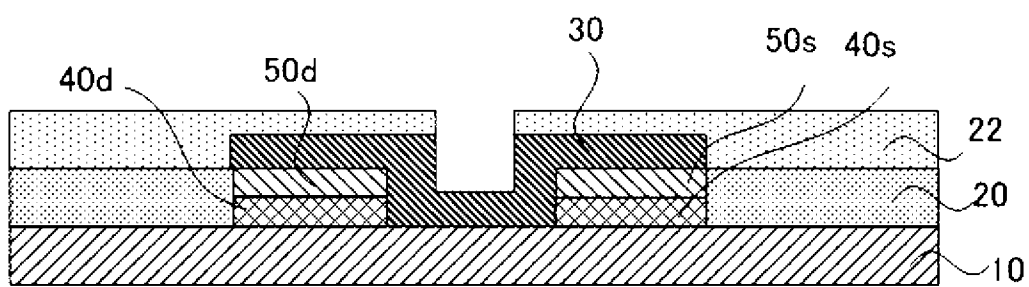
[図12]



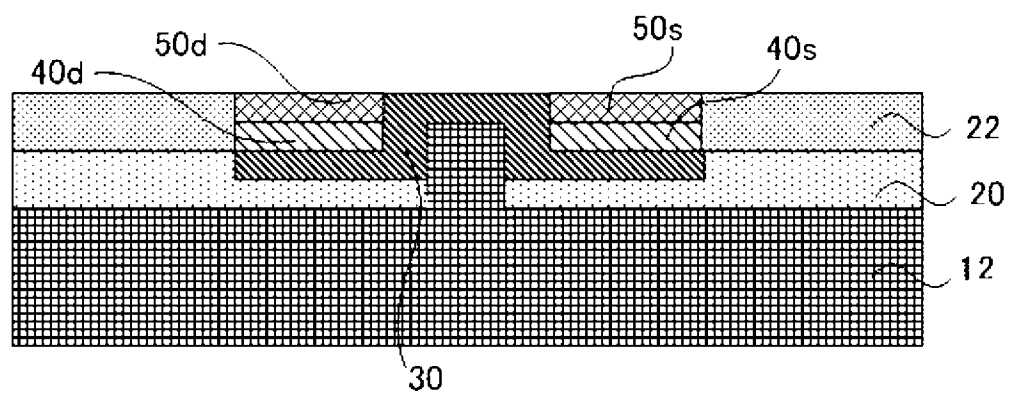
[図13]



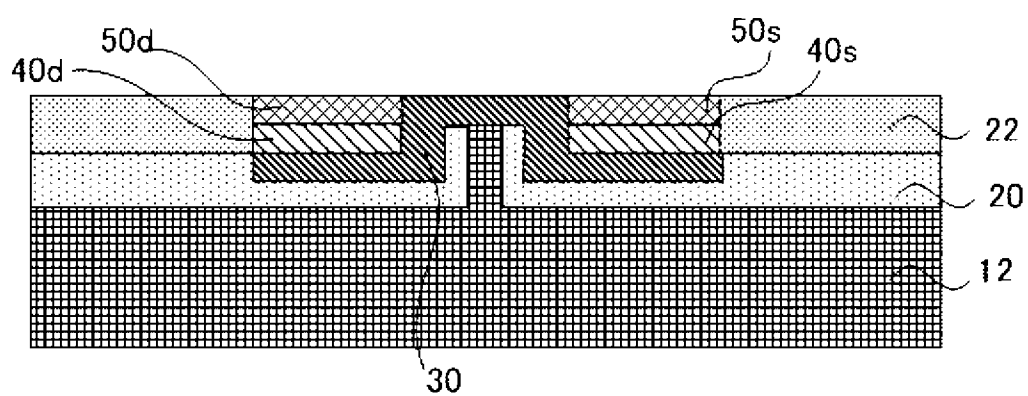
[図14]



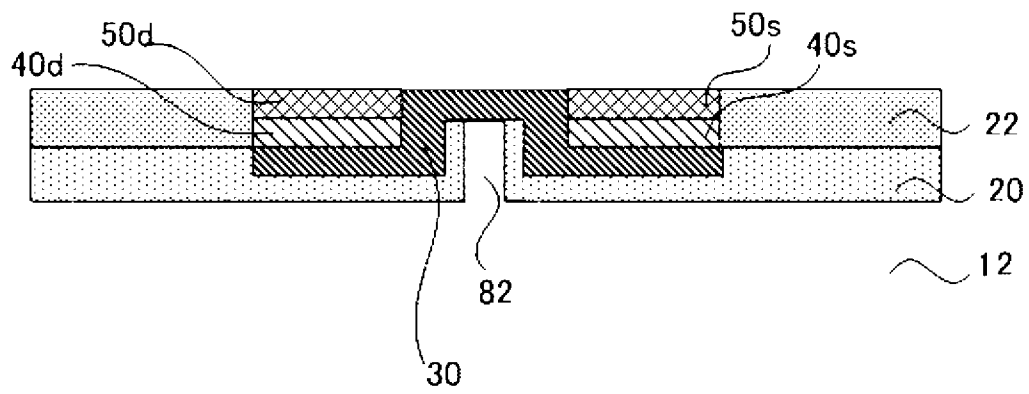
[図15]



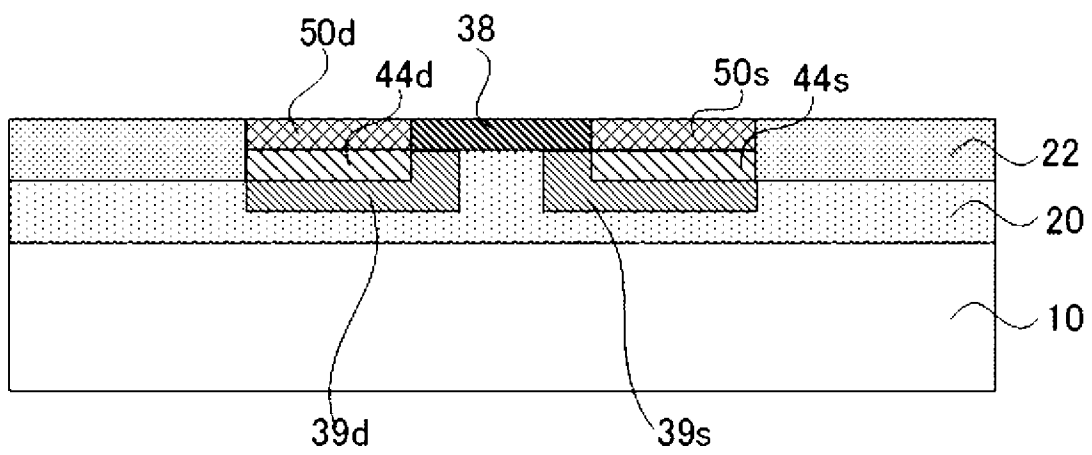
[図16]



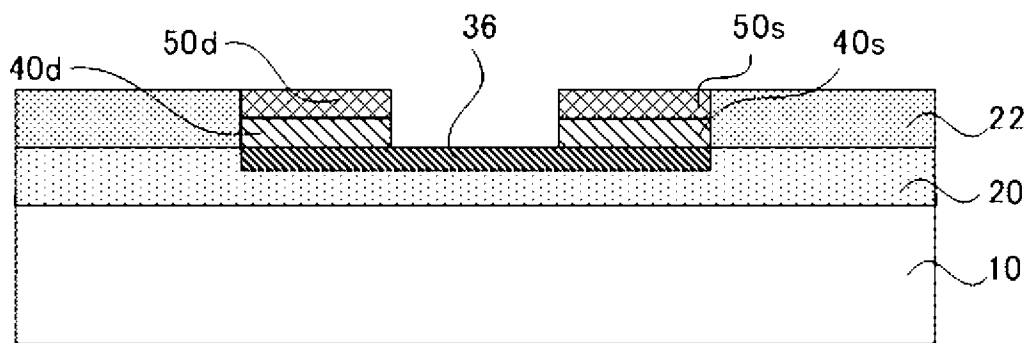
[図17]



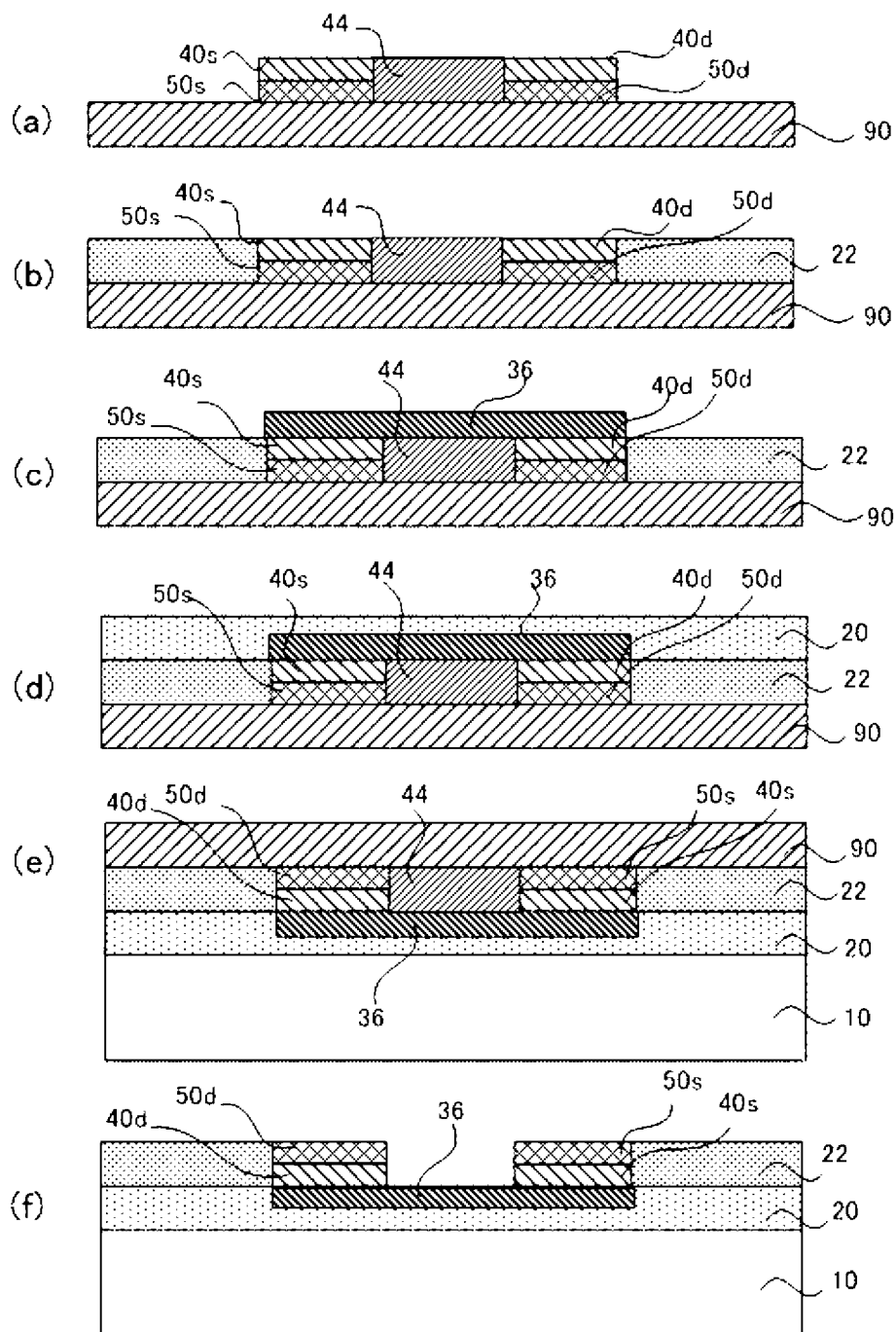
[図18]



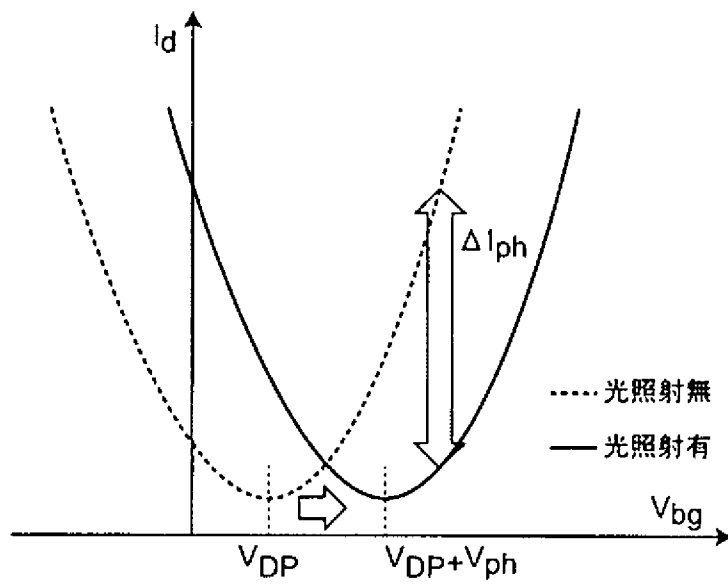
[図19]



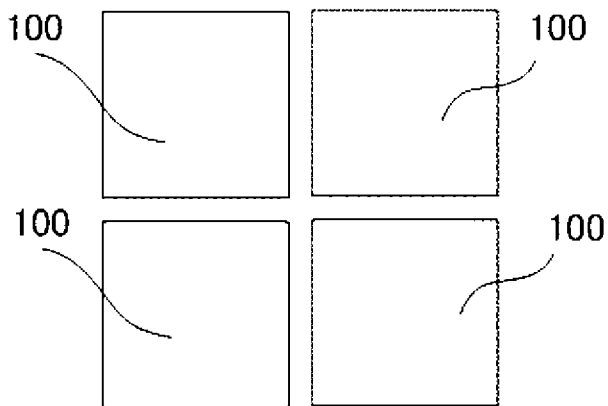
[図20]



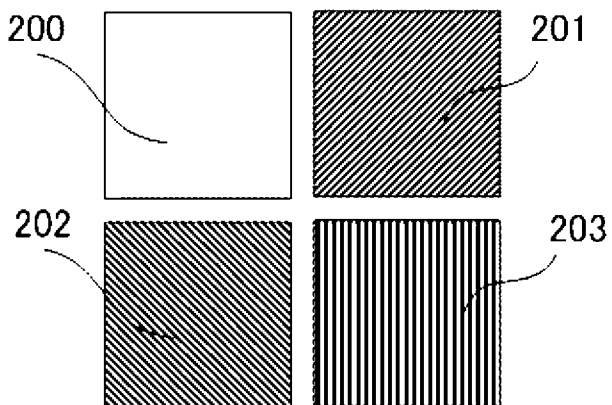
[図21]



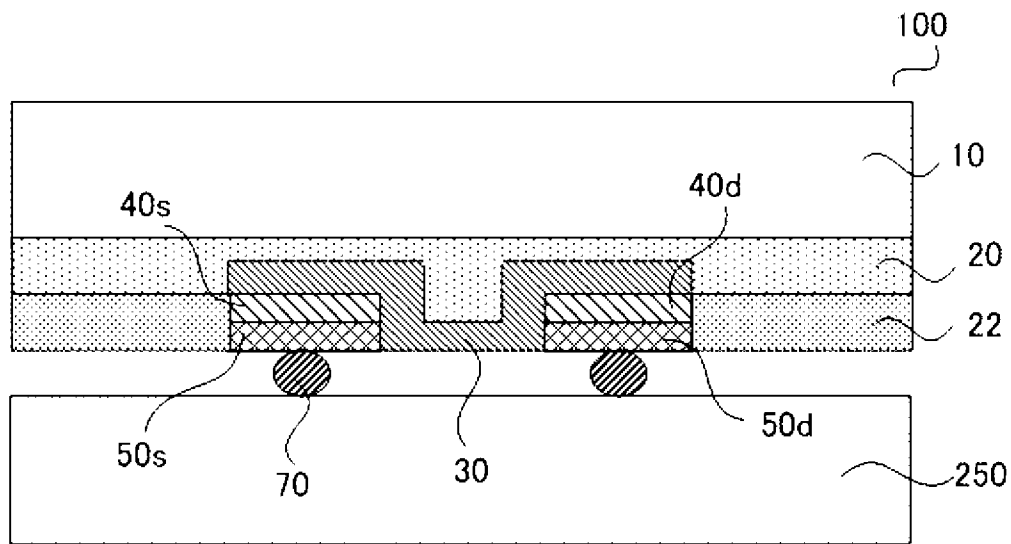
[図22]



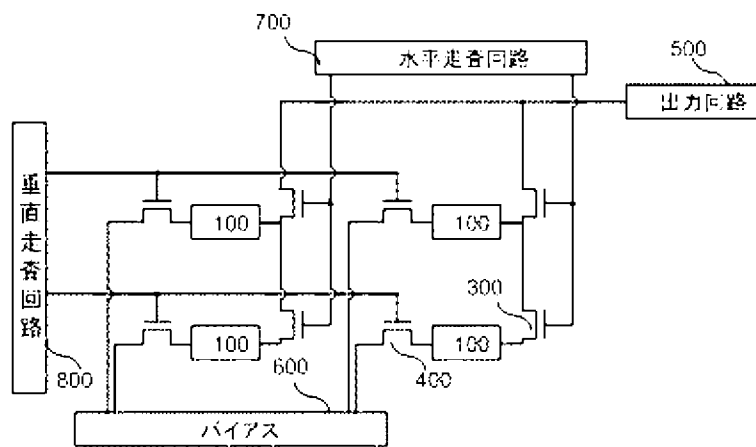
[図23]



[図24]



[図25]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2019/000376

A. CLASSIFICATION OF SUBJECT MATTER

Int. Cl. H01L31/10 (2006.01) i, H01L21/336 (2006.01) i, H01L27/146 (2006.01) i, H01L29/786 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int. Cl. H01L31/00-31/0392, 31/08-31/119, H01L21/336, H01L27/146, H01L29/786

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996
Published unexamined utility model applications of Japan 1971-2019
Registered utility model specifications of Japan 1996-2019
Published registered utility model applications of Japan 1994-2019

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

JSTPlus (JDreamIII), JST7580 (JDreamIII)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	US 2013/0214252 A1 (PRESIDENT AND FELLOWS OF HARVARD COLLEGE) 22 August 2013, paragraphs [0028]-[0057], fig. 1-4 & WO 2012/033869 A1	1-22
Y	US 2013/0193412 A1 (SAMSUNG ELECTRONICS CO., LTD.) 01 August 2013, paragraphs [0097]-[0104], [0141]-[0158], fig. 1, 2, 14 & EP 2620981 A2 & KR 10-2013-0086808 A & CN 103227201 A	1-9, 14-16, 22
Y	WO 2017/145299 A1 (MITSUBISHI ELECTRIC CORP.) 31 August 2017, paragraphs [0019]-[0052], fig. 1-7 & US 2019/051763 A1, paragraphs [0053]-[0086], fig. 1-7 & JP 6113372 B1 & EP 3422423 A1 & CN 108701737 A	3-4, 16-17



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search
02.04.2019

Date of mailing of the international search report
16.04.2019

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2019/000376

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2015-45629 A (MITSUBISHI ELECTRIC CORP.) 12 March 2015, paragraph [0109], fig. 31, 32 & US 2014/0319357 A1, paragraph [0203], fig. 31, 32	5-6, 18-20
Y	NEGISHI, R. et al., Carrier Transport Properties of the Field Effect Transistors with Graphene Channel Prepared by Chemical Vapor Deposition, JAPANESE JOURNAL OF APPLIED PHYSICS, 20 June 2012, vol. 51, pp. 06FD03-1 to 06FD03-4	7, 20
Y	US 2017/0179234 A1 (SAMSUNG ELECTRONICS CO., LTD.) 22 June 2017, paragraphs [0061]-[0072], fig. 1A-1F & EP 3181516 A1 & KR 10-2017-0071942 A & CN 107055514 A	10-21
Y	US 2015/0214303 A1 (INFINEON TECHNOLOGIES AG) 30 July 2015, paragraph [0043], fig. 5 & DE 102015201385 A1 & CN 104810254 A	12, 15
A	JP 2015-160794 A (FUJITSU LTD.) 07 September 2015, paragraphs [0204]-[0227], fig. 27-29 & US 2015/0249034 A1, paragraphs [0243]-[0269], fig. 27-29	1-22
A	JP 2012-64784 A (TOSHIBA CORP.) 29 March 2012, entire text, all drawings & US 2012/0068160 A1	1-22
A	US 2016/0005894 A1 (NANYANG TECHNOLOGICAL UNIVERSITY) 07 January 2016, entire text, all drawings & WO 2014/149004 A1	1-22
A	US 2017/0133468 A1 (TEXAS INSTRUMENTS INCORPORATED) 11 May 2017, entire text, all drawings & JP 2019-501519 A & WO 2017/078750 A1 & EP 3371822 A1 & CN 108352323 A	1-22

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl. H01L31/10(2006.01)i, H01L21/336(2006.01)i, H01L27/146(2006.01)i, H01L29/786(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl. H01L31/00-31/0392, 31/08-31/119, H01L21/336, H01L27/146, H01L29/786

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2019年
日本国実用新案登録公報	1996-2019年
日本国登録実用新案公報	1994-2019年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

JSTPlus (JDreamIII), JST7580 (JDreamIII)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	US 2013/0214252 A1 (PRESIDENT AND FELLOWS OF HARVARD COLLEGE) 2013.08.22, 段落 [0028] - [0057], 第 1-4 図 & WO 2012/033869 A1	1-22
Y	US 2013/0193412 A1 (SAMSUNG ELECTRONICS CO., LTD.) 2013.08.01, 段落 [0097] - [0104], [0141] - [0158], 第 1-2, 14 図 & EP 2620981 A2 & KR 10-2013-0086808 A & CN 103227201 A	1-9, 14-16, 22

☒ C 欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の 1 以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

02.04.2019

国際調査報告の発送日

16.04.2019

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)

郵便番号 100-8915

東京都千代田区霞が関三丁目 4 番 3 号

特許庁審査官 (権限のある職員)

山本 元彦

2 K

3914

電話番号 03-3581-1101 内線 3255

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	WO 2017/145299 A1 (三菱電機株式会社) 2017.08.31, 段落 [0019] - [0052], 第 1-7 図 & US 2019/051763 A1, 段落 [0053] - [0086], 第 1-7 図 & JP 6113372 B1 & EP 3422423 A1 & CN 108701737 A	3-4, 16-17
Y	JP 2015-45629 A (三菱電機株式会社) 2015.03.12, 段落 [0109], 第 31-32 図 & US 2014/0319357 A1, 段落 [0203], 第 31-32 図	5-6, 18-20
Y	NEGISHI, R. et al., Carrier Transport Properties of the Field Effect Transistors with Graphene Channel Prepared by Chemical Vapor Deposition, JAPANESE JOURNAL OF APPLIED PHYSICS, 2012.06.20, Vol.51, pp.06FD03-1 - 06FD03-4	7, 20
Y	US 2017/0179234 A1 (SAMSUNG ELECTRONICS CO., LTD.) 2017.06.22, 段落 [0061] - [0072], 第 1A-1F 図 & EP 3181516 A1 & KR 10-2017-0071942 A & CN 107055514 A	10-21
Y	US 2015/0214303 A1 (INFINEON TECHNOLOGIES AG) 2015.07.30, 段落 [0043], 第 5 図 & DE 102015201385 A1 & CN 104810254 A	12, 15
A	JP 2015-160794 A (富士通株式会社) 2015.09.07, 段落 [0204] - [0227], 第 27-29 図 & US 2015/0249034 A1, 段落 [0243] - [0269], 第 27-29 図	1-22
A	JP 2012-64784 A (株式会社東芝) 2012.03.29, 全文, 全図 & US 2012/0068160 A1	1-22
A	US 2016/0005894 A1 (NANYANG TECHNOLOGICAL UNIVERSITY) 2016.01.07, 全文, 全図 & WO 2014/149004 A1	1-22
A	US 2017/0133468 A1 (TEXAS INSTRUMENTS INCORPORATED) 2017.05.11, 全文, 全図 & JP 2019-501519 A & WO 2017/078750 A1 & EP 3371822 A1 & CN 108352323 A	1-22