

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 7 部門第 3 区分

【発行日】平成 17 年 1 月 20 日 (2005.1.20)

【公表番号】特表 2004-506372 (P2004-506372A)

【公表日】平成 16 年 2 月 26 日 (2004.2.26)

【年通号数】公開・登録公報 2004-008

【出願番号】特願 2002-518627 (P2002-518627)

【国際特許分類第 7 版】

H 0 3 M 1/10

H 0 3 M 1/74

【F I】

H 0 3 M 1/10 B

H 0 3 M 1/74

【手続補正書】

【提出日】平成 14 年 5 月 31 日 (2002.5.31)

【手続補正 1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

切換型電流源デジタル・アナログ・コンバータ (DAC) のための自己トリミング電流源であって、

定電流源であって、

第 1 のバイアス電圧 ( $V_{bias1}$ ) に接続されたゲートと、第 1 の接合 (50) に接続されたソースと、この自己トリミング電流源の出力を提供するドレインとを有している第 1 の電界効果トランジスタ (FET) であって、前記第 1 のバイアス電圧によって飽和され、それによって、既知の電圧が前記第 1 の接合に確立される、第 1 の FET (N1) と

、  
前記第 1 の FET と相補的であり、第 2 のバイアス電圧 ( $V_{bias2}$ ) に接続されたゲートと、前記第 1 の接合に接続されたソースとを有する第 2 の FET であって、前記既知の電圧は、この第 2 の FET のゲート・ソース電圧を確立すると共に前記出力における第 1 の出力電流を確立し、前記第 1 の FET とこの第 2 の FET とのドレイン端子は、それぞれが、これらのドレイン端子が接続されているそれぞれの回路に高インピーダンスを提供する、第 2 の FET (P1) と、

を備えている定電流源 (26) と、

電流を前記第 1 の接合に電流を提供すると共に、入力において受け取った制御信号 (36) に応答して第 2 の出力電流を前記出力において提供するように接続された可変電流源であって、この自己トリミング電流源の全出力電流は前記第 1 及び第 2 の出力電流の和である、可変電流源 (28) と、

較正信号に応答して、前記第 2 の FET のドレインを、前記較正信号が第 1 の状態にあるときには測定回路 (30) に接続し、前記較正信号が第 2 の状態にあるときには回路共通点に接続する第 1 のスイッチ (34) と、

前記較正信号が前記第 1 の状態にあるときに前記全出力電流の大きさを表す出力を生じる測定回路 (30) と、

前記電流測定回路出力を入力において受け取り前記可変電流源への制御信号を出力において提供する訂正回路であって、前記全出力電流が所定の公差範囲内で所定の値と等しくな

るように前記制御信号を変動させるように構成されている訂正回路(32)と、  
を備えており、切換型電流源DACを構成する複数の電流源の1つであることを特徴とする自己トリミング電流源。

【請求項2】

請求項1記載の自己トリミング電流源において、前記第1のFETはnチャネルFETであり、前記第2のFETは前記第2のバイアス電圧によって飽和されるpチャネルFETであり、前記第1及び第2の出力電流は前記定電流源と前記可変電流源とによってそれぞれシンクされ、前記全出力電流はこの自己トリミング電流源によってシンクされることを特徴とする自己トリミング電流源。

【請求項3】

請求項2記載の自己トリミング電流源において、前記第2のバイアス電圧を第2のFETに提供するバイアス回路を更に備えており、前記バイアス回路は、  
前記第1の出力電流の所望の値に等しい電流( $I_{desired}$ )をシンクするように構成されている電流源と、  
前記第1のバイアス電圧を受け取るように接続されたゲートを有するNMOSデバイス及び正の供給電圧と前記電流源との間に直列に接続されたダイオード接続されたPMOSデバイスであって、それぞれのデバイスは前記シンクされる電流を運び、前記NMOSデバイスは前記PMOSデバイスのゲート電圧を前記第1のバイアス電圧から前記NMOS及びPMOSデバイスのゲート・ソース電圧の和を減算した値に等しく設定し、前記PMOSデバイスのゲートは前記第2のバイアス電圧を提供する、NMOSデバイス(42)及びPMOSデバイス(40)と、  
を備えていることを特徴とする自己トリミング電流源。

【請求項4】

請求項1記載の自己トリミング電流源において、前記可変電流源は、  
前記制御信号を受け取るように接続されたゲートと前記第1の接合に接続されたドレインとを有する第3のFET(N3)と、  
前記第2のFETのゲート及びドレインにそれぞれ接続されたゲート及びドレインと、前記第3のFETのソースに接続されたソースとを有する第4のFETであって、前記第3のFETは線形モードで動作され、前記可変電流源によって前記第1の接合に提供される電流は前記制御信号の電圧と共に変動する、第4のFET(P4)と、  
を備えていることを特徴とする自己トリミング電流源。

【請求項5】

請求項1記載の自己トリミング電流源において、前記可変電流源入力と前記回路共通点との間に接続された記憶コンデンサ( $C_{store}$ )と、前記可変電流源入力と前記制御信号との間に接続された第2のスイッチ(62)とを更に備えており、前記制御信号の電圧は、前記第2のスイッチが閉じているときには前記コンデンサ上に記憶され、前記第2のスイッチが閉じていた後で開かれると、前記可変電流源に印加された状態で維持されることを特徴とする自己トリミング電流源。

【請求項6】

請求項5記載の自己トリミング電流源において、前記測定回路が前記全出力電流の大きさを表す出力を生じるように前記第1のスイッチを周期的に閉じ、前記第2のスイッチを周期的に閉じて前記訂正回路の出力を前記記憶コンデンサ上に記憶するように構成されたコントローラ(64)を更に備えていることを特徴とする自己トリミング電流源。

【請求項7】

請求項1記載の自己トリミング電流源において、前記訂正回路は、前記制御信号を前記可変電流源入力に連続的に提供する較正DAC(120)を含むことを特徴とする自己トリミング電流源。

【請求項8】

請求項1記載の自己トリミング電流源において、前記第1のバイアス電圧を前記第1のFETに提供するバイアス回路を更に備えており、前記バイアス回路は、

正の供給電圧に接続されたソースと第3のバイアス電圧に接続されたゲートとを有する第1のpチャンネルFET(P2)と、  
 前記第1のpチャンネルFETのドレインに接続されたソースと第4のバイアス電圧に接続されたゲートとを有する第2のpチャンネルFET(P3)と、  
 前記第2のpチャンネルFETのドレインに第2の接合(60)において接続されたドレインと前記第1の接合に接続されたゲートと前記回路共通点に接続されたソースとを有するnチャンネルFETであって、前記第2の接合は前記第1のFETのゲートに接続され前記第1のバイアス電圧を提供する、nチャンネルFET(N2)と、  
 を備えており、前記第1のFETと前記nチャンネルFETとは、前記第2のFETのソース電圧を前記nチャンネルFETのゲート・ソース電圧においてほぼ一定に保持するフィードバック・ループを形成することを特徴とする自己トリミング電流源。

【請求項9】

請求項8記載の自己トリミング電流源において、前記第3のバイアス電圧を前記バイアス回路に提供するバイアス電圧発生回路を更に備えており、前記バイアス電圧発生回路は、前記定電流源に従って構成された第2の定電流源(26')と前記バイアス回路に従って構成された第2のバイアス回路とを備えたダミー電流源であって、前記第2のバイアス回路は前記第1のバイアス電圧を前記第2の定電流源の前記第1のFETに提供する、ダミー電流源と、

前記ダミー電流源によってシンクされる電流を運ぶように接続された負荷抵抗( $R_L$ )と、

第1の入力において設定点電圧を受け取り、第2の入力において前記負荷抵抗を流れる電流を表す信号を受け取り、出力において前記第3のバイアス電圧を前記バイアス回路と前記ダミー電流源とに提供する演算増幅器(A1)と、

を備えており、前記ダミー電流源と前記負荷抵抗と前記演算増幅器とは、前記第3のバイアス電圧の値を前記設定点電圧に対して一定に維持する制御ループを形成していることを特徴とする自己トリミング電流源。

【請求項10】

請求項1記載の自己トリミング電流源において、前記第1のスイッチは第1及び第2のスイッチング・トランジスタ(N4、N5)を備えており、前記第1のスイッチング・トランジスタのドレイン・ソース回路は前記第2のFETのドレインと前記測定回路との間で第2の接合において接続され、前記第2のスイッチング・トランジスタのドレイン・ソース回路は前記第2のFETのドレインと前記回路共通点との間に接続され、前記第1及び第2のスイッチング・トランジスタのそれぞれのゲートは前記較正信号の相補的形式を受け取るように接続され、前記第2のFETのドレインは、前記較正信号が前記第1の状態にあるときには前記測定回路に接続され、前記較正信号が前記第2の状態にあるときには前記回路共通点に接続され、この自己トリミング電流源は、

前記第2の接合と前記回路共通点との間に接合されており前記全出力電流と共に変動する電圧をその両端の間に生じる測定抵抗( $R_{meas}$ )と、

前記第2のスイッチング・トランジスタのソースと前記回路共通点との間に接続されており、その抵抗値が既知の公差の範囲内で前記測定抵抗の抵抗値と等しいダミー抵抗( $R_{dummy}$ )と、

を更に備えていることを特徴とする自己トリミング電流源。