



(19)
Bundesrepublik Deutschland
Deutsches Patent- und Markenamt

(10) **DE 10 2008 050 972 A1** 2009.04.23

(12)

Offenlegungsschrift

(21) Aktenzeichen: **10 2008 050 972.8**

(22) Anmeldetag: **09.10.2008**

(43) Offenlegungstag: **23.04.2009**

(51) Int Cl.⁸: **H01L 21/50** (2006.01)

H01L 23/28 (2006.01)

H01L 25/04 (2006.01)

H01L 25/16 (2006.01)

(30) Unionspriorität:
11/869,211 **09.10.2007** **US**

(71) Anmelder:
Infineon Technologies AG, 85579 Neubiberg, DE

(74) Vertreter:
Patentanwälte Lambsdorff & Lange, 81673 München

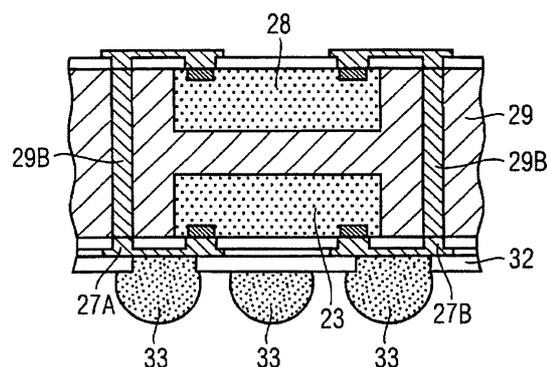
(72) Erfinder:
Meyer, Thorsten, 93049 Regensburg, DE;
Brunnbauer, Markus, 93138 Lappersdorf, DE;
Pohl, Jens, 93170 Bernhardswald, DE

Prüfungsantrag gemäß § 44 PatG ist gestellt.

Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen

(54) Bezeichnung: **Halbleiter-Chipbaustein, Halbleiter-Chipbaugruppe und Verfahren zum Herstellen eines Bauelements**

(57) Zusammenfassung: Ein Verfahren zum Herstellen eines Bauelements, eines Halbleiter-Chipbausteins und einer Halbleiter-Chipbaugruppe wird offenbart. Eine Ausführungsform beinhaltet das Aufbringen mindestens eines Halbleiter-Chips auf einem ersten Formelement. Mindestens ein Element wird auf einem zweiten Formelement aufgebracht. Ein Material wird auf dem mindestens einen Halbleiter-Chip und auf dem mindestens einen Element aufgebracht.



Beschreibung

Allgemeiner Stand der Technik

[0001] Die vorliegende Erfindung betrifft ein Verfahren zum Herstellen mindestens eines Bauelements, eines Halbleiter-Chipbausteins und einer Halbleiter-Chipbaugruppe.

[0002] Eine der Herausforderungen bei der Halbleiter-Chipkapselungstechnologie ist das Verbinden der Kontakt-Pads des Halbleiter-Chips mit externen Kontaktelementen. Eine weitere Herausforderung ist die Zunahme an funktioneller Dichte durch Stapeln von Chips oder Bausteinen. Beim Stapeln von Chips werden zwei oder mehr Halbleiter-Chips gestapelt und in einem Chipbaustein untergebracht. Beim Unterbringen der Halbleiter-Chips im Chipbaustein müssen die Kontakt-Pads der Halbleiter-Chips mit externen Kontaktelementen des Chipbausteins verbunden werden.

Kurze Beschreibung der Zeichnungen

[0003] Die beiliegenden Zeichnungen sind aufgenommen, um ein eingehenderes Verständnis der Ausführungsformen zu vermitteln, und sind in diese Spezifikation aufgenommen und stellen einen Teil dieser dar. Die Zeichnungen veranschaulichen Ausführungsformen und dienen zusammen mit der Beschreibung der Erläuterung von Prinzipien von Ausführungsformen. Andere Ausführungsformen und viele der damit einhergehenden Vorteile von Ausführungsformen lassen sich ohne weiteres verstehen, wenn sie durch Bezugnahme auf die folgende ausführliche Beschreibung besser verstanden werden. Die Elemente der Zeichnungen sind relativ zueinander nicht notwendigerweise maßstabsgetreu. Gleiche Bezugszahlen bezeichnen entsprechende ähnliche Teile.

[0004] [Fig. 1](#) veranschaulicht ein Flussdiagramm einer Ausführungsform eines Verfahrens zum Herstellen mindestens eines Bauelements.

[0005] [Fig. 2A–I](#) veranschaulichen schematische Querschnittsdarstellungen von Zwischenprodukten und Bauelementen zusammen mit Prozessanlagen zum Veranschaulichen einer weiteren Ausführungsform der Ausführungsform wie in [Fig. 1](#) dargestellt.

[0006] [Fig. 3A–D](#) veranschaulichen schematische Querschnittsdarstellungen von verschiedenen Ausführungsformen von Bauelementen, gemäß weiterer Ausführungsformen eines Verfahrens zum Herstellen mindestens eines Bauelements.

[0007] [Fig. 4](#) veranschaulicht ein Flussdiagramm einer weiteren Ausführungsform eines Verfahrens zum Herstellen mindestens eines Bauelements.

[0008] [Fig. 5A–F](#) veranschaulichen schematische Querschnittsdarstellungen von Zwischenprodukten und Bauelementen zum Veranschaulichen einer weiteren Ausführungsform wie in [Fig. 1](#), [Fig. 2A–I](#), [Fig. 3A–D](#) und [Fig. 4](#) dargestellt.

[0009] [Fig. 6](#) veranschaulicht ein Flussdiagramm einer Ausführungsform eines Verfahrens zum Herstellen einer Halbleiter-Chipbaugruppe.

[0010] [Fig. 7A, B](#) veranschaulichen schematische Querschnittsdarstellungen von Zwischenprodukten und einer Halbleiter-Chipbaugruppe zum Veranschaulichen einer weiteren Ausführungsform der Ausführungsform wie in [Fig. 6](#) dargestellt.

[0011] [Fig. 8](#) veranschaulicht eine schematische Querschnittsdarstellung einer Ausführungsform eines Halbleiter-Chipbausteins.

[0012] [Fig. 9A–F](#) veranschaulichen schematische Querschnittsdarstellungen von Zwischenprodukten und Bauelementen zusammen mit Prozessanlagen zum Darstellen einer weiteren Ausführungsform zum Herstellen mindestens eines Bauelements.

[0013] [Fig. 10A, B](#) veranschaulichen schematische Querschnittsdarstellungen von Zwischenprodukten und Bauelementen zusammen mit Prozessanlagen zum Darstellen einer weiteren Ausführungsform zum Herstellen mindestens eines Bauelements.

[0014] [Fig. 11A–C](#) veranschaulichen schematische Querschnittsdarstellungen von Zwischenprodukten und Bauelementen zum Darstellen einer weiteren Ausführungsform zum Herstellen mindestens eines Bauelements.

Ausführliche Beschreibung

[0015] In der folgenden ausführlichen Beschreibung wird auf die beiliegenden Zeichnungen Bezug genommen, die einen Teil hiervon bilden und in denen als Veranschaulichung spezifische Ausführungsformen gezeigt sind, in denen die Erfindung praktiziert werden kann. In dieser Hinsicht wird Richtungsterminologie wie etwa „Oberseite“, „Unterseite“, „Vorderseite“, „Rückseite“, „vorderer“, „hinterer“ usw. unter Bezugnahme auf die Orientierung der beschriebenen Figur(en) verwendet. Weil Komponenten von Ausführungsformen in einer Reihe verschiedener Orientierungen positioniert werden können, wird die Richtungsterminologie zu Zwecken der Darstellung verwendet und ist in keinerlei Weise beschränkend. Es versteht sich, dass andere Ausführungsformen benutzt und strukturelle oder logische Änderungen vorgenommen werden können, ohne von dem Schutzbereich der vorliegenden Erfindung abzuweichen. Die folgende ausführliche Beschreibung ist deshalb nicht in einem beschränkenden Sinne zu verstehen,

und der Schutzbereich der vorliegenden Erfindung wird durch die beigefügten Ansprüche definiert.

[0016] Es versteht sich, dass die Merkmale der verschiedenen hierin beschriebenen Ausführungsbeispiele miteinander kombiniert werden können, sofern nicht spezifisch etwas anderes angegeben ist.

[0017] Die Ausführungsformen werden nun unter Bezugnahme auf die Zeichnungen beschrieben, bei denen gleiche Bezugszahlen allgemein verwendet werden, um durchweg auf gleiche Elemente Bezug zu nehmen. Bei der folgenden Beschreibung sind zu Erläuterungszwecken zahlreiche spezifische Details dargelegt, um ein eingehendes Verständnis einer oder mehrerer Ausführungsformen zu vermitteln. Es ist jedoch dem Fachmann klar, dass eine oder mehrere Ausführungsformen mit einem geringeren Grad der spezifischen Details praktiziert werden können. In anderen Fällen sind bekannte Strukturen und Elemente in schematischer Form dargestellt, um das Beschreiben einer oder mehrerer Ausführungsformen zu erleichtern. Die folgende Beschreibung ist deshalb nicht in einem beschränkenden Sinne zu verstehen, und der Schutzbereich wird durch die beigefügten Ansprüche definiert.

[0018] Die Ausführungsformen eines Verfahrens zum Herstellen mindestens eines Bauelements, die Ausführungsformen eines Verfahrens zum Herstellen einer Halbleiter-Chipbaugruppe und die Ausführungsformen eines Halbleiter-Chipbausteins können verschiedene Arten von Halbleiter-Chips oder Halbleitersubstraten verwenden, unter anderem integrierte Logikschaltungen, integrierte Analogschaltungen, integrierte Mixed-Signal-Schaltungen, Sensorschaltungen, MEMS (Micro-Electro-Mechanical System – Mikroelektromechanisches System), integrierte Leistungsschaltungen, Chips mit integrierten passiven Elementen usw.

[0019] Bei mehreren Ausführungsformen werden Schichten oder Schichtstapel aufeinander angebracht oder Materialien auf Schichten angebracht oder abgeschieden. Es versteht sich, dass alle derartigen Ausdrücke wie „angebracht“ oder „abgeschieden“ so gut wie alle Arten und Techniken des Anbringens von Schichten aufeinander abdecken sollen. Bei einer Ausführungsform sollen sie Techniken abdecken, bei denen Schichten als Ganzes auf einmal aufgebracht werden, wie beispielsweise Laminierungstechniken sowie Techniken, bei denen Schichten auf sequentielle Weise abgeschieden werden, wie etwa beispielsweise Sputtern, Plattieren, Ausformen, CVD usw.

[0020] Der Halbleiter-Chip kann Kontaktelemente oder Kontakt-Pads auf einer oder mehreren seiner äußeren Oberflächen enthalten, wobei die Kontaktelemente dazu dienen, die Halbleiter-Chips elektrisch

zu kontaktieren. Die Kontaktelemente können aus beliebigem elektrisch leitendem Material hergestellt werden, zum Beispiel aus einem Metall wie etwa Aluminium, Gold oder Kupfer, als Beispiel, oder einer Metall-Legierung oder einem elektrisch leitenden organischen Material oder einem elektrisch leitenden Halbleitermaterial.

[0021] Bei mehreren Ausführungsformen können die Halbleiter-Chips mit einer Materialschicht bedeckt sein oder werden. Das Material der Materialschicht kann ein beliebiges elektrisch isolierendes Material sein wie beispielsweise jede Art von Formmaterial, jede Art von Epoxidmaterial oder jede Art von Harzmaterial. In dem Prozess des Bedeckens der Halbleiter-Chips mit der Materialschicht kann ein „eingebetteter Wafer“ hergestellt werden. Der eingebettete Wafer kann die Form eines normalen Halbleiter-Wafers aufweisen und wird auch oftmals als ein „rekonfigurierter Wafer“ oder ein „rekonstituierter Wafer“ bezeichnet. Es versteht sich jedoch, dass der eingebettete Wafer nicht auf die Form und Gestalt eines Wafers beschränkt ist, sondern eine beliebige Größe und Gestalt und ein beliebiges geeignetes Array von daraus eingebetteten Halbleiter-Chips aufweisen kann.

[0022] [Fig. 1](#) veranschaulicht ein Flussdiagramm einer Ausführungsform eines Verfahrens zum Herstellen mindestens eines Bauelements. Das Verfahren beinhaltet: Aufbringen mindestens eines Halbleiter-Chips auf einem ersten Formelement (s1), Aufbringen mindestens eines Elements auf einem zweiten Formelement (s2), und Aufbringen eines Materials auf dem mindestens einen Halbleiter-Chip und auf dem mindestens einen Element (s3).

[0023] Das herzustellende Bauelement kann beispielsweise ein Zwischenprodukt oder ein Endprodukt sein. Beispielsweise kann das Bauelement ein Halbleiter-Chipmodul beispielsweise in Form eines eingebetteten Wafers oder eines rekonstituierten oder rekonfigurierten Wafers sein. Beispielsweise kann das Bauelement auch ein Halbleiter-Chipbaustein sein, der beispielsweise durch Vereinzelnen eines Halbleiter-Chipmoduls zu mehreren Halbleiter-Chipbausteinen erhalten wird.

[0024] Gemäß einer Ausführungsform kann das auf das zweite Formelement aufgebrachte Element ein weiterer Halbleiter-Chip, ein Durchkontaktelement, ein Widerstand, eine Spule, eine Schicht, eine Metallschicht, eine Folie, eine Metallfolie, eine Kupferfolie, ein Systemträger, eine Lötkegel, ein Clip, ein Kontaktelement oder ein Kontakt-Pad sein.

[0025] Gemäß einer weiteren Ausführungsform kann der mindestens eine Halbleiter-Chip auf einer Trägerschicht aufgebracht werden, bei einer Ausführungsform einer ersten Trägerschicht, die dann auf

das erste Formelement aufgebracht wird. Unabhängig kann das mindestens eine Element auf einer Trägerschicht aufgebracht werden, bei einer Ausführungsform einer zweiten Trägerschicht, die dann auf dem zweiten Formelement aufgebracht wird. Der mindestens eine Halbleiter-Chip kann auf einer Hauptoberfläche der ersten Trägerschicht aufgebracht werden und das mindestens eine Element kann auf einer Hauptoberfläche der zweiten Trägerschicht aufgebracht werden, und vor dem Aufbringen des Materials können die erste und zweite Trägerschicht relativ zueinander so positioniert werden, dass die Hauptoberflächen der ersten und zweiten Trägerschicht einander zugewandt sind.

[0026] Gemäß einer weiteren Ausführungsform beinhaltet das Aufbringen einer Materialschicht das Formen, bei einer Ausführungsform das Spritzpressen oder Formpressen. Insbesondere kann beim Spritzpressen das Material auf dem mindestens einen Halbleiter-Chip und auf dem mindestens einen Element aufgebracht werden, indem das Material in einen durch das erste Formelement und das zweite Formelement gebildeten Hohlraum eingeleitet wird. Insbesondere kann beim Formpressen das Material auf dem mindestens einen Halbleiter-Chip und auf dem mindestens einen Element aufgebracht werden, indem das Material zwischen das erste Formelement und das zweite Formelement gepresst wird.

[0027] Gemäß einer weiteren Ausführungsform kann eine Formvorrichtung bereitgestellt werden, wobei die Formvorrichtung ein unteres Formwerkzeug und ein oberes Formwerkzeug aufweist, der Halbleiter-Chip oder die erste Trägerschicht auf dem unteren Formwerkzeug platziert werden kann und das Element oder die zweite Trägerschicht auf dem oberen Formwerkzeug platziert werden kann und ein Formmaterial in einen Zwischenraum zwischen dem unteren und oberen Formwerkzeug eingefüllt werden kann. Bei einer Ausführungsform können das untere und obere Formwerkzeug relativ zueinander so positioniert werden, dass sie einen inneren Hohlraum bilden, wobei der innere Hohlraum den Halbleiter-Chip und das Element und gegebenenfalls die erste und zweite Trägerschicht enthält, und das Formmaterial kann in den inneren Hohlraum eingefüllt werden.

[0028] Gemäß einer weiteren Ausführungsform können mehrere Halbleiter-Chips auf dem ersten Formelement aufgebracht werden und mehrere zweite Halbleiter-Chips auf dem zweiten Formelement aufgebracht werden. Die Anzahl der ersten Halbleiter-Chips kann gleich oder ungleich einer Anzahl der zweiten Halbleiter-Chips sein.

[0029] Gemäß einer weiteren Ausführungsform können die ersten Halbleiter-Chips und die zweiten Halbleiter-Chips derart aufgebracht werden, dass einer oder mehrere der ersten Halbleiter-Chips und ei-

ner oder mehrere der zweiten Halbleiter-Chips jeweils einander gegenüber in dem herzustellenden Bauelement platziert werden, wobei das Bauelement beispielsweise ein Halbleiter-Chipmodul ist.

[0030] Gemäß einer weiteren Ausführungsform können die ersten und zweiten Halbleiter-Chips derart aufgebracht werden, dass einer oder mehrere der ersten Halbleiter-Chips und einer oder mehrere der zweiten Halbleiter-Chips abwechselnd Seite an Seite platziert werden.

[0031] [Fig. 2A](#)–I veranschaulichen schematische Querschnittsdarstellungen von Zwischenprodukten und Bauelementen zusammen mit einer Prozessanlage zum Veranschaulichen einer weiteren Ausführungsform eines Verfahrens zum Herstellen mindestens eines Bauelements.

[0032] In [Fig. 2A](#) ist ein schematischer Querschnitt einer Ausführungsform einer ersten Trägerschicht **1** dargestellt. Die erste Trägerschicht **1** kann beispielsweise aus einem beliebigen strukturellen Material wie beispielsweise Metall, Kunststoff, Keramik oder Silizium oder aus einem Polymermaterial hergestellt sein. Sie kann beispielsweise eine starre Konstitution aufweisen, so dass sie in sich selbst stabil und handhabbar ist. Sie kann somit eine Dicke von nicht weniger als 200 µm aufweisen.

[0033] [Fig. 2B](#) veranschaulicht eine schematische Querschnittsdarstellung eines Zwischenprodukts, wobei eine Klebefolie **2** auf die erste Trägerschicht **1** laminiert worden ist. Die Klebefolie **2** kann die Eigenschaften aufweisen, auf zwei Seiten zu haften, und sie kann von der ersten Trägerschicht **1** oder von irgendeiner anderen Schicht oder irgendeinem anderen Material abgezogen werden, auf der oder dem sie aufgebracht worden ist.

[0034] Die erste Trägerschicht **1** kann als eine Trennschicht fungieren. Bei einer Ausführungsform kann sie ein Trennsystem enthalten, so dass bei externen vorbestimmten Bedingungen wie beispielsweise Wärme- oder UV-Strahlung die Klebefolie **2** von der ersten Schicht **1** getrennt werden kann. Die Wärme- oder UV-Strahlung kann von der Seite der ersten Trägerschicht **1** aufgebracht werden, so dass in dem Fall, dass die Klebefolie **2** eine Wärmetrennfolie ist, die erste Trägerschicht **1** nicht optisch transparent zu sein braucht, wohingegen in dem Fall, dass die Klebeschicht **2** ein UV-Lichttrennband ist, die erste Trägerschicht **1** für UV-Strahlung optisch transparent sein sollte.

[0035] [Fig. 2C](#) veranschaulicht eine schematische Querschnittsdarstellung eines weiteren Zwischenprodukts, bei dem Halbleiter-Chips **3** auf der Klebefolie **2** platziert worden sind. Die Halbleiter-Chips **3** sind einem Test unterzogen worden, und es stellte sich

heraus, dass sie in Ordnung sind. Dann kann ein herkömmlicher Bestückungsautomat verwendet werden, um die Halbleiter-Chips **3** auf der Klebefolie **2** zu platzieren. Die Halbleiter-Chips **3** enthalten jeweils mindestens einen Kontakt-Pad **3A**, wobei die Kontakt-Pads **3A** jeweils auf einer Oberfläche der Halbleiter-Chips **3** liegen, die der Klebeschicht **2** zugewandt ist. Die Halbleiter-Chips **3** werden mit einer ausreichenden Beabstandung platziert, um ein Auffächern der elektrischen Kontakte zu gestatten, wie später erläutert wird.

[0036] [Fig. 2D](#) veranschaulicht eine schematische Querschnittsdarstellung des Zwischenprodukts wie in [Fig. 2C](#) dargestellt, das in einem Unterwerkzeug **4** einer Formvorrichtung platziert worden ist. Das Unterwerkzeug **4** der Formvorrichtung kann die Form und Struktur einer Box aufweisen, die einen Hohlraum enthält.

[0037] [Fig. 2E](#) veranschaulicht einen Querschnitt der Formvorrichtung im Betrieb. Der untere Teil der Figur veranschaulicht das Unterwerkzeug **4**, wie es bereits in [Fig. 2D](#) dargestellt wurde. Der obere Teil der Figur veranschaulicht ein Oberwerkzeug **5** der Formvorrichtung. Das Oberwerkzeug **5** trägt eine Anordnung wie die, die in [Fig. 2C](#) dargestellt wurde. Diese weitere Anordnung besteht aus einer zweiten Trägerschicht **6** mit einer darauf angebrachten Haftschiicht **7** und an der Haftschiicht **7** angebrachten zweiten Halbleiter-Chips **8**. Die zweiten Halbleiter-Chips **8** sind so positioniert, dass sie seitlich von den ersten Halbleiter-Chips **3** versetzt sind, wenn die zweite Trägerschicht **6** auf dem Oberwerkzeug **5** aufgebracht wird und das Oberwerkzeug **5** mit dem Unterwerkzeug **4** verbunden wird, um das Halbleiter-Chipmodul herzustellen. Die zweite Trägerschicht **6** wird unter Verwendung eines Vakuummechanismus, der prinzipiell aus herkömmlichen Wafer-Chucks bekannt ist, an dem Oberwerkzeug **5** fixiert.

[0038] In [Fig. 2F](#) ist eine schematische Querschnittsansicht der Formvorrichtung wie in [Fig. 2E](#) gezeigt dargestellt. Außerdem ist dargestellt, wie ein Formmedium **9** in den Hohlraum des Unterwerkzeugs **4** eingefüllt wird. Das Formmedium **9** wird eingefüllt, indem eine Ausgabedüse **10** verwendet wird, die sich durch eine Öffnung zwischen dem Unterwerkzeug **4** und dem Oberwerkzeug **5** erstreckt. Die Formtechnik, die hier angewendet werden kann, kann eine Spritzpresstechnik oder eine Formpresstechnik sein. Zu den potentiellen Formmaterialien zählen beispielsweise aliphatische und aromatische Polymere einschließlich der Polymere vom thermoplastischen und wärmehärtenden Typ und Mischungen aus diesen Polymeren und auch andere verschiedene Arten von Polymeren.

[0039] In [Fig. 2G](#) ist eine schematische Quer-

schnittsdarstellung der Formvorrichtung dargestellt, wie bereits in [Fig. 2E](#) und [Fig. 2F](#) dargestellt. Außerdem ist in [Fig. 2G](#) dargestellt, wie das Oberwerkzeug **5** abwärts bewegt wird, um in eine feste Verbindung mit dem Unterwerkzeug **4** zu gelangen. Während dieser Operation wird das Formmedium **9** komprimiert und verteilt, während es von den sich abwärts bewegenden zweiten Halbleiter-Chips **8** und der Hauptoberfläche der zweiten Trägerschicht **6** verschoben wird. Das Symbol ΔT zeigt an, dass zusätzlich eine vorbestimmte Wärmemenge dem Unterwerkzeug **4** und dem Oberwerkzeug **5** zugeführt werden kann.

[0040] In [Fig. 2H](#) ist eine Situation dargestellt, bei der sich das Oberwerkzeug **5** in einer festen Verbindung mit dem Unterwerkzeug **4** befindet und das Formmedium **9** sich entlang der ganzen Länge der ersten Trägerschicht **1** und der zweiten Trägerschicht **6** verteilt hat und das Formmedium **9** die ersten Halbleiter-Chips **3** und die zweiten Halbleiter-Chips **8** bedeckt hat und die Hauptoberflächen der ersten Trägerschicht **1** und der zweiten Trägerschicht **6** einander zugewandt sind.

[0041] Danach wird ein Härteprozess durchgeführt, um das Formmedium **9** zu härten, so dass es eine starre Materialschiicht wird. In [Fig. 2I](#) ist dargestellt, dass das Oberwerkzeug **5** nach dem Härteprozess von dem Unterwerkzeug **4** abgehoben wird. Bei weiteren Prozessen, die hier nicht dargestellt sind, wird die gehärtete Formschiicht **9** von dem Unterwerkzeug **4** abgenommen, und die erste Trägerschicht **1** und die zweite Trägerschicht **6** werden von der gehärteten Formschiicht **9** mit den darin eingebetteten ersten Halbleiter-Chips **3** und den zweiten Halbleiter-Chips **8** delaminiert.

[0042] In [Fig. 3A–D](#) sind Querschnittsdarstellungen von verschiedenen Ausführungsformen von hergestellten Bauelementen in der Form von Halbleiter-Chipmodulen dargestellt. Alle diese Ausführungsformen veranschaulichen eine gehärtete Formmaterialschiicht **9**, erste Halbleiter-Chips **3** und zweite Halbleiter-Chips **8**. Bei allen diesen Ausführungsformen weisen die ersten Halbleiter-Chips **3** und die zweiten Halbleiter-Chips **8** jeweils eine Hauptoberfläche auf, wo Kontakt-Pads **3A** und **8A** angeordnet sind. Außerdem sind bei allen diesen Ausführungsformen die Hauptoberflächen der ersten Halbleiter-Chips **3** bündig oder koplanar mit einer oberen Oberfläche der Formmaterialschiicht **9** und die Hauptoberflächen der zweiten Halbleiter-Chips **8** bündig oder koplanar mit einer unteren Oberfläche der Formmaterialschiicht **9**.

[0043] [Fig. 3A](#) veranschaulicht eine Ausführungsform, bei der die ersten Halbleiter-Chips **3** und die zweiten Halbleiter-Chips **8** abwechselnd Seite an Seite platziert sind. Bei dieser Ausführungsform kann die Formmaterialschiicht **9** relativ dünn sein, da in je-

der seitlichen Position der Formmaterialschiicht 9 höchstens nur ein Halbleiter-Chip vorliegt, das heißt entweder ein erster Halbleiter-Chip 3 oder ein zweiter Halbleiter-Chip 8.

[0044] In Fig. 3B ist eine Ausführungsform dargestellt, bei der die ersten Halbleiter-Chips 3 und die zweiten Halbleiter-Chips 8 jeweils einander gegenüber platziert sind. Bei dieser Ausführungsform ist die Formmaterialschiicht 9 relativ dick, da es seitliche Positionen der Formmaterialschiicht 9 gibt, bei denen zwei Halbleiter-Chips, nämlich einer der ersten Halbleiter-Chips 3 und einer der zweiten Halbleiter-Chips 8, direkt übereinander gestapelt sind.

[0045] Bei den Ausführungsformen von Fig. 3A, B ist die Anzahl der ersten Halbleiter-Chips 3 gleich der Anzahl der zweiten Halbleiter-Chips 8. In Fig. 3C ist eine Ausführungsform dargestellt, bei der die Anzahl der ersten Halbleiter-Chips 3 von der Anzahl der zweiten Halbleiter-Chips 8_1, 8_2 verschieden ist. Bei einer Ausführungsform, in der Ausführungsform wie in Fig. 3C dargestellt, beträgt die Anzahl der zweiten Halbleiter-Chips 8_1, 8_2 das Doppelte der Anzahl der ersten Halbleiter-Chips 3. Insbesondere sind bei der Ausführungsform von Fig. 3C über jedem einzelnen der ersten Halbleiter-Chips 3 zwei zweite Halbleiter-Chips 8_1, 8_2 platziert.

[0046] In Fig. 3D ist eine Ausführungsform eines Halbleiter-Chipmoduls ähnlich der Ausführungsform dargestellt, wie sie in Fig. 3C dargestellt ist. Bei der Ausführungsform von Fig. 3D weisen die zwei Halbleiter-Chips 8_1, 8_2, die über einem ersten Halbleiter-Chip 3 platziert sind, eine unterschiedliche vertikale Erstreckung auf.

[0047] Fig. 4 veranschaulicht ein Flussdiagramm einer weiteren Ausführungsform eines Verfahrens zum Herstellen mindestens eines Bauelements. Das Verfahren beinhaltet das Bereitstellen mindestens eines Halbleiter-Chips (s1), das Bereitstellen mindestens eines Elements (s2), das Aufbringen einer Materialschiicht auf dem mindestens einen Halbleiter-Chip und auf dem mindestens einen Element, wobei die Materialschiicht eine erste Oberfläche und eine der ersten Oberfläche gegenüberliegende zweite Oberfläche enthält, wobei die erste Oberfläche der Materialschiicht koplanar mit einer Oberfläche des mindestens einen Halbleiter-Chips ist und die zweite Oberfläche der Materialschiicht koplanar mit einer Oberfläche des mindestens einen Elements (s3) ist.

[0048] In Fig. 5A–F sind Querschnittsdarstellungen von Zwischenprodukten und Bauelementen dargestellt, um eine in Fig. 1, Fig. 2A–I, Fig. 3A–D und Fig. 4 dargestellte weitere Ausführungsform darzustellen.

[0049] In Fig. 5A ist ein Bauelement in Form eines

Halbleiter-Chipmoduls 20 dargestellt, hergestellt gemäß dem Verfahren wie in einer der Ausführungsformen von Fig. 1 bis Fig. 4 dargestellt. Nachfolgend ist in Fig. 5B bis F nur ein Teil des Halbleiter-Chipmoduls 20 im Querschnitt dargestellt, wobei der Teil ein Halbleiter-Chipbaustein werden soll, der im späteren Prozess aus dem Halbleiter-Chipmodul 20 herausgeschnitten werden soll. Für die ersten Verarbeitungsschritte kann das Halbleiter-Chipmodul 20 mit einer Klebefolie 21 bedeckt werden, um eine Seite des Halbleiter-Chipmoduls 20 zu schützen, die nicht verarbeitet wird. Das Halbleiter-Chipmodul 20 enthält eine Formschiicht 29, erste Halbleiter-Chips 23 und zweite Halbleiter-Chips 28, wobei jeder einzelne der ersten Halbleiter-Chips 23 direkt gegenüber von einem der zweiten Halbleiter-Chips 28 platziert ist. Die ersten Halbleiter-Chips 23 enthalten jeweils zwei erste Kontakt-Pads 23A und die zweiten Halbleiter-Chips 28 jeweils zweite Kontakt-Pads 28A.

[0050] In Fig. 5B–F sind Prozesse zum Aufbringen mehrerer Kontaktelemente auf einer Seite der Formmaterialschiicht 29 bzw. zum Verbinden der Kontaktelemente mit ausgewählten einzelnen der ersten oder zweiten Kontakt-Pads 23A und 28A dargestellt.

[0051] In Fig. 5B, C ist ein erster Prozess dargestellt, bei dem elektrische Durchkontaktverbindungen durch die Materialschiicht 29 ausgebildet sind. Gemäß Fig. 5B sind Durchgangslöcher 29A durch Laserbohren in der Materialschiicht 29 ausgebildet. Die Durchgangslöcher 29A reichen von der unteren Oberfläche zu der oberen Oberfläche der Materialschiicht 29. Gemäß Fig. 5C werden die Durchgangslöcher 29A mit einem elektrisch leitenden Material gefüllt, wodurch elektrische Durchkontaktverbindungen 29B gebildet werden. Dies kann beispielsweise durch einen Plattierungsprozess und/oder einen Sputterprozess erfolgen. Alternativ kann ein Druckprozess angewendet werden. Als eine weitere Möglichkeit kann leitende Tinte in die Durchgangslöcher 29A eingefüllt werden.

[0052] Die elektrischen Durchkontaktverbindungen können auch platziert werden, bevor die Formmaterialschiicht 5 zwischen den Halbleiter-Chips 23 und 28 aufgebracht wird. Deshalb können leitende Pfosten aus Polymer oder Metall (z. B. Kupfer), Lötkugeln oder Säulen oder anderes leitendes Material zwischen den Halbleiter-Chips 23 und 28 platziert werden, indem sie beispielsweise vor dem Formen mit einer der Trägerschichten 1 oder 6 verbunden werden. Die Durchkontaktverbindungen werden dann zusammen mit den Halbleiter-Chips 23 und 28 in die Formmasse eingebettet. Durch Zurückschleifen kann die Oberseite der Durchkontaktverbindungen von Formmaterial gereinigt und exponiert werden und kann dann als Durchkontaktverbindungen zwischen auf beiden Seiten der Formmaterialschiicht 5 angeordneten Halbleiter-Chips verwendet werden.

[0053] Gemäß [Fig. 5D](#) werden dielektrische Schichten **24** und **25** dann auf der unteren Oberfläche bzw. der oberen Oberfläche der Materialschicht **29** abgeschieden. Die dielektrischen Schichten **24** und **25** können unter Verwendung einer Aufschleudertechnik auf der unteren und oberen Oberfläche der Formschicht **29** abgeschieden werden. In den dielektrischen Schichten **24** und **25** werden Öffnungen an den Kontakt-Pads **23A** und **28A** und den elektrischen Durchkontaktverbindungen **28B** ausgebildet.

[0054] In [Fig. 5E](#) ist die Struktur nach einem Prozess dargestellt, bei dem die Öffnungen in den dielektrischen Schichten **24** und **25** mit einem elektrisch leitenden Material gefüllt werden. Auf der unteren Oberfläche der Materialschicht **29** ist eine Umverteilungsschicht **27** abgeschieden worden, wobei die Umverteilungsschicht **27** aus Umverteilungs-Pads **27A**, B besteht. Jeder einzelne der Umverteilungs-Pads **27A**, B ist mit jeweils einem der Kontakt-Pads **23A** des ersten Halbleiter-Chips **23** verbunden. Die Umverteilungs-Pads **27A**, B dienen dem Zweck, den Flächeninhalt jeweils der Kontakt-Pads **28A** umzuverteilen, so dass ein externes Kontaktelement **30** angeschlossen werden kann, wie später dargestellt wird. In [Fig. 5E](#) wird auch dargestellt, dass die Umverteilungs-Pads **27A**, B durch die elektrischen Durchkontaktverbindungen **29B** und Brückenschichten **31** mit den zweiten Kontakt-Pads **28A** des zweiten Halbleiter-Chips **28** verbunden sind. Diese Form von Darstellung ist nur aus Gründen der Vereinfachung. Tatsächlich würden die ersten Kontakt-Pads **23A** an Umverteilungs-Pads angeschlossen werden müssen, wie im Prinzip dargestellt, würden aber mit anderen Umverteilungs-Pads der Umverteilungsschicht **27** verbunden werden.

[0055] In [Fig. 5F](#) ist die Struktur nach dem Aufbringen einer Lötstoppschicht oder einer Lötackschicht **32** dargestellt. Nach dem Aufbringen der Lötstoppschicht **32** werden Öffnungen in der Lötstoppschicht **32** ausgebildet, um Öffnungen zu den Umverteilungs-Pads **27A**, **27B** herzustellen. Danach werden Lötugeln **33** in die Öffnungen der Lötstoppschicht **32** eingefüllt.

[0056] Es ist anzumerken, dass die anderen Sektionen des Halbleiter-Chipmoduls von [Fig. 5A](#) auf ähnliche Weise wie oben beschrieben hergestellt werden. In dem letzten Prozess wird das Halbleiter-Chipmodul **20** in mehrere Halbleiter-Chipbausteine vereinzelt, wie die, die in [Fig. 5F](#) dargestellt sind.

[0057] [Fig. 6](#) veranschaulicht ein Flussdiagramm einer Ausführungsform eines Verfahrens zum Herstellen einer Halbleiter-Chipbaugruppe. Das Verfahren beinhaltet das Bereitstellen eines ersten Halbleiter-Chips und eines zweiten Halbleiter-Chips (s1) und das Anbringen des ersten Halbleiter-Chips an dem zweiten Halbleiter-Chip unter Verwendung einer Haftschrift (s2).

[0058] In [Fig. 7A](#), B ist eine weitere Ausführungsform zum Herstellen einer Halbleiter-Chipbaugruppe dargestellt. [Fig. 7A](#) veranschaulicht Querschnittsdarstellungen eines ersten Halbleiter-Chips **40**, einer Klebeschicht **41** bzw. eines zweiten Halbleiter-Chips **42**. Der erste Halbleiter-Chip **40** enthält Kontakt-Pads **40A** an einer oberen Oberfläche davon. Die Klebeschicht **41** ist auf eine untere Oberfläche des ersten Halbleiter-Chips **40** aufgebracht. Der zweite Halbleiter-Chip **42** enthält auch Kontakt-Pads **42A** an einer oberen Oberfläche davon. Die Kontakt-Pads **42A** befinden sich außerhalb eines mittleren Gebiets **42_1** der oberen Oberfläche des zweiten Halbleiter-Chips **42**, so dass der erste Halbleiter-Chip **40** und die auf der unteren Oberfläche des ersten Halbleiter-Chips **40** aufgebrachte Klebeschicht **41** an der oberen Oberfläche des zweiten Halbleiter-Chips **42** innerhalb des mittleren Gebiets **42_1** angebracht werden können.

[0059] [Fig. 7B](#) veranschaulicht die hergestellte Halbleiter-Chipbaugruppe **50**.

[0060] [Fig. 8](#) veranschaulicht eine Querschnittsdarstellung eines beispielsweise gemäß einer oder mehrerer der Ausführungsformen wie oben in Verbindung mit [Fig. 1](#) bis 7 oder einem oder mehreren, in diesen Ausführungsformen offenbarten Merkmalen hergestellten Halbleiter-Chipbausteins. Außerdem enthält der Halbleiter-Chipbaustein **60** wie in [Fig. 8](#) dargestellt zwei Halbleiter-Chipbaugruppen wie gemäß [Fig. 6](#) und 7 hergestellt. Die beiden Halbleiter-Chipbaugruppen sind als **51** und **52** bezeichnet. Eine erste Halbleiter-Chipbaugruppe **51** enthält einen ersten Halbleiter-Chip **51_2** und einen zweiten Halbleiter-Chip **51_1**. Eine zweite Halbleiter-Chipbaugruppe **52** enthält ebenfalls einen ersten Halbleiter-Chip **52_2** und einen zweiten Halbleiter-Chip **52_1**.

[0061] Das Halbleiter-Chipmodul **60** enthält eine Materialschicht **69**, in der die beiden Halbleiter-Chipbaugruppen **51** und **52** derart eingebettet sind, dass die Oberflächen der jeweiligen kleineren Halbleiter-Chips **51_2** und **52_2** bündig oder koplanar jeweils mit einer der Oberflächen der Materialschicht **69** sind. Die Kontakt-Pads der Halbleiter-Chips sind über Brücken-Pads oder Umverteilungs-Pads an Kontaktelemente **63** angeschlossen, die so aufgebracht sind, wie in Verbindung mit [Fig. 5F](#) erläutert wurde.

[0062] [Fig. 9A–F](#) veranschaulichen schematische Querschnittsdarstellungen von Zwischenprodukten und Bauelementen zusammen mit einer Prozessanlage zum Veranschaulichen einer weiteren Ausführungsform zum Herstellen mindestens eines Bauelements.

[0063] Gemäß dieser Ausführungsform werden Halbleiter-Chips **3** auf die gleiche Weise wie bei der

Ausführungsform nach [Fig. 2A](#)–I auf einem ersten Formelement **4** angebracht, wobei das erste Formelement **4** ein unteres Formwerkzeug einer Formvorrichtung sein kann. Gemäß dieser Ausführungsform jedoch werden elektrische Kontaktelemente **18** auf dem zweiten Formelement **5** angebracht. Die elektrischen Kontaktelemente **18** können aus einem beliebigen elektrisch leitenden Material wie etwa beispielsweise Metall (z. B. Kupfer) oder Polymermaterial hergestellt sein. Sie können die Form von Pfosten, Lötkugeln oder Säulen oder irgendeine andere Form von Erhöhungen aufweisen.

[0064] Gemäß [Fig. 9A](#) ist eine Konfiguration ähnlich der in [Fig. 2F](#) dargestellt. Die Halbleiter-Chips **3** sind auf einer ersten Trägerschicht **1** angebracht, die ihrerseits auf das untere Formwerkzeug **4** der Formvorrichtung angebracht ist. Die elektrischen Kontaktelemente **18** sind auf einer zweiten Trägerschicht **16** angebracht, die ihrerseits auf dem oberen Formwerkzeug **5** der Formvorrichtung angebracht ist. Die zweite Trägerschicht **16** kann aus später zu erläuternden Gründen aus einem elektrisch leitenden Material hergestellt sein. Sie kann jedoch auch aus irgendeinem anderen Material wie die Trägerschicht **6** der Ausführungsform von [Fig. 2A](#)–I hergestellt sein.

[0065] Nach [Fig. 9B](#) ist eine Konfiguration ähnlich der in [Fig. 2I](#) dargestellt. Das Formmaterial **9** wurde entlang des Bauelements verteilt und das obere Formwerkzeug **5** wurde bereits entfernt.

[0066] Gemäß [Fig. 9B](#) wurden das untere Formwerkzeug **4** und die erste Trägerschicht **1** entfernt.

[0067] Nach [Fig. 9D](#) wurden Durchgangslöcher **9A** in der Formmaterialschiicht **9** ausgebildet. Die Durchgangslöcher **9A** können beispielsweise durch Laserbohren ausgebildet werden.

[0068] Nach [Fig. 9E](#) sind die Durchgangslöcher **9A** mit einem elektrisch leitenden Material gefüllt worden, um Durchgangsleiter **9B** auszubilden. Dies kann beispielsweise durch einen Plattierungsprozess erfolgen, wobei die elektrisch leitende zweite Trägerschicht **6** als eine Elektrode verwendet werden kann. Jedoch können die Durchgangslöcher **9A** auch durch andere Mittel gefüllt werden. Beispielsweise können die Durchgangslöcher **9A** auch mit leitender Tinte gefüllt werden, um die Durchgangsleiter **9B** zu bilden, wobei dann die zweite Trägerschicht **6** keine elektrisch leitende Schicht zu sein braucht.

[0069] Nach [Fig. 9F](#) wurde die zweite Trägerschicht **16** entfernt. Nachfolgend kann ein Standardprozess zum Herstellen einer Umverteilungsschicht durchgeführt werden. Bei einer Ausführungsform können auf der unteren Oberfläche des Formmaterials **9** die Kontakt-Pads **3A** des Halbleiter-Chips **3** jeweils mit dem unteren Abschnitt der Durchgangsleiter **9B** verbun-

den werden. Auf der oberen Oberfläche der Formmaterialschiicht **9** kann eine Umverteilungsschicht einschließlich Umverteilungs-Pads und -Bahnen ausgebildet sein und diese Umverteilungs-Pads oder -Bahnen können beispielsweise an Lötkugeln angeschlossen sein. Wenn die zweite Trägerschicht **16** eine elektrisch leitende Schicht ist, braucht alternativ die zweite Trägerschicht **16** möglicherweise nicht zwischen den Zuständen von [Fig. 9E](#) und [Fig. 9F](#) beseitigt zu werden, und stattdessen kann die zweite Trägerschicht **16** zur Umverteilungsschicht gemacht werden.

[0070] [Fig. 10A](#), B veranschaulichen schematische Querschnittsdarstellungen von Zwischenprodukten und Bauelementen zusammen mit Prozessanlagen zum Darstellen einer weiteren Ausführungsform zum Herstellen mindestens eines Bauelements.

[0071] Gemäß dieser Ausführungsform werden Halbleiter-Chips **3** auf die gleiche Weise wie in der Ausführungsform gemäß [Fig. 2A](#)–I auf einem ersten Formelement **4** angebracht, wobei das erste Formelement **4** ein unteres Formwerkzeug einer Formvorrichtung sein kann. Gemäß dieser Ausführungsform werden jedoch elektrische Kontaktelemente **38** auf dem zweiten Formelement **5** angebracht. Die elektrischen Kontaktelemente **38** sind im Vergleich zu den elektrischen Kontaktelementen **18** wie von der Ausführungsform von [Fig. 9A](#)–F relativ lange Kontaktelemente.

[0072] Gemäß [Fig. 10A](#) ist eine Konfiguration ähnlich der in [Fig. 2F](#) dargestellt. Die Halbleiter-Chips **3** werden auf einer ersten Trägerschicht **1** angebracht, die ihrerseits auf dem unteren Formwerkzeug **4** der Formvorrichtung angebracht ist. Die elektrischen Kontaktelemente **38** können auf eine zweite Trägerschicht **6** angebracht werden, die ihrerseits auf dem oberen Formwerkzeug **5** der Formvorrichtung angebracht ist. Die elektrischen Kontaktelemente **38** können aus einem beliebigen elektrisch leitenden Material wie etwa beispielsweise Metall (z. B. Kupfer) oder Polymermaterial hergestellt sein. Sie können die Form von Pfosten, Lötkugeln oder Säulen oder irgendeine andere Form von Erhöhungen aufweisen.

[0073] Gemäß [Fig. 10B](#) wurde die obere Werkzeugform **5** entfernt. Die zweite Trägerschicht kann wie mit der Ausführungsform gemäß [Fig. 9A](#)–F entfernt werden. Wenn jedoch die zweite Trägerschicht **6** eine elektrisch leitende Schicht ist, braucht jedoch alternativ möglicherweise die zweite Trägerschicht **6** nach dem Zustand von [Fig. 10B](#) nicht entfernt zu werden, und stattdessen kann die zweite Trägerschicht **6** zur Umverteilungsschicht gemacht werden.

[0074] Die elektrischen Kontaktelemente **38** sind so dargestellt, dass sie nicht vollständig durch die Formmaterialschiicht **9** reichen, so dass, um sie jeweils mit

den Kontakt-Pads **3A** zu verbinden, auf die elektrischen Kontaktelemente **38** ausgerichtete Öffnungen in der Formmaterialschiicht **9** ausgebildet werden müssen. Die elektrischen Kontaktelemente **38** können jedoch auch eine Länge entsprechend der Dicke der Formmaterialschiicht **9** aufweisen, so dass sie durch die Formmaterialschiicht **9** reichen.

[0075] Die [Fig. 11A–C](#) veranschaulichen schematische Querschnittsdarstellungen von Zwischenprodukten und Bauelementen zum Veranschaulichen einer weiteren Ausführungsform zum Herstellen mindestens eines Bauelements.

[0076] Gemäß dieser Ausführungsform werden die Halbleiter-Chips **3** auf die gleiche Weise wie bei der Ausführungsform gemäß [Fig. 2A–I](#) auf einem ersten Formelement **4** aufgebracht, wobei das erste Formelement **4** ein unteres Formwerkzeug einer Formvorrichtung sein kann. Gemäß dieser Ausführungsform jedoch wird eine elektrisch leitende Schicht **48** auf dem zweiten Formelement **5** aufgebracht. Außerdem kann die elektrisch leitende Schicht **48** auf einer zweiten Trägerschiicht **6** wie etwa der in vorausgegangenen Ausführungsformen dargestellten aufgebracht worden sein.

[0077] Gemäß [Fig. 11A](#) sind das obere und untere Formwerkzeug **4** und **5** bereits entfernt worden und möglicherweise sind auch die erste und zweite Trägerschiicht **1** und **6** entfernt worden.

[0078] Gemäß [Fig. 11B](#) sind Durchgangslöcher **9A** in der Formmaterialschiicht **9** ausgebildet, wie oben beschrieben wurde.

[0079] Gemäß [Fig. 11C](#) ist die elektrisch leitende Schicht **48** so ausgebildet, dass sie eine Umverteilungsschiicht mit Umverteilungs-Pads oder -Bahnen **48A** aufweist, von denen mindestens einige über den Durchgangslöchern **9A** liegen. Zuvor kann die elektrisch leitende Schicht **48** beispielsweise durch Rückkätzen verdünnt werden. Vor und nach dem Verarbeiten der elektrisch leitenden Schicht **48**, damit sie eine Umverteilungsschiicht wird, können die Durchgangslöcher **9A** mit einem elektrisch leitenden Material gefüllt werden, wie oben erläutert wurde.

[0080] Wenngleich hierin spezifische Ausführungsformen dargestellt und beschrieben worden sind, versteht der Durchschnittsfachmann, dass eine Vielzahl alternativer und/oder äquivalenter Implementierungen für die gezeigten und beschriebenen spezifischen Ausführungsformen substituiert werden können, ohne von dem Schutzbereich der vorliegenden Erfindung abzuweichen. Die vorliegende Anmeldung soll alle Adaptationen oder Variationen der hierin erörterten spezifischen Ausführungsformen abdecken. Deshalb soll die vorliegende Erfindung nur durch die Ansprüche und die Äquivalente davon beschränkt

werden.

Patentansprüche

1. Verfahren zum Herstellen mindestens eines Bauelements, umfassend:
Aufbringen mindestens eines Halbleiter-Chips auf einem ersten Formelement;
Aufbringen mindestens eines Elements auf einem zweiten Formelement und
Aufbringen eines Materials auf dem mindestens einen Halbleiter-Chip und auf dem mindestens einen Element.

2. Verfahren nach Anspruch 1, wobei das Element aus einer Gruppe ist bestehend aus einem weiteren Halbleiter-Chip, einem Durchkontaktelement, einem Widerstand, einer Spule, einer Schicht, einer Metallschiicht, einer Folie, einer Metallfolie, einer Kupferfolie, einem Systemträger, einer Lötugel, einem Clip, einem Kontaktelement oder einem Kontakt-Pad.

3. Verfahren nach Anspruch 1, wobei das Aufbringen eines Materials das Spritzpressen oder Formpressen umfasst.

4. Verfahren nach Anspruch 1, weiterhin umfassend:
Aufbringen des Materials auf den mindestens einen Halbleiter-Chip und auf dem mindestens einen Element durch Einleiten des Materials in einen durch das erste Formelement und das zweite Formelement gebildeten Hohlraum.

5. Verfahren nach Anspruch 1, weiterhin umfassend:
Aufbringen des Materials auf dem mindestens einen Halbleiter-Chip und auf dem mindestens einen Element durch Pressen des Materials zwischen das erste Formelement und das zweite Formelement.

6. Verfahren zum Herstellen mindestens eines Bauelements, umfassend:
Bereitstellen mindestens eines Halbleiter-Chips;
Bereitstellen mindestens eines Elements und
Aufbringen einer Materialschiicht auf dem mindestens einen Halbleiter-Chip und auf dem mindestens einen Element, wobei die Materialschiicht eine erste Oberfläche und eine der ersten Oberfläche gegenüberliegende zweite Oberfläche umfasst, wobei die erste Oberfläche der Materialschiicht koplanar mit einer Oberfläche des mindestens einen Halbleiter-Chips ist und die zweite Oberfläche der Materialschiicht koplanar mit einer Oberfläche des mindestens einen Elements ist.

7. Verfahren nach Anspruch 6, weiterhin umfassend:
wobei das Element ist aus einer Gruppe bestehend

ausgewählten einzelnen der Umverteilungs-Pads der Umverteilungsschicht verbinden.

23. Halbleiter-Chipbaugruppe, umfassend:
einen ersten Halbleiter-Chip,
einen zweiten Halbleiter-Chip, wobei
der erste und zweite Halbleiter-Chip durch Verwenden einer Haftschrift aneinander angebracht sind.

24. Halbleiter-Chipbaugruppe nach Anspruch 23, umfassend:
wobei der erste und zweite Halbleiter-Chip jeweils eine Hauptoberfläche mit Kontakt-Pads darauf und eine hintere Oberfläche umfassen und die hintere Oberfläche des ersten Halbleiter-Chips an der Hauptoberfläche des zweiten Halbleiter-Chips angebracht ist.

25. Halbleiter-Chipbaugruppe nach Anspruch 23, wobei der erste Halbleiter-Chip kleiner ist als der zweite Halbleiter-Chip.

Es folgen 16 Blatt Zeichnungen

FIG 1

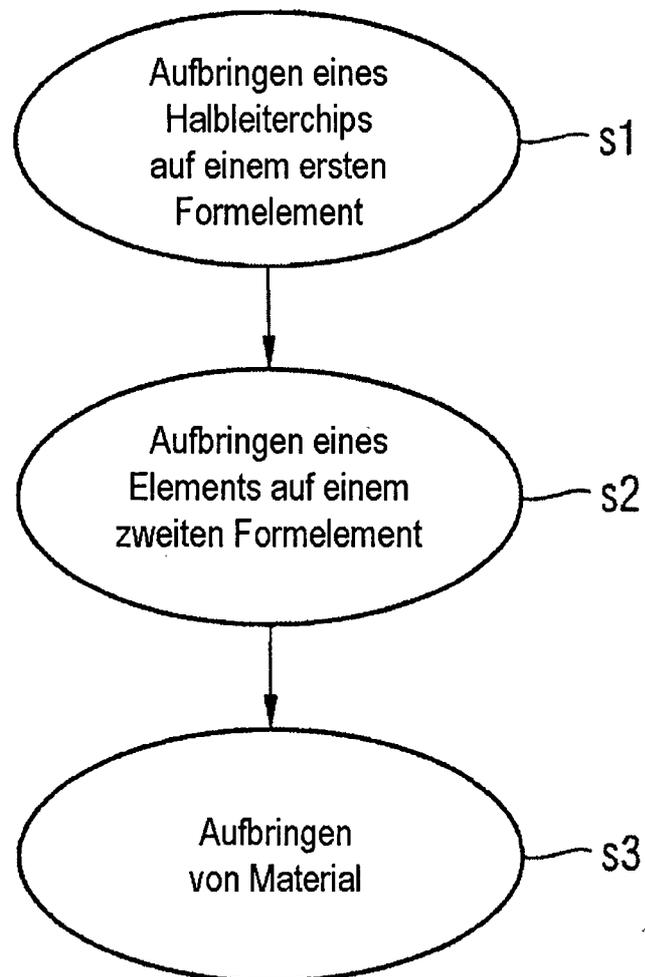


FIG 2A



FIG 2B

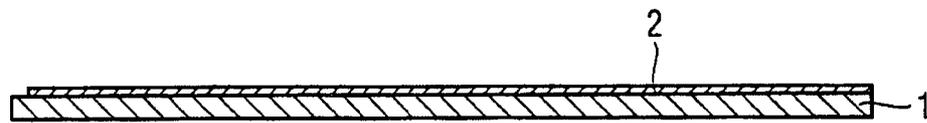


FIG 2C

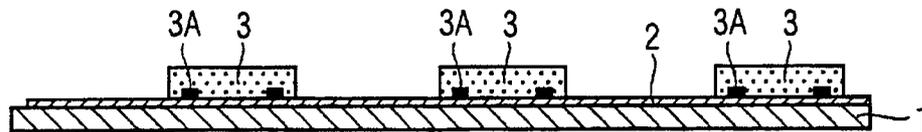


FIG 2D

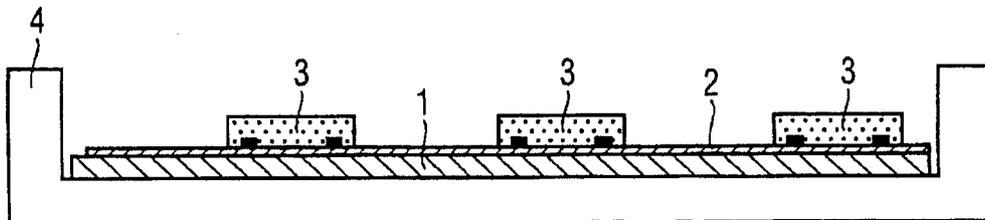


FIG 2E

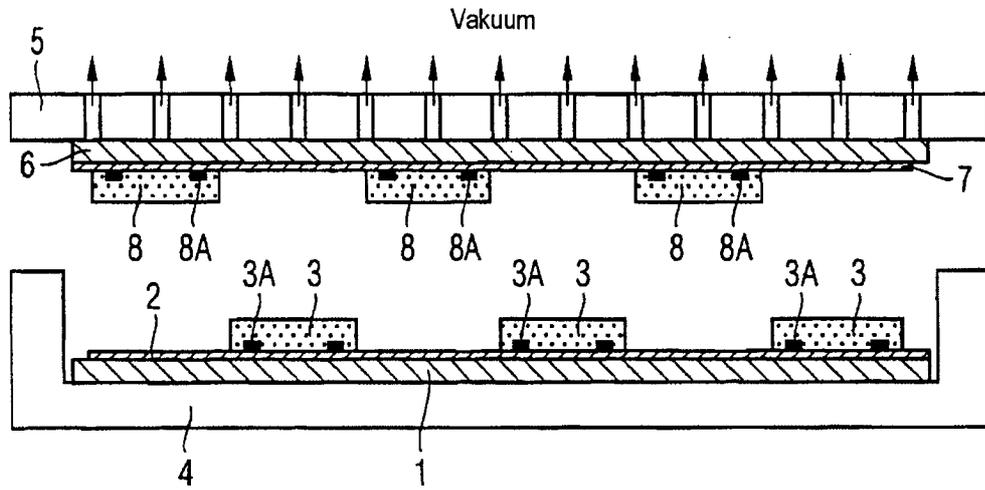


FIG 2F

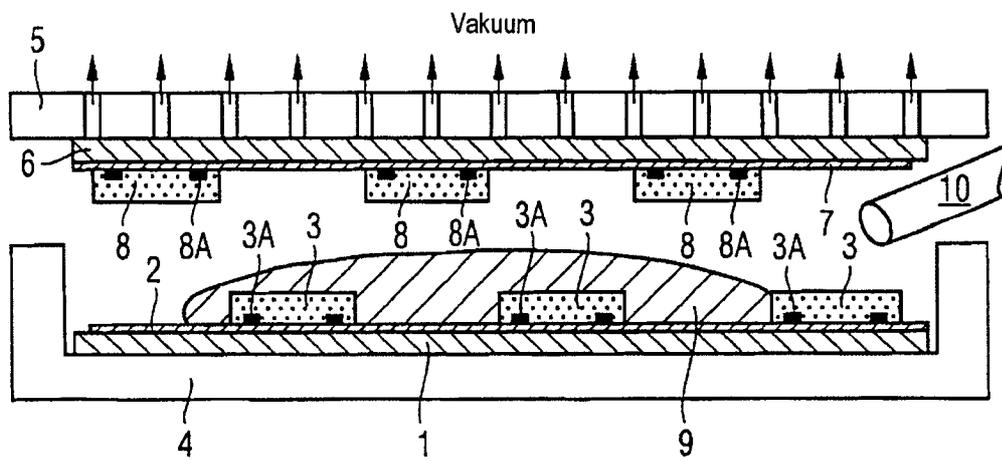


FIG 2G

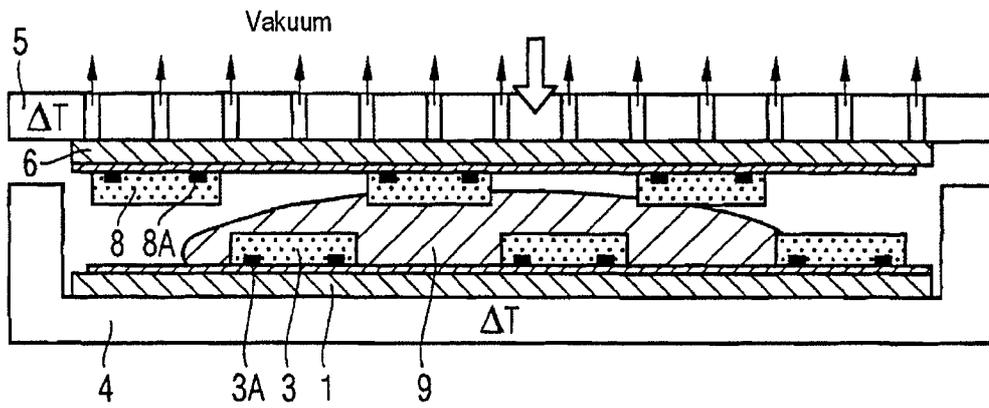


FIG 2H

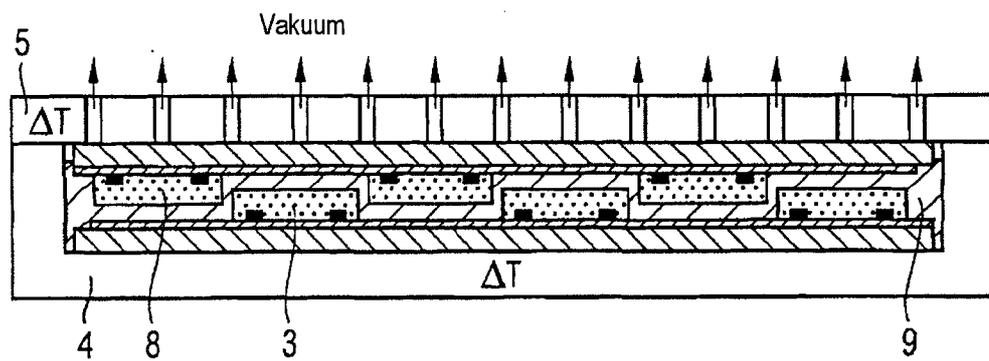


FIG 2I

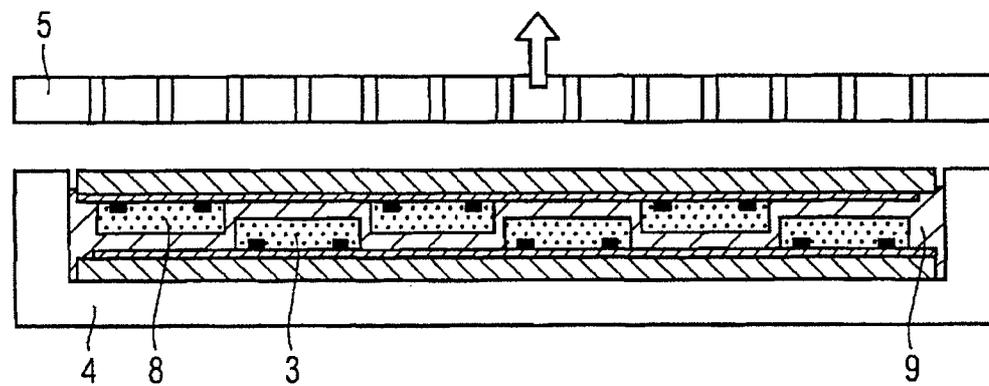


FIG 3A

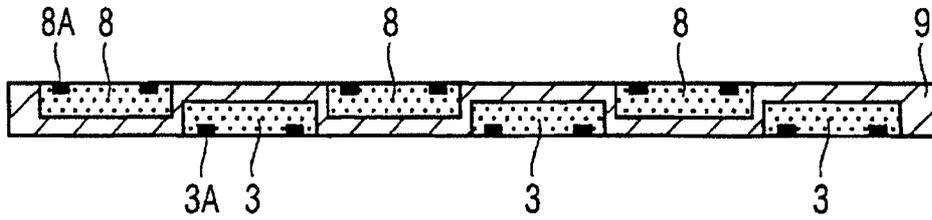


FIG 3B

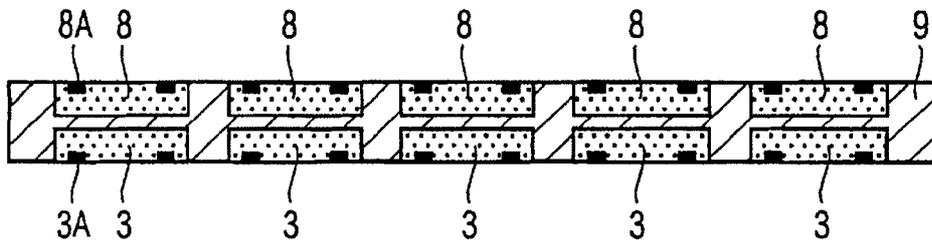


FIG 3C

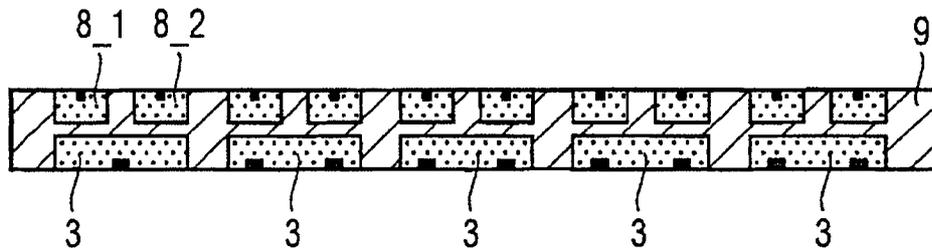


FIG 3D

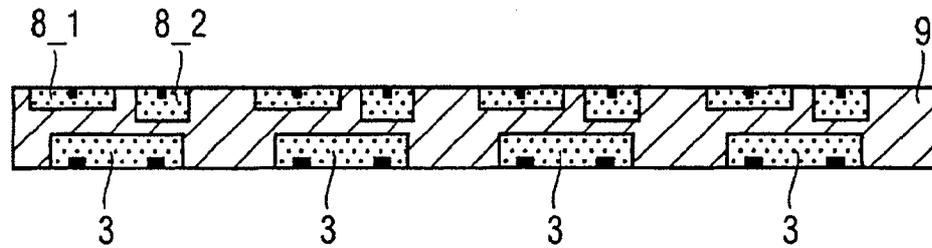


FIG 4

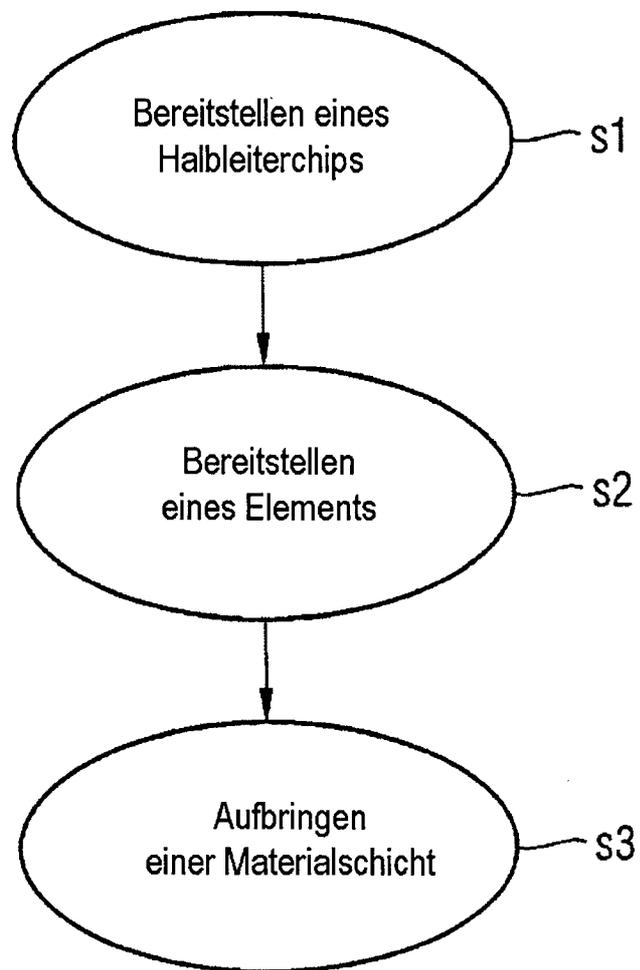


FIG 5A

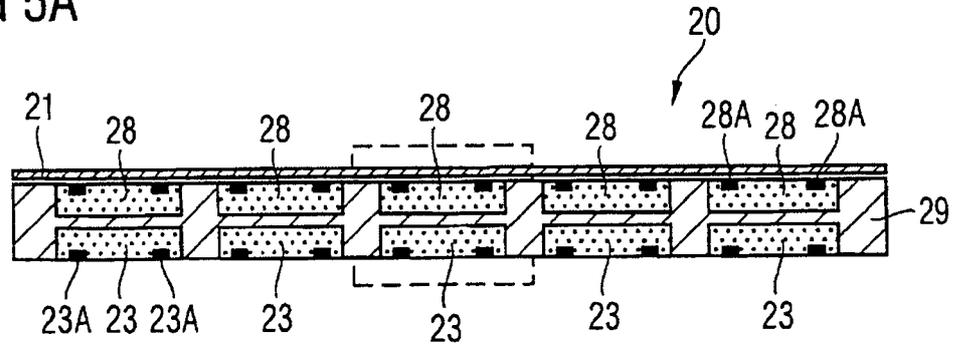


FIG 5B

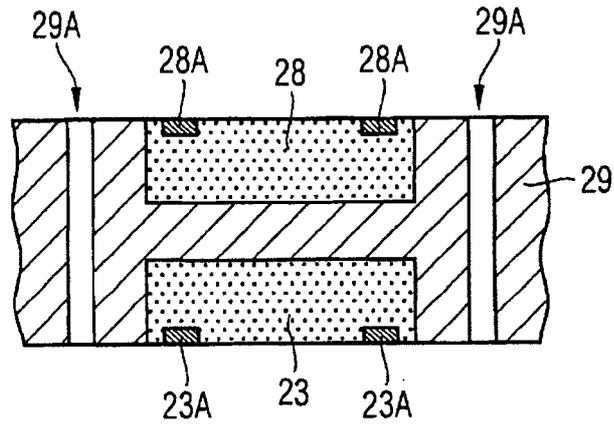


FIG 5C

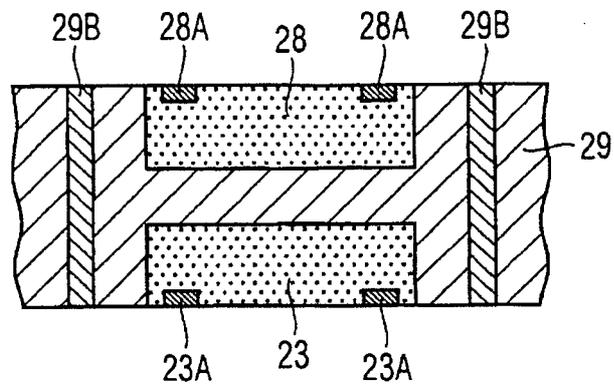


FIG 5D

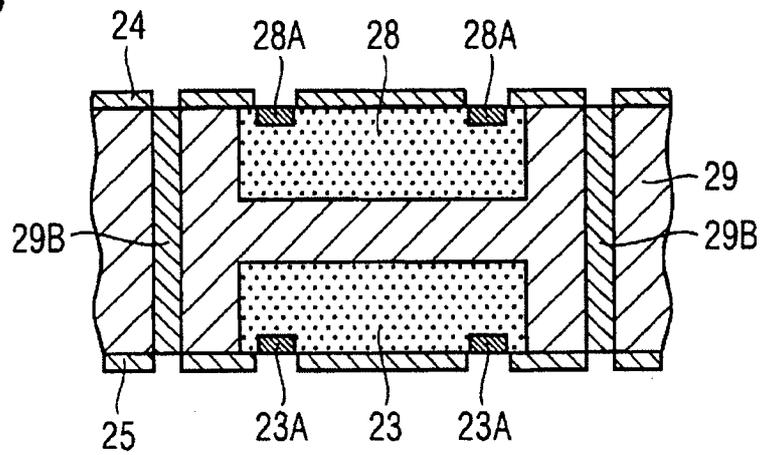


FIG 5E

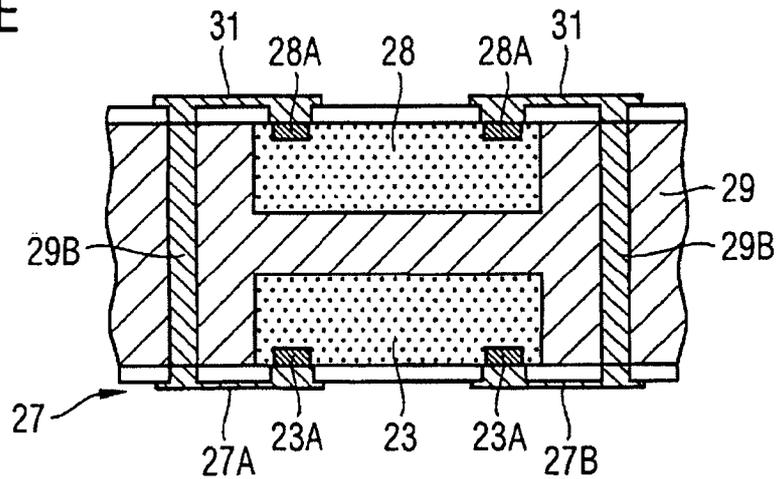


FIG 5F

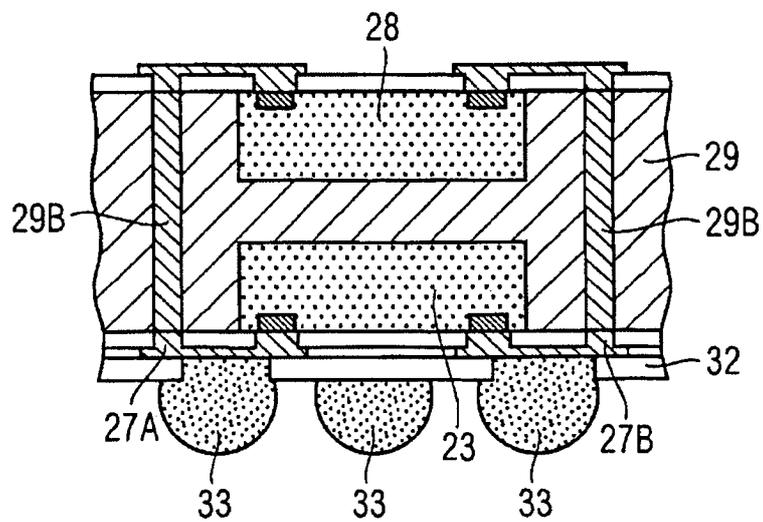


FIG 6

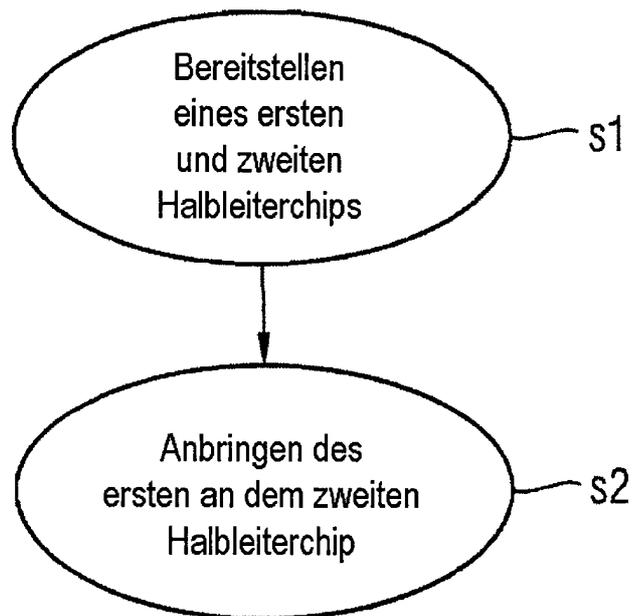


FIG 7A

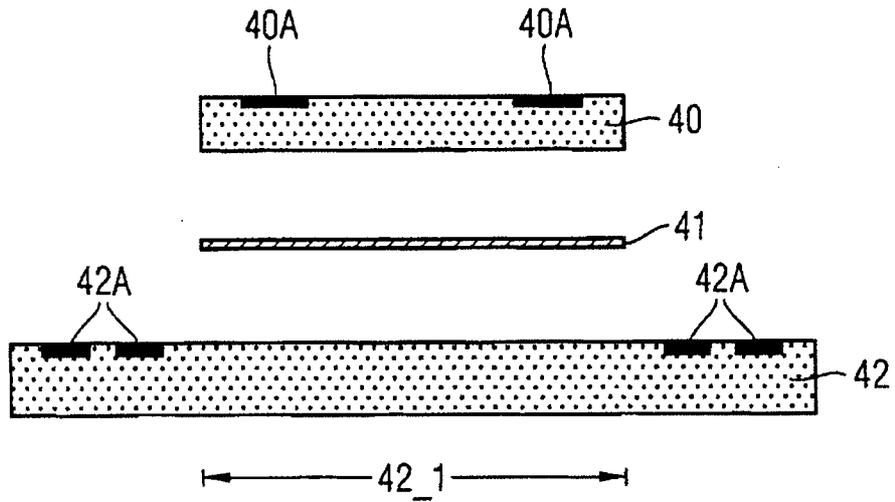


FIG 7B

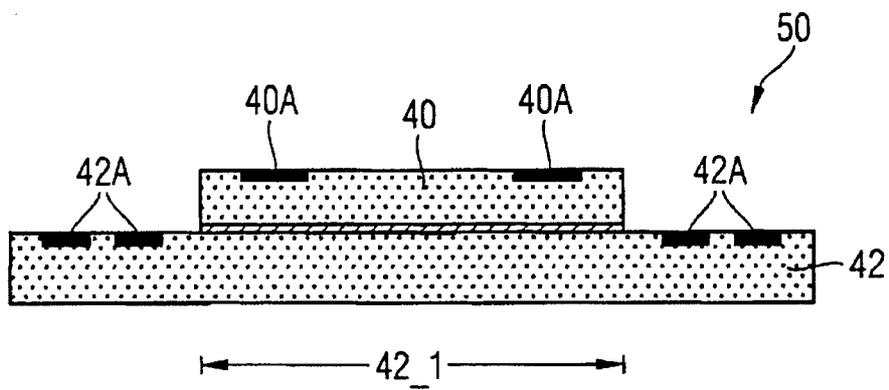


FIG 8

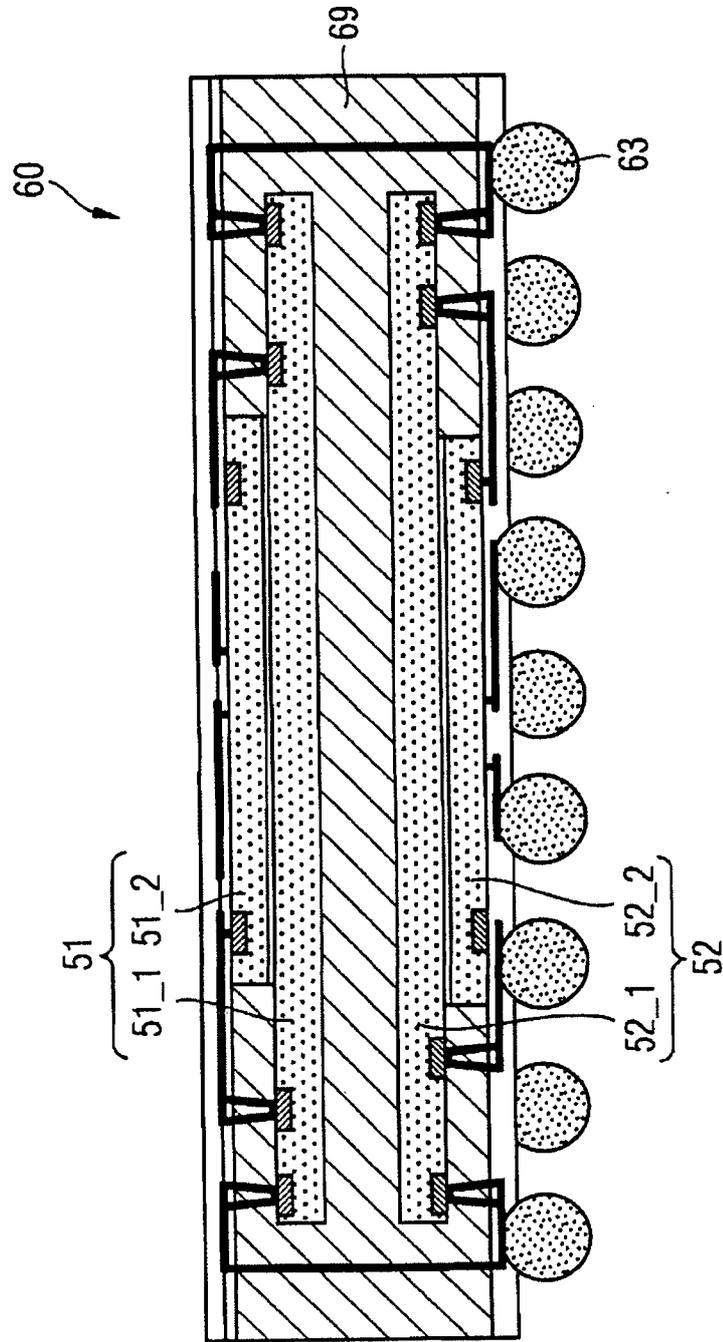


FIG 9A

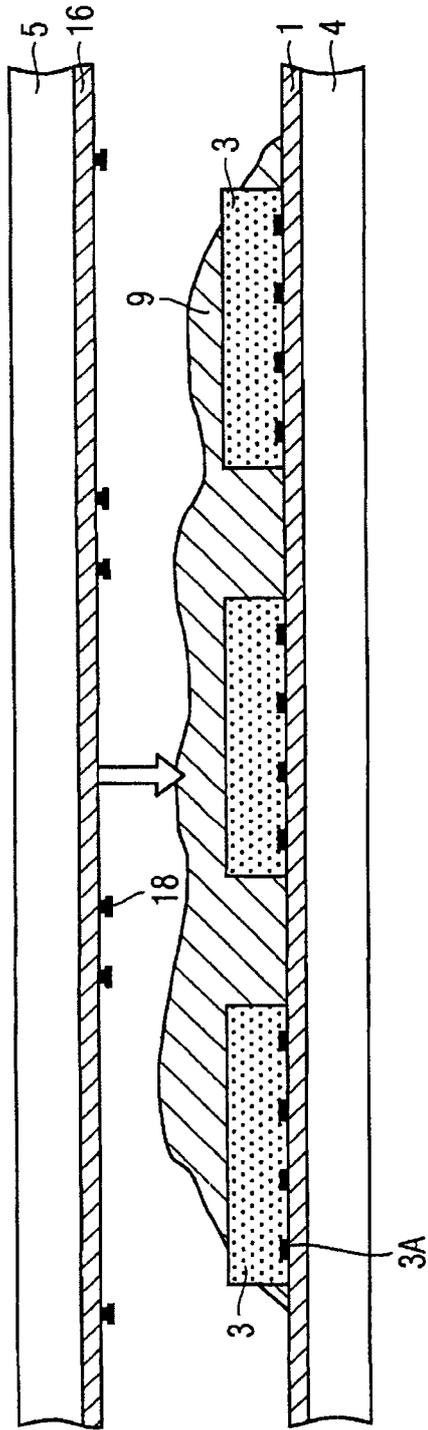


FIG 9B

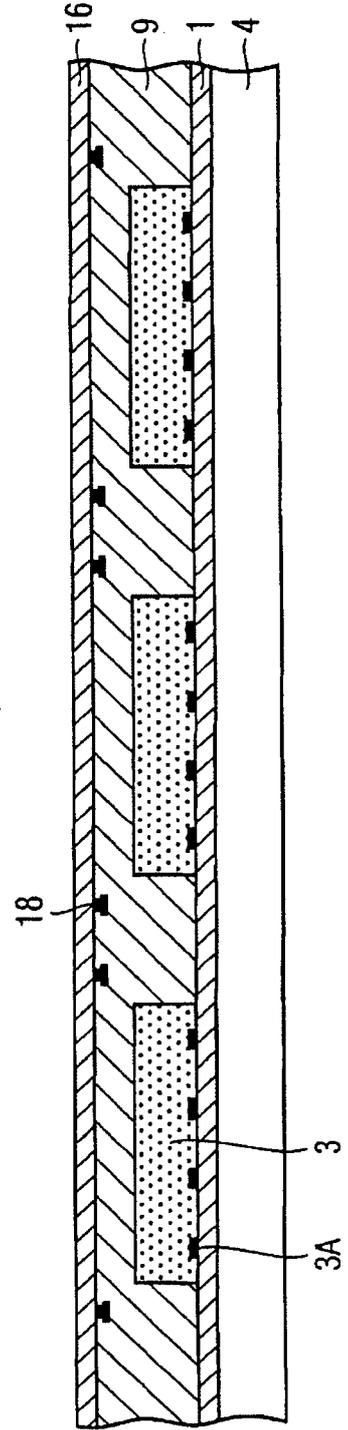


FIG 9C

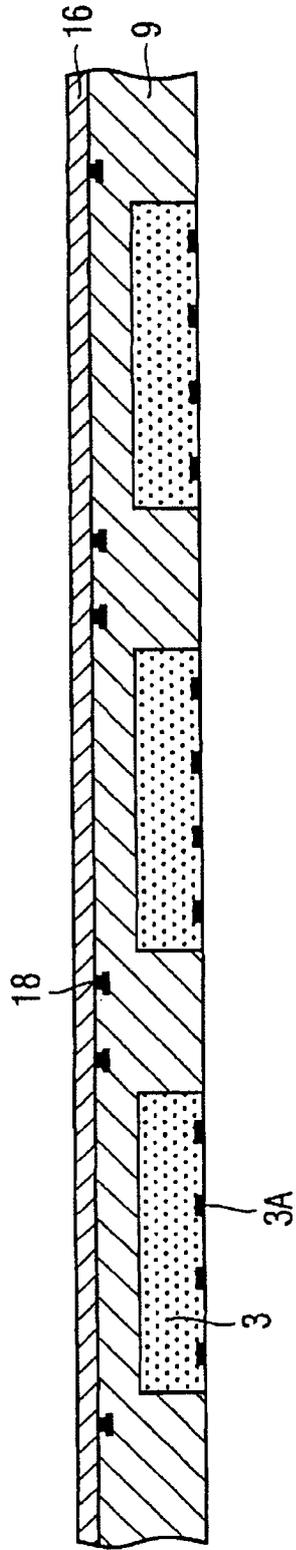


FIG 9D

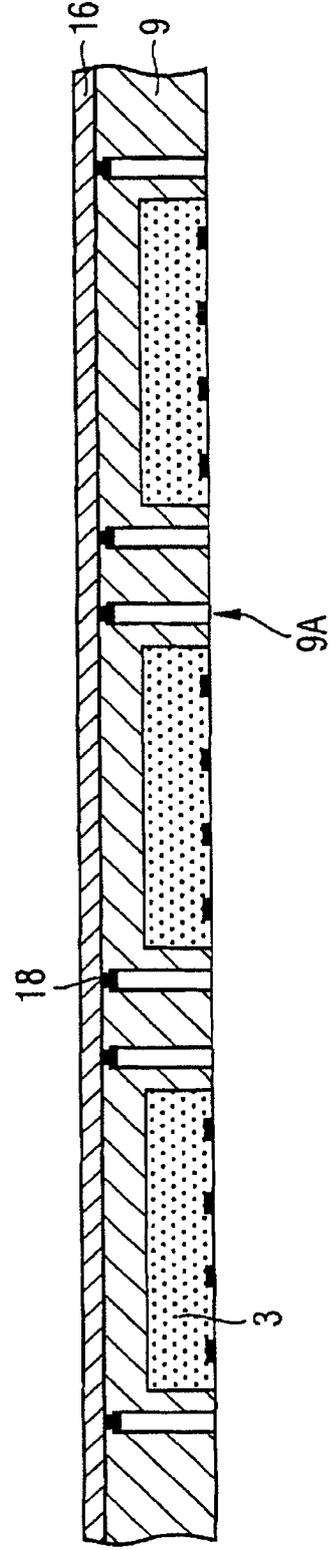


FIG 9E

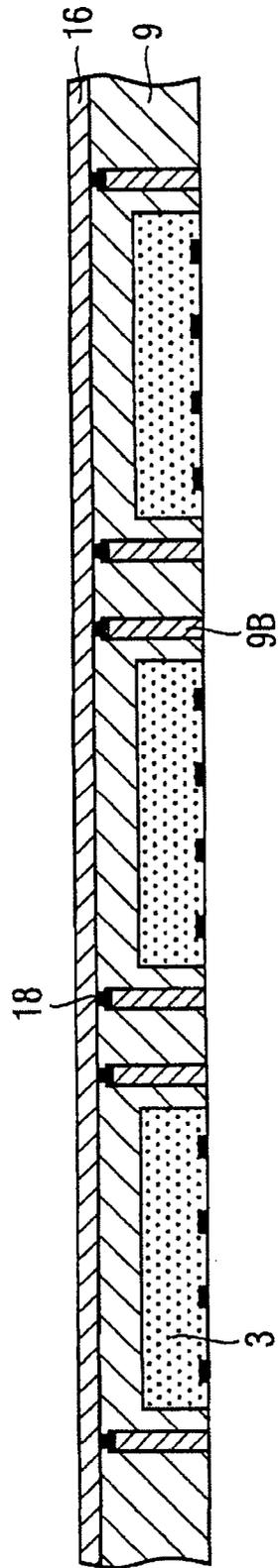


FIG 9F

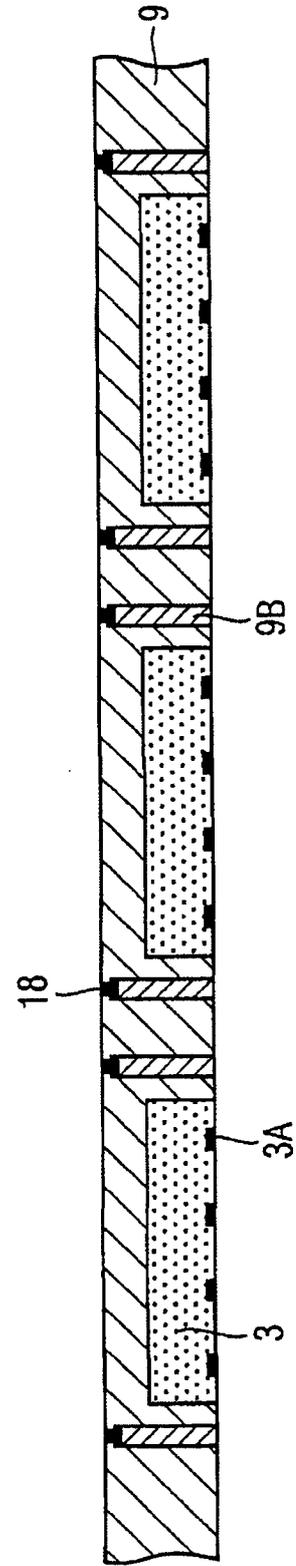


FIG 10A

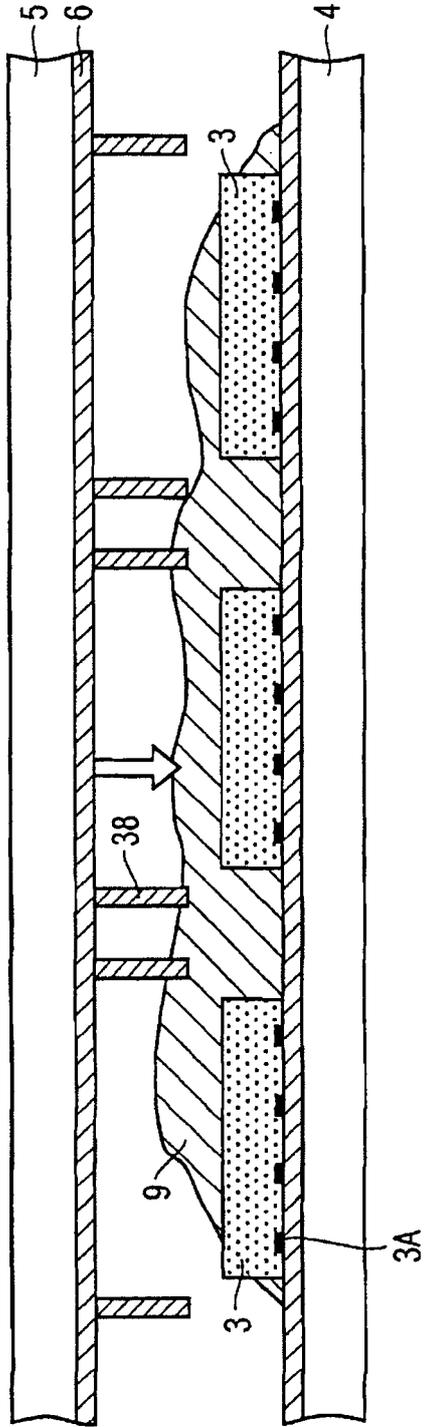


FIG 10B

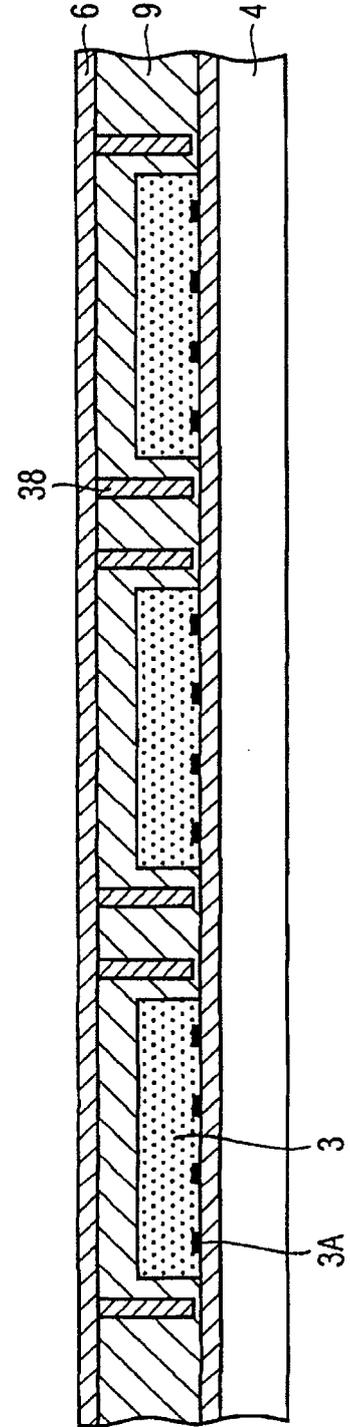


FIG 11A

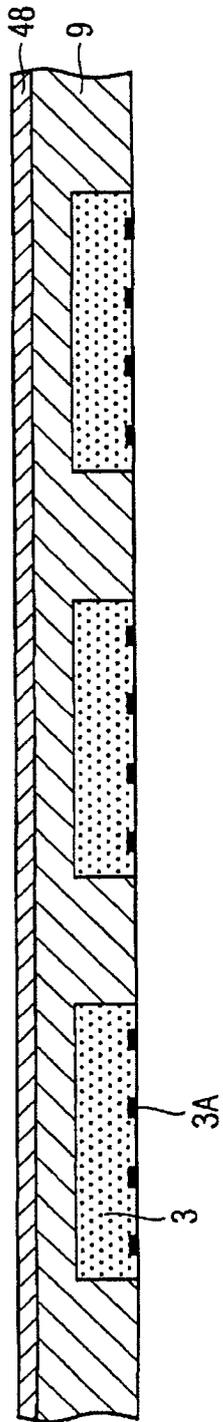


FIG 11B

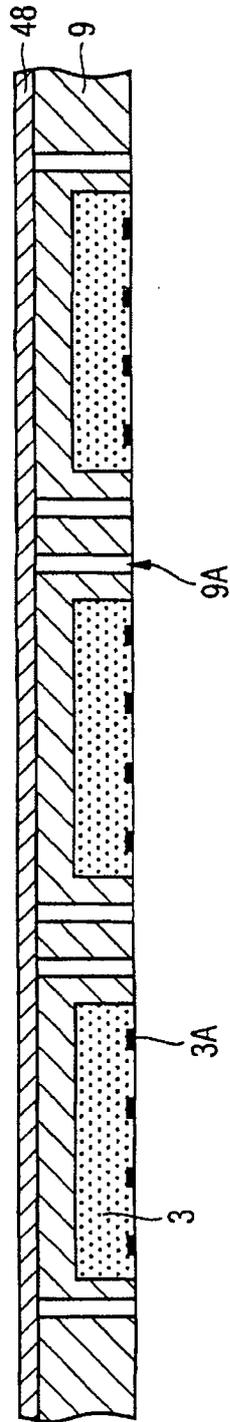


FIG 11C

