

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2014 年 6 月 26 日(26.06.2014)



(10) 国際公開番号
WO 2014/097844 A1

- (51) 国際特許分類:
H02M 3/28 (2006.01) *H02M 3/335* (2006.01)
- (21) 国際出願番号: PCT/JP2013/082019
- (22) 国際出願日: 2013 年 11 月 28 日(28.11.2013)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2012-275457 2012 年 12 月 18 日(18.12.2012) JP
- (71) 出願人: 日産自動車株式会社(NISSAN MOTOR CO., LTD.) [JP/JP]; 〒2210023 神奈川県横浜市神奈川区宝町 2 番地 Kanagawa (JP).
- (72) 発明者: 福重 孝志(FUKUSHIGE, Takashi); 〒2430123 神奈川県厚木市森の里青山 1 - 1 日産自動車株式会社知的財産部内 Kanagawa (JP). 図子 祐輔(ZUSHI, Yusuke); 〒2430123 神奈川県厚木市森の里青山 1 - 1 日産自動車株式会社知的財産部内 Kanagawa (JP). 渋谷 祐一(SHIBUKAWA, Yuichi); 〒2430123 神奈川県厚木市森の里青山 1 - 1 日産自動車株式会社知的財産部内 Kanagawa (JP). 佐々木 健介(SASAKI, Kensuke); 〒2430123 神奈川県厚木市森の里青山 1 -

1 日産自動車株式会社知的財産部内 Kanagawa (JP). 河村 篤男(KAWAMURA, Atsuo); 〒2408501 神奈川県横浜市保土ヶ谷区常盤台 7 9 番 1 号 国立大学法人横浜国立大学内 Kanagawa (JP).

(74) 代理人: 三好 秀和, 外(MIYOSHI, Hidekazu et al.); 〒1050001 東京都港区虎ノ門一丁目 2 番 8 号 虎ノ門琴平タワー Tokyo (JP).

(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

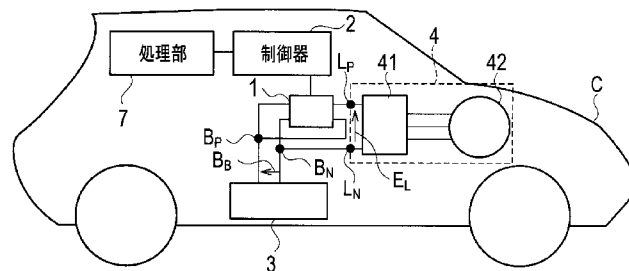
(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーロパ (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT,

[続葉有]

(54) Title: POWER SUPPLY DEVICE

(54) 発明の名称: 電源装置

[図1]



2... CONTROLLER
7... PROCESSING UNIT

(57) Abstract: A power supply device comprises: a first capacitor (C_{in}) connected between first terminals (TP1, TN1); a first bridge circuit (11) for converting an input DC voltage to an AC voltage to output the AC voltage via first switching elements (Q1 - Q4) connected to build a full bridge circuit; a second capacitor (C_{out}) connected between a transformer (13) and second terminals (TP2, TN2); a second bridge circuit (12) for converting the AC voltage output from the transformer (13) to a DC voltage to output the DC voltage via second switching elements (Q5 - Q8) connected to build a full bridge circuit; and a controller for controlling the first switching elements (Q1 - Q4) and the second switching elements (Q5 - Q8) so that when a mode is shifted from a drive mode to a pause mode, the mode is shifted to the pause mode after the DC voltage output from the second bridge circuit (12) can be evaluated as zero.

(57) 要約:

[続葉有]



WO 2014/097844 A1



NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI 添付公開書類:

(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, — 国際調査報告 (条約第 21 条(3))
MR, NE, SN, TD, TG).

第 1 端子 T_{P1} , T_{N1} の間に接続された第 1 コンデンサ C_{in} と、フルブリッジ接続された第 1 スイッチング素子 $Q_1 \sim Q_4$ により、入力された直流電圧を交流電圧に変換して出力する第 1 ブリッジ回路 11 と、トランス 13 と、第 2 端子 T_{P2} , T_{N2} の間に接続された第 2 コンデンサ C_{out} と、フルブリッジ接続された第 2 スイッチング素子 $Q_5 \sim Q_8$ により、トランス 13 が出力する交流電圧を直流電圧に変換して、出力する第 2 ブリッジ回路 12 と、運転モードから、休止モードに移行する場合において、第 2 ブリッジ回路 12 が出力する直流電圧が 0 とみなせる状態となった後に休止モードに移行するように、第 1 スイッチング素子 $Q_1 \sim Q_4$ 及び第 2 スイッチング素子 $Q_5 \sim Q_8$ を制御する制御器とを備える。

明 細 書

発明の名称：電源装置

技術分野

[0001] 本発明は、デュアルアクティブブリッジ（DAB）回路を備える双方向電源装置に関する。

背景技術

[0002] 双方向DC-DCコンバータ用の回路として、DAB回路が知られている（特許文献1参照）。DAB回路は、1次側及び2次側の平滑コンデンサと、それぞれ4つのスイッチング素子から構成される1次側及び2次側のフルブリッジ回路と、トランスとを備える。DAB回路の通常の動作は以下の通りである。1次側のフルブリッジ回路は、対角に配置されたスイッチング素子の組を交互に切り替えることによりトランスに交流電圧を出力する。2次側のフルブリッジ回路は、対角に配置されたスイッチング素子の組を交互に切り替えることにより、トランスから出力された交流電圧を直流に変換する。

先行技術文献

特許文献

[0003] 特許文献1：特開2002-165448号公報

発明の概要

[0004] しかしながら、DAB回路の動作時において、2次側の平滑コンデンサが充電された状態で、2次側のフルブリッジ回路の4つのスイッチング素子を同時にオンにする場合、大電流が2次側の回路素子に流れ、電氣的な衝撃により回路に負担がかかる恐れがある。

本発明は、動作状態の変更時に、回路の負担を低減する電源装置を提供することを目的とする。

[0005] 本発明の第1の態様に係る電源装置は、一对の第1端子と、第1コンデンサと、第1ブリッジ回路と、トランスと、一对の第2端子と、第2コンデン

サと、第2ブリッジ回路と、制御器とを備える。第1コンデンサは、一对の第1端子の間に接続される。第1ブリッジ回路は、フルブリッジ接続された複数の第1スイッチング素子により、一对の第1端子に入力された直流電圧を交流電圧に変換して出力する。トランスは、第1ブリッジ回路が出力する交流電圧を1次側に入力し、2次側に出力量する。第2コンデンサは、一对の第2端子の間に接続される。第2ブリッジ回路は、フルブリッジ接続された複数の第2スイッチング素子により、トランスが出力する交流電圧を直流電圧に変換して、一对の第2端子に出力量する。制御器は、第2ブリッジ回路が直流電圧を出力量する運転モードから、第2ブリッジ回路が直流電圧の出力量を休止する休止モードに移行する場合において、第2ブリッジ回路が出力する直流電圧が0とみなせる状態となった後に休止モードに移行するように、複数の第1スイッチング素子及び複数の第2スイッチング素子を制御する。

図面の簡単な説明

[0006] [図1]図1は、本発明の実施の形態に係る電源装置が車両に適用された場合の基本的な構成を説明する模式的な回路ブロック図である。

[図2]図2は、本発明の実施の形態に係る電源装置が備えるD A B回路を説明する回路図である。

[図3]図3は、本発明の実施の形態に係る電源装置の負荷電圧対エネルギー伝達効率特性を図示した一例である。

[図4]図4は、本発明の実施の形態に係る電源装置の基本的な構成を説明する回路図である。

[図5]図5は、本発明の実施の形態に係る電源装置が備える制御器の構成を説明する回路図である。

[図6]図6は、本発明の実施の形態に係る電源装置が備える制御器の動作を説明する図である。

[図7]図7は、本発明の実施の形態に係る電源装置の等価的な制御モデルである。

[図8]図8は、本発明の実施の形態に係る電源装置に用いる遷移時間を説明す

る図である。

[図9]図 9 は、本発明の実施の形態に係る電源装置に用いる遷移時間を説明する図である。

[図10]図 10 は、本発明の実施の形態に係る電源装置による効果を説明する図である。

[図11]図 11 は、本発明の他の実施の形態に係る電源装置が備える D A B 回路を説明する回路図である。

発明を実施するための形態

[0007] 次に、図面を参照して、本発明の実施の形態を説明する。以下の図面の記載において、同一又は類似の部分には同一又は類似の符号を付している。

[0008] (電源装置)

本発明の実施の形態に係る電源装置は、図 1 に示すように、D A B 回路 1 と、D A B 回路 1 の動作を制御する制御器 2 と、制御器 2 の動作に必要な演算を処理する処理部 7 とを備える。D A B 回路 1 は、例えば車両 C に搭載され、バッテリー (電源) 3 の一対の電源端子 B_P 、 B_N から直流の電源電圧を入力し、制御器 2 の制御に応じて、直流電圧を出力する。本発明の実施の形態に係る電源装置は、車両 C の駆動部 4 を負荷として、駆動部 4 に接続されて使用される。

[0009] D A B 回路 1 は、図 2 に示すように、一対の第 1 端子 T_P1 、 T_N1 と、一対の第 2 端子 T_P2 、 T_N2 と、第 1 コンデンサ C_{in} と、第 2 コンデンサ C_{out} と、第 1 ブリッジ回路 11 と、第 2 ブリッジ回路 12 と、トランス 13 とを備える。D A B 回路 1 は、双方向 D C - D C コンバータ回路である。

[0010] 第 1 コンデンサ C_{in} は、1 次側の一対の第 1 端子 T_P1 、 T_N1 の間に接続される。第 1 ブリッジ回路 11 は、4 つの第 1 スイッチング素子 Q 1、Q 2、Q 3、Q 4 から構成されるフルブリッジ回路である。第 1 端子 T_P1 、 T_N1 の間には、第 1 スイッチング素子 Q 1、Q 2 と、第 1 スイッチング素子 Q 3、Q 4 とが、それぞれ直列に接続される。

[0011] 4 つの第 1 スイッチング素子 Q 1、Q 2、Q 3、Q 4 は、それぞれ、フリ

ーホイールダイオード D_1 , D_2 , D_3 , D_4 が並列に接続されている。第1ブリッジ回路11は、フルブリッジ接続された4つの第1スイッチング素子 $Q_1 \sim Q_4$ により、電源端子 B_P , B_N から一対の第1端子 T_{P1} , T_{N1} に入力された直流電圧 E_1 を交流電圧に変換してトランス13に出力する。

[0012] トランス13は、1次側コイルと、1次側コイルとコアを介して磁気的に結合する2次側コイルとを備える。トランス13の1次側コイルは、第1スイッチング素子 Q_1 , Q_2 の間の接点 N_1 と、第1スイッチング素子 Q_3 , Q_4 の間の接点 N_2 との間に接続される。トランス13は、第1ブリッジ回路11が出力する交流電圧を1次側コイルから入力し、1次側及び2次側コイルの巻線比に応じて、2次側コイルに伝達して、第2ブリッジ回路12に出力する。トランス13は、1次側と2次側とが直流的に絶縁されている。

[0013] 第2コンデンサ C_{out} は、2次側の一対の第2端子 T_{P2} , T_{N2} の間に接続される。第2ブリッジ回路12は、4つの第2スイッチング素子 Q_5 , Q_6 , Q_7 , Q_8 から構成されるフルブリッジ回路である。第2端子 T_{P2} , T_{N2} の間には、第2スイッチング素子 Q_5 , Q_6 と、第2スイッチング素子 Q_7 , Q_8 とが、それぞれ直列に接続される。第2スイッチング素子 Q_5 , Q_6 の間の接点 N_3 と、第2スイッチング素子 Q_7 , Q_8 の間の接点 N_4 との間に、トランス13の2次側コイルが接続される。

[0014] 4つの第2スイッチング素子 Q_5 , Q_6 , Q_7 , Q_8 は、それぞれ、フリーホイールダイオード D_5 , D_6 , D_7 , D_8 が並列に接続されている。第2ブリッジ回路12は、フルブリッジ接続された4つの第2スイッチング素子 $Q_5 \sim Q_8$ により、トランス13が出力する交流電圧を整流し、直流電圧 E_2 に変換して、一対の第2端子 T_{P2} , T_{N2} から出力する。一対の第2端子 T_{P2} , T_{N2} から出力される直流電圧 E_2 は、第2コンデンサ C_{out} により平滑化される。

[0015] バッテリ3の一対の電源端子 B_P , B_N は、高電位側の電源端子 B_P 、低電位側の電源端子 B_N からなり、それぞれ、DAB回路1の一対の第1端子 T_{P1} , T_{N1} に接続される。DAB回路1の一対の第2端子 T_{P2} , T_{N2} のうち、

低電位側端子 $T_N 2$ は、第 1 端子の高電位側端子 $T_P 1$ に接続される。

[0016] 駆動部 4 は、一对の入力端子 L_P , L_N と、一对の入力端子 L_P , L_N に入力された直流電圧を、三相交流に変換して出力するインバータ 4 1 と、インバータ 4 1 が出力する三相交流に応じて駆動するモータ 4 2 とを備える。一对の入力端子 L_P , L_N のうち、高電位側の入力端子 L_P は、DAB 回路 1 の第 2 端子の高電位側端子 $T_P 2$ に接続される。低電位側の入力端子 L_N は、バッテリー 3 の低電位側の電源端子 B_N に接続される。

[0017] 本発明の実施の形態に係る電源装置は、処理部 7 の制御に応じて、運転モード、休止モードの 2 つの動作モードを有する。運転モードにおいて、第 1 ブリッジ回路 1 1 は、それぞれ対角に配置された第 1 スイッチング素子 $Q 1$, $Q 4$ 及び第 1 スイッチング素子 $Q 2$, $Q 3$ を、デューティ比 50% で交互に切り替えることにより、トランス 1 3 の 1 次側コイルに交流電圧を出力する。第 2 ブリッジ回路 1 2 は、それぞれ対角に配置された第 2 スイッチング素子 $Q 5$, $Q 8$ 及び第 2 スイッチング素子 $Q 6$, $Q 7$ を、デューティ比 50% で交互に切り替えることにより、トランス 1 3 の 2 次側コイルから出力された交流電圧を直流電圧 E_2 に変換する。

[0018] DAB 回路 1 は、後述する第 1 制御器及び第 2 制御器の制御によるスイッチングの位相差、及びトランス 1 3 の巻線比に応じて、直流電圧 E_2 を出力する。DAB 回路 1 第 2 端子の低電位側端子 $T_N 2$ が第 1 端子の高電位側端子 $T_P 1$ に接続されることにより、駆動部 4 の一对の入力端子 L_P , L_N 間の負荷電圧 E_L は、バッテリー 3 の電源電圧 E_B と 2 次側直流電圧 E_2 との和となる。

[0019] 図 3 に示すように、負荷電圧 E_L は、トランス 1 3 の巻線比に応じて 1 次側の直流電圧 E_1 及び 2 次側の直流電圧 E_2 間のエネルギー伝達効率が最大となる最適電圧 E_{L0} を有する。負荷電圧 E_L が最適電圧 E_{L0} から離れると、トランス 1 3 に流れる電流が増加し、効率が悪くなる領域 R が存在する。

[0020] 一方、第 2 ブリッジ回路 1 2 の第 2 スイッチング素子 $Q 5 \sim Q 8$ を全てオンにし、第 2 端子 $T_P 2$, $T_N 2$ 間を短絡させた場合において、負荷電圧 E_L は、図 3 に示す休止時電圧 E_{LD} ($= E_B$) のようになり、効率が領域 R の効率よ

り高くなる。このため、運転モードにおいて、領域Rでの動作となった場合、第1ブリッジ回路11の第1スイッチング素子Q1～Q4を全てオフ（開放）にし、第2スイッチング素子Q5～Q8を全てオンにする休止モードに切り替えた方が、効率の高い動作条件を増加させることができる。

[0021] しかしながら、運転モードにおいて、2次側の第2コンデンサ C_{out} が充電された状態のまま突然休止モードに切り替えると、第2ブリッジ回路12に大電流が流れ、第2スイッチング素子Q5～Q8、第2コンデンサ C_{out} に負担がかかる恐れがある。本発明の実施の形態における電源装置は、第2端子 T_{P2} 、 T_{N2} 間の直流電圧 E_2 が0とみなせる状態になった後に休止モードに移行することにより、突入電流から回路素子を保護し、回路の負担を低減できる。

[0022] 制御器2は、図4に示すように、第1ブリッジ回路11の第1スイッチング素子Q1～Q4を制御する第1制御器21と、第2ブリッジ回路12の第2スイッチング素子Q5～Q8を制御する第2制御器22と、補償器5を備える。

[0023] 補償器5は、減算器51と、増幅器52と、積分器53と、加算器54と、除算器55と、リミッタ56とを備える積分補償器である。補償器5は、DAB回路1の2次側直流電圧 E_2 を入力し、直流電圧 E_2 が、処理部7から入力される2次側の目標電圧 E_{2REF} となるように、逐次、第1制御器21及び第2制御器22に位相を出力することによりフィードバック制御する。2次側直流電圧 E_2 は、一对の第2端子 T_{P2} 、 T_{N2} の間に接続された検出器15により検出される。

[0024] 減算器51は、検出器15が検出した2次側直流電圧 E_2 を入力し、目標電圧 E_{2REF} との偏差を算出する。増幅器52は、減算器51が算出した偏差を、増幅率 $2\pi f_c C \omega L$ として増幅して出力する。 f_c は補償器5の制御帯域のバンド幅[Hz]（但し、トランス13の駆動周波数より十分小さい）、 C は第2コンデンサ C_{out} の容量[F]、 ω はキャリア周波数 f の角周波数 $2\pi f$ [rad/s]、 L はトランス13の漏れインダクタンス[H]である。積分器53

は、減算器 5 1 が算出した偏差を、積分演算子 $1/T_s$ を用いて積分し、積分値を算出する。加算器 5 4 は、増幅器 5 2 及び積分器 5 3 が算出した値を加算する。

[0025] 除算器 5 5 は、加算器 5 4 が算出した値を、一对の第 1 端子 T_{P1} , T_{N1} の間に接続された検出器 1 6 が検出した 1 次側直流電圧 E_1 を除数として除算する。リミッタ 5 6 は、除算器 5 5 が算出した値の上限値及び下限値を制限して、位相として増幅器 5 7 及び増幅器 5 8 に出力する。増幅器 5 7 及び増幅器 5 8 は、リミッタ 5 6 が出力した位相をそれぞれ 0.5、-0.5 ずらし、それぞれ第 1 制御器 2 1、第 2 制御器 2 2 に入力する。

[0026] 処理部 7 は、補償器 5 の減算器 5 1 に目標電圧 E_{2REF} を入力する他、積分器 5 3、第 1 制御器 2 1 及び第 2 制御器 2 2 に休止信号 S を出力する。休止信号 S は、休止モードへの移行を指示する信号である。積分器 5 3 は、処理部 7 が出力した休止信号 S をリセット信号として入力し、リセット信号の入力に応じて、算出する積分値を消去（クリア）する。また、処理部 7 は、第 1 制御器 2 1 及び第 2 制御器 2 2 にキャリア周波数 f を出力する。

[0027] 第 1 制御器 2 1 は、処理部 7 が出力した休止信号 S をフルオフ信号として入力する。第 1 制御器 2 1 は、フルオフ信号の入力に伴い、第 1 スイッチング素子 Q 1 ~ Q 4 を全てオフにする。また、第 1 制御器 2 1 は、全ての第 1 スイッチング素子 Q 1 ~ Q 4 が同時にオンしないように制御している。

[0028] 第 2 制御器 2 2 は、処理部 7 が出力した休止信号 S をフルオン信号として入力する。第 2 制御器 2 2 は、フルオン信号の入力に伴い、第 2 スイッチング素子 Q 5 ~ Q 8 を全てオンにする。また、第 2 制御器 2 2 は、全ての第 2 スイッチング素子 Q 5 ~ Q 8 が同時にオフしないように制御している。

[0029] 第 1 制御器 2 1 は、図 5 に示すように、搬送波生成器 2 0 1、コンパレータ 2 0 2、論理和（OR）ゲート 2 0 3、2 0 5、否定（NOT）ゲート 2 0 4、2 0 6、論理積（AND）ゲート 2 0 7、2 0 8 と、増幅器 2 0 9、2 1 0、2 1 1、2 1 2 と、補償器 6 とを備える。

[0030] 補償器 6 は、減算器 6 1 と、PI 処理部 6 2 と、ローパスフィルタ（LP

F) 63とを備える。補償器6は、トランス13の直流電流成分が0となるように、第1スイッチング素子Q1～Q4をフィードバック制御するための積分補償器である。トランス13の1次側コイルに流れる電流は、検出器17によって検出され、LPF18を介して直流成分となって補償器6にフィードバックされる。

[0031] 減算器61は、トランス13に流れる電流の直流成分を入力し、目標値0との偏差を算出する。PI処理部62は、減算器61が算出した偏差に対して、比例演算及び積分演算を行う。LPF63は、PI処理部62が算出した値についてフィルタ処理を行う。LPF63を通過した信号は、変調率としてコンパレータ202の非反転入力端子に入力される。

[0032] 搬送波生成器201は、処理部7から入力されたキャリア周波数 f と、補償器6から出力された位相とに基づいて、三角波であるキャリア波を生成し、コンパレータ202の反転入力端子に出力する。コンパレータ202は、搬送波生成器201及び補償器6からの入力に基づいて、矩形波を生成する。

[0033] コンパレータ202が生成した矩形波は、ORゲート203の一方の入力端子と、NOTゲート204を介したORゲート205の一方の入力端子とに出力される。ORゲート203、205の、それぞれ他方の入力端子には、フルオン信号として0（ロー）が入力される。ORゲート203、205の出力端子は、それぞれ、ANDゲート207、208の一方の入力端子に接続される。ANDゲート207、208のそれぞれ他方の入力端子には、フルオフ信号として休止信号Sが、NOTゲート206を介して入力される。ANDゲート207の出力信号は、増幅器209、210において増幅され、第1スイッチング素子Q1、Q4のゲート電極（制御電極）に入力される。ANDゲート208の出力信号は、増幅器211、212において増幅され、第1スイッチング素子Q3、Q2のゲート電極に入力される。

[0034] DAB回路1の2次側を制御する第2制御器22は、休止信号Sがフルオン信号として入力され、フルオフ信号として0（ロー）が入力される点で第

1 制御器 2 1 と異なるが、他の動作は、第 1 制御器 2 1 と実質的に同様であるので、重複する説明を省略する。尚、電源装置の失陥時等、第 2 スwitchング素子 Q 5 ～ Q 8 をフルオフする必要があることが想定される場合は、フルオフ信号を常に 0 とせず、状況に応じてフルオフを指令する信号を入力するように構成してもよい。

[0035] 運転モードにおいて、第 1 ブリッジ回路 1 1 及び第 2 ブリッジ回路 1 2 のキャリア波の位相差を ϕ とすると、DAB 回路 1 の 1 次側及び 2 次側の間の伝達電力 P は式 (1) の様に表される。

$$P = (E_1 E_2 / \omega L) \phi (1 - \phi / \pi) \quad \dots (1)$$

休止モードにおいて、DAB 回路 1 の 1 次側直流電流 $I_1 = 0$ 、2 次側直流電圧 $E_2 = 0$ であり、1 次側及び 2 次側の間の伝達電力 P は、0 である。

[0036] 制御器 2 は、図 6 に示すように、処理部 7 の制御に応じて、DAB 回路 1 の 2 次側直流電圧 E_2 が、処理部 7 が出力する目標電圧 E_{2REF} となるように制御する。制御器 2 は、休止モードの状態から時間 t_1 において、運転モードに移行する。制御器 2 は、時間 t_1 から t_2 までの所定時間を待機時間として、2 次側直流電圧 E_2 を 0 とみなせる状態に保持するように、第 1 ブリッジ回路 1 1 及び第 2 ブリッジ回路 1 2 を制御する。制御器 2 は、時間 t_2 から t_3 までの間を遷移時間として、目標電圧 E_{2REF} に基づいて、2 次側直流電圧 E_2 を上昇させるように、DAB 回路 1 の第 1 ブリッジ回路 1 1 及び第 2 ブリッジ回路 1 2 を制御する。

[0037] 制御器 2 は、時間 t_3 から t_4 までの間、DAB 回路 1 を、休止モードにおける 1 次側及び 2 次側のエネルギー伝達効率よりも高い効率で動作させる。トランス 1 3 の駆動周波数 f_T は、遷移時間における直流電圧 E_2 の変化速度よりも十分高速である。

[0038] 制御器 2 は、時間 t_4 から t_5 までの間を 2 次側直流電圧 E_2 を下降させる遷移時間として、目標電圧 E_{2REF} に基づいて、2 次側直流電圧 E_2 を下降させるように、DAB 回路 1 の第 1 ブリッジ回路 1 1 及び第 2 ブリッジ回路 1 2 を制御する。制御器 2 は、時間 t_5 において、2 次側直流電圧 E_2 が 0 とみなせる

状態となったら、時間 t_5 から t_6 までの所定時間を待機時間として、2 次側直流電圧 E_2 を 0 とみなせる状態に保持するように、第 1 ブリッジ回路 1 1 及び第 2 ブリッジ回路 1 2 を制御する。

- [0039] 本発明において、「直流電圧 E_2 が 0 とみなせる状態」とは、第 2 スイッチング素子 $Q_5 \sim Q_8$ がオンし、第 2 ブリッジ回路 1 2 に第 2 コンデンサ C_{out} による電圧が印加されても、回路素子が破壊される恐れがなく、実質的に 0 とみなせる状態であることをいう。具体的には、例えば直流電圧 E_2 が、式 (2) に示す臨界電圧 E_c 以下となる状態である。

$$E_c = I_a \sqrt{L_P / C} \quad \dots (2)$$

- [0040] 但し、 I_a は第 2 スイッチング素子 $Q_5 \sim Q_8$ の最大瞬時許容電流、 L_P は第 2 スイッチング素子 $Q_5 \sim Q_8$ と第 2 コンデンサ C_{out} との間の寄生インダクタンスあるいは、第 2 スイッチング素子 $Q_5 \sim Q_8$ と第 2 コンデンサ C_{out} の間にインダクタを直列に配置した場合にはそのインダクタンス値と寄生インダクタンス値の和、 C は第 2 コンデンサ C_{out} の容量である。

その他、遷移時間の終了条件は、例えば、遷移時間の開始から所定時間経過した場合であってもよい。

- [0041] 制御器 2 は、運転モードの状態から、遷移時間 $t_4 \sim t_5$ 、待機時間 $t_5 \sim t_6$ を経た後に、休止モードに移行するように第 1 ブリッジ回路 1 1 及び第 2 ブリッジ回路 1 2 を制御する。

- [0042] その他、制御器 2 は、遷移時間において、第 2 コンデンサ C_{out} が蓄えるエネルギーを、トランス 1 3 においてジュール熱として消費させるように、第 1 スイッチング素子 $Q_1 \sim Q_4$ 及び第 2 スイッチング素子 $Q_5 \sim Q_8$ を制御することができる。この場合、制御器 2 は、処理部 7 の制御に応じて、第 1 スイッチング素子 $Q_1 \sim Q_4$ を全てオフにし、それぞれ対角に配置された第 2 スイッチング素子 Q_5 、 Q_8 及び第 2 スイッチング素子 Q_6 、 Q_7 を交互に切り替えればよい。

- [0043] また、制御器 2 は、遷移時間において、第 2 コンデンサ C_{out} が蓄えるエネルギーを第 1 端子 T_{P1} 、 T_{N1} に伝達するように、第 1 スイッチング素子 Q_1

～Q 4 及び第2スイッチング素子Q 5～Q 8を制御することができる。この場合、制御器2は、処理部7の制御に応じて、それぞれ対角に配置された第2スイッチング素子Q 5、Q 8及び第2スイッチング素子Q 6、Q 7を交互に切り替えることにより、第2コンデンサ C_{out} が蓄えるエネルギーから交流電圧を発生する。そして、トランス13を介して伝達された交流電圧を、それぞれ対角に配置された第1スイッチング素子Q 1、Q 4及び第1スイッチング素子Q 2、Q 3を交互に切り替えることにより、交流電圧を整流し、第1端子 T_P1 、 T_N1 に直流電圧として出力する。

[0044] DAB回路1及び補償器5は、図7に示すような制御モデルで表すことができる。図7において、補償器5は、関数要素501、502を備え、DAB回路1は、関数要素101、102を備える。関数要素501の伝達関数は $1/T_s$ である。関数要素502の関数 k_F は式(3)のように表される。

$$k_F = 2\pi f_c C \omega L / E_1 \quad \dots (3)$$

[0045] 関数要素101の伝達関数は I_{LOAD}/sC であり、関数要素101の伝達関数は $E_1/sC\omega L$ である。 I_{LOAD} は、本発明の実施の形態に係る電源装置から、負荷である駆動部4に流れる直流電流である。このとき制御系安定化の条件は、式(4)のように表される。

$$T \gg 1 / 2\pi f_c k_F \quad \dots (4)$$

また、2次側直流電圧 E_2 は、式(5)のように表される。

$$E_2 = [(E_1 / \omega L) \phi (1 - \phi / \pi) - I_{LOAD}] / C \quad \dots (5)$$

[0046] 但し、遷移時間における周波数帯域において、2次側の負荷(駆動部4)のインピーダンスは、第2コンデンサ C_{out} のインピーダンスよりも十分に高いと仮定している。

[0047] 運転モードから休止モードに移行する場合の遷移時間の範囲は、例えば、図8に示すように、下限時間 t_L 以上、上限時間 t_U 以下とすることができる。処理部7が制御器2に対して設定する遷移時間の下限時間 t_L は、式(6)のように表すことができる。

$$t_L = E_2 C / (I_a + I_2) \quad \dots (6)$$

但し、 I_2 は第2ブリッジ回路12が出力する直流電流である。

[0048] 遷移時間が早すぎると、第2コンデンサ C_{out} にチャージされた電荷により、第2ブリッジ回路12に大電流が流れ、回路が破損してしまう恐れがある。従って、下限時間 t_L を設定することにより、回路の破損を低減することができる。

[0049] 遷移時間の上限時間 t_U は、式(7)に示す遷移時間での実効電流 I_e における許容運転時間である。上限時間 t_U は、速やかに休止モードに移行するために、所定時間以上、遷移時間が長くないための閾値である。

$$I_e = (180 / \phi_{max}) / \sqrt{3} \quad \dots (7)$$

但し、 ϕ_{max} は第2ブリッジ回路12が出力する直流電流が最大になるときの、第1ブリッジ回路11と第2ブリッジ回路12の位相差である。

[0050] 図9に示すように、条件によっては、下限時間 t_L の値が上限時間 t_U を超えてしまい、遷移時間を決定できなくなる場合が考えられる。すると、本発明の実施の形態に係る電源装置は、休止モードに移行することができなくなってしまう。このため、制御器2は、下限時間 t_L と上限時間 t_U とが一致した場合において、遷移時間及び待機時間を経た後、休止モードに移行するように、第1スイッチング素子Q1～Q4及び複数の第2スイッチング素子Q5～Q8を制御する。

[0051] 本発明の実施の形態に係る電源装置によれば、DAB回路の2次側直流電圧の出力を休止する場合に、予め2次側直流電圧を制御することにより、動作状態の変更時に、回路素子を突入電流から保護し、回路の負担を低減することができる。具体的には、制御器2による遷移時間における制御なしに、第2スイッチング素子Q5～Q8を同時にオンにした場合、第2ブリッジ回路12への突入電流 I_{PEAK} は、式(8)のように表すことができる。

$$I_{PEAK} = E_2 \sqrt{C / L_P} \quad \dots (8)$$

[0052] これに対して、本発明の実施の形態に係る電源装置が備える制御器2による、遷移時間における制御ありの場合、第2ブリッジ回路12への突入電流 I_{PEAK} は、 I_{max} を2次側直流電流 I_2 の最大値とすると、式(9)のように表すこと

ができる。

$$I_{\text{PEAK}} = I_{\text{max}} \pi / \phi_{\text{max}} \quad \dots (9)$$

[0053] 図10に示すように、第2コンデンサ C_{out} の容量 C が $100\mu\text{F}$ 、第2スイッチング素子 $Q5 \sim Q8$ と第2コンデンサ C_{out} との間の寄生インダクタンス L_P が 10nH のとき、遷移時間における制御なしの場合の突入電流 I_{PEAK} は 7500A となった。これに対して、遷移時間における制御ありの場合の突入電流 I_{PEAK} は、 20A となり、本発明の実施の形態における電源装置による効果が理解できる。

[0054] また、本発明の実施の形態に係る電源装置によれば、第2端子の低電位側端子 T_N2 が、第1端子の高電位側端子 T_P1 に接続されることにより、休止モードにおいて、電源電圧 V_B を出力することができ、高効率なエネルギー伝達が可能になる。

[0055] また、本発明の実施の形態に係る電源装置によれば、遷移時間を経た後に休止モードに移行するので、確実に回路の負担を低減することができる。

[0056] また、本発明の実施の形態に係る電源装置によれば、遷移時間と待機時間を経た後に休止モードに移行するので、更に確実に回路の負担を低減することができる。

[0057] また、本発明の実施の形態に係る電源装置によれば、第2コンデンサ C_{out} が蓄えるエネルギーをトランス13において消費させることができるので、簡単な処理により、遷移時間における制御が可能となる。

[0058] また、本発明の実施の形態に係る電源装置によれば、第2コンデンサ C_{out} が蓄えるエネルギーを第1端子 T_P1 、 T_N1 に伝達することにより、回生動作を行い、エネルギー利用率を向上できる。

[0059] また、本発明の実施の形態に係る電源装置によれば、遷移時間の範囲を規定することにより、確実に回路の負担を低減しつつ、休止モードへの移行時間を低減させることができる。

[0060] また、本発明の実施の形態に係る電源装置によれば、遷移時間の下限時間 t_L と上限時間 t_U とが一致した場合において、休止モードへの移行処理を開

始することにより、休止モードに移行できなくなることを未然に防止できる。

[0061] また、本発明の実施の形態に係る電源装置によれば、直流電圧 E_2 が、臨界電圧 E_c 以下となった場合において、直流電圧 E_2 が 0 になったものとみなすことにより、確実に回路の負担を低減しつつ、休止モードへの移行時間を低減させることができる。

[0062] また、本発明の実施の形態に係る電源装置によれば、休止モードに移行する時に、補償器 5 の積分値を消去することにより、より確実に回路の負担を低減できる。

[0063] (その他の実施の形態)

上記のように、本発明を実施の形態によって記載したが、この開示の一部をなす論述及び図面は本発明を限定するものであると理解すべきではない。この開示から当業者には様々な代替実施の形態、実施例及び運用技術が明らかとなろう。

[0064] 例えば、既に述べた実施の形態の説明においては、電源装置の D A B 回路 1 は、図 1 1 に示すように、第 1 及び第 2 スイッチング素子 $Q_1 \sim Q_8$ に、それぞれ、コンデンサ $C_1 \sim C_8$ が並列に接続される構成としてもよい。これにより、D A B 回路 1 を用いて、共振型ソフトスイッチング動作を行うことができ、第 1 及び第 2 スイッチング素子 $Q_1 \sim Q_8$ のスイッチング損失を低減することができる。ソフトスイッチング動作については、例えば特開 2009-112142 号公報に説明されている。

[0065] また、既に述べた実施の形態の説明においては、制御器 2、処理部 7 が入力する 2 次側直流電圧 E_2 は、実測値である必要はなく、理論値であってもよい。

[0066] この様に、本発明はここでは記載していない様々な実施の形態等を含むことは勿論である。従って、本発明の技術的範囲は上記の説明から妥当な特許請求の範囲に係る発明特定事項によってのみ定められるものである。

[0067] 特願 2012-275457 号（出願日：2012 年 12 月 18 日）の全

内容は、ここに援用される。

産業上の利用可能性

[0068] 本発明によれば、2次側の出力電圧を休止する場合に、予め出力電圧を制御することにより、動作状態の変更時に、回路の負担を低減する電源装置を提供することができる。

符号の説明

[0069] C_{in} 第1コンデンサ
 C_{out} 第2コンデンサ
 $Q1 \sim Q4$ 第1スイッチング素子
 $Q5 \sim Q8$ 第2スイッチング素子
 T_{P1}, T_{N1} 第1端子
 T_{P2}, T_{N2} 第2端子
2 制御器
5 補償器（積分補償器）
11 第1ブリッジ回路
12 第2ブリッジ回路
13 トランス

請求の範囲

[請求項1]

一対の第1端子と、
前記一対の第1端子の間に接続された第1コンデンサと、
フルブリッジ接続された複数の第1スイッチング素子により、前記一対の第1端子に入力された直流電圧を交流電圧に変換して出力する第1ブリッジ回路と、
前記第1ブリッジ回路が出力する交流電圧を1次側に入力し、2次側に出力するトランスと、
一対の第2端子と、
前記一対の第2端子の間に接続された第2コンデンサと、
フルブリッジ接続された複数の第2スイッチング素子により、前記トランスが出力する交流電圧を直流電圧に変換して、前記一対の第2端子に出力する第2ブリッジ回路と、
前記第2ブリッジ回路が直流電圧を出力する運転モードから、前記第2ブリッジ回路が直流電圧の出力を休止する休止モードに移行する場合において、前記第2ブリッジ回路が出力する直流電圧が0とみなせる状態となった後に休止モードに移行するように、前記複数の第1スイッチング素子及び前記複数の第2スイッチング素子を制御する制御器と
を備えることを特徴とする電源装置。

[請求項2]

前記第2端子の低電位側端子は、前記第1端子の高電位側端子に接続されることを特徴とする請求項1に記載の電源装置。

[請求項3]

前記制御器は、前記第2ブリッジ回路が出力する直流電圧を下降させる遷移時間を経た後に休止モードに移行するように、前記複数の第1スイッチング素子及び前記複数の第2スイッチング素子を制御することを特徴とする請求項1又は2に記載の電源装置。

[請求項4]

前記制御器は、前記遷移時間と、前記第2ブリッジ回路が出力する直流電圧を0に保持する待機時間とを経た後に休止モードに移行する

ように、前記複数の第1スイッチング素子及び前記複数の第2スイッチング素子を制御することを特徴とする請求項3に記載の電源装置。

[請求項5] 前記制御器は、前記遷移時間において、前記第2コンデンサが蓄えるエネルギーを前記トランスにおいて消費させるように、前記複数の第1スイッチング素子及び前記複数の第2スイッチング素子を制御することを特徴とする請求項3又は4に記載の電源装置。

[請求項6] 前記制御器は、前記遷移時間において、前記第2コンデンサが蓄えるエネルギーを前記一对の第1端子に伝達するように、前記複数の第1スイッチング素子及び前記複数の第2スイッチング素子を制御することを特徴とする請求項3～5のいずれか1項に記載の電源装置。

[請求項7] 前記遷移時間は、式(A)に示す下限時間 t_L 以上、前記第1及び第2スイッチング素子の、式(B)に示す前記遷移時間での実効電流 I_e における許容運転時間である上限時間以下であることを特徴とする請求項3～6のいずれか1項に記載の電源装置。

$$t_L = E_2 C / (I_a + I_2) \quad \dots (A)$$

$$I_e = (180 / \phi_{\max}) / \sqrt{3} \quad \dots (B)$$

但し、 E_2 は前記第2ブリッジ回路が出力する直流電圧、 C は前記第2コンデンサの容量、 I_a は前記複数の第2スイッチング素子の最大瞬時許容電流、 I_2 は前記第2ブリッジ回路が出力する直流電流、 $\phi_{\max}$ は前記第2ブリッジ回路が出力する直流電流が最大になるときの、前記複数の第1スイッチング素子及び前記複数の第2スイッチング素子のスイッチング周波数の位相差である。

[請求項8] 前記制御器は、前記下限時間 t_L と前記上限時間とが一致した場合において、前記休止モードに移行するように、前記複数の第1スイッチング素子及び前記複数の第2スイッチング素子を制御することを特徴とする請求項7に記載の電源装置。

[請求項9] 前記第2ブリッジ回路が出力する直流電圧に基づいて、前記遷移時間における前記第2ブリッジ回路が出力する直流電圧を、前記制御器

を介してフィードバック制御する積分補償器を更に備え、

前記積分補償器は、前記休止モードに移行する時に、積分値を消去することを特徴とする請求項3～8のいずれか1項に記載の電源装置。

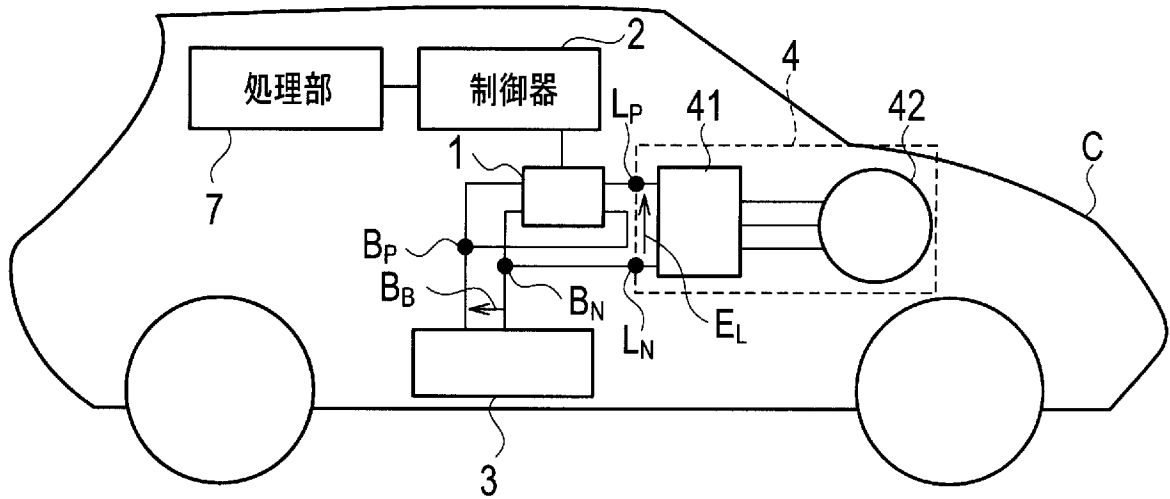
[請求項10] 前記第1スイッチング素子と前記第2スイッチング素子のそれぞれに、コンデンサを並列接続すると共に、前記制御器は、前記第1スイッチング素子と前記第2スイッチング素子をソフトスイッチング動作させることを特徴とする請求項1～9のいずれか1項に記載の電源装置。

[請求項11] 前記制御器は、前記第2ブリッジ回路が出力する直流電圧が、式（C）に示す臨界電圧 E_c 以下となった場合において、前記第2ブリッジ回路が出力する直流電圧が0となったものとみなすことを特徴とする請求項1～10のいずれか1項に記載の電源装置。

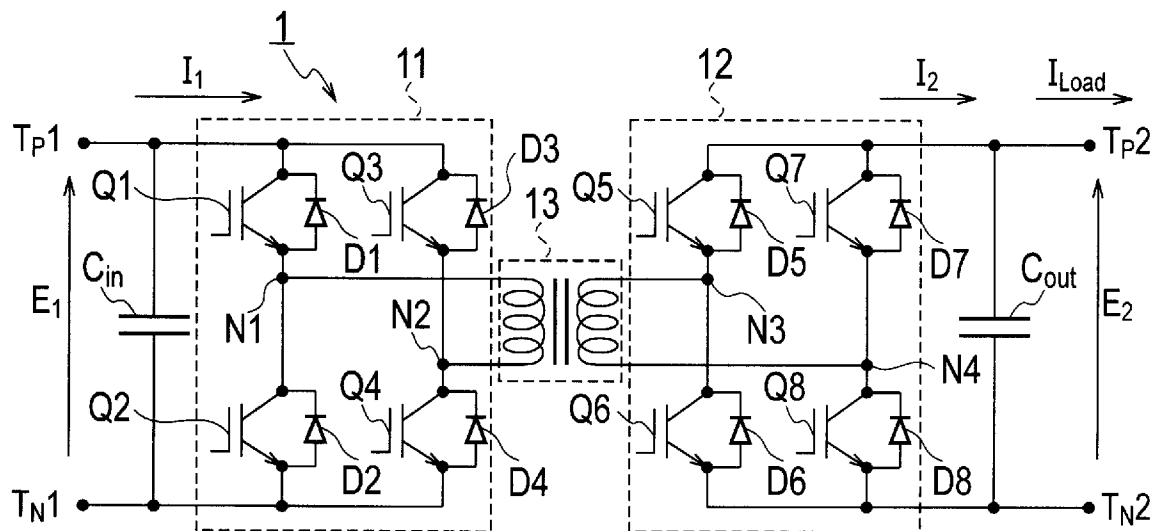
$$E_c = I_a \sqrt{L_p / C} \quad \dots (C)$$

但し、 I_a は前記複数の第2スイッチング素子の最大瞬時許容電流、 L_p は前記複数の第2スイッチング素子と前記第2コンデンサとの間の寄生インダクタンス、 C は前記第2コンデンサの容量である。

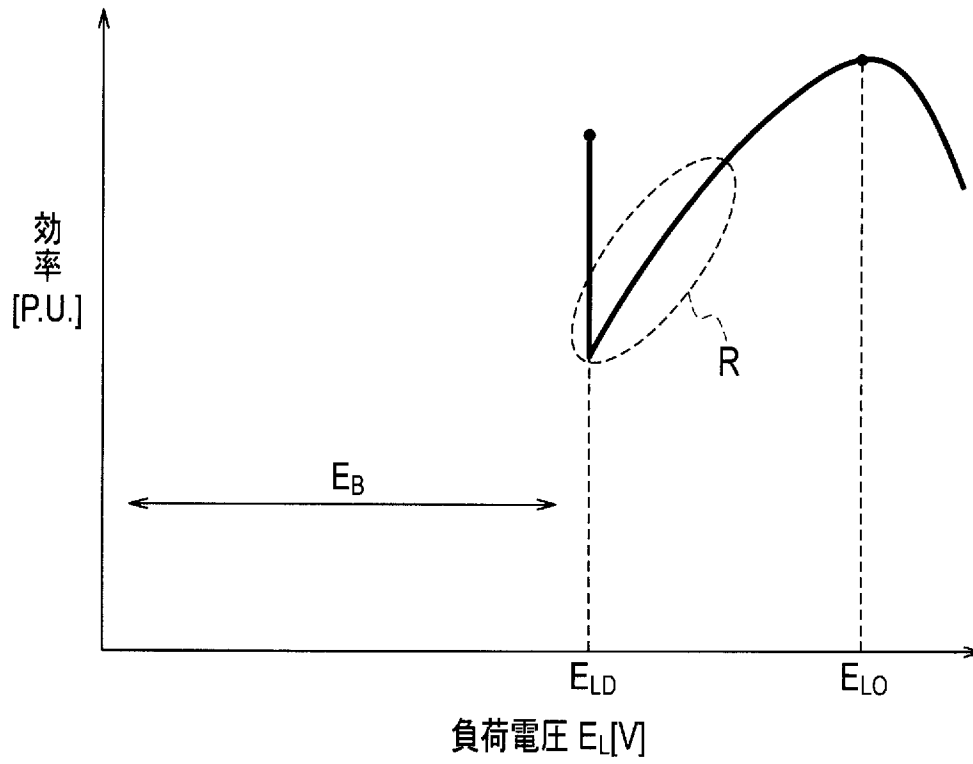
[図1]



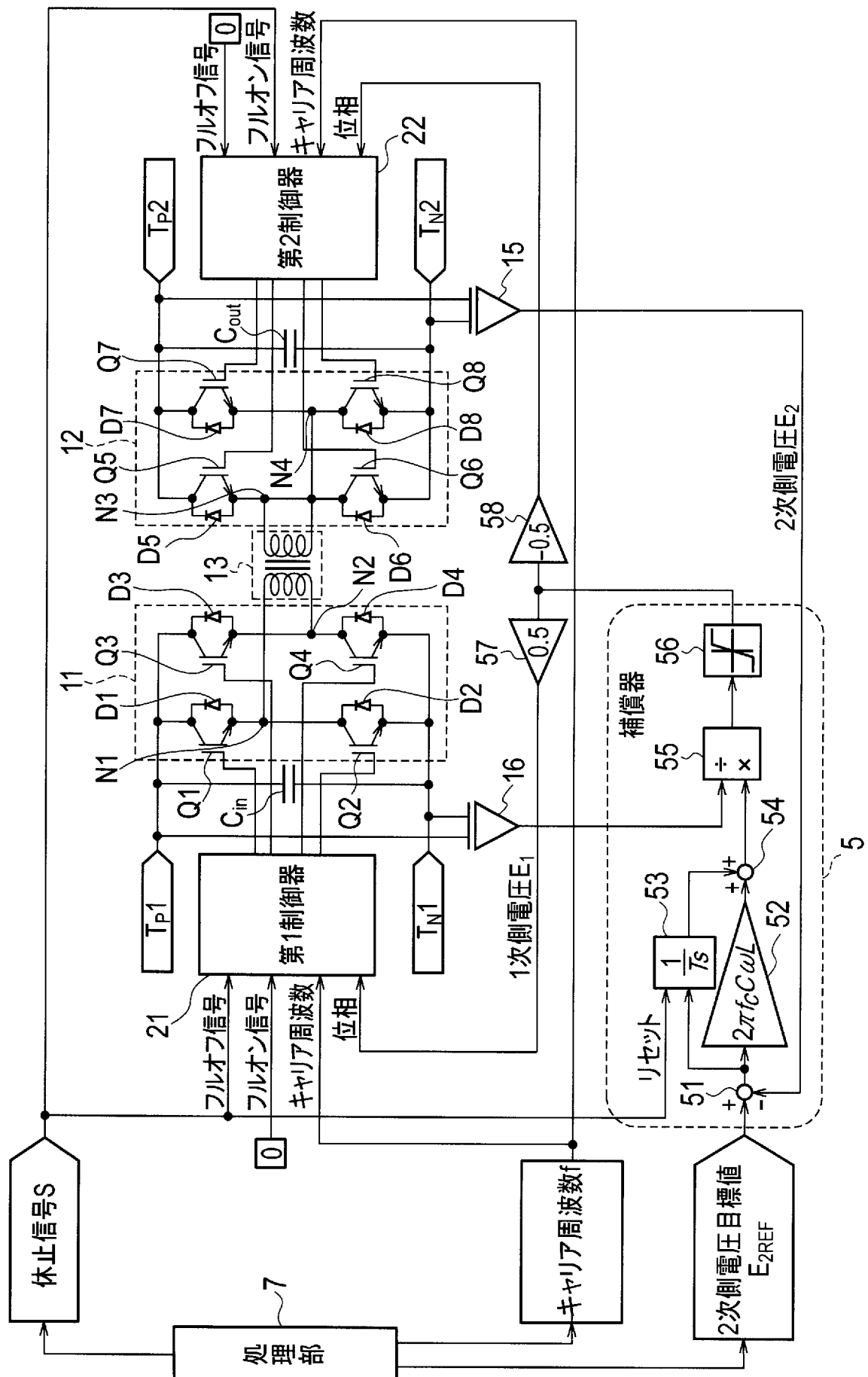
[図2]



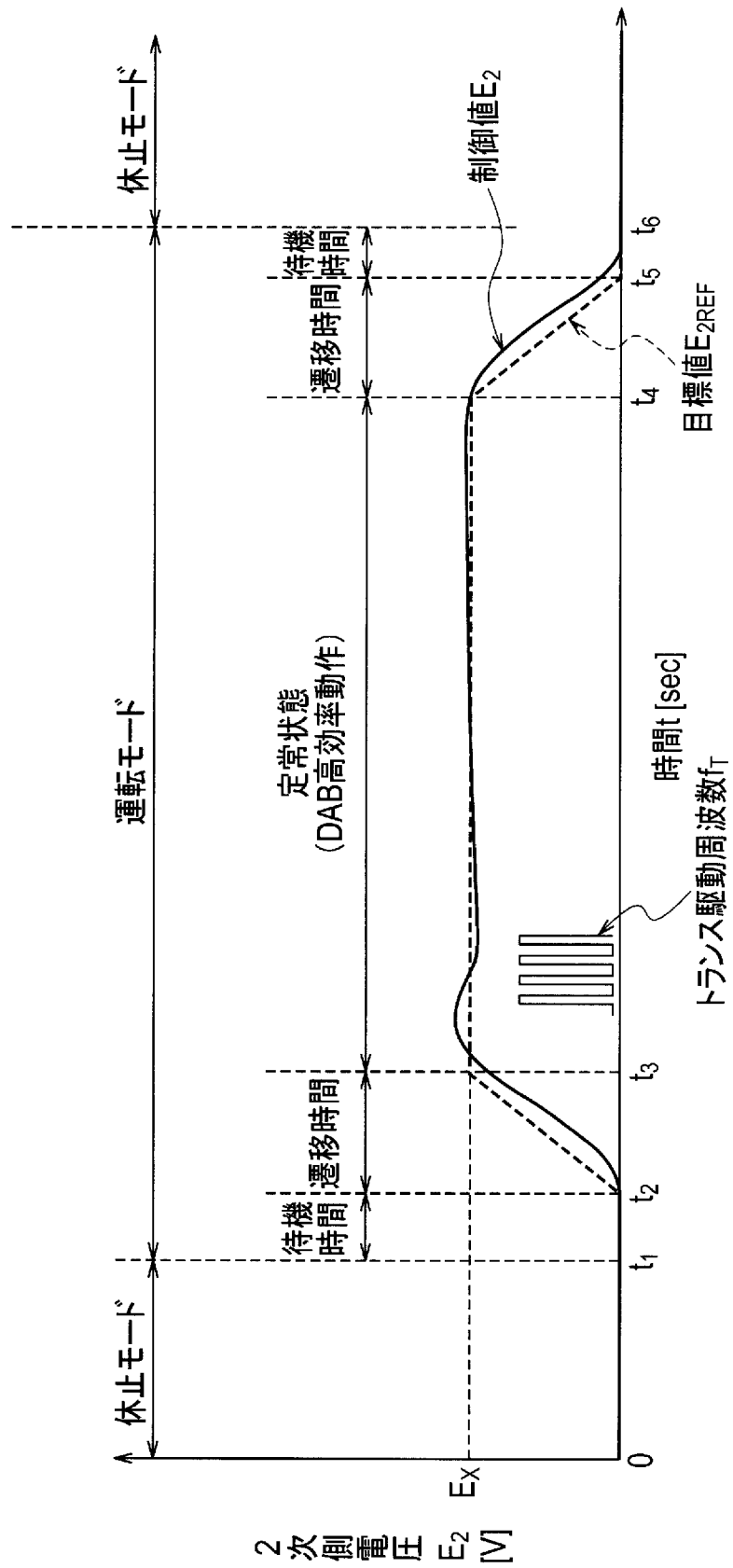
[図3]



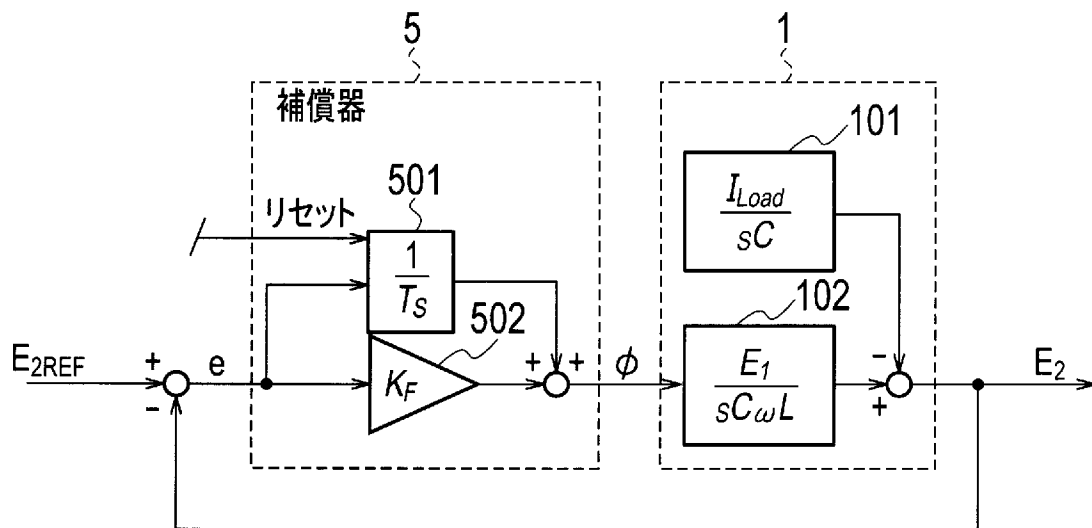
[図4]



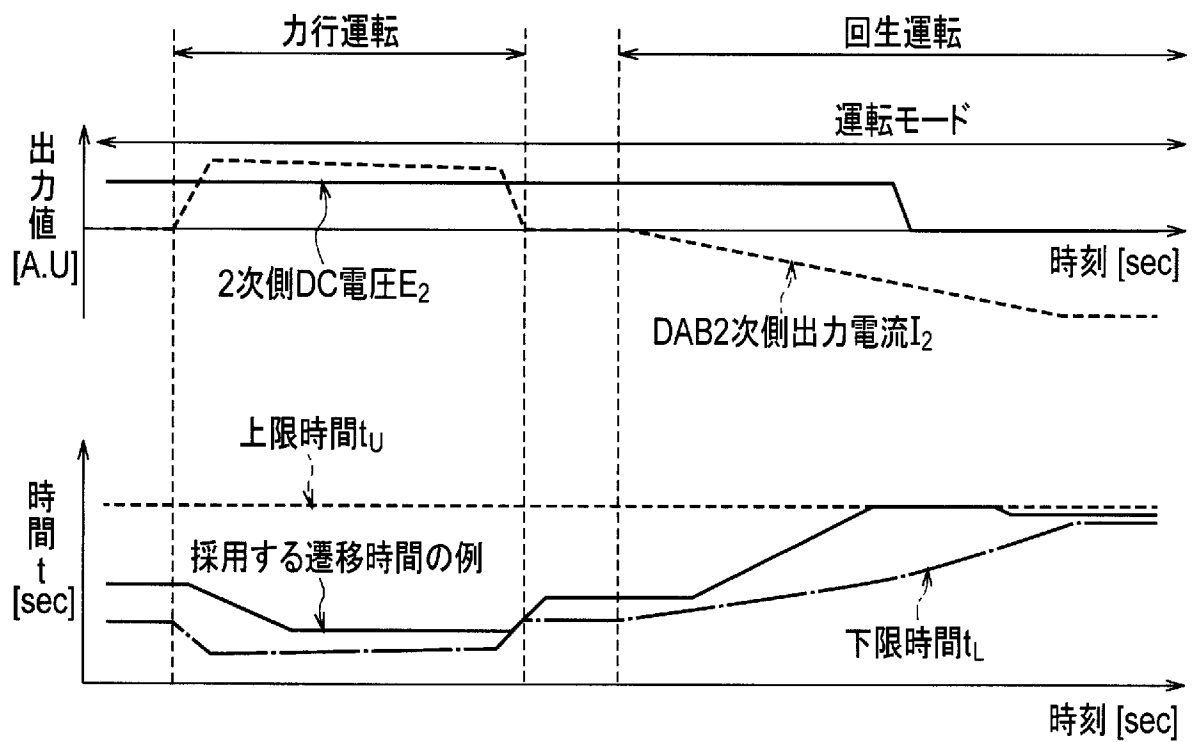
[図6]



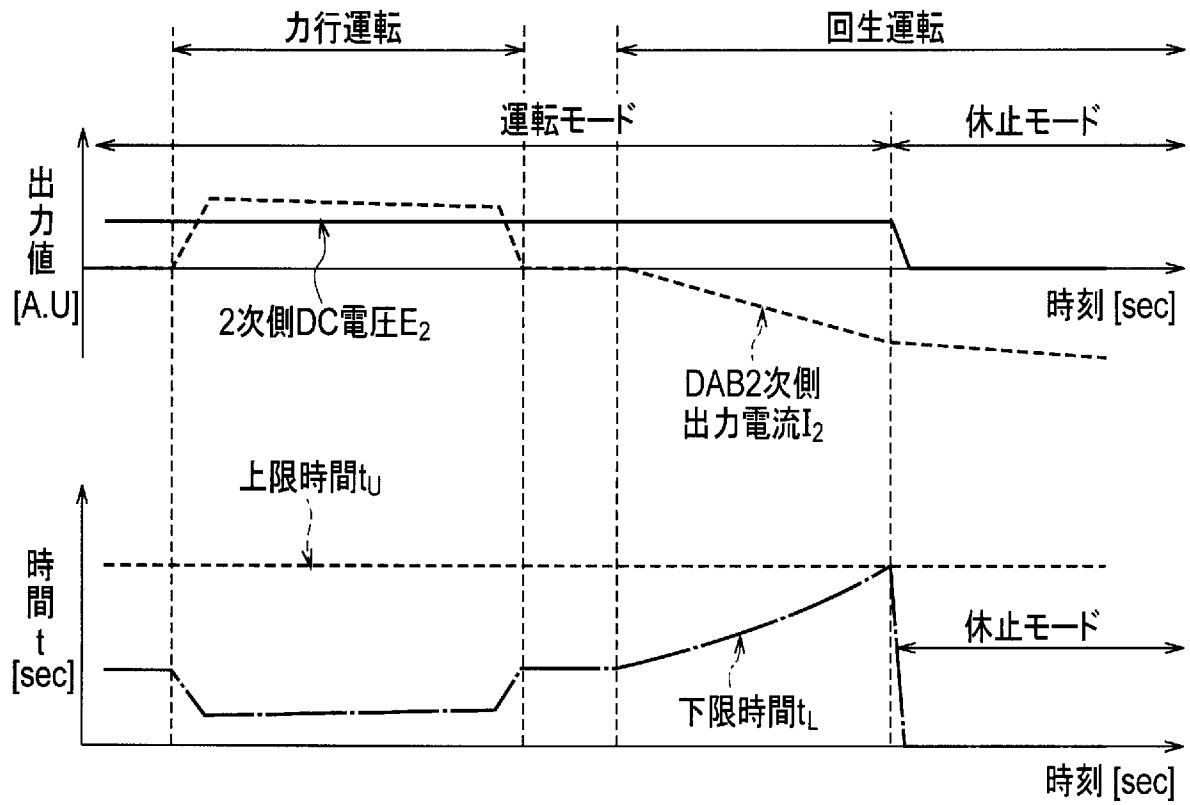
[図7]



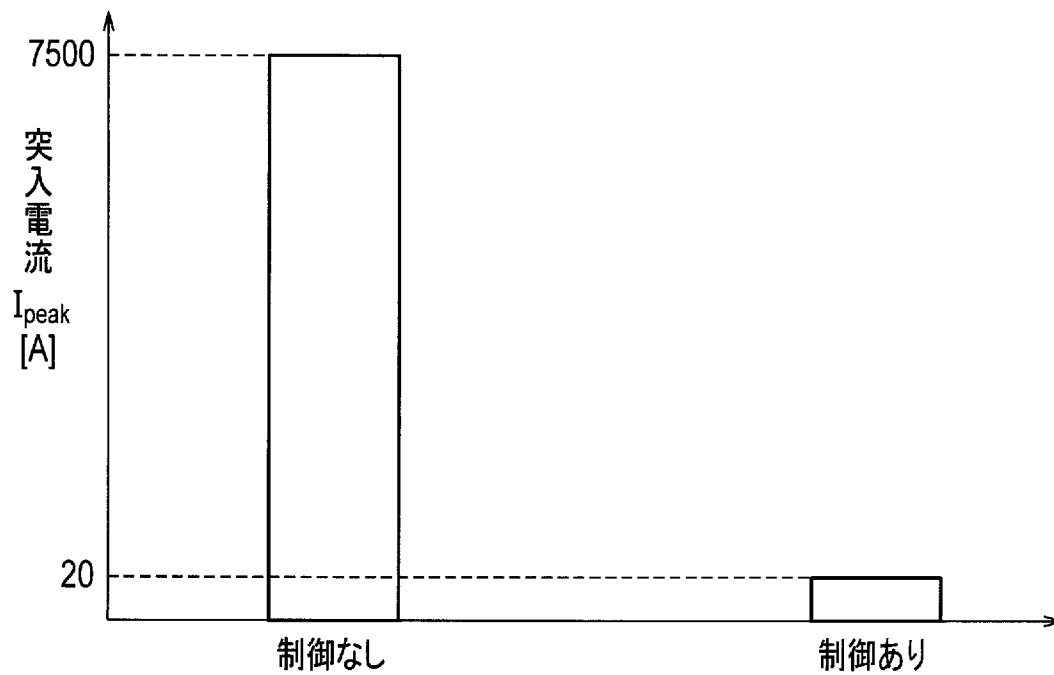
[図8]



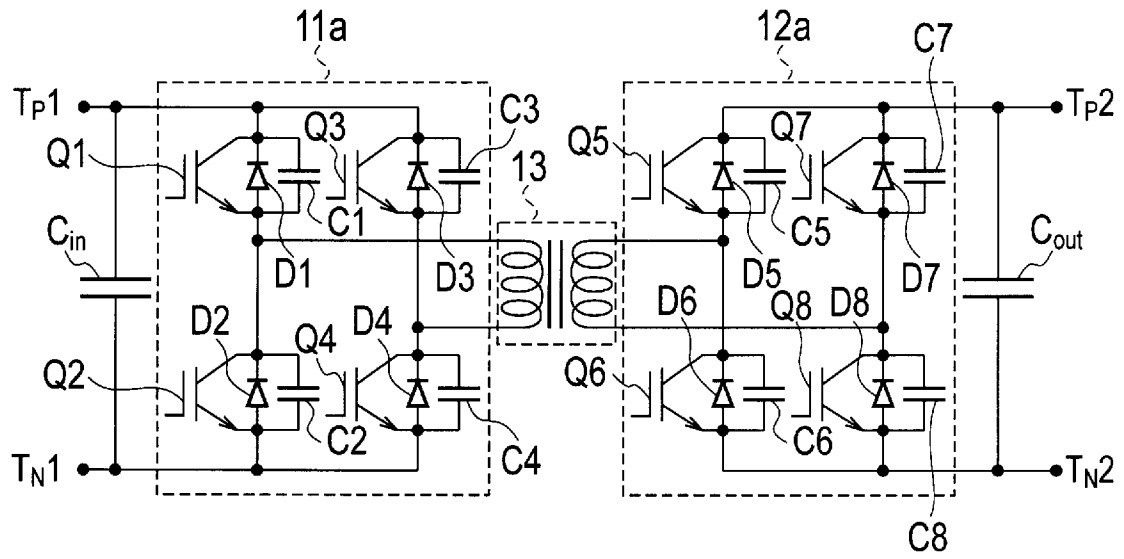
[図9]



[図10]



[図11]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2013/082019

A. CLASSIFICATION OF SUBJECT MATTER

H02M3/28(2006.01)i, H02M3/335(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H02M3/28, H02M3/335

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2014
Kokai Jitsuyo Shinan Koho	1971-2014	Toroku Jitsuyo Shinan Koho	1994-2014

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2012-196089 A (Sinfonia Technology Co., Ltd.), 11 October 2012 (11.10.2012), entire text; drawings (Family: none)	1-11
A	JP 2012-65511 A (Shindengen Electric Mfg. Co., Ltd.), 29 March 2012 (29.03.2012), entire text; drawings (Family: none)	1-11
E, A	JP 2014-7942 A (Denso Corp.), 16 January 2014 (16.01.2014), entire text; drawings (Family: none)	1-11

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
20 January, 2014 (20.01.14)

Date of mailing of the international search report
28 January, 2014 (28.01.14)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2013/082019

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
P, A	WO 2013/121665 A1 (Mitsubishi Electric Corp.), 22 August 2013 (22.08.2013), entire text; drawings (Family: none)	1-11

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. H02M3/28(2006.01)i, H02M3/335(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. H02M3/28, H02M3/335

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2014年
日本国実用新案登録公報	1996-2014年
日本国登録実用新案公報	1994-2014年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2012-196089 A（シンフォニアテクノロジー株式会社） 2012.10.11, 全文、図面（ファミリーなし）	1-11
A	JP 2012-65511 A（新電元工業株式会社）2012.03.29, 全文、図面（ファミリーなし）	1-11
E, A	JP 2014-7942 A（株式会社デンソー）2014.01.16, 全文、図面（ファミリーなし）	1-11

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

20.01.2014

国際調査報告の発送日

28.01.2014

国際調査機関の名称及びあて先

日本国特許庁（I S A/J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

安食 泰秀

3 V

3740

電話番号 03-3581-1101 内線 3358

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
P, A	W0 2013/121665 A1 (三菱電機株式会社) 2013. 08. 22, 全文、図面 (ファミリーなし)	1-11