

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第6部門第4区分

【発行日】平成29年6月8日(2017.6.8)

【公表番号】特表2016-526748(P2016-526748A)

【公表日】平成28年9月5日(2016.9.5)

【年通号数】公開・登録公報2016-053

【出願番号】特願2016-521410(P2016-521410)

【国際特許分類】

G 11 C 11/406 (2006.01)

【F I】

G 11 C 11/34 3 6 3 G

【手続補正書】

【提出日】平成29年4月21日(2017.4.21)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

メモリコントローラ内のメモリリフレッシュ方法であって、

第1のメモリアドレスに対応する第1の保持状態と、第2のメモリアドレスに対応する第2の保持状態とを検査するステップと、

前記第2の保持状態が弱保持状態を示すとき、前記第2のメモリアドレスに対応する行に対してリフレッシュ動作を実行するステップと、

前記第2のメモリアドレスに対応する前記行に対して前記リフレッシュ動作を実行するステップの後に、前に、又は同時に、前記第1のメモリアドレスに対応する行に対してリフレッシュ動作を実行するステップと

を含み、前記第1のメモリアドレスが、リフレッシュカウンタアドレスに対応し、前記第2のメモリアドレスが、反転最上位ビットをもつ前記リフレッシュカウンタアドレスに対応する、メモリリフレッシュ方法。

【請求項2】

前記第1の保持状態を検査するステップが、ワンタイムプログラマブルメモリから前記第1のメモリアドレスの前記第1の保持状態と前記第2のメモリアドレスの前記第2の保持状態とを読み取るステップを含む、請求項1に記載のメモリリフレッシュ方法。

【請求項3】

前記ワンタイムプログラマブルメモリが、各メモリアドレスとそれぞれの各メモリアドレスに対応する保持状態とを含む、請求項2に記載のメモリリフレッシュ方法。

【請求項4】

前記ワンタイムプログラマブルメモリが、前記弱保持状態を有する各メモリアドレスを含む、請求項2に記載のメモリリフレッシュ方法。

【請求項5】

前記第1の保持状態を検査するステップが、弱行表から前記第1のメモリアドレスをもつヒットが検出されたのか、または前記第2のメモリアドレスをもつヒットが検出されたのかを決定するステップを含む、請求項1に記載のメモリリフレッシュ方法。

【請求項6】

前記第2のメモリアドレスに対応する第2の複数の内部行からの内部弱行に対して前記リフレッシュ動作を実行するステップと同時に、前記第1のメモリアドレスに対応する第1の

複数の内部行に対して前記リフレッシュ動作を実行するステップをさらに含み、前記内部弱行が、前記第2の保持状態によって識別される、請求項1に記載のメモリリフレッシュ方法。

【請求項7】

前記第1のメモリアドレスが、前記リフレッシュカウンタアドレスに対応し、前記第2のメモリアドレスが、相補最上位ビットをもつ前記リフレッシュカウンタアドレスに対応する、請求項1に記載のメモリリフレッシュ方法。

【請求項8】

前記メモリリフレッシュ方法が、行アドレスストア(RAS)リフレッシュサイクル中に実行される、請求項1に記載のメモリリフレッシュ方法。

【請求項9】

前記メモリコントローラが、携帯電話、セットトップボックス、音楽プレーヤ、ビデオプレーヤ、エンターテインメントユニット、ナビゲーションデバイス、コンピュータ、ハンドヘルドパーソナル通信システム(PCS)ユニット、ポータブルデータユニットおよび/または固定ロケーションデータユニット中に組み込まれる、請求項1に記載のメモリリフレッシュ方法。

【請求項10】

ダイナミックメモリと、

前記ダイナミックメモリに結合されたリフレッシュ制御ロックとを含むメモリコントローラであって、前記リフレッシュ制御ロックが、リフレッシュカウンタと、保持状態表と、制御論理手段とを含み、前記制御論理手段が、

前記保持状態表からの第1のメモリアドレスに対応する第1の保持状態と、前記保持状態表からの第2のメモリアドレスに対応する第2の保持状態とを検査することと、

前記第2の保持状態が弱保持状態を示すとき、リフレッシュ動作を挿入することと、
前記第2のメモリアドレスに対応する行に対する前記リフレッシュ動作の後に、前に
、又は同時に、前記第1のメモリアドレスに対応する行に対してリフレッシュ動作を実行
することと

を行うように動作可能であり、前記第1のメモリアドレスが、リフレッシュカウンタアドレスに対応し、前記第2のメモリアドレスが、反転最上位ビットをもつ前記リフレッシュカウンタアドレスに対応する、メモリコントローラ。

【請求項11】

前記保持状態表が、各メモリアドレスとそれぞれの各メモリアドレスに対応する保持状態とを含むワンタイムプログラマブルメモリを含む、請求項10に記載のメモリコントローラ。

【請求項12】

前記保持状態表が、前記弱保持状態を有する各メモリアドレスを含むワンタイムプログラマブルメモリを含む、請求項10に記載のメモリコントローラ。

【請求項13】

前記制御論理手段が、前記第2のメモリアドレスに対応する第2の複数の内部行からの内部弱行に対して前記リフレッシュ動作を実行することと同時に、前記第1のメモリアドレスに対応する第1の複数の内部行に対して前記リフレッシュ動作を実行するようにさらに動作可能であり、前記内部弱行が、前記第2の保持状態によって識別される、請求項10に記載のメモリコントローラ。

【請求項14】

前記第1のメモリアドレスが、前記リフレッシュカウンタアドレスに対応し、前記第2のメモリアドレスが、相補最上位ビットをもつ前記リフレッシュカウンタアドレスに対応する、請求項10に記載のメモリコントローラ。

【請求項15】

前記メモリコントローラが、携帯電話、セットトップボックス、音楽プレーヤ、ビデオプレーヤ、エンターテインメントユニット、ナビゲーションデバイス、コンピュータ、ハ

ンドヘルドパーソナル通信システム(PCS)ユニット、ポータブルデータユニットおよび/または固定ロケーションデータユニット中に組み込まれる、請求項10に記載のメモリコントローラ。