

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2018年12月13日(13.12.2018)



(10) 国際公開番号

WO 2018/224912 A1

(51) 国際特許分類:

H01L 29/786 (2006.01) H01L 27/108 (2006.01)
H01L 21/336 (2006.01) H01L 27/1156 (2017.01)
H01L 21/8234 (2006.01) H01L 29/788 (2006.01)
H01L 21/8242 (2006.01) H01L 29/792 (2006.01)
H01L 27/088 (2006.01)

(21) 国際出願番号: PCT/IB2018/053789

(22) 国際出願日: 2018年5月29日(29.05.2018)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

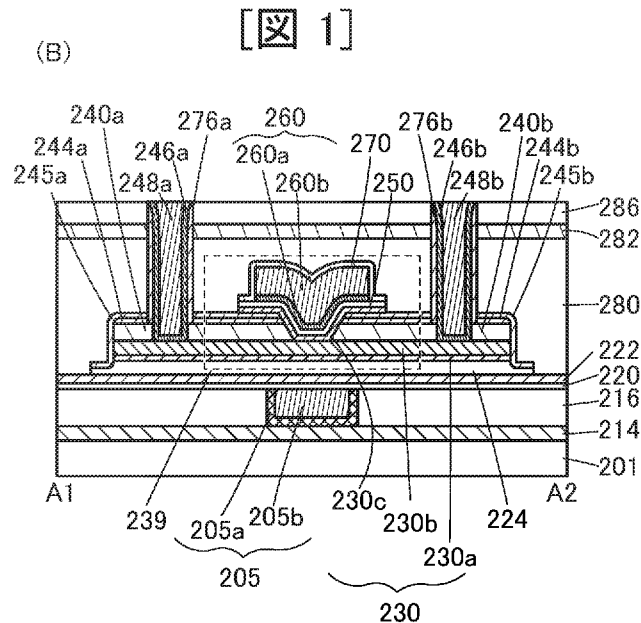
(30) 優先権データ:
特願 2017-113601 2017年6月8日(08.06.2017) JP

(71) 出願人: 株式会社半導体エネルギー研究所
(SEMICONDUCTOR ENERGY LABORATORY
CO., LTD.) [JP/JP]; 〒2430036 神奈川県厚木
市長谷398 Kanagawa (JP).

(72) 発明者: 方堂涼太(HODO, Ryota); 〒2430036 神
奈川県厚木市長谷398 株式会社半導
体エネルギー研究所内 Kanagawa (JP). 松
林大介(MATSUBAYASHI, Daisuke); 〒2430036
神奈川県厚木市長谷398 株式会社半導
体エネルギー研究所内 Kanagawa (JP). 倉
田求(KURATA, Motomu); 〒2430036 神奈川
県厚木市長谷398 株式会社半導体エネ
ルギー研究所内 Kanagawa (JP). 本田龍之
介(HONDA, Ryunosuke); 〒2430036 神奈川県

(54) Title: SEMICONDUCTOR DEVICE AND METHOD FOR MANUFACTURING SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置、および半導体装置の作製方法



(57) Abstract: Provided is a semiconductor device having excellent electrical characteristics. A semiconductor device having a transistor, first wiring, and second wiring on a substrate, wherein: the transistor has a first oxide, a first insulator and a second insulator on the first oxide, a second oxide on the first insulator and the second insulator, and an electroconductive body on the second oxide; the first insulator and the second insulator have a region that overlaps the electroconductive body with the second oxide interposed therebetween; the first insulator has a first opening reaching the first oxide; the first wiring is in contact with the upper surface of the first oxide through the first opening; the second insulator has a



厚木市長谷 3 9 8 株式会社半導体エネルギー研究所内 Kanagawa (JP).

- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 一 国際調査報告(条約第21条(3))

second opening reaching the first oxide; the second wiring is in contact with the upper surface of the first oxide through the second opening; and each of the first insulator and the second insulator contains an impurity.

(57) 要約: 要約書 良好な電気特性を有する半導体装置を提供する。基板上にトランジスタと、第1の配線と、第2の配線と、を有する半導体装置であって、トランジスタは、第1の酸化物と、第1の酸化物の上の第1の絶縁体および第2の絶縁体と、第1の絶縁体および第2の絶縁体上の第2の酸化物と、第2の酸化物の上の導電体と、を有し、第1の絶縁体と、第2の絶縁体は、第2の酸化物を介して導電体と重なる領域を有し、第1の絶縁体は、第1の酸化物に達する第1の開口を有し、第1の配線は、第1の開口を介して第1の酸化物の上面に接し、第2の絶縁体は、第1の酸化物に達する第2の開口を有し、第2の配線は、第2の開口を介して第1の酸化物の上面に接し、第1の絶縁体と、第2の絶縁体は、それぞれ不純物を含む。

明細書

発明の名称

半導体装置、および半導体装置の作製方法

技術分野

[0001]

本発明の一態様は、半導体装置、および半導体装置の作製方法に関する。または、本発明の一態様は、半導体ウエハ、モジュールおよび電子機器に関する。

[0002]

なお、本発明の一態様は、上記の技術分野に限定されない。本明細書等で開示する発明の一態様は、物、方法、または、製造方法に関するものである。または、本発明の一態様は、プロセス、マシン、マニュファクチャ、または、組成物（コンポジション・オブ・マター）に関するものである。

[0003]

なお、本明細書等において半導体装置とは、半導体特性を利用することで機能しうる装置全般を指す。トランジスタなどの半導体素子をはじめ、半導体回路、演算装置、記憶装置は、半導体装置の一態様である。表示装置（液晶表示装置、発光表示装置など）、投影装置、照明装置、電気光学装置、蓄電装置、記憶装置、半導体回路、撮像装置、電子機器などは、半導体装置を有すると言える場合がある。

背景技術

[0004]

近年、半導体装置の開発が進められ、LSIやCPUやメモリが主に用いられている。CPUは、半導体ウエハから切り離された半導体集積回路（少なくともトランジスタおよびメモリ）を有し、接続端子である電極が形成された半導体素子の集合体である。

[0005]

LSIやCPUやメモリなどの半導体回路（ICチップ）は、回路基板、例えばプリント配線板に実装され、様々な電子機器の部品の一つとして用いられる。

[0006]

また、絶縁表面を有する基板上に形成された半導体薄膜を用いてトランジスタを構成する技術が注目されている。当該トランジスタは集積回路（IC）や画像表示装置（単に表示装置とも表記する。）のような電子デバイスに広く応用されている。トランジスタに適用可能な半導体薄膜としてシリコン系半導体材料が広く知られているが、その他の材料として酸化物半導体が注目されている。

[0007]

また、酸化物半導体を用いたトランジスタは、非導通状態でのリーク電流（オフ電流）が極めて小さいことが知られている。例えば、酸化物半導体を用いたトランジスタのリーク電流が低いという特性を応用した低消費電力のCPUなどが開示されている（特許文献1参照。）。

[0008]

また、トランジスタのキャリア移動度の向上を目的として、電子親和力（または真空準位から伝導帯下端までのエネルギー）が異なる酸化物半導体層を積層させる技術が開示されている（特許文献2および特許文献3参照。）。

[0009]

また、近年では電子機器の小型化、軽量化に伴い、トランジスタなどを高密度に集積したICの要求が高まっている。また、ICを含む半導体装置の生産性の向上が求められている。

[先行技術文献]

[特許文献]

[0010]

[特許文献1] 特開2012-257187号公報

[特許文献2] 特開2011-124360号公報

[特許文献3] 特開2011-138934号公報

発明の概要

発明が解決しようとする課題

[0011]

本発明の一態様は、信頼性の高い半導体装置を提供することを課題の一つとする。本発明の一態様は、良好な電気特性を有する半導体装置を提供することを課題の一つとする。

[0012]

なお、これらの課題の記載は、他の課題の存在を妨げるものではない。なお、本発明の一態様は、これらの課題の全てを解決する必要はないものとする。なお、これら以外の課題は、明細書、図面、請求項などの記載から、自ずと明らかとなるものであり、明細書、図面、請求項などの記載から、これら以外の課題を抽出することが可能である。

課題を解決するための手段

[0013]

本発明の一態様は、基板上にトランジスタと、第1の配線と、第2の配線と、を有し、トランジスタは、第1の酸化物と、第1の酸化物の上の第1の絶縁体および第2の絶縁体と、第1の絶縁体および第2の絶縁体の上の第2の酸化物と、第2の酸化物の上の導電体と、を有し、第1の絶縁体と、第2の絶縁体は、第2の酸化物を介して導電体と重なる領域を有し、第1の絶縁体は、第1の酸化物に達する第1の開口を有し、第1の配線は、第1の開口を介して第1の酸化物の上面に接し、第2の絶縁体は、第1の酸化物に達する第2の開口を有し、第2の配線は、第2の開口を介して第1の酸化物の上面に接し、第1の絶縁体と、第2の絶縁体は、それぞれ不純物を含む半導体装置である。

[0014]

また、本発明の一態様は、基板上にトランジスタと、第1の配線と、第2の配線と、を有し、トランジスタは、第1の酸化物と、第1の酸化物の上の第1の絶縁体および第2の絶縁体と、第1の絶縁体および第2の絶縁体の上の第2の酸化物と、第2の酸化物の上の導電体と、を有し、第1の絶縁体と、第2の絶縁体は、第2の酸化物を介して、導電体と重なる領域を有し、第1の配線と、第2の配線は、第1の酸化物に接し、第1の絶縁体と、第2の絶縁体は、それぞれ不純物を含む半導体装置である。

[0015]

上記において、第1の酸化物と、第1の絶縁体および第2の絶縁体と、は接する領域を有することが好ましい。

[0016]

また、上記において、第1の酸化物と、第2の酸化物と、は接する領域を有し、当該領域は、第2の酸化物を介して、前記導電体と重なることが好ましい。

[0017]

また、上記において、第1の酸化物は、In-Ga-Zn酸化物であることが好ましい。

[0018]

また、上記において、第1の絶縁体と、第2の絶縁体と、に含まれる不純物は、水素および窒素の少なくとも一であることが好ましい。また、上記において、第1の絶縁体および第2の絶縁体は、窒化シリコン膜であることが好ましい。

[0019]

また、上記において、第2の酸化物は、酸化シリコンおよびIn-Ga-Zn酸化物の少なくとも一であることが好ましい。

[0020]

また、上記において、第1の絶縁体と第2の酸化物との間、および、第2の絶縁体と第2の酸化物との間に、酸化アルミニウムを有することが好ましい。

[0021]

また、本発明の一態様は、基板上に第1の酸化物を形成し、第1の酸化物に接するように、第1の酸化物の上に第1の絶縁体を形成し、第1の絶縁体の上にパターン形成された第1のレジストマスクを形成し、第1のレジストマスクを用いて、第1の絶縁体をエッチングすることで、第2の絶縁体と、第3の絶縁体と、を形成し、第1の酸化物に接するように、第1の酸化物と、第2の絶縁体と、第3の絶縁体と、の上に、第2の酸化物を形成し、第2の酸化物を介して、第2の絶縁体および第3の絶縁体と重畳するように、第2の酸化物の上に、第1の導電体を形成し、第1の酸化物に達するように、第2の絶縁体に第1の開口と、第3の絶縁体に第2の開口と、を形成し、第1の開口に第2の導電体を形成し、第2の開口に第3の導電体を形成する半導体装置の作製方法である。

[0022]

上記において、第2の絶縁体と、第3の絶縁体と、第1の導電体と、の上に、第4の絶縁体を形成し、第4の絶縁体の上にパターン形成された第2のレジストマスクを形成し、第2のレジストマスクを用いて、第2の絶縁体および第4の絶縁体に第1の開口と、第3の絶縁体および第4の絶縁体に第2の開口と、を形成することが好ましい。

[0023]

また、上記において、第1の酸化物は、In-Ga-Zn酸化物であることが好ましい。また、上記において、第1の絶縁体は、窒化シリコン膜であることが好ましい。

発明の効果

[0024]

本発明の一態様により、信頼性の高い半導体装置を提供できる。本発明の一態様により、良好な電気特性を有する半導体装置を提供できる。本発明の一態様により、長期間においてデータの保持が可能な半導体装置を提供できる。

[0025]

なお、これらの効果の記載は、他の効果の存在を妨げるものではない。なお、本発明の一態様は、これらの効果の全てを有する必要はない。なお、これら以外の効果は、明細書、図面、請求項などの記載から、自ずと明らかとなるものであり、明細書、図面、請求項などの記載から、これら以外の効果を抽出することが可能である。

図面の簡単な説明

[0026]

[図1] 本発明の一態様に係る半導体装置を説明する上面図および断面図。

[図2] 本発明の一態様に係る半導体装置を説明する断面図。

- [図 3] デバイスシミュレータを用いた計算で仮定したトランジスタの構造。
- [図 4] $I_d - V_g$ 特性の計算結果を説明する図。
- [図 5] 本発明の一態様に係る半導体装置の作製方法を示す上面図および断面図。
- [図 6] 本発明の一態様に係る半導体装置の作製方法を示す上面図および断面図。
- [図 7] 本発明の一態様に係る半導体装置の作製方法を示す上面図および断面図。
- [図 8] 本発明の一態様に係る半導体装置の作製方法を示す上面図および断面図。
- [図 9] 本発明の一態様に係る半導体装置の作製方法を示す上面図および断面図。
- [図 10] 本発明の一態様に係る半導体装置の作製方法を示す上面図および断面図。
- [図 11] 本発明の一態様に係る半導体装置の作製方法を示す上面図および断面図。
- [図 12] 本発明の一態様に係る半導体装置の作製方法を示す上面図および断面図。
- [図 13] 本発明の一態様に係る半導体装置の作製方法を示す上面図および断面図。
- [図 14] 本発明の一態様に係る半導体装置の作製方法を示す上面図および断面図。
- [図 15] 本発明の一態様に係る半導体装置の作製方法を示す上面図および断面図。
- [図 16] 本発明の一態様に係る半導体装置の作製方法を示す上面図および断面図。
- [図 17] 本発明の一態様に係る半導体装置の作製方法を示す上面図および断面図。
- [図 18] 本発明の一態様に係る半導体装置の作製方法を示す上面図および断面図。
- [図 19] 本発明の一態様に係る半導体装置の作製方法を示す上面図および断面図。
- [図 20] 本発明の一態様に係る半導体装置の作製方法を示す上面図および断面図。
- [図 21] 本発明の一態様に係る半導体装置の作製方法を示す上面図および断面図。
- [図 22] 本発明の一態様に係る半導体装置の作製方法を示す上面図および断面図。
- [図 23] 本発明の一態様に係る半導体装置の作製方法を示す上面図および断面図。
- [図 24] 本発明の一態様に係る半導体装置の作製方法を示す上面図および断面図。
- [図 25] 本発明の一態様に係る半導体装置の作製方法を示す上面図および断面図。
- [図 26] 本発明の一態様に係る半導体装置を示す上面図および断面図。
- [図 27] 本発明の一態様に係る半導体装置を示す上面図および断面図。
- [図 28] 本発明の一態様に係る記憶装置の断面図。
- [図 29] 本発明の一態様に係る記憶装置の断面図。
- [図 30] 本発明の一態様に係る記憶装置の回路図および断面図。
- [図 31] 本発明の一態様に係る記憶装置の断面図。
- [図 32] 本発明の一態様に係る記憶装置の構成例を示すブロック図。
- [図 33] 本発明の一態様に係る記憶装置の構成例を示す回路図。
- [図 34] 本発明の一態様に係る記憶装置の構成例を示すブロック図。
- [図 35] 本発明の一態様に係る記憶装置の構成例を示すブロック図、および回路図。
- [図 36] 本発明の一態様に係る半導体装置の構成例を示すブロック図。
- [図 37] 本発明の一態様に係る半導体装置の構成例を示すブロック図、回路図、および半導体装置の動作例を示すタイミングチャート。
- [図 38] 本発明の一態様に係る半導体装置の構成例を示すブロック図。
- [図 39] 本発明の一態様に係る半導体装置の構成例を示す回路図、および半導体装置の動作例を示すタイミングチャート。
- [図 40] 本発明の一態様に係る AI システムの構成例を示すブロック図。

[図 4 1] 本発明の一態様に係る A I システムの応用例を説明するブロック図。

[図 4 2] 本発明の一態様に係る A I システムを組み込んだ I C の構成例を示す斜視模式図。

[図 4 3] 本発明の一態様に係る電子機器を示す図。

発明を実施するための形態

[0027]

以下、実施の形態について図面を参照しながら説明する。但し、実施の形態は多くの異なる態様で実施することが可能であり、趣旨およびその範囲から逸脱することなくその形態および詳細を様々に変更し得ることは当事者であれば容易に理解される。従って、本発明は、以下の実施の形態の記載内容に限定して解釈されるものではない。

[0028]

また、図面において、大きさ、層の厚さ、又は領域は、明瞭化のために誇張されている場合がある。よって、必ずしもそのスケールに限定されない。なお図面は、理想的な例を模式的に示したものであり、図面に示す形状または値などに限定されない。また、図面において、同一部分又は同様な機能を有する部分には同一の符号を異なる図面間で共有して用い、その繰り返しの説明は省略する。また、同様の機能を指す場合には、ハッチパターンを同じくし、特に符号を付さない場合がある。

[0029]

また、特に上面図（「平面図」ともいう。）において、発明の理解を容易とするため、一部の構成要素の記載を省略する場合がある。また、一部の隠れ線などの記載を省略する場合がある。

[0030]

また、本明細書などにおいて、第 1、第 2 等として付される序数詞は便宜上用いるものであり、工程順又は積層順を示すものではない。そのため、例えば、「第 1 の」を「第 2 の」又は「第 3 の」などと適宜置き換えて説明することができる。また、本明細書等に記載されている序数詞と、本発明の一態様を特定するために用いられる序数詞は一致しない場合がある。

[0031]

また、本明細書において、「上に」、「下に」などの配置を示す語句は、構成同士的位置関係を、図面を参照して説明するために、便宜上用いている。また、構成同士的位置関係は、各構成を描画する方向に応じて適宜変化するものである。従って、明細書で説明した語句に限定されず、状況に応じて適切に言い換えることができる。

[0032]

また、本明細書等において、「平行」とは、二つの直線が -10° 以上 10° 以下の角度で配置されている状態をいう。したがって、 -5° 以上 5° 以下の場合も含まれる。また、「略平行」とは、二つの直線が -30° 以上 30° 以下の角度で配置されている状態をいう。また、「垂直」とは、二つの直線が 80° 以上 100° 以下の角度で配置されている状態をいう。したがって、 85° 以上 95° 以下の場合も含まれる。また、「略垂直」とは、二つの直線が 60° 以上 120° 以下の角度で配置されている状態をいう。

[0033]

また、本明細書等において、「膜」という用語と、「層」という用語とは、互いに入れ替えることが可能である。例えば、「導電層」という用語を、「導電膜」という用語に変更することが可能な場合がある。または、例えば、「絶縁膜」という用語を、「絶縁層」という用語に変更することが可能な場合がある。

[0034]

また、本明細書等において、「絶縁体」という用語を、絶縁膜または絶縁層と言い換えることができる。また、「導電体」という用語を、導電膜または導電層と言い換えることができる。また、「半導体」という用語を、半導体膜または半導体層と言い換えることができる。

[0035]

なお、本明細書等において、酸化窒化シリコン膜とは、その組成として、窒素よりも酸素の含有量が多いものであって、好ましくは酸素が55原子%以上65原子%以下、窒素が1原子%以上20原子%以下、シリコンが25原子%以上35原子%以下、水素が0.1原子%以上10原子%以下の濃度範囲で含まれるものをいう。また、窒化酸化シリコン膜とは、その組成として、酸素よりも窒素の含有量が多いものであって、好ましくは窒素が55原子%以上65原子%以下、酸素が1原子%以上20原子%以下、シリコンが25原子%以上35原子%以下、水素が0.1原子%以上10原子%以下の濃度範囲で含まれるものをいう。

[0036]

なお、本明細書において、バリア膜とは、水素などの不純物および酸素の透過を抑制する機能を有する膜のことであり、該バリア膜が導電性を有する場合は、導電性バリア膜と呼ぶことがある。

[0037]

本明細書等において、金属酸化物 (metal oxide) とは、広い表現での金属の酸化物である。金属酸化物は、酸化物絶縁体、酸化物導電体 (透明酸化物導電体を含む。)、酸化物半導体 (Oxide Semiconductor または単に OS ともいう。) などに分類される。例えば、トランジスタの活性層に金属酸化物を用いた場合、当該金属酸化物を酸化物半導体と呼称する場合がある。つまり、OS FET あるいは OS トランジスタと記載する場合においては、金属酸化物または酸化物半導体を有するトランジスタと換言することができる。

[0038]

なお、半導体の不純物とは、例えば、半導体を構成する主成分以外をいう。例えば、濃度が0.1原子%未満の元素は不純物と言える。不純物が含まれることにより、例えば、半導体において欠陥準位が形成されることや、結晶性が低下することなどが起こる場合がある。半導体が酸化物半導体である場合、半導体の特性を変化させる不純物としては、例えば、第1族元素、第2族元素、第13族元素、第14族元素、第15族元素、酸化物半導体の主成分以外の遷移金属などがあり、例えば、水素、リチウム、ナトリウム、シリコン、ホウ素、リン、炭素、窒素などがある。酸化物半導体の場合、水も不純物として機能する場合がある。また、酸化物半導体の場合、例えば不純物の混入によって酸素欠損を形成する場合がある。また、半導体がシリコンである場合、半導体の特性を変化させる不純物としては、例えば、酸素、水素を除く第1族元素、第2族元素、第13族元素、第15族元素などがある。

[0039]

また、本明細書等において、トランジスタとは、ゲートと、ドレインと、ソースとを含む少なくとも三つの端子を有する素子である。そして、ドレイン (ドレイン端子、ドレイン領域またはドレイン電極) とソース (ソース端子、ソース領域またはソース電極) の間にチャネルが形成される領域 (以下、チャネル形成領域ともいう。) を有しており、チャネル形成領域を介して、ソースとドレインとの間に電流を流すことができるものである。なお、本明細書等において、チャネル形成領域とは、電流が主として流れる領域をいう。

[0040]

また、ソースやドレインの機能は、異なる極性のトランジスタを採用する場合や、回路動作において電流の方向が変化する場合などには入れ替わることがある。このため、本明細書等においては、ソースやドレインの用語は、入れ替えて用いることができるものとする。

[0041]

なお、チャンネル長とは、例えば、トランジスタの上面図において、半導体（またはトランジスタがオン状態のときに半導体の中で電流の流れる部分）とゲート電極とが互いに重なる領域、またはチャンネル形成領域における、ソース（ソース領域またはソース電極）とドレイン（ドレイン領域またはドレイン電極）との間の距離をいう。なお、一つのトランジスタにおいて、チャンネル長が全ての領域で同じ値をとるとは限らない。すなわち、一つのトランジスタのチャンネル長は、一つの値に定まらない場合がある。そのため、本明細書では、チャンネル長は、チャンネル形成領域における、いずれか一の値、最大値、最小値または平均値とする。

[0042]

チャンネル幅とは、例えば、半導体（またはトランジスタがオン状態のときに半導体の中で電流の流れる部分）とゲート電極とが互いに重なる領域、またはチャンネル形成領域における、ソースとドレインとが向かい合っている部分の長さをいう。なお、一つのトランジスタにおいて、チャンネル幅が全ての領域で同じ値をとるとは限らない。すなわち、一つのトランジスタのチャンネル幅は、一つの値に定まらない場合がある。そのため、本明細書では、チャンネル幅は、チャンネル形成領域における、いずれか一の値、最大値、最小値または平均値とする。

[0043]

なお、トランジスタの構造によっては、実際にチャンネル形成領域におけるチャンネル幅（以下、「実効的なチャンネル幅」ともいう。）と、トランジスタの上面図において示されるチャンネル幅（以下、「見かけ上のチャンネル幅」ともいう。）と、が異なる場合がある。例えば、ゲート電極が半導体の側面を覆う場合、実効的なチャンネル幅が、見かけ上のチャンネル幅よりも大きくなり、その影響が無視できなくなる場合がある。例えば、微細かつゲート電極が半導体の側面を覆うトランジスタでは、半導体の側面に形成されるチャンネル形成領域の割合が大きくなる場合がある。その場合は、見かけ上のチャンネル幅よりも、実効的なチャンネル幅の方が大きくなる。

[0044]

このような場合、実効的なチャンネル幅の、実測による見積もりが困難となる場合がある。例えば、設計値から実効的なチャンネル幅を見積もるためには、半導体の形状が既知という仮定が必要である。したがって、半導体の形状が正確にわからない場合には、実効的なチャンネル幅を正確に測定することは困難である。

[0045]

そこで、本明細書では、見かけ上のチャンネル幅を、「囲い込みチャンネル幅（SCW: Surrounded Channel Width）」と呼ぶ場合がある。また、本明細書では、単にチャンネル幅と記載した場合には、囲い込みチャンネル幅または見かけ上のチャンネル幅を指す場合がある。または、本明細書では、単にチャンネル幅と記載した場合には、実効的なチャンネル幅を指す場合がある。なお、チャンネル長、チャンネル幅、実効的なチャンネル幅、見かけ上のチャンネル幅、囲い込みチャンネル幅などは、断面TEM (Transmission Electron Microscope (透過型電子顕微鏡)) 像などを解析することなどによって、値を決定することができる。

[0046]

また、本明細書等に示すトランジスタは、明示されている場合を除き、エンハンスメント型（ノーマリーオフ型）の電界効果トランジスタとする。また、本明細書等に示すトランジスタは、明示されている場合を除き、 n チャネル型のトランジスタとする。よって、そのしきい値電圧（「 V_{th} 」ともいう。）は、明示されている場合を除き、 0 V よりも大きいものとする。

[0047]

例えば、本明細書等において、 X と Y とが接続されている、と明示的に記載されている場合は、 X と Y とが電氣的に接続されている場合と、 X と Y とが機能的に接続されている場合と、 X と Y とが直接接続されている場合とが、本明細書等に開示されているものとする。したがって、所定の接続関係、例えば、図または文章に示された接続関係に限定されず、図または文章に示された接続関係以外のものも、図または文章に記載されているものとする。

[0048]

ここで、 X 、 Y は、対象物（例えば、装置、素子、回路、配線、電極、端子、導電膜、層、など）であるとする。

[0049]

X と Y とが直接的に接続されている場合の一例としては、 X と Y との電氣的な接続を可能とする素子（例えば、スイッチ、トランジスタ、容量素子、インダクタ、抵抗素子、ダイオード、表示素子、発光素子、負荷など）が、 X と Y との間に接続されていない場合であり、 X と Y との電氣的な接続を可能とする素子（例えば、スイッチ、トランジスタ、容量素子、インダクタ、抵抗素子、ダイオード、表示素子、発光素子、負荷など）を介さずに、 X と Y とが、接続されている場合である。

[0050]

X と Y とが電氣的に接続されている場合の一例としては、 X と Y との電氣的な接続を可能とする素子（例えば、スイッチ、トランジスタ、容量素子、インダクタ、抵抗素子、ダイオード、表示素子、発光素子、負荷など）が、 X と Y との間に1個以上接続されることが可能である。なお、スイッチは、オンオフが制御される機能を有している。つまり、スイッチは、導通状態（オン状態）、または、非導通状態（オフ状態）になり、電流を流すか流さないかを制御する機能を有している。または、スイッチは、電流を流す経路を選択して切り替える機能を有している。なお、 X と Y とが電氣的に接続されている場合は、 X と Y とが直接的に接続されている場合を含むものとする。

[0051]

X と Y とが機能的に接続されている場合の一例としては、 X と Y との機能的な接続を可能とする回路（例えば、論理回路（インバータ、NAND回路、NOR回路など）、信号変換回路（DA変換回路、AD変換回路、ガンマ補正回路など）、電位レベル変換回路（電源回路（昇圧回路、降圧回路など）、信号の電位レベルを変えるレベルシフタ回路など）、電圧源、電流源、切り替え回路、増幅回路（信号振幅または電流量などを大きく出来る回路、オペアンプ、差動増幅回路、ソースフォロワ回路、バッファ回路など）、信号生成回路、記憶回路、制御回路など）が、 X と Y との間に1個以上接続されることが可能である。なお、一例として、 X と Y との間に別の回路を挟んでいても、 X から出力された信号が Y へ伝達される場合は、 X と Y とは機能的に接続されているものとする。なお、 X と Y とが機能的に接続されている場合は、 X と Y とが直接的に接続されている場合と、 X と Y とが電氣的に接続されている場合とを含むものとする。

[0052]

なお、XとYとが電氣的に接続されている、と明示的に記載されている場合は、XとYとが電氣的に接続されている場合（つまり、XとYとの間に別の素子又は別の回路を挟んで接続されている場合）と、XとYとが機能的に接続されている場合（つまり、XとYとの間に別の回路を挟んで機能的に接続されている場合）と、XとYとが直接接続されている場合（つまり、XとYとの間に別の素子又は別の回路を挟まずに接続されている場合）とが、本明細書等に開示されているものとする。つまり、電氣的に接続されている、と明示的に記載されている場合は、単に、接続されている、とのみ明示的に記載されている場合と同様な内容が、本明細書等に開示されているものとする。

[0053]

なお、回路図上は独立している構成要素同士が電氣的に接続しているように図示されている場合であっても、1つの構成要素が、複数の構成要素の機能を併せ持っている場合もある。例えば配線の一部が電極としても機能する場合は、一の導電膜が、配線の機能、および電極の機能の両方の構成要素の機能を併せ持っている。したがって、本明細書における電氣的に接続とは、このような、一の導電膜が、複数の構成要素の機能を併せ持っている場合も、その範疇に含める。

[0054]

（実施の形態1）

本実施の形態では、本発明の一態様の半導体装置の構成および作製方法について、図1乃至図25を用いて説明する。なお、図1乃至図25においては明瞭化のため、半導体装置の構成を一部省略して図示している。

[0055]

<半導体装置の構成例>

以下では、本発明の一態様に係るトランジスタ200を有する半導体装置の構成例について説明する。図1は、トランジスタ200およびその周辺の上面図および断面図である。図1（A）は上面図である。なお、図1（A）の上面図では、図の明瞭化のために一部の要素を省いて図示している。図1（B）は、図1（A）にA1-A2の一点鎖線で示す部位の断面図である。つまり、トランジスタ200のチャネル長方向の断面図を示す。図1（C）は、図1（A）にA3-A4の一点鎖線で示す部位の断面図である。つまり、トランジスタ200のチャネル幅方向の断面図を示す。

[0056]

本発明の一態様の半導体装置は、トランジスタ200と、層間膜として機能する絶縁体214、絶縁体216、絶縁体280、絶縁体282、および絶縁体286と、を有する。また、トランジスタ200と電氣的に接続し、プラグとして機能する導電体246（導電体246a、および導電体246b）および導電体248（導電体248a、および導電体248b）を有する。

[0057]

また、導電体246は、絶縁体280、絶縁体282、および絶縁体286の開口的内壁に接して形成され、さらに内側に導電体248が形成されている。ここで、導電体246および導電体248の上面の高さと、絶縁体286の上面の高さは同程度にできる。なお、本実施の形態では、プラグとして機能する導電体が、導電体246と導電体248との2層の積層構造である構成について示しているが、本発明はこれに限られるものではない。例えば、プラグとして機能する導電体は、単層、又は3層以上の積層構造でもよい。

[0058]

図1に示すように、本発明の一態様に係るトランジスタ200は、第1のゲート（トップゲートとも

いう。)電極として機能する導電体260(導電体260a、および導電体260b)と、第2のゲート(バックゲートともいう。)電極として機能する導電体205(導電体205a、および導電体205b)と、導電体260と接するバリア膜270と、第1のゲート絶縁膜として機能する絶縁体250と、第2のゲート絶縁膜として機能する絶縁体220、絶縁体222、および絶縁体224と、酸化物230(酸化物230a、酸化物230b、および酸化物230c)と、酸化物230と接する絶縁体240(絶縁体240a、および絶縁体240b)と、絶縁体240と接するバリア膜244(バリア膜244a、およびバリア膜244b)と、バリア膜244と接する酸化物245(酸化物245a、および酸化物245b)と、を有する。

[0059]

酸化物230は、酸化物230aと、酸化物230a上の酸化物230bと、酸化物230b上の酸化物230cと、を有する。酸化物230a上に、酸化物230bを有することで、酸化物230aよりも下方に形成された構造物から、酸化物230bへの不純物の拡散を抑制することができる。また、酸化物230c下に、酸化物230bを有することで、酸化物230cよりも上方に形成された構造物から、酸化物230bへの不純物の拡散を抑制することができる。

[0060]

ここで、図1(B)における破線で囲む領域239の拡大図を図2(A)に示す。

[0061]

図2(A)に示すように、酸化物230bは、トランジスタ200のソース領域またはドレイン領域として機能する領域231(領域231a、および領域231b)と、トランジスタ200のチャネル形成領域として機能する領域234と、を有する。領域231は、キャリア密度が高い、低抵抗化した領域である。また、領域234は、領域231よりも、キャリア密度が低い領域である。

[0062]

また、トランジスタ200のソース領域またはドレイン領域として機能する領域231と、チャネル形成領域として機能する領域234との間に、領域232(領域232a、および領域232b)が形成される場合がある。領域232は、領域231よりもキャリア密度が低く、領域234よりもキャリア密度が高い領域である。すなわち、領域232は、ソース領域またはドレイン領域と、チャネル形成領域との間の接合領域としての機能を有する。接合領域を設けることで、領域231と、領域234との間に高抵抗領域が形成されず、トランジスタ200のオン電流を大きくすることができる。

[0063]

なお、図2(A)では、領域231、領域232、および領域234が、酸化物230bに形成されているが、これに限られることなく、例えば、これらの領域は酸化物230a、および酸化物230cにも形成されても良い。また、図2(A)では、各領域の境界を、酸化物230bの上面に対して略垂直に表示しているが、本実施の形態はこれに限られるものではない。例えば、領域234が、酸化物230bの表面近傍では、導電体246側(図示せず。)に進行し、酸化物230bの下面近傍では、狭まった形状になる場合がある。

[0064]

酸化物230bを選択的に低抵抗化するには、例えば、インジウムなどの導電性を高める金属元素、および不純物の少なくとも一を、所望の領域に添加すればよい。なお、不純物としては、酸素欠損を形成する元素、酸素欠損に捕獲される元素などを用いればよい。例えば、当該元素として、水素、ホウ素、炭素、窒素、フッ素、リン、硫黄、塩素、チタン、希ガス等が挙げられる。また、希ガス元素

の代表例としては、ヘリウム、ネオン、アルゴン、クリプトン、キセノン等がある。

[0065]

したがって、領域231は、上記の酸素欠損を形成する元素、または酸素欠損に捕獲される元素の含有率を高くすることで、キャリア密度を高くし、低抵抗化を図ることができる。

[0066]

例えば、酸化物230bに接するように、酸化物230b上にソース電極またはドレイン電極として機能する導電体を形成することで、酸化物230bを選択的に低抵抗化する場合がある。一方、当該導電体を形成した後に実施する熱処理工程や、モジュールを作製するための接続配線を形成する工程における熱履歴などにより、当該導電体が酸化してしまう。当該導電体の酸化により導電性が低下することで、当該導電体に接続する配線との抵抗が上がる、同じ電流量を得るのに必要な電圧が増えてしまうなど、トランジスタの特性が変動する蓋然性が高い。そのため、当該導電体を形成した後に、第1のゲート絶縁膜として機能する絶縁体などを成膜する際の成膜温度の自由度が制限される。よって、半導体装置の信頼性向上などを目的とした、当該絶縁体などの改質が困難となってしまう。

[0067]

また、例えば、酸化物230b上にソース電極またはドレイン電極として機能する導電体を形成することで、ソース電極として機能する導電体と第1のゲート電極とは重畳する領域を有し、ドレイン電極として機能する導電体と第1のゲート電極とは重畳する領域を有する。したがって、ソース電極として機能する導電体と第1のゲート電極との間、およびドレイン電極として機能する導電体と第1のゲート電極との間に、寄生容量が生じてしまう。

[0068]

そこで、図1および図2(A)に示すように、酸素欠損を形成する元素、または酸素欠損に捕獲される元素を含む絶縁体240を、酸化物230bに接するように、酸化物230b上に成膜する。このような構成にすることで、酸化物230bの絶縁体240と接する領域を中心に、酸素欠損を形成する元素、または酸素欠損に捕獲される元素が添加される。これにより、酸化物230bの絶縁体240と接する領域を中心に、当該元素により酸素欠損が形成され、さらに当該元素が酸素欠損に入り込むことで、キャリア密度が高くなり、低抵抗化される。よって、ソース電極およびドレイン電極として機能する導電体の代わりに当該元素を含む絶縁体240を設けることで、前述のような導電体の酸化が起こることなく、酸化物230bを選択的に低抵抗化することができる。したがって、トランジスタの特性悪化を抑制することができる。

[0069]

また、酸化物230b上に、ソース電極またはドレイン電極として機能する導電体の代わりに上記元素を含む絶縁体240を設けることで、絶縁体240を形成した後の工程に熱処理を実施することができる。また、モジュールを作製するための接続配線を形成する工程における熱履歴などを気にしなくてもよい。したがって、第1のゲート絶縁膜として機能する絶縁体などが改質され、半導体装置の信頼性を向上させることができる。

[0070]

また、酸化物230b上に、ソース電極またはドレイン電極として機能する導電体の代わりに絶縁体240を設けることで、酸化物230bの低抵抗化した領域と、第1のゲート電極として機能する導電体260との間隔が広がる。したがって、酸化物230bの低抵抗化した領域と、第1のゲート電極として機能する導電体260との間に生じる寄生容量を低減することができる。

[0071]

チャネル形成領域として機能する領域234のキャリア密度を低く、高抵抗化させることで、ソース領域とドレイン領域とが導通してしまうことを防ぎ、良好な電気特性を有する半導体装置を得ることができる。例えば、酸化物230cに過剰酸素を含む酸化物を用いる場合、酸化物230cとなる酸化膜230Cの成膜時、または酸化物230cとなる酸化膜230C成膜以降の熱処理によって、酸化物230bの酸化物230cと接する領域(領域234)を中心に、酸素を供給することができる。酸素が領域234を中心に供給されることで、領域234に存在する酸素欠損を補償することができる。酸素欠損が補償された領域234はキャリア密度が低くなり、高抵抗化される。このような構成にすることにより、ソース領域またはドレイン領域と、チャネル形成領域の作り分けが容易となる。

[0072]

また、例えば、領域234は、酸化物230cを介して、絶縁体250と重なる領域に形成される。また、絶縁体250の側面は、絶縁体280と接している。例えば、絶縁体280として、加熱により酸素が放出される絶縁体を用いることで、加熱処理などを行うことにより、絶縁体280から放出された酸素が絶縁体250および酸化物230cを介して、酸化物230bの酸化物230cと接する領域(領域234)へ添加される。したがって、領域234に存在する酸素欠損が補償され、キャリア密度が低くなり、高抵抗化される。このような構成にすることにより、ソース領域またはドレイン領域と、チャネル形成領域の作り分けが容易となる。

[0073]

<デバイスシミュレータを用いた計算によるI_d-V_g特性の評価>

以下では、I_d-V_g特性についてデバイスシミュレータを用いた計算の結果を示す。

[0074]

デバイスシミュレータを用いた計算で仮定したトランジスタ構造の断面図を図3に示す。図3において、絶縁体INS1は下地であり、図1に示すトランジスタ200の絶縁体216に相当する。導電体BGEはバックゲート電極であり、図1に示すトランジスタ200の導電体205に相当する。絶縁体BGIはバックゲート絶縁膜であり、図1に示すトランジスタ200の絶縁体224に相当する。半導体SEM1、半導体SEM2、および半導体SEM3は活性層であり、図1に示すトランジスタ200の酸化物230a、酸化物230b、および酸化物230cにそれぞれ相当する。絶縁体CAPはバリア膜であり、図1に示すトランジスタ200のバリア膜244に相当する。絶縁体TGIはトップゲート絶縁膜であり、図1に示すトランジスタ200の絶縁体250に相当する。導電体TGEはトップゲート電極であり、図1に示すトランジスタ200の導電体260に相当する。導電体MEは、ソース電極またはドレイン電極を表す。

[0075]

図3(A)に示すトランジスタは、絶縁体INS2が、半導体SEM2に接して、半導体SEM2の上に設けられている構造を有している。なお、絶縁体INS2は半導体SEM2の一部にソース領域およびドレイン領域を形成する絶縁体であり、図1に示すトランジスタ200の絶縁体240に相当する。ここでは、図3(A)に示すトランジスタをトランジスタTR1と呼ぶ。また、図3(B)に示すトランジスタは、ソース電極を表す導電体SE、およびドレイン電極を表す導電体DEが、半導体SEM2に接して、半導体SEM2の上に設けられている構造を有している。ここでは、図3(B)に示すトランジスタをトランジスタTR2と呼ぶ。トランジスタTR2は、ソース電極およびドレイン電極を有する従来のトランジスタである。なお、トランジスタTR2では、ソース電極およびドレ

イン電極は酸化していないと仮定する。

[0076]

図3に示すように、半導体SEM1および半導体SEM2に、ドナー濃度の高い領域R1、および領域R2を設ける。図3に示す、ドナー濃度の高い領域R1、および領域R2は、図2(C)に示す、領域231a、および領域231bにそれぞれ相当する。

[0077]

本実施の形態においては、半導体SEM1、半導体SEM2、および半導体SEM3には酸化物半導体を用いる。なお、酸化物半導体中に浅い準位(sDOSともいう。)が形成される場合がある。酸化物半導体中にsDOSが形成されると、当該sDOSがキャリアトラップとなり、オン電流および電界効果移動度が低下してしまう。そこで、本実施の形態で示すデバイスシミュレータを用いた計算においては、酸化物半導体中にsDOSが存在すると仮定している。

[0078]

トランジスタTR1およびトランジスタTR2の構造を仮定して、デバイスシミュレータを用いて、sDOSを考慮した I_d-V_g 特性の計算を行った。シルバコ社製デバイスシミュレータAtlasを用いて計算を行った。デバイスシミュレータを用いた計算で仮定した各パラメータの値を表1に示す。

[0079]

[表 1]

構造	チャンネル長L		60	nm
	チャンネル幅W		60	nm
SEM1	IGZO(134)	電子親和力	4.5	eV
		バンドギャップ	3.4	eV
		電子移動度	0.1	cm ² /V-s
		特性幅W _{ta}	0.05	eV
		ピーク値N _{ta}	5 × 10 ¹⁹	cm ⁻³ eV ⁻¹
		膜厚	5	nm
SEM2	IGZO(423)	電子親和力	4.8	eV
		バンドギャップ	2.9	eV
		電子移動度	20	cm ² /V-s
		特性幅W _{ta}	0.03	eV
		ピーク値N _{ta}	3 × 10 ¹⁹	cm ⁻³ eV ⁻¹
		膜厚	15	nm
SEM3	IGZO(134)	電子親和力	4.5	eV
		バンドギャップ	3.4	eV
		電子移動度	0.1	cm ² /V-s
		特性幅W _{ta}	0.05	eV
		ピーク値N _{ta}	5 × 10 ¹⁹	cm ⁻³ eV ⁻¹
		膜厚	5	nm
SEM	比誘電率		15	
	伝導帯の実効状態密度N _c		5 × 10 ¹⁸	cm ⁻³
	価電子帯の実効状態密度N _v		5 × 10 ¹⁸	cm ⁻³
TGE	仕事関数		5.0	eV
	膜厚		20	nm
TGI	比誘電率		4.1	
	膜厚		10	nm
CAP	比誘電率		8.2	
	膜厚		5	nm
SE, DE	仕事関数		4.8	eV
	膜厚		20	nm
INS2	比誘電率		7.5	
	膜厚		10	nm
ME	仕事関数		4.8	eV
BGI	比誘電率		4.1	
	膜厚		45	nm
BGE	仕事関数		5.0	eV
	膜厚		20	nm
INS1	比誘電率		4.1	
	膜厚		400	nm

[0080]

表1に示すIGZO(134)は、In:Ga:Zn=1:3:4の組成から成るIn-Ga-Zn酸化物半導体膜を想定している。また、表1に示すIGZO(423)は、In:Ga:Zn=4:2:3の組成から成るIn-Ga-Zn酸化物半導体膜を想定している。また、表1の示すSEMに記載しているパラメータは、半導体SEM1、半導体SEM2、および半導体SEM3に共通のパラ

メータである。

[0081]

ドナー濃度の高い領域R1および領域R2のドナー濃度を変えた場合の、ドレイン電圧 $V_d = 0.1$ V、バックゲート電圧 $V_{bg} = 0$ Vにおける $I_d - V_g$ 特性を図4に示す。なお、領域R1および領域R2のドナー濃度を $1 \times 10^{19} \text{ cm}^{-3}$ 、 $5 \times 10^{19} \text{ cm}^{-3}$ 、 $1 \times 10^{20} \text{ cm}^{-3}$ の3つの条件とした。図4 (A)に領域R1および領域R2のドナー濃度を $1 \times 10^{19} \text{ cm}^{-3}$ とした場合の $I_d - V_g$ 特性を示し、図4 (B)に領域R1および領域R2のドナー濃度を $5 \times 10^{19} \text{ cm}^{-3}$ とした場合の $I_d - V_g$ 特性を示し、図4 (C)に領域R1および領域R2のドナー濃度を $1 \times 10^{20} \text{ cm}^{-3}$ とした場合の $I_d - V_g$ 特性を示す。また、図4の各図において、実線はトランジスタTR1の $I_d - V_g$ 特性であり、点線はトランジスタTR2の $I_d - V_g$ 特性である。なお、ソース電極およびドレイン電極が酸化していない構造であるトランジスタTR2は、理想的な $I_d - V_g$ 特性を示す。

[0082]

図4に示すように、トランジスタTR2と比較して、トランジスタTR1のサブスレッショルドスイング値 (S値) は小さいことが分かった。また、トランジスタTR2と比較して、トランジスタTR1の V_{sh} は大きいことが分かった。ここで、 V_{sh} とは、ドレイン電流 (I_d) が1 pAとなるときのゲート電圧のことを指す。一方、トランジスタTR2と比較して、トランジスタTR1のオン電流 (I_{on}) は小さいことが分かった。しかしながら、領域R1および領域R2のドナー濃度を高くすることで、トランジスタTR1とトランジスタTR2のオン電流 (I_{on}) の差は小さくなることが分かった。したがって、半導体SEM2に接する領域のドナー濃度を高くする絶縁体INS2を、半導体SEM2の上に設けることで、半導体SEM2の上に導電体SEおよび導電体DEを設ける従来のトランジスタに匹敵する信頼性の高いトランジスタを作製することができる。さらに、導電体SEおよび導電体DEが熱処理等によって酸化し、トランジスタ特性が変動するといった懸念も無くなる。

[0083]

<半導体装置の作製方法>

以下では、図1に示した、トランジスタ200を有する半導体装置の作製方法の一例を図5乃至図25を用いて説明する。なお、各図の (A) は、トランジスタ200およびその周辺の上上面図である。各図の (B) は、各図の (A) にA1-A2の一点鎖線で示す、トランジスタ200のチャネル長方向の断面図である。また、各図の (C) は、各図の (A) にA3-A4の一点鎖線で示す、トランジスタ200のチャネル幅方向の断面図である。

[0084]

まず、基板201を準備する。

[0085]

基板201としては、例えば、絶縁体基板、半導体基板または導電体基板を用いればよい。絶縁体基板としては、例えば、ガラス基板、石英基板、サファイア基板、安定化ジルコニア基板 (イットリア安定化ジルコニア基板など)、樹脂基板などがある。また、半導体基板としては、例えば、シリコン、ゲルマニウムなどの半導体基板、または炭化シリコン、シリコンゲルマニウム、ヒ化ガリウム、リン化インジウム、酸化亜鉛、酸化ガリウムからなる化合物半導体基板などがある。さらには、前述の半導体基板内部に絶縁体領域を有する半導体基板、例えばSOI (Silicon On Insulator) 基板などがある。導電体基板としては、黒鉛基板、金属基板、合金基板、導電性樹脂基板

などがある。または、金属の窒化物を有する基板、金属の酸化物を有する基板などがある。さらには、絶縁体基板に導電体または半導体が設けられた基板、半導体基板に導電体または絶縁体が設けられた基板、導電体基板に半導体または絶縁体が設けられた基板などがある。または、これらの基板に素子が設けられたものを用いてもよい。基板に設けられる素子としては、容量素子、抵抗素子、スイッチ素子、発光素子、記憶素子などがある。

[0086]

また、基板201として、可とう性基板を用いてもよい。なお、可とう性基板上にトランジスタを設ける方法としては、非可とう性の基板上にトランジスタを作製した後、トランジスタを剥離し、可とう性基板である基板201に転置する方法もある。その場合には、非可とう性基板とトランジスタとの間に剥離層を設けるとよい。なお、基板201として、繊維を編みこんだシート、フィルムまたは箔などを用いてもよい。また、基板201が伸縮性を有してもよい。また、基板201は、折り曲げや引っ張りをやめた際に、元の形状に戻る性質を有してもよい。または、元の形状に戻らない性質を有してもよい。基板201は、例えば、 $5\mu\text{m}$ 以上 $700\mu\text{m}$ 以下、好ましくは $10\mu\text{m}$ 以上 $500\mu\text{m}$ 以下、さらに好ましくは $15\mu\text{m}$ 以上 $300\mu\text{m}$ 以下の厚さとなる領域を有する。基板201を薄くすると、トランジスタを有する半導体装置を軽量化することができる。また、基板201を薄くすることで、ガラスなどを用いた場合にも伸縮性を有する場合や、折り曲げや引っ張りをやめた際に、元の形状に戻る性質を有する場合がある。そのため、落下などによって基板201上の半導体装置に加わる衝撃などを緩和することができる。即ち、丈夫な半導体装置を提供することができる。

[0087]

可とう性基板である基板201としては、例えば、金属、合金、樹脂もしくはガラス、またはそれらの繊維などを用いることができる。可とう性基板である基板201は、線膨張率が低いほど環境による変形が抑制されて好ましい。可とう性基板である基板201としては、例えば、線膨張率が $1\times 10^{-3}/\text{K}$ 以下、 $5\times 10^{-5}/\text{K}$ 以下、または $1\times 10^{-5}/\text{K}$ 以下である材質を用いればよい。樹脂としては、例えば、ポリエステル、ポリオレフィン、ポリアミド（ナイロン、アラミドなど）、ポリイミド、ポリカーボネート、アクリルなどがある。特に、アラミドは、線膨張率が低いため、可とう性基板である基板201として好適である。

[0088]

次に、絶縁体214、および絶縁体216を成膜する。

[0089]

絶縁体214、および絶縁体216は、例えば、スパッタリング法、化学気相堆積（CVD: Chemical Vapor Deposition）法（熱CVD法、有機金属CVD（MOCVD: Metal Organic CVD）法、プラズマ励起CVD（PECVD: Plasma Enhanced CVD）法等を含む）、分子線エピタキシー（MBE: Molecular Beam Epitaxy）法、原子層堆積（ALD: Atomic Layer Deposition）法、パルスレーザ堆積（PLD: Pulsed Laser Deposition）法などを用いて形成することができる。特に、当該絶縁体をCVD法、好ましくはALD法等によって成膜すると、被覆性を向上させることができるため好ましい。また、プラズマによるダメージを減らすには、熱CVD法、MOCVD法またはALD法が好ましい。また、TEOS（Tetra-Ethyl-Ortho-Silicate）若しくはシラン等と、酸素若しくは亜酸化窒素等とを反応させて形成した段差被覆性のよい酸化シリコン膜を用いることもできる。

[0090]

例えば、絶縁体214として、スパッタリング法により酸化アルミニウムを形成する。スパッタリング法は、ALD法よりも成膜速度が高いため、生産性を向上することができる。また、例えば、絶縁体216として、CVD法により、酸化窒化シリコンを形成する。絶縁体216は、絶縁体214よりも誘電率が低いことが好ましい。誘電率が低い材料を層間膜とすることで、配線間に生じる寄生容量を低減することができる。

[0091]

次に、絶縁体216に絶縁体214に達する溝を形成する。溝とは、たとえば凹部、穴、開口部なども含まれる。溝の形成はウェットエッチングを用いてもよいが、ドライエッチングを用いるほうが微細加工には好ましい。また、絶縁体214は、絶縁体216をエッチングして溝を形成する際のエッチングストップ膜として機能する絶縁体を選択することが好ましい。

[0092]

溝の形成後に、導電体205となる導電膜を成膜する。絶縁体216の開口の内壁に接して導電体205aとなる導電膜を成膜し、さらに内側に導電体205bとなる導電膜を成膜する。導電体205aとなる導電膜、および導電体205bとなる導電膜は、スパッタリング法、蒸着法、CVD法（熱CVD法、MOCVD法、PECVD法等を含む）などにより成膜することができる。また、プラズマによるダメージを減らすには、熱CVD法、MOCVD法またはALD法が好ましい。

[0093]

次に、化学的機械研磨（Chemical Mechanical Polishing：CMP）処理を行うことで、導電体205aとなる導電膜、および導電体205bとなる導電膜の一部を除去し、絶縁体216を露出する。その結果、開口部のみに、導電体205aとなる導電膜、および導電体205bとなる導電膜が残存する。これにより、上面が平坦な、導電体205aおよび導電体205bを形成することができる（図5参照。）。なお、当該CMP処理により、絶縁体216の一部が除去される場合がある。

[0094]

導電体205には、モリブデン、チタン、タンタル、タングステン、アルミニウム、銅、クロム、ネオジム、スカンジウムから選ばれた元素を含む金属膜、または上述した元素を成分とする金属窒化物膜（窒化タンタル膜、窒化チタン膜、窒化モリブデン膜、窒化タングステン膜）等を用いることができる。特に、窒化タンタルなどの金属窒化物膜は、水素または酸素に対するバリア性があり、また、酸化しにくい（耐酸化性が高い）ため、好ましい。又は、インジウム錫酸化物、酸化タングステンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム亜鉛酸化物、酸化ケイ素を添加したインジウム錫酸化物などの導電性材料を適用することもできる。

[0095]

例えば、導電体205aとして、水素に対するバリア性を有する導電体として、窒化タンタル等を用い、導電体205bとして、導電性が高いタングステンを積層するとよい。当該組み合わせを用いることで、配線としての導電性を保持したまま、酸化物230への水素の拡散を抑制することができる。なお、図5では、導電体205a、および導電体205bの2層構造を示したが、当該構成に限定されず、単層でも3層以上の積層構造でもよい。例えば、バリア性を有する導電体と導電性が高い導電体との間に、バリア性を有する導電体および導電性が高い導電体に対して、密着性が高い導電体を形

成してもよい。

[0096]

次に、絶縁体220、絶縁体222、および絶縁体224を成膜する。絶縁体224は、酸化シリコン膜や酸化窒化シリコン膜などの、酸素を含む絶縁体であることが好ましい。特に、絶縁体224には、過剰酸素領域が形成されていることが好ましい。トランジスタの活性層に酸化物半導体を用いる場合、トランジスタの周辺材料に、過剰酸素領域を有する絶縁体を設けることで、トランジスタが有する酸化物半導体の酸素欠損を低減させ、信頼性を向上させることができる。

[0097]

過剰酸素領域を有する絶縁体として、具体的には、加熱により一部の酸素が脱離する酸化物材料を用いることが好ましい。加熱により酸素が脱離する酸化物とは、TDS (Thermal Desorption Spectroscopy) 分析にて、酸素原子に換算しての酸素の脱離量が $1.0 \times 10^{18} \text{ atoms/cm}^3$ 以上、好ましくは $1.0 \times 10^{19} \text{ atoms/cm}^3$ 以上、さらに好ましくは $2.0 \times 10^{19} \text{ atoms/cm}^3$ 、または $3.0 \times 10^{20} \text{ atoms/cm}^3$ 以上である酸化物膜である。なお、上記TDS分析時における膜の表面温度としては 100°C 以上 700°C 以下、または 100°C 以上 400°C 以下の範囲が好ましい。

[0098]

また、絶縁体224が、過剰酸素領域を有する場合、絶縁体222は、酸素（例えば、酸素原子、酸素分子など）、水素（例えば、水素原子、水素分子など）、および水に対するバリア性を有することが好ましい。絶縁体222が、酸素に対するバリア性を有することで、過剰酸素領域の酸素は、下側へ拡散することなく、効率よく酸化物230へ供給することができる。また、導電体205が、絶縁体224が有する過剰酸素領域の酸素と反応することを抑制することができる。

[0099]

また、絶縁体224が、過剰酸素領域を有する場合、例えば、導電体205上に、バリア性を有する導電体を形成することで、絶縁体220、および絶縁体222は必ずしも設ける必要はない。バリア性を有する導電体を形成することで、導電体205が、過剰酸素領域の酸素と反応し、酸化物を生成することを抑制することができる。

[0100]

絶縁体220、絶縁体222、および絶縁体224は、絶縁体214、または絶縁体216と同様の材料および方法で形成することができる。

[0101]

また、絶縁体222は、例えば、酸化アルミニウム、酸化ハフニウム、酸化タンタル、酸化ジルコニウム、チタン酸ジルコン酸鉛 (PZT)、チタン酸ストロンチウム (SrTiO_3)、(Ba, Sr) TiO_3 (BST) などのいわゆる *high-k* 材料を含む絶縁体を単層または積層で用いることが好ましい。トランジスタの微細化、および高集積化が進むと、ゲート絶縁体の薄膜化により、リーク電流などの問題が生じる場合がある。ゲート絶縁体として機能する絶縁体に、*high-k* 材料を用いることで物理膜厚を保ち、トランジスタ動作時のゲート電位の低減が可能となる。

[0102]

また、絶縁体220は、熱的に安定していることが好ましい。例えば、酸化シリコンおよび酸化窒化シリコンは、熱的に安定であるため、*high-k* 材料の絶縁体と組み合わせることで、熱的に安定かつ比誘電率の高い積層構造とすることができる。

[0103]

例えば、絶縁体222として、ALD法により酸化アルミニウムを形成する。ALD法を用いて絶縁層を形成することで、緻密な、クラックやピンホールなどの欠陥が低減された、または均一な厚さを備える絶縁層を形成することができる。また、例えば、絶縁体220、および絶縁体224として、CVD法により、酸化窒化シリコンを形成する。絶縁体224は、過剰酸素を含む絶縁層であることが好ましい。また、絶縁体224の形成後に酸素ドーブ処理を行ってもよい。

[0104]

なお、絶縁体220、絶縁体222、および絶縁体224は、連続成膜することが好ましい。連続的に成膜することで、絶縁体220と絶縁体222との界面、および絶縁体222と絶縁体224との界面に不純物が付着することなく、信頼性が高い絶縁体を形成することができる。

[0105]

また、絶縁体224の成膜後に、熱処理を行っても良い。熱処理として、例えば、窒素を含む雰囲気にて400℃の温度で1時間の処理を行い、続いて酸素を含む雰囲気にて400℃の温度で1時間の処理を行うとよい。当該熱処理によって、絶縁体224に含まれる水素や水などの不純物を除去することができる。

[0106]

なお、絶縁体220、絶縁体222、および絶縁体224が、それぞれ2層以上の積層構造を有していてもよい。その場合、同じ材料からなる積層構造に限定されず、異なる材料からなる積層構造でもよい。

[0107]

続いて、酸化物230aとなる酸化膜230A、および酸化物230bとなる酸化膜230Bを順に成膜する。当該酸化膜は、大気に触れさせることなく連続して成膜することが好ましい。

[0108]

例えば、酸化膜230A、および酸化膜230Bをスパッタリング法で成膜する。また、スパッタリングガスとして酸素、または、酸素と希ガスの混合ガスを用いる。スパッタリングガスに含まれる酸素の割合を高めることで、成膜される酸化膜中の過剰酸素を増やすことができる。

[0109]

特に、酸化膜230Aの成膜時に、スパッタリングガスに含まれる酸素の一部が絶縁体224に供給される場合がある。スパッタリングガスに含まれる酸素が多いほど、絶縁体224に供給される酸素も増加する。従って、絶縁体224に過剰酸素を有する領域を形成することができる。また、絶縁体224に供給された酸素の一部は、絶縁体224中に残存する水素と反応して水となり、後の加熱処理によって絶縁体224から放出される。従って、絶縁体224中の水素濃度を低減することができる。

[0110]

なお、スパッタリングガスに含まれる酸素の割合は70%以上、好ましくは80%以上、より好ましくは100%とすればよい。酸化膜230Aに過剰酸素を含む酸化物を用いることで、後の加熱処理によって酸化物230bに酸素を供給することができる。

[0111]

続いて、酸化膜230Bをスパッタリング法で成膜する。この時、スパッタリングガスに含まれる酸素の割合を1%以上30%以下、好ましくは5%以上20%以下として成膜すると、酸素欠乏型の酸

化物半導体が形成される。酸素欠乏型の酸化物半導体を用いたトランジスタは、比較的高い電界効果移動度が得られる。

[0112]

酸化膜230Bに酸素欠乏型の酸化物半導体を用いる場合は、酸化膜230Aに過剰酸素を含む酸化膜を用いることが好ましい。また、酸化膜230Bの形成後に酸素ドーブ処理を行ってもよい。

[0113]

また、酸化物230aと酸化物230bとは、酸素以外に共通の構成元素（主成分となる元素）を有することが好ましい。酸化物230aと酸化物230bとが、酸素以外に共通の構成元素を有することで、酸化物230aと酸化物230bとの界面における欠陥準位密度を低くすることができる。

[0114]

次に、熱処理を行ってもよい。熱処理として、例えば、窒素雰囲気にて400℃の温度で1時間の処理を行った後に、連続して酸素雰囲気にて400℃の温度で1時間の処理を行うとよい。当該熱処理によって、酸化膜230A、および酸化膜230B中の水素や水などの不純物を除去することなどができる。

[0115]

次に、絶縁膜240A、バリア膜244A、およびハードマスクとなる膜290Aを成膜する（図5参照。）。

[0116]

絶縁膜240Aとして、例えば、窒素、水素などの不純物を含む膜を用いることができる。具体的には、窒化シリコン、窒化酸化シリコン、酸化窒化シリコンなどを用いることができる。特に、CVD法により形成された窒化シリコンを用いることが好ましい。絶縁膜240Aに窒化シリコンを用いることで、酸化膜230Bに酸素欠損を形成する元素、または酸素欠損に捕獲される元素を添加する。これにより、酸化膜230Bのキャリア密度を高くし、低抵抗化させる。なお、酸化膜230Aにも、酸素欠損を形成する元素、または酸素欠損に捕獲される元素が添加される場合がある。

[0117]

ここで、図5（B）における破線で囲む、領域239の拡大図を図2（B）に示す。図2（B）に示すように、酸化膜230Bに、絶縁膜240Aが接することで、酸化膜230Bに酸素欠損を形成する元素、または酸素欠損に捕獲される元素が添加される。従って、酸化膜230Bは、酸素欠損が形成され、全面が低抵抗化する。つまり、低抵抗化した領域231Aが、酸化膜230B全体に広がっている。

[0118]

例えば、バリア膜244Aとして、ALD法により酸化アルミニウムを形成するとよい。ALD法を用いて形成することで、緻密な、クラックやピンホールなどの欠陥が低減された、または均一な厚さを備える膜を形成することができる。また、バリア膜244Aは、ハードマスクとなる膜290Aのエッチングの際のエッチングストップ膜として機能する。

[0119]

例えば、ハードマスクとなる膜290Aとして、タングステンをスパッタリング法で成膜する。

[0120]

次に、ハードマスクとなる膜290A上に、フォトリソグラフィ法により、レジストマスク292aを形成する（図6参照。）。レジストマスクはリソグラフィ法などを用いて形成すればよい。

[0121]

なお、リソグラフィ法では、まず、マスクを介してレジストを露光する。次に、露光された領域を、現像液を用いて除去または残存させてレジストマスクを形成する。次に、当該レジストマスクを介してエッチング処理することで導電体、半導体または絶縁体などを所望の形状に加工することができる。例えば、KrFエキシマレーザ光、ArFエキシマレーザ光、EUV (Extreme Ultraviolet) 光などを用いて、レジストを露光することでレジストマスクを形成すればよい。また、基板と投影レンズとの間に液体（例えば水）を満たして露光する、液浸技術を用いてもよい。また、前述した光に代えて、電子ビームやイオンビームを用いてもよい。なお、電子ビームやイオンビームを用いる場合には、マスクは不要となる。なお、レジストマスクの除去には、アッシングなどのドライエッチング処理を行う、ウェットエッチング処理を行う、ドライエッチング処理に加えてウェットエッチング処理を行う、またはウェットエッチング処理に加えてドライエッチング処理を行うことができる。

[0122]

ドライエッチング装置としては、平行平板型電極を有する容量結合型プラズマ (CCP: Capacitively Coupled Plasma) エッチング装置を用いることができる。平行平板型電極を有する容量結合型プラズマエッチング装置は、平行平板型電極の一方の電極に高周波電圧を印加する構成でもよい。または平行平板型電極の一方の電極に複数の異なった高周波電圧を印加する構成でもよい。または平行平板型電極それぞれに同じ周波数の高周波電圧を印加する構成でもよい。または平行平板型電極それぞれに周波数の異なる高周波電圧を印加する構成でもよい。または高密度プラズマ源を有するドライエッチング装置を用いることができる。高密度プラズマ源を有するドライエッチング装置は、例えば、誘導結合型プラズマ (ICP: Inductively Coupled Plasma) エッチング装置などを用いることができる。

[0123]

レジストマスク 292a を用いて、ハードマスクとなる膜 290A、バリア膜 244A、および絶縁膜 240A の一部を選択的に除去し、島状のハードマスク 290a、バリア膜 244B、および絶縁膜 240B を形成する。その後、アッシングやレジスト剥離液によりレジストマスク 292a を除去する (図7参照。)。

[0124]

続いて、島状のハードマスク 290a をマスクとして酸化膜 230A、および酸化膜 230B の一部を選択的に除去する。なお、本工程において、同時に絶縁体 224 の一部も除去される場合がある。本工程により、島状の酸化物 230a、および島状の酸化物 230b を形成することができる (図8参照。)。その後、ハードマスク 290a を除去する (図9参照。)。

[0125]

次に、酸化物 245A を成膜する (図10参照。)。例えば、酸化物 245A として、ALD 法により酸化アルミニウムを形成するとよい。酸化物 245A を、酸化物 230a、酸化物 230b、および絶縁膜 240B の側面を覆うように形成する。このようにすることで、酸化物 230a、酸化物 230b および絶縁膜 240B が、後工程で形成される絶縁体 280 中の過剰酸素を吸収するのを抑制することができる。

[0126]

次に、酸化物 245A 上に、フォトリソグラフィ法により、島状のレジストマスク 292b を形成す

る（図 1 1 参照。）。

[0 1 2 7]

続いて、島状のレジストマスク 2 9 2 b をマスクとして、酸化物 2 4 5 A、および島状のバリア膜 2 4 4 B の一部を選択的に除去する。本工程により、酸化物 2 4 5 A を、酸化物 2 4 5 a と、酸化物 2 4 5 b とに分離する。また、本工程により、バリア膜 2 4 4 B を、バリア膜 2 4 4 a と、バリア膜 2 4 4 b とに分離する（図 1 2 参照。）。

[0 1 2 8]

続いて、島状のレジストマスク 2 9 2 b をマスクとして、絶縁膜 2 4 0 B の一部を選択的に除去する。なお、本工程により、絶縁膜 2 4 0 B を、絶縁体 2 4 0 a と、絶縁体 2 4 0 b とに分離する。なお、本工程において、絶縁体 2 2 4 の一部も除去される場合がある。その後、アッシングやレジスト剥離液により島状のレジストマスク 2 9 2 b を除去する（図 1 3 参照。）。

[0 1 2 9]

次に、酸化物 2 3 0 c となる酸化膜 2 3 0 C、および絶縁体 2 5 0 となる絶縁膜 2 5 0 A を成膜する（図 1 4 参照。）。

[0 1 3 0]

例えば、酸化膜 2 3 0 C として、酸化物 2 3 0 a と同様に、過剰酸素を含む酸化物を用いる。酸化膜 2 3 0 C に過剰酸素を含む酸化物を用いることで、加熱処理によって酸化物 2 3 0 b に酸素を供給することができる。また、酸化膜 2 3 0 C の成膜時に、スパッタリングガスに含まれる酸素の一部が酸化物 2 3 0 b に供給される場合がある。

[0 1 3 1]

なお、酸化膜 2 3 0 C を成膜後に、酸素ドーピング処理、または加熱処理の一方、あるいは両方を行ってもよい。加熱処理を行うことで、酸化物 2 3 0 a および酸化膜 2 3 0 C に含まれる酸素を酸化物 2 3 0 b に供給することができる。酸化物 2 3 0 b に酸素を供給することで、酸化物 2 3 0 b 中の酸素欠損を低減することができる。よって、酸化物 2 3 0 b に酸素欠乏型の酸化物半導体を用いる場合は、酸化膜 2 3 0 C に過剰酸素を含む半導体を用いることが好ましい。

[0 1 3 2]

また、酸化物 2 3 0 b と酸化物 2 3 0 c とは、酸素以外に共通の構成元素（主成分となる元素）を有することが好ましい。酸化物 2 3 0 b と酸化物 2 3 0 c とが、酸素以外に共通の構成元素を有することで、酸化物 2 3 0 b と酸化物 2 3 0 c との界面における欠陥準位密度を低くすることができるため、界面散乱によるキャリア伝導への影響が小さく、高いオン電流が得られる。

[0 1 3 3]

ここで、図 1 4 (B) における破線で囲む、領域 2 3 9 の拡大図を図 2 (C) に示す。図 2 (C) に示すように、酸化物 2 3 0 b の酸化膜 2 3 0 C と接する領域 2 3 4 に酸素が供給されることで、酸化物 2 3 0 b の領域 2 3 4 に形成された酸素欠損が補償され、酸化物 2 3 0 b が高抵抗化される。一方、酸化物 2 3 0 b の酸化膜 2 3 0 C と接しない領域 2 3 1 a および領域 2 3 1 b は、低抵抗のままである。したがって、低抵抗である領域 2 3 1 a および領域 2 3 1 b と、高抵抗である領域 2 3 4 を、容易に作り分けることができる。また、領域 2 3 4 と領域 2 3 1 a との間、および領域 2 3 4 と領域 2 3 1 b との間に、領域 2 3 1 よりもキャリア密度が低く、領域 2 3 4 よりもキャリア密度が高い領域（接合領域）を有していてもよい。

[0 1 3 4]

酸化物 230c の一部は、酸化物 230b のチャネル形成領域と接する。また、酸化物 230b のチャネル形成領域の上面および側面は、酸化物 230c によって覆われる。このようにして、酸化物 230b を、酸化物 230a と酸化物 230c で取り囲むことができる。酸化物 230b を、酸化物 230a と酸化物 230c で取り囲むことで、後の工程において生じる不純物の酸化物 230b への拡散を抑制することができる。

[0135]

なお、トランジスタ 200 では、酸化物 230a、酸化物 230b、および酸化物 230c を積層する構成について示しているが、本発明はこれに限られるものではない。また、酸化物 230b の単層、酸化物 230b と酸化物 230a の 2 層構造、酸化物 230b と酸化物 230c の 2 層構造、または 4 層以上の積層構造を設ける構成にしてもよい。

[0136]

例えば、絶縁膜 250A として CVD 法により酸化窒化シリコンを形成する。なお、絶縁膜 250A は過剰酸素を含む絶縁層であることが好ましい。また、絶縁膜 250A に酸素ドーブ処理を行ってもよい。また、絶縁膜 250A 形成後に、加熱処理を行ってもよい。

[0137]

次に、導電体 260a となる導電膜、および導電体 260b となる導電膜を成膜する。導電体 260a となる導電膜、および導電体 260b となる導電膜は、導電体 205a、および導電体 205b と同様の材料および方法で作製することができる。例えば、導電体 260a となる導電膜として、スパッタリング法により、窒化チタンを形成する。また、例えば、導電体 260b となる導電膜として、スパッタリング法により、タングステンを形成する。

[0138]

次に、導電体 260b となる導電膜上にフォトリソグラフィ法によりレジストマスクを形成する。該レジストマスクを用いて、導電体 260a となる導電膜、および導電体 260b となる導電膜の一部を選択的に除去して、導電体 260（導電体 260a、および導電体 260b）を形成する（図 15 参照。）。なお、トランジスタ 200 では、導電体 260a および導電体 260b の 2 層を積層する構成について示しているが、当該構成に限定されず、単層でも 3 層以上の積層構造でも良い。

[0139]

次に、導電体 260 を覆うようにバリア膜 270A を成膜する（図 16 参照。）。ここで、バリア膜 270A は、酸素が透過しにくい材料を用いることが好ましく、例えば、ALD 法による酸化アルミニウムなどを用いることができる。

[0140]

次に、バリア膜 270A 上にフォトリソグラフィ法によりレジストマスク 292c を形成する（図 17 参照。）。該レジストマスク 292c を用いて、バリア膜 270A、絶縁膜 250A の一部を選択的に除去して、バリア膜 270、および絶縁体 250 を形成する。その後、アッシングやレジスト剥離液によりレジストマスク 292c を除去する（図 18 参照。）。

[0141]

例えば、導電体 260 に用いる材料によっては、熱処理などの後工程において、導電体 260 が酸化し、抵抗値が高くなる可能性がある。また、酸化物 230b に過剰酸素を供給する場合において、酸素が導電体 260 に吸収されてしまう場合がある。バリア膜 270 を設けることで、外方からの酸素が導電体 260 へ拡散することを抑制し、導電体 260 の酸化を抑制し、酸化物 230 に供給される

酸素が不足することを抑制することができる。

[0142]

なお、バリア膜270を形成した後に、加熱処理を行うことが好ましい。加熱処理を行うことで、酸化物230中の不純物を除去する。

[0143]

続いて、バリア膜270をマスクとして、酸化膜230Cの一部を選択的に除去して、酸化物230cを形成する(図19参照。)。

[0144]

以上の工程により、本発明の一態様に係るトランジスタ200を作製することができる。

[0145]

続いて、トランジスタ200上に、絶縁体280を形成する。また、絶縁体280を成膜した後、その上面の平坦性を高めるためにCMP法等を用いた平坦化処理を行ってもよい。

[0146]

絶縁体280は、酸化シリコン膜や酸化窒化シリコン膜などの、酸素を含む絶縁体である。過剰酸素を含む絶縁体を形成する方法としては、CVD法やスパッタリング法における成膜条件を適宜設定して膜中に酸素を多く含ませた酸化シリコン膜や酸化窒化シリコン膜を形成することができる。

[0147]

なお、絶縁体280に酸素を過剰に含有させるためには、例えば酸素雰囲気下にて絶縁体280の成膜を行えばよい。または、成膜後の絶縁体280に酸素を導入して酸素を過剰に含有する領域を形成してもよく、双方の手段を組み合わせてもよい。

[0148]

例えば、成膜後の絶縁体280に酸素(少なくとも酸素ラジカル、酸素原子、酸素イオンのいずれかを含有)を導入して酸素を過剰に含有する領域を形成する。酸素の導入方法としては、イオン注入法、イオンドーピング法、プラズマイメージョンイオン注入法、プラズマ処理などを用いることができる。

[0149]

また、酸素導入処理には、酸素を含むガスを用いることができる。酸素を含むガスとしては、酸素、一酸化二窒素、二酸化窒素、二酸化炭素、一酸化炭素などを用いることができる。また、酸素導入処理において、酸素を含むガスに希ガスを含ませてもよく、例えば、二酸化炭素と水素とアルゴンの混合ガスを用いることができる。

[0150]

絶縁体280に過剰な酸素を導入することで、過剰酸素領域を形成することができる。絶縁体280の過剰な酸素は、絶縁体250および酸化物230cを介して、酸化物230bの領域234を中心に供給され、酸化物230bの領域234中の酸素欠損を補償することができる。

[0151]

続いて、絶縁体280上に、絶縁体282を成膜する。絶縁体282は、スパッタリング装置により成膜することが好ましい。スパッタリング法を用いることで、容易に絶縁体282の下層である絶縁体280に過剰酸素領域を形成することができる。

[0152]

スパッタリング法による成膜時には、ターゲットと基板との間には、イオンとスパッタされた粒子とが存在する。例えば、ターゲットは、電源が接続されており、電位E0が与えられる。また、基板は、

接地電位などの電位 E_1 が与えられる。ただし、基板が電氣的に浮いていてもよい。また、ターゲットと基板の間には電位 E_2 となる領域が存在する。各電位の大小関係は、 $E_2 > E_1 > E_0$ である。

[0153]

プラズマ内のイオンが、電位差 $E_2 - E_0$ によって加速され、ターゲットに衝突することにより、ターゲットからスパッタされた粒子がはじき出される。このスパッタされた粒子が成膜表面に付着し、堆積することにより成膜が行われる。また、一部のイオンはターゲットによって反跳し、反跳イオンとして形成された膜を介して、形成された膜の下部にある絶縁体 280 に取り込まれる場合がある。また、プラズマ内のイオンは、電位差 $E_2 - E_1$ によって加速され、成膜表面を衝撃する。この際、イオンの一部のイオンは、絶縁体 280 の内部まで到達する。イオンが絶縁体 280 に取り込まれることにより、イオンが取り込まれた領域が絶縁体 280 に形成される。つまり、イオンが酸素を含むイオンであった場合において、絶縁体 280 に過剰酸素領域が形成される。

[0154]

従って、絶縁体 282 を成膜する手段として、スパッタリング装置を用いて、酸素ガス雰囲気下で成膜を行うことで、絶縁体 282 を成膜しながら、絶縁体 280 に酸素を導入することができる。例えば、絶縁体 282 に、バリア性を有する酸化アルミニウムを用いることで、絶縁体 280 に導入した過剰酸素を、トランジスタ 200 側に、効果的に封じ込めることができる。

[0155]

続いて、絶縁体 282 上に、絶縁体 286 と、ハードマスクとなる膜 290 A と、を成膜する（図 20 参照。）。

[0156]

例えば、絶縁体 286 として、CVD 法により、酸化シリコン膜や酸化窒化シリコン膜などの、酸素を含む絶縁体を形成する。絶縁体 286 は、絶縁体 282 よりも誘電率が低いことが好ましい。誘電率が低い材料を層間膜とすることで、配線間に生じる寄生容量を低減することができる。

[0157]

例えば、ハードマスクとなる膜 290 A として、スパッタリング法により、タングステンを形成する。

[0158]

次に、ハードマスクとなる膜 290 A 上に、フォトリソグラフィ法によりレジストマスク 292 d を形成する（図 21 参照。）。

[0159]

次に、レジストマスク 292 d をマスクとして、ハードマスクとなる膜 290 A の一部を除去して、ハードマスク 290 b を形成する。続いて、ハードマスク 290 b をマスクとして、絶縁体 286、絶縁体 282、絶縁体 280、酸化物 245、およびバリア膜 244 に、絶縁体 240 a、および絶縁体 240 b に到達する開口を形成する（図 22 参照。）。本工程において、レジストマスク 292 d はエッチングされて消失することがある。

[0160]

次に、ハードマスク 290 b 上、および上記開口において、バリア膜 276 A を成膜する。例えば、バリア膜 276 A として、ALD 法により酸化アルミニウムを形成する（図 23 参照。）。

[0161]

続いて、バリア膜 276 A において、絶縁体 240 a および絶縁体 240 b と接する領域の一部を除去する。例えば、絶縁体 240 a および絶縁体 240 b が露出するまで、エッチバック処理を行うこ

とで、バリア膜276a、およびバリア膜276bを形成することができる（図24参照。）。

[0162]

バリア膜276aおよびバリア膜276bを設けることで、後工程で形成される導電体246（導電体246a、および導電体246b）および導電体248（導電体248a、および導電体248b）中の不純物としての水素、および導電体246または導電体248を構成する元素の一部が外部へ拡散することを抑制することができる。また、導電体246および導電体248が、トランジスタまたは外部からの不純物としての水素の拡散経路となることを抑制することができる。

[0163]

次に、酸化物230bが露出するまで、プラズマ処理を行うことで、絶縁体240aおよび絶縁体240bの一部を除去する（図25参照。）。

[0164]

次に、導電体246（導電体246a、および導電体246b）となる導電膜、および導電体248（導電体248a、および導電体248b）となる導電膜を成膜する。例えば、導電体246となる導電膜、および導電体248となる導電膜の成膜は、スパッタリング法、CVD法、MBE法、PLD法、ALD法などを用いて行うことができる。導電体246となる導電膜、および導電体248となる導電膜は、絶縁体280などに形成された開口を埋めるように成膜する。従って、CVD法（特にMOCVD法）を用いることが好ましい。また、MOCVD法で成膜する導電体の密着性を高めるために、ALD法などによって成膜した導電体と、CVD法で成膜した導電体との多層膜にすると好ましい場合がある。例えば、導電体246となる導電膜として、窒化チタンを成膜し、導電体248となる導電膜として、タングステンを成膜するとよい。

[0165]

続いて、導電体246となる導電膜、および導電体248となる導電膜の不要な部分を除去する。例えば、エッチバック処理、または、CMP処理などにより、絶縁体286が露出するまで、導電体246となる導電膜、および導電体248となる導電膜の一部、ならびにハードマスク290bを除去することで導電体246、および導電体248を形成する。この際、絶縁体286をストッパ層として使用することもでき、絶縁体286が薄くなる場合がある。

[0166]

なお、本実施の形態で示す半導体装置では、導電体246が、絶縁体280、酸化物245、バリア膜244、絶縁体240a、および絶縁体240bに形成された開口を介して、ソース領域またはドレイン領域として機能する酸化物230bの低抵抗化した領域の上面と接する構成について示しているが、当該構成に限定されない。例えば、絶縁体240a、および絶縁体240bに開口を形成せず、導電体246が、酸化物230bの低抵抗化した領域の上面および側面と接する構成でも良い。

[0167]

以上の工程により、図1に示した、トランジスタ200を有する半導体装置を作製することができる。

[0168]

<金属酸化物>

酸化物230として、半導体として機能する金属酸化物（以下、酸化物半導体ともいう）を用いることが好ましい。以下では、本発明に係る酸化物230に適用可能な金属酸化物について説明する。

[0169]

酸化物半導体は、少なくともインジウムまたは亜鉛を含むことが好ましい。特にインジウムおよび亜

鉛を含むことが好ましい。また、それらに加えて、アルミニウム、ガリウム、イットリウム、スズなどが含まれていることが好ましい。また、ホウ素、シリコン、チタン、鉄、ニッケル、ゲルマニウム、ジルコニウム、モリブデン、ランタン、セリウム、ネオジム、ハフニウム、タンタル、タングステン、マグネシウムなどから選ばれた一種、または複数種が含まれていてもよい。

[0170]

ここでは、酸化物半導体が、インジウム、元素Mおよび亜鉛を有する $In-M-Zn$ 酸化物である場合を考える。なお、元素Mは、アルミニウム、ガリウム、イットリウム、スズなどとする。そのほかの元素Mに適用可能な元素としては、ホウ素、シリコン、チタン、鉄、ニッケル、ゲルマニウム、ジルコニウム、モリブデン、ランタン、セリウム、ネオジム、ハフニウム、タンタル、タングステン、マグネシウムなどがある。ただし、元素Mとして、前述の元素を複数組み合わせても構わない場合がある。

[0171]

なお、本明細書等において、窒素を有する金属酸化物も金属酸化物 (metal oxide) と総称する場合がある。また、窒素を有する金属酸化物を、金属酸窒化物 (metal oxynitride) と呼称してもよい。

[0172]

[金属酸化物の構成]

以下では、本発明の一態様で開示されるトランジスタに用いることができる CAC (Cloud-Aligned Composite) -OS の構成について説明する。

[0173]

なお、本明細書等において、CAAC (c-axis aligned crystal)、及び CAC (Cloud-Aligned Composite) と記載する場合がある。なお、CAAC は結晶構造の一例を表し、CAC は機能、または材料の構成の一例を表す。

[0174]

CAC-OS または CAC-metal oxide とは、材料の一部では導電性の機能と、材料の一部では絶縁性の機能とを有し、材料の全体では半導体としての機能を有する。なお、CAC-OS または CAC-metal oxide を、トランジスタの活性層に用いる場合、導電性の機能は、キャリアとなる電子 (またはホール) を流す機能であり、絶縁性の機能は、キャリアとなる電子 (またはホール) を流さない機能である。導電性の機能と、絶縁性の機能とを、それぞれ相補的に作用させることで、スイッチングさせる機能 (On/Off させる機能) を CAC-OS または CAC-metal oxide に付与することができる。CAC-OS または CAC-metal oxide において、それぞれの機能を分離させることで、双方の機能を最大限に高めることができる。

[0175]

また、CAC-OS または CAC-metal oxide は、導電性領域、及び絶縁性領域を有する。導電性領域は、上述の導電性の機能を有し、絶縁性領域は、上述の絶縁性の機能を有する。また、材料中において、導電性領域と、絶縁性領域とは、ナノ粒子レベルで分離している場合がある。また、導電性領域と、絶縁性領域とは、それぞれ材料中に偏在する場合がある。また、導電性領域は、周辺がぼけてクラウド状に連結して観察される場合がある。

[0176]

また、CAC-OS または CAC-metal oxide において、導電性領域と、絶縁性領域と

は、それぞれ0.5 nm以上10 nm以下、好ましくは0.5 nm以上3 nm以下のサイズで材料中に分散している場合がある。

[0177]

また、CAC-OSまたはCAC-metal oxideは、異なるバンドギャップを有する成分により構成される。例えば、CAC-OSまたはCAC-metal oxideは、絶縁性領域に起因するワイドギャップを有する成分と、導電性領域に起因するナローギャップを有する成分と、により構成される。当該構成の場合、キャリアを流す際に、ナローギャップを有する成分において、主にキャリアが流れる。また、ナローギャップを有する成分が、ワイドギャップを有する成分に相補的に作用し、ナローギャップを有する成分に連動してワイドギャップを有する成分にもキャリアが流れる。このため、上記CAC-OSまたはCAC-metal oxideをトランジスタのチャンネル形成領域に用いる場合、トランジスタの導通状態において高い電流駆動力、つまり大きなオン電流、及び高い電界効果移動度を得ることができる。

[0178]

すなわち、CAC-OSまたはCAC-metal oxideは、マトリックス複合材(matrix composite)、または金属マトリックス複合材(metal matrix composite)と呼称することもできる。

[0179]

[金属酸化物の構造]

酸化物半導体は、単結晶酸化物半導体と、それ以外の非単結晶酸化物半導体と、に分けられる。非単結晶酸化物半導体としては、例えば、CAAC-OS(c-axis aligned crystalline oxide semiconductor)、多結晶酸化物半導体、nc-OS(nanocrystalline oxide semiconductor)、擬似非晶質酸化物半導体(a-like OS:amorphous-like oxide semiconductor)および非晶質酸化物半導体などがある。

[0180]

CAAC-OSは、c軸配向性を有し、かつa-b面方向において複数のナノ結晶が連結し、歪みを有した結晶構造となっている。なお、歪みとは、複数のナノ結晶が連結する領域において、格子配列の揃った領域と、別の格子配列の揃った領域と、の間で格子配列の向きが変化している箇所を指す。

[0181]

ナノ結晶は、六角形を基本とするが、正六角形状とは限らず、非正六角形状である場合がある。また、歪みにおいて、五角形、および七角形などの格子配列を有する場合がある。なお、CAAC-OSにおいて、歪み近傍においても、明確な結晶粒界(グレインバウンダリーともいう。)を確認することはできない。即ち、格子配列の歪みによって、結晶粒界の形成が抑制されていることがわかる。これは、CAAC-OSが、a-b面方向において酸素原子の配列が稠密でないことや、金属元素が置換することで原子間の結合距離が変化することなどによって、歪みを許容することができるためと考えられる。

[0182]

また、CAAC-OSは、インジウム、および酸素を有する層(以下、In層)と、元素M、亜鉛、および酸素を有する層(以下、(M, Zn)層)とが積層した、層状の結晶構造(層状構造ともいう)を有する傾向がある。なお、インジウムと元素Mは、互いに置換可能であり、(M, Zn)層の元素

Mの一部がインジウムと置換した場合、(I n, M, Z n) 層と表すこともできる。また、I n層のインジウムの一部が元素Mと置換した場合、(I n, M) 層と表すこともできる。

[0183]

CAAC-OSは結晶性の高い酸化物半導体である。一方、CAAC-OSは、明確な結晶粒界を確認することはできないため、結晶粒界に起因する電子移動度の低下が起こりにくいといえる。また、酸化物半導体の結晶性は不純物の混入や欠陥の生成などによって低下する場合があるため、CAAC-OSは不純物や欠陥（酸素欠損など）の少ない酸化物半導体ともいえる。従って、CAAC-OSを有する酸化物半導体は、物理的性質が安定する。そのため、CAAC-OSを有する酸化物半導体は熱に強く、信頼性が高い。

[0184]

nc-OSは、微小な領域（例えば、1 nm以上10 nm以下の領域、特に1 nm以上3 nm以下の領域）において原子配列に周期性を有する。また、nc-OSは、異なるナノ結晶間で結晶方位に規則性が見られない。そのため、膜全体で配向性が見られない。したがって、nc-OSは、分析方法によっては、a-like OSや非晶質酸化物半導体と区別が付かない場合がある。

[0185]

a-like OSは、nc-OSと非晶質酸化物半導体との間の構造を有する酸化物半導体である。a-like OSは、鬆または低密度領域を有する。即ち、a-like OSは、nc-OSおよびCAAC-OSと比べて、結晶性が低い。

[0186]

酸化物半導体は、多様な構造をとり、それぞれが異なる特性を有する。本発明の一態様の酸化物半導体は、非晶質酸化物半導体、多結晶酸化物半導体、a-like OS、nc-OS、CAAC-OSのうち、二種以上を有していてもよい。

[0187]

[酸化物半導体を有するトランジスタ]

続いて、上記酸化物半導体をトランジスタに用いる場合について説明する。

[0188]

なお、上記酸化物半導体をトランジスタに用いることで、高い電界効果移動度のトランジスタを実現することができる。また、信頼性の高いトランジスタを実現することができる。

[0189]

また、トランジスタには、キャリア密度の低い酸化物半導体を用いることが好ましい。酸化物半導体膜のキャリア密度を低くする場合においては、酸化物半導体膜中の不純物濃度を低くし、欠陥準位密度を低くすればよい。本明細書等において、不純物濃度が低く、欠陥準位密度の低いことを高純度真性または実質的に高純度真性と言う。例えば、酸化物半導体は、キャリア密度が $8 \times 10^{11} / \text{cm}^3$ 未満、好ましくは $1 \times 10^{11} / \text{cm}^3$ 未満、さらに好ましくは $1 \times 10^{10} / \text{cm}^3$ 未満であり、 $1 \times 10^{-9} / \text{cm}^3$ 以上とすればよい。

[0190]

また、高純度真性または実質的に高純度真性である酸化物半導体膜は、欠陥準位密度が低いため、トラップ準位密度も低くなる場合がある。

[0191]

また、酸化物半導体のトラップ準位に捕獲された電荷は、消失するまでに要する時間が長く、あたか

も固定電荷のように振る舞うことがある。そのため、トラップ準位密度の高い酸化物半導体にチャネル形成領域が形成されるトランジスタは、電気特性が不安定となる場合がある。

[0192]

従って、トランジスタの電気特性を安定にするためには、酸化物半導体中の不純物濃度を低減することが有効である。また、酸化物半導体中の不純物濃度を低減するためには、近接する膜中の不純物濃度も低減することが好ましい。不純物としては、水素、窒素、アルカリ金属、アルカリ土類金属、鉄、ニッケル、シリコン等がある。

[0193]

[不純物]

ここで、酸化物半導体中における各不純物の影響について説明する。

[0194]

酸化物半導体において、第14族元素の一つであるシリコンや炭素が含まれると、酸化物半導体において欠陥準位が形成される。このため、酸化物半導体におけるシリコンや炭素の濃度と、酸化物半導体との界面近傍のシリコンや炭素の濃度(二次イオン質量分析法(SIMS: Secondary Ion Mass Spectrometry)により得られる濃度)を、 $2 \times 10^{18} \text{ atoms/cm}^3$ 以下、好ましくは $2 \times 10^{17} \text{ atoms/cm}^3$ 以下とする。

[0195]

また、酸化物半導体にアルカリ金属またはアルカリ土類金属が含まれると、欠陥準位を形成し、キャリアを生成する場合がある。従って、アルカリ金属またはアルカリ土類金属が含まれている酸化物半導体を用いたトランジスタはノーモリーオン特性となりやすい。このため、酸化物半導体中のアルカリ金属またはアルカリ土類金属の濃度を低減することが好ましい。具体的には、SIMSにより得られる酸化物半導体中のアルカリ金属またはアルカリ土類金属の濃度を、 $1 \times 10^{18} \text{ atoms/cm}^3$ 以下、好ましくは $2 \times 10^{16} \text{ atoms/cm}^3$ 以下にする。

[0196]

また、酸化物半導体において、窒素が含まれると、キャリアである電子が生じ、キャリア密度が増加し、n型化しやすい。この結果、窒素が含まれている酸化物半導体を半導体を用いたトランジスタはノーモリーオン特性となりやすい。従って、該酸化物半導体において、窒素はできる限り低減されていることが好ましい、例えば、酸化物半導体中の窒素濃度は、SIMSにおいて、 $5 \times 10^{19} \text{ atoms/cm}^3$ 未満、好ましくは $5 \times 10^{18} \text{ atoms/cm}^3$ 以下、より好ましくは $1 \times 10^{18} \text{ atoms/cm}^3$ 以下、さらに好ましくは $5 \times 10^{17} \text{ atoms/cm}^3$ 以下とする。

[0197]

また、酸化物半導体に含まれる水素は、金属原子と結合する酸素と反応して水になるため、酸素欠損を形成する場合がある。該酸素欠損に水素が入ることで、キャリアである電子が生成される場合がある。また、水素の一部が金属原子と結合する酸素と結合して、キャリアである電子を生成することがある。従って、水素が含まれている酸化物半導体を用いたトランジスタはノーモリーオン特性となりやすい。このため、酸化物半導体中の水素はできる限り低減されていることが好ましい。具体的には、酸化物半導体において、SIMSにより得られる水素濃度を、 $1 \times 10^{20} \text{ atoms/cm}^3$ 未満、好ましくは $1 \times 10^{19} \text{ atoms/cm}^3$ 未満、より好ましくは $5 \times 10^{18} \text{ atoms/cm}^3$ 未満、さらに好ましくは $1 \times 10^{18} \text{ atoms/cm}^3$ 未満とする。

[0198]

不純物が十分に低減された酸化物半導体をトランジスタのチャネル形成領域に用いることで、安定した電気特性を付与することができる。

[0199]

<半導体装置の変形例>

本実施の形態に示すトランジスタ200は図1に示すものに限られるものではない。以下では、本実施の形態に示すトランジスタ200の変形例について、図26を用いて説明する。また、以下において、トランジスタ200と同一の符号を付した構成については、トランジスタ200の対応する記載を参酌することができる。

[0200]

図26に示すトランジスタ200aは、酸化物245（酸化物245a、および酸化物245b）を有さない点において、図1に示すトランジスタ200と異なる。

[0201]

酸化物245を設けないことで、トランジスタの作製工程を簡略化することができる。なお、酸化物245を設けない場合、バリア膜244a、およびバリア膜244bは、後工程で形成される絶縁体280中の過剰酸素が絶縁体240a、および絶縁体240bへ吸収されるのを抑制することができる。

[0202]

また、本実施の形態で示す半導体装置では、導電体246が、絶縁体280、バリア膜244、絶縁体240a、および絶縁体240bに形成された開口を介して、ソース領域またはドレイン領域として機能する酸化物230bの低抵抗化した領域の上面と接する構成について示しているが、当該構成に限定されない。例えば、絶縁体240a、および絶縁体240bに開口を形成せず、導電体246が、酸化物230bの低抵抗化した領域の上面および側面と接する構成でも良い。

[0203]

なお、本実施の形態は、ほかの実施の形態と適宜組み合わせることができる。

[0204]

（実施の形態2）

本実施の形態においては、本発明の一態様に係るトランジスタ400の一例を説明する。

[0205]

以下では、図27に示すトランジスタ400について説明する。トランジスタ400は、上記のトランジスタ200などと並行して作製することができるトランジスタである。トランジスタ200と並行してトランジスタ400を作製する場合、余計な工程を増やすことなく、トランジスタ400を作製することができる。

[0206]

トランジスタ400は、絶縁体424の上に互いに離間して配置された酸化物430a1および酸化物430a2と、酸化物430a1の上面に接して配置された酸化物430b1と、酸化物430a2の上面に接して配置された酸化物430b2と、を有する点、酸化物430cが、絶縁体424の上面、酸化物430a1および酸化物430a2の側面、ならびに酸化物430b1および酸化物430b2の側面に接して配置されている点、酸化物245aおよび酸化物245bを有さない点において、トランジスタ200と異なる。

[0207]

トランジスタ400は、トップゲート電極として機能する導電体460（導電体460a、および導電体460b）と、バックゲート電極として機能する導電体405（導電体405a、および導電体405b）と、導電体460と接する絶縁体470と、ゲート絶縁膜として機能する絶縁体220、絶縁体222、絶縁体424、および絶縁体450と、チャンネル形成領域を有する酸化物430cと、ソースまたはドレインの一方として機能する酸化物430a1、および酸化物430b1と、ソースまたはドレインの他方として機能する酸化物430a2、および酸化物430b2と、を有する。

[0208]

酸化物430a1および酸化物430a2、酸化物430b1および酸化物430b2、ならびに酸化物430cは、それぞれ、トランジスタ200の酸化物230a、酸化物230b、酸化物230cと同様の材料を用いて形成することができる。酸化物430a1および酸化物430b1と、酸化物430a2および酸化物430b2とは、酸化物430c、絶縁体450、および導電体460を挟んで対向して形成される。

[0209]

酸化物430a1、酸化物430b1、および酸化物430cの一部、または、酸化物430a2、酸化物430b2、および酸化物430cの一部は、トランジスタ400のソース領域またはドレイン領域のいずれかとして機能できる。また、酸化物430cの、酸化物430a1および酸化物430b1と、酸化物430a2および酸化物430b2とに挟まれる領域は、チャンネル形成領域として機能する。

[0210]

トランジスタ400の活性層として機能する酸化物430cは、トランジスタ200の酸化物230cなどと同様に、酸素欠損が低減され、水、水素などの不純物が低減されている。これにより、トランジスタ400のしきい値電圧を0Vより大きくし、オフ電流を低減し、 I_{cut} を非常に小さくすることができる。ここで、 I_{cut} とは、トランジスタのスイッチング動作を制御するゲートの電圧が0Vのときのドレイン電流のことを指す。

[0211]

絶縁体440a、および絶縁体440bは、トランジスタ200の絶縁体240a、および絶縁体240bと同様の材料を用いて形成することができる。なお、絶縁体440aは、酸化物430a1および酸化物430b1と重なるように形成することができ、絶縁体440bは、酸化物430a2および酸化物430b2と重なるように形成することができる。

[0212]

導電体446a、および導電体446bは、実施の形態1で示した導電体246a、および導電体246bと同様の材料を用いて形成することができる。また、導電体448a、および導電体448bは、実施の形態1で示した導電体248a、および導電体248bと同様の材料を用いて形成することができる。また、バリア膜476a、およびバリア膜476bは、実施の形態1で示したバリア膜276a、およびバリア膜276bと同様の材料を用いて形成することができる。

[0213]

トランジスタ400は、トランジスタ200などのバックゲート電圧を制御することができる。例えば、トランジスタ400のトップゲート及びバックゲートをソースとダイオード接続し、トランジスタ400のソースとトランジスタ200のバックゲートを接続する構成とする。この構成でトランジスタ200のバックゲートの負電位を保持するとき、トランジスタ400のトップゲートーソース間

の電圧、およびバックゲートソース間の電圧は、0 Vになる。トランジスタ400のI_{cut}は非常に小さいので、この構成とすることにより、トランジスタ200およびトランジスタ400に電源供給をしなくてもトランジスタ200のバックゲートの負電位を長時間維持することができる。

[0214]

本構造を用いることで、酸化物半導体を有するトランジスタを用いた半導体装置において、電気特性の変動を抑制すると共に、信頼性を向上させることができる。または、酸化物半導体を有するトランジスタを用いた半導体装置において、消費電力を低減することができる。または、酸化物半導体を有するトランジスタを用いた半導体装置において、微細化または高集積化を図ることができる。または、微細化または高集積化された半導体装置を生産性良く提供することができる。

[0215]

以上のようにして、本発明の一態様により、信頼性の高い半導体装置を提供することができる。

[0216]

以上、本実施の形態に示す構成、方法などは、他の実施の形態に示す構成、方法などと適宜組み合わせ用いることができる。

[0217]

(実施の形態3)

本実施の形態においては、本発明の一態様の記憶装置の例を、図28乃至図31を用いて説明する。

[0218]

<記憶装置の構成1>

図28は記憶装置の断面図である。図28に示す記憶装置はトランジスタ200、トランジスタ300、および容量素子100を有する。なお、図28に示す記憶装置において、上記実施の形態に示した半導体装置を構成する構造と同機能を有する構造には、同符号を付記する。

[0219]

トランジスタ200は、酸化物半導体を有する半導体層にチャンネルが形成されるトランジスタである。トランジスタ200は、オフ電流が小さいため、これを記憶装置に用いることにより長期にわたり記憶内容を保持することが可能である。つまり、リフレッシュ動作を必要としない、あるいは、リフレッシュ動作の頻度が極めて少ないため、記憶装置の消費電力を十分に低減することができる。

[0220]

図28に示す記憶装置において、配線1001はトランジスタ300のソースと電氣的に接続され、配線1002はトランジスタ300のドレインと電氣的に接続されている。また、配線1003はトランジスタ200のソースおよびドレインの一方と電氣的に接続され、配線1004はトランジスタ200の第1のゲートと電氣的に接続され、配線1006はトランジスタ200の第2のゲートと電氣的に接続されている。そして、トランジスタ300のゲート、およびトランジスタ200のソースおよびドレインの他方は、容量素子100の電極の一方と電氣的に接続され、配線1005は容量素子100の電極の他方と電氣的に接続されている。

[0221]

図28に示す記憶装置は、トランジスタ300のゲートの電位が保持可能という特性を有することで、以下に示すように、情報の書き込み、保持、読み出しが可能である。

[0222]

情報の書き込みおよび保持について説明する。まず、配線1004の電位を、トランジスタ200が

導通状態となる電位にして、トランジスタ200を導通状態とする。これにより、配線1003の電位が、トランジスタ300のゲート、および容量素子100の電極の一方と電気的に接続するノードFGに与えられる。すなわち、トランジスタ300のゲートには、所定の電荷が与えられる（書き込み）。ここでは、異なる二つの電位レベルを与える電荷（以下Lowレベル電荷、Highレベル電荷という。）のどちらかが与えられるものとする。その後、配線1004の電位を、トランジスタ200が非導通状態となる電位にして、トランジスタ200を非導通状態とすることにより、ノードFGに電荷が保持される（保持）。

[0223]

トランジスタ200のオフ電流が小さい場合、ノードFGの電荷は長期間にわたって保持される。

[0224]

次に情報の読み出しについて説明する。配線1001に所定の電位（定電位）を与えた状態で、配線1005に適切な電位（読み出し電位）を与えると、配線1002は、ノードFGに保持された電荷量に応じた電位をとる。これは、トランジスタ300をnチャネル型とすると、トランジスタ300のゲートにHighレベル電荷が与えられている場合の見かけ上のしきい値電圧 V_{th_H} は、トランジスタ300のゲートにLowレベル電荷が与えられている場合の見かけ上のしきい値電圧 V_{th_L} より低くなるためである。ここで、見かけ上のしきい値電圧とは、トランジスタ300を「導通状態」とするために必要な配線1005の電位をいうものとする。したがって、配線1005の電位を V_{th_H} と V_{th_L} の間の電位 V_0 とすることにより、ノードFGに与えられた電荷を判別できる。例えば、書き込みにおいて、ノードFGにHighレベル電荷が与えられていた場合には、配線1005の電位が V_0 ($> V_{th_H}$) となれば、トランジスタ300は「導通状態」となる。一方、ノードFGにLowレベル電荷が与えられていた場合には、配線1005の電位が V_0 ($< V_{th_L}$) となっても、トランジスタ300は「非導通状態」のままである。このため、配線1002の電位を判別することで、ノードFGに保持されている情報を読み出すことができる。

[0225]

<記憶装置の構造1>

本発明の一態様の記憶装置は、図28に示すようにトランジスタ300、トランジスタ200、および容量素子100を有する。トランジスタ200はトランジスタ300の上方に設けられ、容量素子100はトランジスタ300、およびトランジスタ200の上方に設けられている。

[0226]

トランジスタ300は、基板311上に設けられ、導電体316、絶縁体315、基板311の一部からなる半導体領域313、ならびにソース領域またはドレイン領域として機能する低抵抗領域314a、および低抵抗領域314bを有する。

[0227]

トランジスタ300は、pチャネル型、あるいはnチャネル型のいずれでもよい。

[0228]

半導体領域313のチャネル形成領域、その近傍の領域、ソース領域、またはドレイン領域となる低抵抗領域314a、および低抵抗領域314bなどにおいて、シリコン系半導体などの半導体を含むことが好ましく、単結晶シリコンを含むことが好ましい。または、Ge（ゲルマニウム）、SiGe（シリコンゲルマニウム）、GaAs（ガリウムヒ素）、GaAlAs（ガリウムアルミニウムヒ素）などを有する材料で形成してもよい。結晶格子に応力を与え、格子間隔を変化させることで有効質量

を制御したシリコンを用いた構成としてもよい。またはGaAsとGaAlAs等を用いることで、トランジスタ300をHEMT(High Electron Mobility Transistor)としてもよい。

[0229]

低抵抗領域314a、および低抵抗領域314bは、半導体領域313に適用される半導体材料に加え、ヒ素、リンなどのn型の導電性を付与する元素、またはホウ素などのp型の導電性を付与する元素を含む。

[0230]

ゲート電極として機能する導電体316は、ヒ素、リンなどのn型の導電性を付与する元素、もしくはホウ素などのp型の導電性を付与する元素を含むシリコンなどの半導体材料、金属材料、合金材料、または金属酸化物材料などの導電性材料を用いることができる。

[0231]

なお、導電体の材料により、仕事関数が定まるため、導電体の材料を変更することで、しきい値電圧を調整することができる。具体的には、導電体に窒化チタンや窒化タンタルなどの材料を用いることが好ましい。さらに導電性と埋め込み性を両立するために導電体にタングステンやアルミニウムなどの金属材料を積層として用いることが好ましく、特にタングステンをを用いることが耐熱性の点で好ましい。

[0232]

なお、図28に示すトランジスタ300は一例であり、その構造に限定されず、回路構成や駆動方法に応じて適切なトランジスタを用いればよい。

[0233]

トランジスタ300を覆って、絶縁体320、絶縁体322、絶縁体324、および絶縁体326が順に積層して設けられている。

[0234]

絶縁体320、絶縁体322、絶縁体324、および絶縁体326として、例えば、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化アルミニウム、酸化窒化アルミニウム、窒化酸化アルミニウム、窒化アルミニウムなどを用いればよい。

[0235]

絶縁体322は、その下方に設けられるトランジスタ300などによって生じる段差を平坦化する平坦化膜として機能していてもよい。例えば、絶縁体322の上面は、平坦性を高めるためにCMP法等を用いた平坦化処理により平坦化されていてもよい。

[0236]

また、絶縁体324には、基板311、またはトランジスタ300などから、トランジスタ200が設けられる領域に、水素や不純物が拡散しないようなバリア性を有する膜を用いることが好ましい。

[0237]

水素に対するバリア性を有する膜の一例として、例えば、CVD法で形成した窒化シリコンを用いることができる。ここで、トランジスタ200等の酸化物半導体を有する半導体素子に、水素が拡散することで、該半導体素子の電気特性が低下する場合がある。したがって、トランジスタ200と、トランジスタ300との間に、水素の拡散を抑制する膜を用いることが好ましい。水素の拡散を抑制する膜とは、具体的には、水素の脱離量が少ない膜とする。

[0238]

水素の脱離量は、例えば、昇温脱離ガス分析法（TDS）などを用いて分析することができる。例えば、絶縁体324の水素の脱離量は、TDS分析において、膜の表面温度が50℃から500℃の範囲において、水素原子に換算した脱離量が、絶縁体324の面積当たりに換算して、 $10 \times 10^{15} \text{ atoms/cm}^2$ 以下、好ましくは $5 \times 10^{15} \text{ atoms/cm}^2$ 以下であればよい。

[0239]

なお、絶縁体326は、絶縁体324よりも誘電率が低いことが好ましい。例えば、絶縁体326の比誘電率は4未満が好ましく、3未満がより好ましい。また例えば、絶縁体326の比誘電率は、絶縁体324の比誘電率の0.7倍以下が好ましく、0.6倍以下がより好ましい。誘電率が低い材料を層間膜とすることで、配線間に生じる寄生容量を低減することができる。

[0240]

また、絶縁体320、絶縁体322、絶縁体324、および絶縁体326には容量素子100、またはトランジスタ200と電氣的に接続する導電体328、および導電体330等が埋め込まれている。なお、導電体328、および導電体330はプラグ、または配線としての機能を有する。また、プラグまたは配線として機能する導電体は、複数の構造をまとめて同一の符号を付与する場合がある。また、本明細書等において、配線と、配線と電氣的に接続するプラグとが一体物であってもよい。すなわち、導電体の一部が配線として機能する場合、および導電体の一部がプラグとして機能する場合もある。

[0241]

各プラグ、および配線（導電体328、および導電体330等）の材料としては、金属材料、合金材料、金属窒化物材料、金属酸化物材料などの導電性材料を、単層または積層して用いることができる。耐熱性と導電性を両立するタングステンやモリブデンなどの高融点材料を用いることが好ましく、タングステンを用いることが好ましい。または、アルミニウムや銅などの低抵抗導電性材料で形成することが好ましい。低抵抗導電性材料を用いることで配線抵抗を低くすることができる。

[0242]

絶縁体326、および導電体330上に、配線層を設けてもよい。例えば、図28において、絶縁体350、絶縁体352、および絶縁体354が順に積層して設けられている。また、絶縁体350、絶縁体352、および絶縁体354には、導電体356が形成されている。導電体356は、プラグ、または配線としての機能を有する。なお導電体356は、導電体328、および導電体330と同様の材料を用いて設けることができる。

[0243]

なお、例えば、絶縁体350は、絶縁体324と同様に、水素に対するバリア性を有する絶縁体を用いることが好ましい。また、導電体356は、水素に対するバリア性を有する導電体を含むことが好ましい。特に、水素に対するバリア性を有する絶縁体350が有する開口部に、水素に対するバリア性を有する導電体が形成されることが好ましい。当該構成により、トランジスタ300とトランジスタ200とは、バリア層により分離することができ、トランジスタ300からトランジスタ200への水素の拡散を抑制することができる。

[0244]

なお、水素に対するバリア性を有する導電体としては、例えば、窒化タンタル等を用いるとよい。また、窒化タンタルと導電性が高いタングステンを積層することで、配線としての導電性を保持したま

ま、トランジスタ300から絶縁体350への水素の拡散を抑制することができる。この場合、水素に対するバリア性を有する窒化タンタル層が、水素に対するバリア性を有する絶縁体350と接する構造であることが好ましい。

[0245]

絶縁体354上には絶縁体210、絶縁体212、絶縁体214、および絶縁体216が、順に積層して設けられている。絶縁体210、絶縁体212、絶縁体214、および絶縁体216のいずれかは、酸素や水素に対してバリア性のある物質を用いることが好ましい。

[0246]

例えば、絶縁体210、および絶縁体214には、例えば、基板311、またはトランジスタ300を設ける領域などから、トランジスタ200を設ける領域に、水素や不純物が拡散しないようなバリア性を有する膜を用いることが好ましい。したがって、絶縁体324と同様の材料を用いることができる。

[0247]

水素に対するバリア性を有する膜の一例として、CVD法で形成した窒化シリコンを用いることができる。ここで、トランジスタ200等の酸化物半導体を有する半導体素子に、水素が拡散することで、該半導体素子の電気特性が低下する場合がある。したがって、トランジスタ200と、トランジスタ300との間に、水素の拡散を抑制する膜を用いることが好ましい。水素の拡散を抑制する膜とは、具体的には、水素の脱離量が少ない膜とする。

[0248]

また、水素に対するバリア性を有する膜として、例えば、絶縁体210、および絶縁体214には、酸化アルミニウム、酸化ハフニウム、酸化タンタルなどの金属酸化物を用いることが好ましい。

[0249]

特に、酸化アルミニウムは、酸素、およびトランジスタの電気特性の変動要因となる水素、水分などの不純物、の両方に対して膜を透過させない遮断効果が高い。したがって、酸化アルミニウムは、トランジスタの作製工程中および作製後において、水素、水分などの不純物のトランジスタ200への混入を防止することができる。また、トランジスタ200を構成する酸化物からの酸素の放出を抑制することができる。そのため、酸化アルミニウムは、トランジスタ200に対する保護膜として用いることに適している。

[0250]

また、例えば、絶縁体212、および絶縁体216には、絶縁体320と同様の材料を用いることができる。また、比較的誘電率が低い材料を層間膜とすることで、配線間に生じる寄生容量を低減することができる。例えば、絶縁体212、および絶縁体216として、酸化シリコン膜や酸化窒化シリコン膜などを用いることができる。

[0251]

また、絶縁体210、絶縁体212、絶縁体214、および絶縁体216には、導電体218、およびトランジスタ200を構成する導電体（導電体205）等が埋め込まれている。なお、導電体218は、容量素子100、またはトランジスタ300と電氣的に接続するプラグ、または配線としての機能を有する。導電体218は、導電体328、および導電体330と同様の材料を用いて設けることができる。

[0252]

特に、絶縁体210、および絶縁体214と接する領域の導電体218は、酸素、水素、および水に対するバリア性を有する導電体であることが好ましい。当該構成により、トランジスタ300とトランジスタ200とは、酸素、水素、および水に対するバリア性を有する層で分離することができ、トランジスタ300からトランジスタ200への水素の拡散を抑制することができる。

[0253]

絶縁体216の上方には、トランジスタ200が設けられている。なお、トランジスタ200の構造は、上記実施の形態で説明した半導体装置が有するトランジスタを用いればよい。また、図28に示すトランジスタ200は一例であり、その構造に限定されず、回路構成や駆動方法に応じて適切なトランジスタを用いればよい。

[0254]

トランジスタ200の上方には、絶縁体280を設ける。

[0255]

絶縁体280上には、絶縁体282が設けられている。絶縁体282は、酸素や水素に対してバリア性のある物質を用いることが好ましい。したがって、絶縁体282には、絶縁体214と同様の材料を用いることができる。例えば、絶縁体282には、酸化アルミニウム、酸化ハフニウム、酸化タンタルなどの金属酸化物を用いることが好ましい。

[0256]

特に、酸化アルミニウムは、酸素、およびトランジスタの電気特性の変動要因となる水素、水分などの不純物、の両方に対して膜を透過させない遮断効果が高い。したがって、酸化アルミニウムは、トランジスタの作製工程中および作製後において、水素、水分などの不純物のトランジスタ200への混入を防止することができる。また、トランジスタ200を構成する酸化物からの酸素の放出を抑制することができる。そのため、トランジスタ200に対する保護膜として用いることに適している。

[0257]

また、絶縁体282上には、絶縁体286が設けられている。絶縁体286は、絶縁体320と同様の材料を用いることができる。また、比較的誘電率が低い材料を層間膜とすることで、配線間に生じる寄生容量を低減することができる。例えば、絶縁体286として、酸化シリコン膜や酸化窒化シリコン膜などを用いることができる。

[0258]

また、絶縁体220、絶縁体222、絶縁体280、絶縁体282、および絶縁体286には、導電体246、および導電体248等が埋め込まれている。

[0259]

導電体246、および導電体248は、容量素子100、トランジスタ200、またはトランジスタ300と電氣的に接続するプラグ、または配線として機能する。導電体246、および導電体248は、導電体328、および導電体330と同様の材料を用いて設けることができる。

[0260]

続いて、トランジスタ200の上方には、容量素子100が設けられている。容量素子100は、導電体110、導電体120、および絶縁体130を有する。

[0261]

また、導電体246、および導電体248上に、導電体112を設けてもよい。導電体112は、容量素子100、トランジスタ200、またはトランジスタ300と電氣的に接続するプラグ、または

配線として機能する。導電体 110 は、容量素子 100 の電極として機能する。なお、導電体 112、および導電体 110 は、同時に形成することができる。

[0262]

導電体 112、および導電体 110 には、モリブデン、チタン、タンタル、タングステン、アルミニウム、銅、クロム、ネオジム、スカンジウムから選ばれた元素を含む金属膜、または上述した元素を成分とする金属窒化物膜（窒化タンタル膜、窒化チタン膜、窒化モリブデン膜、窒化タングステン膜）等を用いることができる。または、インジウム錫酸化物、酸化タングステンを含むインジウム酸化物、酸化タングステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム亜鉛酸化物、酸化ケイ素を添加したインジウム錫酸化物などの導電性材料を適用することもできる。

[0263]

図 28 では、導電体 112、および導電体 110 は単層構造を示したが、当該構成に限定されず、2 層以上の積層構造でもよい。例えば、バリア性を有する導電体と導電性が高い導電体との間に、バリア性を有する導電体および導電性が高い導電体に対して、密着性が高い導電体を形成してもよい。

[0264]

また、導電体 112、および導電体 110 上に、容量素子 100 の誘電体として、絶縁体 130 を設ける。絶縁体 130 は、例えば、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化アルミニウム、酸化窒化アルミニウム、窒化酸化アルミニウム、窒化アルミニウム、酸化ハフニウム、酸化窒化ハフニウム、窒化酸化ハフニウム、窒化ハフニウムなどを用いればよく、積層または単層で設けることができる。

[0265]

例えば、絶縁体 130 には、酸化窒化シリコンなどの絶縁耐力が大きい材料を用いるとよい。当該構成により、容量素子 100 は、絶縁体 130 を有することで、絶縁耐力が向上し、容量素子 100 の静電破壊を抑制することができる。

[0266]

絶縁体 130 上に、導電体 110 と重畳するように、導電体 120 を設ける。なお、導電体 120 は、金属材料、合金材料、金属酸化物材料などの導電性材料を用いることができる。耐熱性と導電性を両立するタングステンやモリブデンなどの高融点材料を用いることが好ましく、特にタングステンを用いることが好ましい。また、導電体などの他の構造と同時に形成する場合は、低抵抗金属材料である Cu（銅）や Al（アルミニウム）等を用いればよい。

[0267]

導電体 120、および絶縁体 130 上には、絶縁体 150 が設けられている。絶縁体 150 は、絶縁体 320 と同様の材料を用いて設けることができる。また、絶縁体 150 は、その下方の凹凸形状を被覆する平坦化膜として機能してもよい。

[0268]

本構造を用いることで、酸化物半導体を有するトランジスタを用いた半導体装置において、電気特性の変動を抑制すると共に、信頼性を向上させることができる。または、オン電流が大きい酸化物半導体を有するトランジスタを提供することができる。または、オフ電流が小さい酸化物半導体を有するトランジスタを提供することができる。または、消費電力が低減された半導体装置を提供することができる。

[0269]

<記憶装置の構成2>

図29に示す記憶装置は、容量素子100が、トランジスタ200と同じ層に形成されている点において、図28に示す記憶装置と異なる。なお、図29に示す記憶装置において、上記実施の形態、<記憶装置の構成1>、または<記憶装置の構造1>に示した半導体装置、および記憶装置を構成する構造と同機能を有する構造には、同符号を付記する。

[0270]

図29は本発明の一態様の記憶装置の断面図である。当該記憶装置はトランジスタ200、トランジスタ300、および容量素子100を有する。当該記憶装置は、トランジスタ200と、容量素子100とを、同層に設けることで、トランジスタ200を構成する構造の一部を、容量素子100が構成する構造の一部と、併用することができる。つまり、トランジスタ200の構造の一部は、容量素子100の構造の一部として、機能する場合がある。<記憶装置の構成2>では、トランジスタ200のソースまたはドレインの他方として機能する、トランジスタ200の酸化物230bに設けられた領域231bが、容量素子の電極の一方として機能する例について示す。

[0271]

図29に示すように、容量素子100は、酸化物230bの領域231bと、領域231b上の絶縁体と、当該絶縁体上の導電体120と、で構成される。なお、当該絶縁体の上に、導電体120の少なくとも一部が酸化物230bの領域231bと重なるように、導電体120が配置されることが好ましい。

[0272]

酸化物230bの領域231bは、容量素子100の電極の一方として機能し、導電体120は、容量素子100の電極の他方として機能する。上記絶縁体は容量素子100の誘電体として機能する。酸化物230の領域231bは低抵抗化されており、導電性酸化物である。したがって、容量素子100の電極の一方として機能することができる。また、上記絶縁体は、トランジスタ200を構成する絶縁体（絶縁体240b、絶縁体250）、バリア膜（バリア膜244b）、および酸化物（酸化物245b、酸化物230c）で構成されている。

[0273]

上記の構成とすることにより、トランジスタ200と並行して容量素子100を作製する場合、余計な工程を増やすことなく、容量素子100を作製することができる。

[0274]

<記憶装置の構成3>

図30(A)に示す記憶装置は、トランジスタ300を有しない点、トランジスタ400が、トランジスタ200と同じ層に形成されている点において、図28に示す記憶装置と異なる。なお、図30(A)に示す記憶装置において、上記実施の形態、<記憶装置の構成1>、<記憶装置の構造1>、または<記憶装置の構成2>に示した半導体装置、および記憶装置を構成する構造と同機能を有する構造には、同符号を付記する。

[0275]

ここで、図30(A)に示す記憶装置における、トランジスタ200、トランジスタ400、および容量素子100の接続関係の一例を示した回路図を図30(B)に示す。なお、図30(B)に示す配線1003乃至配線1005、および配線1010は、図30(A)に示す配線1003乃至配線

1005、および配線1010に対応する。

[0276]

図30(A)、図30(B)に示すように、トランジスタ200は、ゲートが配線1004と、ソースおよびドレインの一方が配線1003と、ソースおよびドレインの他方が容量素子100の電極の一方と電気的に接続される。また、容量素子100の電極の他方が配線1005と電気的に接続される。また、トランジスタ400のドレインが配線1010と電気的に接続される。また、図30(A)に示すように、トランジスタ200のバックゲートと、トランジスタ400のソース、トップゲート、およびバックゲートが、配線1006、配線1007、配線1008、および配線1009を介して電気的に接続される。

[0277]

ここで、配線1004に電位を印加することで、トランジスタ200のオン状態、オフ状態を制御することができる。トランジスタ200をオン状態として、配線1003に電位を印加することで、トランジスタ200を介して、容量素子100に電荷を供給することができる。このとき、トランジスタ200をオフ状態にすることで、容量素子100に供給された電荷を保持することができる。また、配線1005は、任意の電位を与えることで、容量結合によって、トランジスタ200と容量素子100の接続部分の電位を制御することができる。例えば、配線1005に接地電位を与えると、上記電荷を保持しやすくなる。また、配線1010に負の電位を印加することで、トランジスタ400を介して、トランジスタ200のバックゲートに負の電位を与え、トランジスタ200の閾値電圧を0Vより大きくし、オフ電流を低減し、ゲート電圧が0Vの時のドレイン電流を非常に小さくすることができる。

[0278]

図30(B)に示すように、トランジスタ400のトップゲートおよびバックゲートをソースと接続（ダイオード接続）し、トランジスタ400のソースとトランジスタ200のバックゲートを接続する構成にすることで、配線1010によって、トランジスタ200のバックゲート電位を制御することができる。トランジスタ200のバックゲートの負電位を保持するとき、トランジスタ400のトップゲートーソース間の電位差、およびバックゲートーソース間の電位差は、0Vになる。トランジスタ400のゲート電圧が0Vの時のドレイン電流が非常に小さく、閾値電圧がトランジスタ200より大きいので、この構成とすることにより、トランジスタ400に電源供給をしなくてもトランジスタ200のバックゲートの負電位を長時間維持することができる。

[0279]

さらに、トランジスタ200のバックゲートの負電位を保持することで、トランジスタ200に電源供給をしなくてもトランジスタ200のゲート電圧が0Vの時のドレイン電流を非常に小さい状態に維持することができる。つまり、トランジスタ200およびトランジスタ400に電源供給をしなくても、容量素子100に電荷を長時間保持することができる。例えば、このような半導体装置を記憶素子として用いることにより、電源供給無しで長時間の記憶保持を行うことができる。よって、リフレッシュ動作の頻度が少ない、またはリフレッシュ動作を必要としない記憶装置を提供することができる。

[0280]

なお、トランジスタ200、トランジスタ400、および容量素子100の接続関係は、図30(A)、図30(B)に示すものに限定されない。必要な回路構成に応じて適宜接続関係を変更することがで

きる。

[0281]

<記憶装置の構成4>

図31に示す記憶装置は、トランジスタ400が、トランジスタ200と同じ層に形成されている点において、図28に示す記憶装置と異なる。また、図31に示す記憶装置は、トランジスタ300を有する点において、図30に示す記憶装置と異なる。

[0282]

トランジスタ200は、チャンネル形成領域に金属酸化物を有するトランジスタであり、上記実施の形態に示すトランジスタを用いることができる。上記実施の形態に示すトランジスタは、微細化しても歩留まり良く形成できるので、トランジスタ200の微細化を図ることができる。このようなトランジスタを記憶装置に用いることで、記憶装置の微細化または高集積化を図ることができる。上記実施の形態に示すトランジスタは、オフ電流が小さいため、これを記憶装置に用いることにより長期にわたり記憶内容を保持することが可能である。つまり、リフレッシュ動作を必要としない、あるいは、リフレッシュ動作の頻度が極めて少ないため、記憶装置の消費電力を十分に低減することができる。

[0283]

図31に示す記憶装置において、配線1001はトランジスタ300のソースと電氣的に接続され、配線1002はトランジスタ300のドレインと電氣的に接続されている。また、配線1003はトランジスタ200のソースおよびドレインの一方と電氣的に接続され、配線1004はトランジスタ200の第1のゲートと電氣的に接続され、配線1006はトランジスタ200の第2のゲートと電氣的に接続されている。そして、トランジスタ300のゲート、およびトランジスタ200のソースおよびドレインの他方は、容量素子100の電極の一方と電氣的に接続され、配線1005は容量素子100の電極の他方と電氣的に接続されている。また、配線1007はトランジスタ400のソースと電氣的に接続され、配線1008はトランジスタ400の第1のゲートと電氣的に接続され、配線1009はトランジスタ400の第2のゲートと電氣的に接続され、配線1010はトランジスタ400のドレインと電氣的に接続されている。ここで、配線1006、配線1007、配線1008、および配線1009が電氣的に接続されている。

[0284]

先の<記憶装置の構成1>で示したように、図31に示す記憶装置は、トランジスタ300のゲートの電位が保持可能という特性を有することで、情報の書き込み、保持、読み出しが可能である。

[0285]

図31に示す構成にすることで、配線1010によって、トランジスタ200のバックゲート電位を制御することができる。トランジスタ200のバックゲートの負電位を保持するとき、トランジスタ400のトップゲートーソース間の電位差、およびバックゲートーソース間の電位差は、0Vになる。トランジスタ400のゲート電圧が0Vの時のドレイン電流が非常に小さく、閾値電圧がトランジスタ200より大きいので、この構成とすることにより、トランジスタ400に電源供給をしなくてもトランジスタ200のバックゲートの負電位を長時間維持することができる。

[0286]

さらに、トランジスタ200のバックゲートの負電位を保持することで、トランジスタ200に電源供給をしなくてもトランジスタ200のゲート電圧が0Vの時のドレイン電流を非常に小さい状態に維持することができる。つまり、トランジスタ200およびトランジスタ400に電源供給をしな

くても、容量素子100に電荷を長時間保持することができる。例えば、このような半導体装置を記憶素子として用いることにより、電源供給無しで長時間の記憶保持を行うことができる。よって、リフレッシュ動作の頻度が少ない、またはリフレッシュ動作を必要としない記憶装置を提供することができる。

[0287]

<記憶装置の構造2>

図31は、容量素子100、トランジスタ200、トランジスタ300、およびトランジスタ400を有する記憶装置の断面図である。なお、図31に示す記憶装置において、上記実施の形態、<記憶装置の構成1>、<記憶装置の構成1>、<記憶装置の構成2>、または<記憶装置の構成3>に示した半導体装置、および記憶装置を構成する構造と同機能を有する構造には、同符号を付記する。

[0288]

本発明の一態様の記憶装置は、図31に示すようにトランジスタ300、トランジスタ200、トランジスタ400、および容量素子100を有する。トランジスタ200、およびトランジスタ400はトランジスタ300の上方に設けられ、容量素子100はトランジスタ300、トランジスタ200、およびトランジスタ400の上方に設けられている。

[0289]

なお、容量素子100、トランジスタ300、トランジスタ200、およびトランジスタ400としては、上記実施の形態、<記憶装置の構成1>、<記憶装置の構成1>、<記憶装置の構成2>、または<記憶装置の構成3>で説明した半導体装置が有する容量素子およびトランジスタを用いればよい。なお、図31に示す容量素子100、トランジスタ300、トランジスタ200、およびトランジスタ400は一例であり、その構造に限定されず、回路構成や駆動方法に応じて適切なトランジスタを用いればよい。

[0290]

ここで、大面積基板を半導体素子ごとに分断することによって、複数の半導体装置をチップ状で取り出す場合に設けられるダイシングライン（スクライブライン、分断ライン、または切断ラインと呼ぶ場合がある。）について説明する。分断方法としては、例えば、まず、基板に半導体素子を分断するための溝（ダイシングライン）を形成した後、ダイシングラインにおいて切断し、複数の半導体装置に分断（分割）する場合がある。例えば、図31に示す構造500は、ダイシングライン近傍の断面図を示している。

[0291]

例えば、構造500に示すように、トランジスタ200、またはトランジスタ400を有するメモリセルの外縁に設けられるダイシングラインと重なる領域近傍において、絶縁体280、絶縁体222、絶縁体220、および絶縁体216に、絶縁体214に達する開口を設ける。また、絶縁体280、絶縁体224、絶縁体222、絶縁体220、および絶縁体216の側面、および絶縁体214の底面を覆うように、絶縁体282を設ける。

[0292]

つまり、上記開口部において絶縁体214と、絶縁体282とが接する。このとき、絶縁体214と、絶縁体282と、を同材料および同方法を用いて形成することで、密着性を高めることができる。例えば、酸化アルミニウムを用いることができる。

[0293]

上記構造により、絶縁体214と、絶縁体282とで、絶縁体280、トランジスタ200、およびトランジスタ400を包み込むことができる。絶縁体214、および絶縁体282は、酸素、水素、および水の拡散を抑制する機能を有しているため、本実施の形態に示す半導体素子が形成された回路領域ごとに、基板を分断することにより、複数のチップに加工しても、分断した基板の側面方向から、水素、水などの不純物が混入し、トランジスタ200、またはトランジスタ400に拡散することを防ぐことができる。

[0294]

また、上記構造により、絶縁体280の過剰酸素が絶縁体282、および絶縁体214の外部に拡散することを防ぐことができる。したがって、絶縁体280の過剰酸素は、効率的にトランジスタ200、またはトランジスタ400におけるチャネルが形成される酸化物に供給される。当該酸素により、トランジスタ200、またはトランジスタ400におけるチャネルが形成される酸化物の酸素欠損を低減することができる。これにより、トランジスタ200、またはトランジスタ400におけるチャネルが形成される酸化物を欠陥準位密度が低い、安定な特性を有する金属酸化物とすることができる。つまり、トランジスタ200、またはトランジスタ400の電気特性の変動を抑制すると共に、信頼性を向上させることができる。

[0295]

なお、本実施の形態は、ほかの実施の形態と適宜組み合わせることができる。

[0296]

(実施の形態4)

本実施の形態では、図32および図33を用いて、本発明の一態様に係る、金属酸化物をチャネル形成領域に用いたトランジスタ（以下、OSTランジスタと呼ぶ。）、および容量素子が適用されている記憶装置の一例として、NOSRAMについて説明する。NOSRAM（登録商標）とは「Non volatile Oxide Semiconductor Random Access Memory」の略称であり、ゲインセル型（2T型、3T型）のメモリセルを有するRAMを指す。なお、以下において、NOSRAMのようにOSTランジスタを用いたメモリ装置を、OSメモリと呼ぶ場合がある。

[0297]

NOSRAMでは、メモリセルにOSTランジスタが用いられるメモリ装置（以下、「OSメモリ」と呼ぶ。）が適用されている。OSメモリは、少なくとも容量素子と、容量素子の充放電を制御するOSTランジスタを有するメモリである。OSTランジスタが極小オフ電流のトランジスタであるので、OSメモリは優れた保持特性をもち、不揮発性メモリとして機能させることができる。

[0298]

<<NOSRAM>>

図32にNOSRAMの構成例を示す。図32に示すNOSRAM1600は、メモリセルアレイ1610、コントローラ1640、行ドライバ1650、列ドライバ1660、出力ドライバ1670を有する。なお、NOSRAM1600は、1のメモリセルで多値データを記憶する多値NOSRAMである。

[0299]

メモリセルアレイ1610は複数のメモリセル1611、複数のワード線WWL、ワード線RWL、ビット線BL、ソース線SLを有する。ワード線WWLは書き込みワード線であり、ワード線RWL

は読み出しワード線である。NOSRAM1600では、1のメモリセル1611で3ビット(8値)のデータを記憶する。

[0300]

コントローラ1640は、NOSRAM1600全体を統括的に制御し、データWDA[31:0]の書き込み、データRDA[31:0]の読み出しを行う。コントローラ1640は、外部からのコマンド信号(例えば、チップイネーブル信号、書き込みイネーブル信号など)を処理して、行ドライバ1650、列ドライバ1660および出力ドライバ1670の制御信号を生成する。

[0301]

行ドライバ1650は、アクセスする行を選択する機能を有する。行ドライバ1650は、行デコーダ1651、およびワード線ドライバ1652を有する。

[0302]

列ドライバ1660は、ソース線SLおよびビット線BLを駆動する。列ドライバ1660は、列デコーダ1661、書き込みドライバ1662、DAC(デジタル-アナログ変換回路)1663を有する。

[0303]

DAC1663は3ビットのデジタルデータをアナログ電圧に変換する。DAC1663は32ビットのデータWDA[31:0]を3ビットごとに、アナログ電圧に変換する。

[0304]

書き込みドライバ1662は、ソース線SLをプリチャージする機能、ソース線SLを電氣的に浮遊状態にする機能、ソース線SLを選択する機能、選択されたソース線SLにDAC1663で生成した書き込み電圧を入力する機能、ビット線BLをプリチャージする機能、ビット線BLを電氣的に浮遊状態にする機能等を有する。

[0305]

出力ドライバ1670は、セクタ1671、ADC(アナログ-デジタル変換回路)1672、出力バッファ1673を有する。セクタ1671は、アクセスするソース線SLを選択し、選択されたソース線SLの電圧をADC1672に送信する。ADC1672は、アナログ電圧を3ビットのデジタルデータに変換する機能を持つ。ソース線SLの電圧はADC1672において、3ビットのデータに変換され、出力バッファ1673はADC1672から出力されるデータを保持する。

[0306]

<メモリセル>

図33(A)はメモリセル1611の構成例を示す回路図である。メモリセル1611は2T型のゲインセルであり、メモリセル1611はワード線WWL、ワード線RWL、ビット線BL、ソース線SL、配線BGLに電氣的に接続されている。メモリセル1611は、ノードSN、OSトランジスタMO61、トランジスタMP61、容量素子C61を有する。OSトランジスタMO61は書き込みトランジスタである。トランジスタMP61は読み出しトランジスタであり、例えばpチャネル型Siトランジスタで構成される。容量素子C61はノードSNの電位を保持するための保持容量である。ノードSNはデータの保持ノードであり、ここではトランジスタMP61のゲートに相当する。

[0307]

メモリセル1611の書き込みトランジスタがOSトランジスタMO61で構成されているため、NOSRAM1600は長時間データを保持することが可能である。

[0308]

図33(A)の例では、ビット線は、書き込みと読み出しで共通のビット線であるが、図33(B)に示すように、書き込みビット線WBLと、読み出しビット線RBLとを設けてもよい。

[0309]

図33(C)乃至図33(E)にメモリセルの他の構成例を示す。図33(C)乃至図33(E)には、書き込み用ビット線と読み出し用ビット線を設けた例を示しているが、図33(A)のように書き込みと読み出しで共有されるビット線を設けてもよい。

[0310]

図33(C)に示すメモリセル1612は、メモリセル1611の変形例であり、読み出しトランジスタをnチャネル型トランジスタ(MN61)に変更したものである。トランジスタMN61はOSトランジスタであってもよいし、Siトランジスタであってもよい。

[0311]

メモリセル1611、メモリセル1612において、OSトランジスタMO61はバックゲートの無いOSトランジスタであってもよい。

[0312]

図33(D)に示すメモリセル1613は、3T型ゲインセルであり、ワード線WWL、ワード線RWL、ビット線WBL、ビット線RBL、ソース線SL、配線BGL、配線PCLに電氣的に接続されている。メモリセル1613は、ノードSN、OSトランジスタMO62、トランジスタMP62、トランジスタMP63、容量素子C62を有する。OSトランジスタMO62は書き込みトランジスタである。トランジスタMP62は読み出しトランジスタであり、トランジスタMP63は選択トランジスタである。

[0313]

図33(E)に示すメモリセル1614は、メモリセル1613の変形例であり、読み出しトランジスタおよび選択トランジスタをnチャネル型トランジスタ(MN62、MN63)に変更したものである。トランジスタMN62、トランジスタMN63はOSトランジスタであってもよいし、Siトランジスタであってもよい。

[0314]

メモリセル1611乃至メモリセル1614に設けられるOSトランジスタは、バックゲートの無いトランジスタでもよいし、バックゲートが有るトランジスタであってもよい。

[0315]

容量素子C61の充放電によってデータを書き換えるため、NOSRAM1600は原理的には書き換え回数に制約はなく、かつ、低エネルギーで、データの書き込みおよび読み出しが可能である。また、長時間データを保持することが可能であるので、リフレッシュ頻度を低減できる。

[0316]

上記実施の形態に示す半導体装置をメモリセル1611、メモリセル1612、メモリセル1613、メモリセル1614に用いる場合、OSトランジスタMO61、OSトランジスタMO62としてトランジスタ200を用い、容量素子C61、容量素子C62として容量素子100を用い、トランジスタMP61、トランジスタMN62としてトランジスタ300を用いることができる。これにより、トランジスタと容量素子一組当たりの上面視における占有面積を低減することができるので、本実施の形態に係る記憶装置をさらに高集積化させることができる。よって、本実施の形態に係る記憶装置

の単位面積当たりの記憶容量を増加させることができる。

[0317]

本実施の形態に示す構成は、他の実施の形態に示す構成と適宜組み合わせて用いることができる。

[0318]

(実施の形態5)

本実施の形態では、図34および図35を用いて、本発明の一態様に係る、OSトランジスタ、および容量素子が適用されている記憶装置の一例として、DOSRAMについて説明する。DOSRAM (登録商標)とは、「Dynamic Oxide Semiconductor Random Access Memory」の略称であり、1T (トランジスタ) 1C (容量) 型のメモリセルを有するRAMを指す。DOSRAMも、NOSRAMと同様に、OSメモリが適用されている。

[0319]

<<DOSRAM1400>>

図34にDOSRAMの構成例を示す。図34に示すように、DOSRAM1400は、コントローラ1405、行回路1410、列回路1415、メモリセルおよびセンスアンプアレイ1420 (以下、「MC-SAアレイ1420」と呼ぶ。)を有する。

[0320]

行回路1410はデコーダ1411、ワード線ドライバ回路1412、列セクタ1413、センスアンプドライバ回路1414を有する。列回路1415はグローバルセンスアンプアレイ1416、入出力回路1417を有する。グローバルセンスアンプアレイ1416は複数のグローバルセンスアンプ1447を有する。MC-SAアレイ1420はメモリセルアレイ1422、センスアンプアレイ1423、グローバルビット線GBLL、グローバルビット線GBLRを有する。

[0321]

(MC-SAアレイ1420)

MC-SAアレイ1420は、メモリセルアレイ1422をセンスアンプアレイ1423上に積層した積層構造をもつ。グローバルビット線GBLL、グローバルビット線GBLRはメモリセルアレイ1422上に積層されている。DOSRAM1400では、ビット線の構造に、ローカルビット線とグローバルビット線とで階層化された階層ビット線構造が採用されている。

[0322]

メモリセルアレイ1422は、N個 (Nは2以上の整数) のローカルメモリセルアレイ1425<0>乃至ローカルメモリセルアレイ1425<N-1>を有する。図35(A)にローカルメモリセルアレイ1425の構成例を示す。ローカルメモリセルアレイ1425は、複数のメモリセル1445、複数のワード線WL、複数のビット線BL L、ビット線BL Rを有する。図35(A)の例では、ローカルメモリセルアレイ1425の構造はオープンビット線型であるが、フォールデッドビット線型であってもよい。

[0323]

図35(B)にメモリセル1445の回路構成例を示す。メモリセル1445はトランジスタMW1、容量素子CS1、端子B1、端子B2を有する。トランジスタMW1は容量素子CS1の充放電を制御する機能をもつ。トランジスタMW1のゲートはワード線に電氣的に接続され、第1端子はビット線に電氣的に接続され、第2端子は容量素子の第1端子に電氣的に接続されている。容量素子CS1の第2端子は端子B2に電氣的に接続されている。端子B2には、定電位 (例えば、低電源電位) が

入力される。

[0324]

上記実施の形態に示す半導体装置をメモリセル1445に用いる場合、トランジスタMW1としてトランジスタ200を用い、容量素子CS1として容量素子100を用いることができる。これにより、トランジスタと容量素子一組当たりの上面視における占有面積を低減することができるので、本実施の形態に係る記憶装置を高集積化させることができる。よって、本実施の形態に係る記憶装置の単位面積当たりの記憶容量を増加させることができる。

[0325]

トランジスタMW1はバックゲートを備えており、バックゲートは端子B1に電氣的に接続されている。そのため、端子B1の電圧によって、トランジスタMW1の V_{th} を変更することができる。例えば、端子B1の電圧は固定電位（例えば、負の定電位）であってもよいし、DOSRAM1400の動作に応じて、端子B1の電圧を変化させてもよい。

[0326]

トランジスタMW1のバックゲートをトランジスタMW1のゲート、ソース、またはドレインに電氣的に接続してもよい。あるいは、トランジスタMW1にバックゲートを設けなくてもよい。

[0327]

センスアンプアレイ1423は、N個のローカルセンスアンプアレイ1426<0>乃至ローカルセンスアンプアレイ1426<N-1>を有する。ローカルセンスアンプアレイ1426は、1のスイッチアレイ1444、複数のセンスアンプ1446を有する。センスアンプ1446には、ビット線対が電氣的に接続されている。センスアンプ1446は、ビット線対をプリチャージする機能、ビット線対の電位差を増幅する機能、この電位差を保持する機能を有する。スイッチアレイ1444は、ビット線対を選択し、選択したビット線対とグローバルビット線対と間を導通状態にする機能を有する。

[0328]

ここで、ビット線対とは、センスアンプによって、同時に比較される2本のビット線のことをいう。グローバルビット線対とは、グローバルセンスアンプによって、同時に比較される2本のグローバルビット線のことをいう。ビット線対を一对のビット線と呼ぶことができ、グローバルビット線対を一对のグローバルビット線と呼ぶことができる。ここでは、ビット線BLLとビット線BLRが1組のビット線対を成す。グローバルビット線GBLLとグローバルビット線GBLRとが1組のグローバルビット線対をなす。以下、ビット線対（BLL、BLR）、グローバルビット線対（GBLL、GBLR）とも表す。

[0329]

（コントローラ1405）

コントローラ1405は、DOSRAM1400の動作全般を制御する機能を有する。コントローラ1405は、外部からの入力されるコマンド信号を論理演算して、動作モードを決定する機能、決定した動作モードが実行されるように、行回路1410、列回路1415の制御信号を生成する機能、外部から入力されるアドレス信号を保持する機能、内部アドレス信号を生成する機能を有する。

[0330]

（行回路1410）

行回路1410は、MC-SAアレイ1420を駆動する機能を有する。デコーダ1411はアドレ

ス信号をデコードする機能を有する。ワード線ドライバ回路1412は、アクセス対象行のワード線WLを選択する選択信号を生成する。

[0331]

列セクタ1413、センスアンプドライバ回路1414はセンスアンプアレイ1423を駆動するための回路である。列セクタ1413は、アクセス対象列のビット線を選択するための選択信号を生成する機能をもつ。列セクタ1413の選択信号によって、各ローカルセンスアンプアレイ1426のスイッチアレイ1444が制御される。センスアンプドライバ回路1414の制御信号によって、複数のローカルセンスアンプアレイ1426は独立して駆動される。

[0332]

(列回路1415)

列回路1415は、データ信号WDA[31:0]の入力を制御する機能、データ信号RDA[31:0]の出力を制御する機能を有する。データ信号WDA[31:0]は書き込みデータ信号であり、データ信号RDA[31:0]は読み出しデータ信号である。

[0333]

グローバルセンスアンプ1447はグローバルビット線対(GBLL,GBLR)に電氣的に接続されている。グローバルセンスアンプ1447はグローバルビット線対(GBLL,GBLR)間の電位差を増幅する機能、この電位差を保持する機能を有する。グローバルビット線対(GBLL,GBLR)へのデータの書き込み、および読み出しは、入出力回路1417によって行われる。

[0334]

DOSRAM1400の書き込み動作の概要を説明する。入出力回路1417によって、データがグローバルビット線対に書き込まれる。グローバルビット線対のデータは、グローバルセンスアンプアレイ1416によって保持される。アドレスが指定するローカルセンスアンプアレイ1426のスイッチアレイ1444によって、グローバルビット線対のデータが、対象列のビット線対に書き込まれる。ローカルセンスアンプアレイ1426は、書き込まれたデータを増幅し、保持する。指定されたローカルメモリセルアレイ1425において、行回路1410によって、対象行のワード線WLが選択され、選択行のメモリセル1445にローカルセンスアンプアレイ1426の保持データが書き込まれる。

[0335]

DOSRAM1400の読み出し動作の概要を説明する。アドレス信号によって、ローカルメモリセルアレイ1425の1行が指定される。指定されたローカルメモリセルアレイ1425において、対象行のワード線WLが選択状態となり、メモリセル1445のデータがビット線に書き込まれる。ローカルセンスアンプアレイ1426によって、各列のビット線対の電位差がデータとして検出され、かつ保持される。スイッチアレイ1444によって、ローカルセンスアンプアレイ1426の保持データのうち、アドレスが指定する列のデータが、グローバルビット線対に書き込まれる。グローバルセンスアンプアレイ1416は、グローバルビット線対のデータを検出し、保持する。グローバルセンスアンプアレイ1416の保持データは入出力回路1417に出力される。以上で、読み出し動作が完了する。

[0336]

容量素子CS1の充放電によってデータを書き換えるため、DOSRAM1400には原理的には書き換え回数に制約はなく、かつ、低エネルギーで、データの書き込みおよび読み出しが可能である。

また、メモリセル1445の回路構成が単純であるため、大容量化が容易である。

[0337]

トランジスタMW1はOSトランジスタである。OSトランジスタはオフ電流が極めて小さいため、容量素子CS1から電荷がリークすることを抑えることができる。したがって、DOSRAM1400の保持時間はSiトランジスタを用いたDRAMに比べて非常に長い。したがってリフレッシュの頻度を低減できるため、リフレッシュ動作に要する電力を削減できる。よって、DOSRAM1400は大容量のデータを高頻度で書き換えるメモリ装置、例えば、画像処理に利用されるフレームメモリに好適である。

[0338]

MC-SAアレイ1420が積層構造であることによって、ローカルセンスアンプアレイ1426の長さと同程度の長さにビット線を短くすることができる。ビット線を短くすることで、ビット線容量が小さくなり、メモリセル1445の保持容量を低減することができる。また、ローカルセンスアンプアレイ1426にスイッチアレイ1444を設けることで、長いビット線の本数を減らすことができる。以上の理由から、DOSRAM1400のアクセス時に駆動する負荷が低減され、消費電力を低減することができる。

[0339]

本実施の形態に示す構成は、他の実施の形態に示す構成と適宜組み合わせる用いることができる。

[0340]

(実施の形態6)

本実施の形態では、図36乃至図39を用いて、本発明の一態様に係る、OSトランジスタ、および容量素子が適用されている半導体装置の一例として、FPGA（フィールドプログラマブルゲートアレイ）について説明する。本実施の形態のFPGAは、コンフィギュレーションメモリ、およびレジスタにOSメモリが適用されている。ここでは、このようなFPGAを「OS-FPGA」と呼ぶ。

[0341]

<<OS-FPGA>>

図36(A)にOS-FPGAの構成例を示す。図36(A)に示すOS-FPGA3110は、マルチコンテキスト構造によるコンテキスト切り替え、細粒度パワーゲーティング、NOFF（ノーマリオフ）コンピューティングが可能である。OS-FPGA3110は、コントローラ（Controller）3111、ワードドライバ（Word driver）3112、データドライバ（Data driver）3113、プログラマブルエリア（Programmable area）3115を有する。

[0342]

プログラマブルエリア3115は、2個の入出力ブロック（IOB）3117、コア（Core）3119を有する。IOB3117は複数のプログラマブル入出力回路を有する。コア3119は、複数のロジックアレイブロック（LAB）3120、複数のスイッチアレイブロック（SAB）3130を有する。LAB3120は複数のPLE3121を有する。図36(B)には、LAB3120を5個のPLE3121で構成する例を示す。図36(C)に示すようにSAB3130はアレイ状に配列された複数のスイッチブロック（SB）3131を有する。LAB3120は自身の入力端子と、SAB3130を介して4（上下左右）方向のLAB3120に接続される。

[0343]

図37 (A) 乃至図37 (C) を参照して、SB3131について説明する。図37 (A) に示すSB3131には、data、datab、信号context [1:0]、信号word [1:0]が入力される。data、databはコンフィギュレーションデータであり、dataとdatabは論理が相補的な関係にある。OS-FPGA3110のコンテキスト数は2であり、信号context [1:0]はコンテキスト選択信号である。信号word [1:0]はワード線選択信号であり、信号word [1:0]が入力される配線がそれぞれワード線である。

[0344]

SB3131は、PRS (プログラマブルルーティングスイッチ) 3133 [0]、PRS3133 [1]を有する。PRS3133 [0]、PRS3133 [1]は、相補データを格納できるコンフィギュレーションメモリ (CM) を有する。なお、PRS3133 [0]とPRS3133 [1]とを区別しない場合、PRS3133と呼ぶ。他の要素についても同様である。

[0345]

図37 (B) にPRS3133 [0]の回路構成例を示す。PRS3133 [0]とPRS3133 [1]とは同じ回路構成を有する。PRS3133 [0]とPRS3133 [1]とは入力されるコンテキスト選択信号、ワード線選択信号が異なる。信号context [0]、信号word [0]はPRS3133 [0]に入力され、信号context [1]、信号word [1]はPRS3133 [1]に入力される。例えば、SB3131において、信号context [0]が“H”になることで、PRS3133 [0]がアクティブになる。

[0346]

PRS3133 [0]は、CM3135、SiトランジスタM31を有する。SiトランジスタM31は、CM3135により制御されるパストランジスタである。CM3135は、メモリ回路3137、メモリ回路3137Bを有する。メモリ回路3137、メモリ回路3137Bは同じ回路構成である。メモリ回路3137は、容量素子C31、OSトランジスタMO31、トランジスタMO32を有する。メモリ回路3137Bは、容量素子CB31、OSトランジスタMOB31、OSトランジスタMOB32を有する。

[0347]

上記実施の形態に示す半導体装置をSAB3130に用いる場合、OSトランジスタMO31、OSトランジスタMOB31としてトランジスタ200を用い、容量素子C31、容量素子CB31として容量素子100を用いることができる。これにより、トランジスタと容量素子一組当たりの上面視における占有面積を低減することができるので、本実施の形態に係る半導体装置を高集積化させることができる。

[0348]

OSトランジスタMO31、OSトランジスタMO32、OSトランジスタMOB31、OSトランジスタMOB32はバックゲートを有し、これらバックゲートはそれぞれ固定電位を供給する電源線に電氣的に接続されている。

[0349]

SiトランジスタM31のゲートがノードN31であり、OSトランジスタMO32のゲートがノードN32であり、OSトランジスタMOB32のゲートがノードNB32である。ノードN32、ノードNB32はCM3135の電荷保持ノードである。OSトランジスタMO32はノードN31と信号context [0]用の信号線との間の導通状態を制御する。OSトランジスタMOB32は

ノードN31と低電位電源線VSSとの間の導通状態を制御する。

[0350]

メモリ回路3137、メモリ回路3137Bが保持するデータは相補的な関係にある。したがって、OSトランジスタMO32またはOSトランジスタMOB32のいずれか一方が導通する。

[0351]

図36(C)を参照して、PRS3133[0]の動作例を説明する。PRS3133[0]にコンフィギュレーションデータが既書き込まれており、PRS3133[0]のノードN32は“H”であり、ノードNB32は“L”である。

[0352]

信号context[0]が“L”である間はPRS3133[0]は非アクティブである。この期間に、PRS3133[0]の入力端子(input)が“H”に遷移しても、SiトランジスタM31のゲートは“L”が維持され、PRS3133[0]の出力端子(output)も“L”が維持される。

[0353]

信号context[0]が“H”である間はPRS3133[0]はアクティブである。信号context[0]が“H”に遷移すると、CM3135が記憶するコンフィギュレーションデータによって、SiトランジスタM31のゲートは“H”に遷移する。

[0354]

PRS3133[0]がアクティブである期間に、入力端子が“H”に遷移すると、メモリ回路3137のOSトランジスタMO32がソースフォロアであるために、ブースティング(boosting)によってSiトランジスタM31のゲート電位は上昇する。その結果、メモリ回路3137のOSトランジスタMO32は駆動能力を失い、SiトランジスタM31のゲートは浮遊状態となる。

[0355]

マルチコンテキスト機能を備えるPRS3133において、CM3135はマルチプレクサの機能を併せ持つ。

[0356]

図38にPLE3121の構成例を示す。PLE3121はLUT(ルックアップテーブル)ブロック(LUT block)3123、レジスタブロック3124、セクタ3125、CM3126を有する。LUTブロック3123は、入力inA-inDに従って内部の16ビットCM対の出力をマルチプレクスする構成である。セクタ3125は、CM3126が格納するコンフィギュレーションに従って、LUTブロック3123の出力またはレジスタブロック3124の出力を選択する。

[0357]

PLE3121は、パワースイッチ3127を介して電圧VDD用の電源線に電氣的に接続されている。パワースイッチ3127のオンオフは、CM3128が格納するコンフィギュレーションデータによって設定される。各PLE3121にパワースイッチ3127を設けることで、細粒度パワーゲーティングが可能である。細粒度パワーゲーティング機能により、コンテキストの切り替え後に使用されないPLE3121をパワーゲーティングすることができるので、待機電力を効果的に低減できる。

[0358]

NOFFコンピューティングを実現するため、レジスタブロック3124は、不揮発性レジスタで構

成される。PLE3121内の不揮発性レジスタはOSメモリを備えるフリップフロップ（以下[OS-FF]と呼ぶ。）である。

[0359]

レジスタブロック3124は、OS-FF3140[1]、OS-FF3140[2]を有する。信号user_res、信号load、信号storeがOS-FF3140[1]、OS-FF3140[2]に入力される。クロック信号CLK1はOS-FF3140[1]に入力され、クロック信号CLK2はOS-FF3140[2]に入力される。図39(A)にOS-FF3140の構成例を示す。

[0360]

OS-FF3140は、FF3141、シャドウレジスタ3142を有する。FF3141は、ノードCK、ノードR、ノードD、ノードQ、ノードQBを有する。ノードCKにはクロック信号が入力される。ノードRには信号user_resが入力される。信号user_resはリセット信号である。ノードDはデータ入力ノードであり、ノードQはデータ出力ノードである。ノードQとノードQBとは論理が相補関係にある。

[0361]

シャドウレジスタ3142は、FF3141のバックアップ回路として機能する。シャドウレジスタ3142は、信号storeに従いノードQ、ノードQBのデータをそれぞれバックアップし、また、信号loadに従い、バックアップしたデータをノードQ、ノードQBに書き戻す。

[0362]

シャドウレジスタ3142は、インバータ回路3188、インバータ回路3189、SiトランジスタM37、SiトランジスタMB37、メモリ回路3143、メモリ回路3143Bを有する。メモリ回路3143、メモリ回路3143Bは、PRS3133のメモリ回路3137と同じ回路構成である。メモリ回路3143は容量素子C36、OSTランジスタMO35、OSTランジスタMO36を有する。メモリ回路3143Bは容量素子CB36、OSTランジスタMOB35、OSTランジスタMOB36を有する。ノードN36、ノードNB36はOSTランジスタMO36、OSTランジスタMOB36のゲートであり、それぞれ電荷保持ノードである。ノードN37、ノードNB37は、SiトランジスタM37、SiトランジスタMB37のゲートである。

[0363]

上記実施の形態に示す半導体装置をLAB3120に用いる場合、OSTランジスタMO35、OSTランジスタMOB35としてトランジスタ200を用い、容量素子C36、容量素子CB36として容量素子100を用いることができる。これにより、トランジスタと容量素子一組当たりの上面視における占有面積を低減することができるので、本実施の形態に係る半導体装置を高集積化させることができる。

[0364]

OSTランジスタMO35、OSTランジスタMO36、OSTランジスタMOB35、OSTランジスタMOB36はバックゲートを有し、これらバックゲートはそれぞれ固定電位を供給する電源線に電氣的に接続されている。

[0365]

図39(B)を参照して、OS-FF3140の動作方法例を説明する。

[0366]

(バックアップ (Backup))

“H”の信号storeがOS-FF3140に入力されると、シャドウレジスタ3142はFF3141のデータをバックアップする。ノードN36は、ノードQのデータが書き込まれることで、“L”となり、ノードNB36は、ノードQBのデータが書き込まれることで、“H”となる。しかる後、パワーゲーティングが実行され、パワースイッチ3127をオフにする。FF3141のノードQ、ノードQBのデータは消失するが、電源オフであっても、シャドウレジスタ3142はバックアップしたデータを保持する。

[0367]

(リカバリ (Recovery))

パワースイッチ3127をオンにし、PLE3121に電源を供給する。しかる後、“H”の信号loadがOS-FF3140に入力されると、シャドウレジスタ3142はバックアップしているデータをFF3141に書き戻す。ノードN36は“L”であるので、ノードN37は“L”が維持され、ノードNB36は“H”であるので、ノードNB37は“H”となる。よって、ノードQは“H”になり、ノードQBは“L”になる。つまり、OS-FF3140はバックアップ動作時の状態に復帰する。

[0368]

細粒度パワーゲーティングと、OS-FF3140のバックアップ／リカバリ動作とを組み合わせることで、OS-FPGA3110の消費電力を効果的に低減できる。

[0369]

メモリ回路において発生し得るエラーとして放射線の入射によるソフトエラーが挙げられる。ソフトエラーは、メモリやパッケージを構成する材料などから放出される α 線や、宇宙から大気に入射した一次宇宙線が大気中に存在する原子の原子核と核反応を起こすことにより発生する二次宇宙線中性子などがトランジスタに照射され、電子正孔対が生成されることにより、メモリに保持されたデータが反転するなどの誤作動が生じる現象である。OSトランジスタを用いたOSメモリはソフトエラー耐性が高い。そのため、OSメモリを搭載することで、信頼性の高いOS-FPGA3110を提供することができる。

[0370]

本実施の形態に示す構成は、他の実施の形態に示す構成と適宜組み合わせて用いることができる。

[0371]

(実施の形態7)

本実施の形態では、図40を用いて、上記実施の形態に示す半導体装置を適用した、AIシステムについて説明を行う。

[0372]

図40はAIシステム4041の構成例を示すブロック図である。AIシステム4041は、演算部4010と、制御部4020と、入出力部4030と、を有する。

[0373]

演算部4010は、アナログ演算回路4011と、DOSRAM4012と、NOSRAM4013と、FPGA4014と、を有する。DOSRAM4012、NOSRAM4013、およびFPGA4014として、上記実施の形態に示す、DOSRAM1400、NOSRAM1600、およびOS-FPGA3110を用いることができる。

[0374]

制御部4020は、CPU (Central Processing Unit) 4021と、GPU (Graphics Processing Unit) 4022と、PLL (Phase Locked Loop) 4023と、SRAM (Static Random Access Memory) 4024と、PROM (Programmable Read Only Memory) 4025と、メモリコントローラ4026と、電源回路4027と、PMU (Power Management Unit) 4028と、を有する。

[0375]

入出力部4030は、外部記憶制御回路4031と、音声コーデック4032と、映像コーデック4033と、汎用入出力モジュール4034と、通信モジュール4035と、を有する。

[0376]

演算部4010は、ニューラルネットワークによる学習または推論を実行することができる。

[0377]

アナログ演算回路4011はA/D (アナログ/デジタル) 変換回路、D/A (デジタル/アナログ) 変換回路、および積和演算回路を有する。

[0378]

アナログ演算回路4011はOSトランジスタを用いて形成することが好ましい。OSトランジスタを用いたアナログ演算回路4011は、アナログメモリを有し、学習または推論に必要な積和演算を、低消費電力で実行することが可能になる。

[0379]

DOSRAM4012は、OSトランジスタを用いて形成されたDRAMであり、DOSRAM4012は、CPU4021から送られてくるデジタルデータを一時的に格納するメモリである。DOSRAM4012は、OSトランジスタを含むメモリセルと、Siトランジスタを含む読み出し回路部を有する。上記メモリセルと読み出し回路部は、積層された異なる層に設けることができるため、DOSRAM4012は、全体の回路面積を小さくすることができる。

[0380]

ニューラルネットワークを用いた計算は、入力データが1000を超えることがある。上記入力データをSRAMに格納する場合、SRAMは回路面積に制限があり、記憶容量が小さいため、上記入力データを小分けにして格納せざるを得ない。DOSRAM4012は、限られた回路面積でも、メモリセルを高集積に配置することが可能であり、SRAMに比べて記憶容量が大きい。そのため、DOSRAM4012は、上記入力データを効率よく格納することができる。

[0381]

NOSRAM4013はOSトランジスタを用いた不揮発性メモリである。NOSRAM4013は、フラッシュメモリや、ReRAM (Resistive Random Access Memory)、MRAM (Magnetoresistive Random Access Memory) などの他の不揮発性メモリと比べて、データを書き込む際の消費電力が小さい。また、フラッシュメモリやReRAMのように、データを書き込む際に素子が劣化することなく、データの書き込み可能回数に制限が無い。

[0382]

また、NOSRAM4013は、1ビットの2値データの他に、2ビット以上の多値データを記憶す

ることができる。NOSRAM4013は多値データを記憶することで、1ビット当たりのメモリセル面積を小さくすることができる。

[0383]

また、NOSRAM4013は、デジタルデータの他にアナログデータを記憶することができる。そのため、アナログ演算回路4011は、NOSRAM4013をアナログメモリとして用いることもできる。NOSRAM4013は、アナログデータのまま記憶することができるため、D/A変換回路やA/D変換回路が不要である。そのため、NOSRAM4013は周辺回路の面積を小さくすることができる。なお、本明細書においてアナログデータとは、3ビット（8値）以上分解能を有するデータのことを指す。上述した多値データがアナログデータに含まれる場合もある。

[0384]

ニューラルネットワークの計算に用いられるデータやパラメータは、一旦、NOSRAM4013に格納することができる。上記データやパラメータは、CPU4021を介して、AIシステム4041の外部に設けられたメモリに格納してもよいが、内部に設けられたNOSRAM4013の方が、より高速かつ低消費電力に上記データやパラメータを格納することができる。また、NOSRAM4013は、DOSRAM4012よりもビット線を長くすることができるので、記憶容量を大きくすることができる。

[0385]

FPGA4014は、OSトランジスタを用いたFPGA（OS-FPGA）である。AIシステム4041は、FPGA4014を用いることによって、ハードウェアで後述する、ディープニューラルネットワーク（DNN）、畳み込みニューラルネットワーク（CNN）、再帰型ニューラルネットワーク（RNN）、自己符号化器、深層ボルツマンマシン（DBM）、深層信念ネットワーク（DBN）などの、ニューラルネットワークの接続を構成することができる。上記のニューラルネットワークの接続をハードウェアで構成することで、より高速に実行することができる。

[0386]

OS-FPGAは、SRAMで構成されるFPGAよりもメモリの面積を小さくすることができる。そのため、コンテキスト切り替え機能を追加しても面積増加が少ない。また、OS-FPGAはブースティングによりデータやパラメータを高速に伝えることができる。

[0387]

AIシステム4041は、アナログ演算回路4011、DOSRAM4012、NOSRAM4013、およびFPGA4014を1つのダイ（チップ）の上に設けることができる。そのため、AIシステム4041は、高速かつ低消費電力に、ニューラルネットワークの計算を実行することができる。また、アナログ演算回路4011、DOSRAM4012、NOSRAM4013、およびFPGA4014は、同じ製造プロセスで作製することができる。そのため、AIシステム4041は、低コストで作製することができる。

[0388]

なお、演算部4010は、DOSRAM4012、NOSRAM4013、およびFPGA4014を、全て有する必要はない。AIシステム4041が解決したい課題に応じて、DOSRAM4012、NOSRAM4013、およびFPGA4014の一または複数を、選択して設ければよい。

[0389]

AIシステム4041は、解決したい課題に応じて、ディープニューラルネットワーク（DNN）、

畳み込みニューラルネットワーク（CNN）、再帰型ニューラルネットワーク（RNN）、自己符号化器、深層ボルツマンマシン（DBM）、深層信念ネットワーク（DBN）などの手法を実行することができる。PROM4025は、これらの手法の少なくとも1つを実行するためのプログラムを保存することができる。また、当該プログラムの一部または全てを、NOSRAM4013に保存してもよい。

[0390]

ライブラリとして存在する既存のプログラムは、GPUの処理を前提としているものが多い。そのため、AIシステム4041はGPU4022を有することが好ましい。AIシステム4041は、学習と推論で用いられる積和演算のうち、律速となる積和演算を演算部4010で実行し、それ以外の積和演算をGPU4022で実行することができる。そうすることで、学習と推論を高速に実行することができる。

[0391]

電源回路4027は、論理回路用の低電源電位を生成するだけでなく、アナログ演算のための電位生成も行う。電源回路4027はOSメモリを用いてもよい。電源回路4027は、基準電位をOSメモリに保存することで、消費電力を下げることができる。

[0392]

PMU4028は、AIシステム4041の電力供給を一時的にオフにする機能を有する。

[0393]

CPU4021およびGPU4022は、レジスタとしてOSメモリを有することが好ましい。CPU4021およびGPU4022はOSメモリを有することで、電力供給がオフになっても、OSメモリ中にデータ（論理値）を保持し続けることができる。その結果、AIシステム4041は、電力を節約することができる。

[0394]

PLL4023は、クロックを生成する機能を有する。AIシステム4041は、PLL4023が生成したクロックを基準に動作を行う。PLL4023はOSメモリを有することが好ましい。PLL4023はOSメモリを有することで、クロックの発振周期を制御するアナログ電位を保持することができる。

[0395]

AIシステム4041は、DRAMなどの外部メモリにデータを保存してもよい。そのため、AIシステム4041は、外部のDRAMとのインターフェースとして機能するメモリコントローラ4026を有することが好ましい。また、メモリコントローラ4026は、CPU4021またはGPU4022の近くに配置することが好ましい。そうすることで、データのやり取りを高速に行うことができる。

[0396]

制御部4020に示す回路の一部または全ては、演算部4010と同じダイの上に形成することができる。そうすることで、AIシステム4041は、高速かつ低消費電力に、ニューラルネットワークの計算を実行することができる。

[0397]

ニューラルネットワークの計算に用いられるデータは外部記憶装置（HDD（Hard Disk Drive）、SSD（Solid State Drive）など）に保存される場合が多い。そ

のため、A I システム 4 0 4 1 は、外部記憶装置とのインターフェースとして機能する外部記憶制御回路 4 0 3 1 を有することが好ましい。

[0 3 9 8]

ニューラルネットワークを用いた学習と推論は、音声や映像を扱うことが多いので、A I システム 4 0 4 1 は音声コーデック 4 0 3 2 および映像コーデック 4 0 3 3 を有する。音声コーデック 4 0 3 2 は、音声データのエンコード（符号化）およびデコード（復号）を行い、映像コーデック 4 0 3 3 は、映像データのエンコードおよびデコードを行う。

[0 3 9 9]

A I システム 4 0 4 1 は、外部センサから得られたデータを用いて学習または推論を行うことができる。そのため、A I システム 4 0 4 1 は汎用入出力モジュール 4 0 3 4 を有する。汎用入出力モジュール 4 0 3 4 は、例えば、USB（Universal Serial Bus）や I 2 C（Inter-Integrated Circuit）などを含む。

[0 4 0 0]

A I システム 4 0 4 1 は、インターネットを経由して得られたデータを用いて学習または推論を行うことができる。そのため、A I システム 4 0 4 1 は、通信モジュール 4 0 3 5 を有することが好ましい。

[0 4 0 1]

アナログ演算回路 4 0 1 1 は、多値のフラッシュメモリをアナログメモリとして用いてもよい。しかし、フラッシュメモリは書き換え可能回数に制限がある。また、多値のフラッシュメモリは、エンベディッドで形成する（演算回路とメモリを同じダイの上に形成する。）ことが非常に難しい。

[0 4 0 2]

また、アナログ演算回路 4 0 1 1 は、R e R A M をアナログメモリとして用いてもよい。しかし、R e R A M は書き換え可能回数に制限があり、記憶精度の点でも問題がある。さらに、2 端子でなる素子であるため、データの書き込みと読み出しを分ける回路設計が複雑になる。

[0 4 0 3]

また、アナログ演算回路 4 0 1 1 は、M R A M をアナログメモリとして用いてもよい。しかし、M R A M は抵抗変化率が低く、記憶精度の点で問題がある。

[0 4 0 4]

以上を鑑み、アナログ演算回路 4 0 1 1 は、O S メモリをアナログメモリとして用いることが好ましい。

[0 4 0 5]

本実施の形態に示す構成は、他の実施の形態に示す構成と適宜組み合わせて用いることができる。

[0 4 0 6]

（実施の形態 8）

本実施の形態では、上記実施の形態に示す A I システムの応用例について図 4 1 を用いて説明を行う。

[0 4 0 7]

図 4 1（A）は、図 4 0 で説明した A I システム 4 0 4 1 を並列に配置し、バス線を介してシステム間での信号の送受信を可能にした、A I システム 4 0 4 1 A である。

[0 4 0 8]

図 4 1（A）に図示する A I システム 4 0 4 1 A は、複数の A I システム 4 0 4 1 __ 1 乃至 A I シス

テム4041__n (nは自然数)を有する。AIシステム4041__1乃至AIシステム4041__nは、バス線4098を介して互いに接続されている。

[0409]

また図41(B)は、図40で説明したAIシステム4041を図41(A)と同様に並列に配置し、ネットワークを介してシステム間での信号の送受信を可能にした、AIシステム4041Bである。

[0410]

図41(B)に図示するAIシステム4041Bは、複数のAIシステム4041__1乃至AIシステム4041__nを有する。AIシステム4041__1乃至AIシステム4041__nは、ネットワーク4099を介して互いに接続されている。

[0411]

ネットワーク4099は、AIシステム4041__1乃至AIシステム4041__nのそれぞれに通信モジュールを設け、無線または有線による通信を行う構成とすればよい。通信モジュールは、アンテナを介して通信を行うことができる。例えば、World Wide Web (WWW)の基盤であるインターネット、イントラネット、エクストラネット、PAN(Personal Area Network)、LAN(Local Area Network)、CAN(Campus Area Network)、MAN(Metropolitan Area Network)、WAN(Wide Area Network)、GAN(Global Area Network)等のコンピュータネットワークに各電子装置を接続させ、通信を行うことができる。無線通信を行う場合、通信プロトコルまたは通信技術として、LTE(Long Term Evolution)、GSM(Global System for Mobile Communication:登録商標)、EDGE(Enhanced Data Rates for GSM Evolution)、CDMA2000(Code Division Multiple Access 2000)、W-CDMA(登録商標)などの通信規格、またはWi-Fi(登録商標)、Bluetooth(登録商標)、ZigBee(登録商標)等のIEEEにより通信規格化された仕様を用いることができる。

[0412]

図41(A)、図41(B)の構成とすることで、外部のセンサ等で得られたアナログ信号を別々のAIシステムで処理することができる。例えば、生体情報のように、脳波、脈拍、血圧、体温等といった情報を脳波センサ、脈波センサ、血圧センサ、温度センサといった各種センサで取得し、別々のAIシステムでアナログ信号を処理することができる。別々のAIシステムのそれぞれで信号の処理、または学習を行うことで一つのAIシステムあたりの情報処理量を少なくできる。そのため、より少ない演算量で信号の処理、または学習を行うことができる。その結果、認識精度を高めることができる。それぞれのAIシステムで得られた情報から、複雑に変化する生体情報の変化を瞬時に統合的に把握することができるといったことが期待できる。

[0413]

本実施の形態に示す構成は、他の実施の形態に示す構成と適宜組み合わせて用いることができる。

[0414]

(実施の形態9)

本実施の形態は、上記実施の形態に示すAIシステムが組み込まれたICの一例を示す。

[0415]

上記実施の形態に示すA Iシステムは、C P U等のS iトランジスタでなるデジタル処理回路と、O Sトランジスタを用いたアナログ演算回路、O S－F P G A、およびD O S R A M、N O S R A M等のO Sメモリと、を、1のダイに集積することができる。

[0416]

図42に、A Iシステムを組み込んだI Cの一例を示す。図42に示すA IシステムI C7000は、リード7001および回路部7003を有する。回路部7003には、上記実施の形態で示した各種の回路が1のダイに設けられている。回路部7003は、先の実施の形態で図28に示すように、積層構造をもち、S iトランジスタ層7031、配線層7032、O Sトランジスタ層7033に大別される。O Sトランジスタ層7033をS iトランジスタ層7031に積層して設けることができるため、A IシステムI C7000の小型化が容易である。

[0417]

図42では、A IシステムI C7000のパッケージにQ F P (Q u a d F l a t P a c k a g e)を適用しているが、パッケージの態様はこれに限定されない。

[0418]

C P U等のデジタル処理回路と、O Sトランジスタを用いたアナログ演算回路、O S－F P G A、およびD O S R A M、N O S R A M等のO Sメモリは、全て、S iトランジスタ層7031、配線層7032およびO Sトランジスタ層7033に形成することができる。すなわち、上記A Iシステムを構成する素子は、同一の製造プロセスで形成することが可能である。そのため、本実施の形態に示すI Cは、構成する素子が増えても製造プロセスを増やす必要がなく、上記A Iシステムを低コストで組み込むことができる。

[0419]

本実施の形態に示す構成は、他の実施の形態に示す構成と適宜組み合わせて用いることができる。

[0420]

(実施の形態10)

<電子機器>

本発明の一態様に係る半導体装置は、様々な電子機器に用いることができる。図43に、本発明の一態様に係る半導体装置を用いた電子機器の具体例を示す。

[0421]

図43(A)は、自動車の一例を示す外観図である。自動車2980は、車体2981、車輪2982、ダッシュボード2983、ライト2984等を有する。また、自動車2980は、アンテナ、バッテリーなどを備える。

[0422]

図43(B)に示す情報端末2910は、筐体2911、表示部2912、マイク2917、スピーカ部2914、カメラ2913、外部接続部2916、操作スイッチ2915等を有する。表示部2912には、可撓性基板が用いられた表示パネルおよびタッチスクリーンを備える。また、情報端末2910は、筐体2911の内側にアンテナ、バッテリーなどを備える。情報端末2910は、例えば、スマートフォン、携帯電話、タブレット型情報端末、タブレット型パーソナルコンピュータ、電子書籍端末等として用いることができる。

[0423]

図43(C)に示すノート型パーソナルコンピュータ2920は、筐体2921、表示部2922、

キーボード２９２３、ポインティングデバイス２９２４等を有する。また、ノート型パーソナルコンピュータ２９２０は、筐体２９２１の内側にアンテナ、バッテリーなどを備える。

[０４２４]

図４３（Ｄ）に示すビデオカメラ２９４０は、筐体２９４１、筐体２９４２、表示部２９４３、操作スイッチ２９４４、レンズ２９４５、接続部２９４６等を有する。操作スイッチ２９４４およびレンズ２９４５は筐体２９４１に設けられており、表示部２９４３は筐体２９４２に設けられている。また、ビデオカメラ２９４０は、筐体２９４１の内側にアンテナ、バッテリーなどを備える。そして、筐体２９４１と筐体２９４２は、接続部２９４６により接続されており、筐体２９４１と筐体２９４２の間の角度は、接続部２９４６により変えることが可能な構造となっている。筐体２９４１に対する筐体２９４２の角度によって、表示部２９４３に表示される画像の向きの変更や、画像の表示／非表示の切り換えを行うことができる。

[０４２５]

図４３（Ｅ）にバングル型の情報端末の一例を示す。情報端末２９５０は、筐体２９５１、表示部２９５２等を有する。また、情報端末２９５０は、筐体２９５１の内側にアンテナ、バッテリーなどを備える。表示部２９５２は、曲面を有する筐体２９５１に支持されている。表示部２９５２には、可撓性基板を用いた表示パネルを備えているため、フレキシブルかつ軽くて使い勝手の良い情報端末２９５０を提供することができる。

[０４２６]

図４３（Ｆ）に腕時計型の情報端末の一例を示す。情報端末２９６０は、筐体２９６１、表示部２９６２、バンド２９６３、バックル２９６４、操作スイッチ２９６５、入出力端子２９６６などを備える。また、情報端末２９６０は、筐体２９６１の内側にアンテナ、バッテリーなどを備える。情報端末２９６０は、移動電話、電子メール、文章閲覧および作成、音楽再生、インターネット通信、コンピュータゲームなどの種々のアプリケーションを実行することができる。

[０４２７]

表示部２９６２の表示面は湾曲しており、湾曲した表示面に沿って表示を行うことができる。また、表示部２９６２はタッチセンサを備え、指やスタイラスなどで画面に触れることで操作することができる。例えば、表示部２９６２に表示されたアイコン２９６７に触れることで、アプリケーションを起動することができる。操作スイッチ２９６５は、時刻設定のほか、電源のオン、オフ動作、無線通信のオン、オフ動作、マナーモードの実行および解除、省電力モードの実行および解除など、様々な機能を持たせることができる。例えば、情報端末２９６０に組み込まれたオペレーティングシステムにより、操作スイッチ２９６５の機能を設定することもできる。

[０４２８]

また、情報端末２９６０は、通信規格された近距離無線通信を実行することが可能である。例えば無線通信可能なヘッドセットと相互通信することによって、ハンズフリーで通話することもできる。また、情報端末２９６０は入出力端子２９６６を備え、他の情報端末とコネクタを介して直接データのやりとりを行うことができる。また入出力端子２９６６を介して充電を行うこともできる。なお、充電動作は入出力端子２９６６を介さずに無線給電により行ってもよい。

[０４２９]

例えば、本発明の一態様の半導体装置を用いた記憶装置は、上述した電子機器の制御情報や、制御プログラムなどを長期間保持することができる。本発明の一態様に係る半導体装置を用いることで、信

頼性の高い電子機器を実現することができる。

[0430]

本実施の形態は、他の実施の形態に記載した構成と適宜組み合わせて実施することが可能である。

[符号の説明]

[0431]

BGE : 導電体、BGI : 絶縁体、CAP : 絶縁体、DE : 導電体、INS1 : 絶縁体、INS2 : 絶縁体、ME : 導電体、R1 : 領域、R2 : 領域、SE : 導電体、SEM1 : 半導体、SEM2 : 半導体、SEM3 : 半導体、TGE : 導電体、TGI : 絶縁体、TR1 : トランジスタ、TR2 : トランジスタ、100 : 容量素子、110 : 導電体、112 : 導電体、120 : 導電体、130 : 絶縁体、150 : 絶縁体、200 : トランジスタ、200a : トランジスタ、201 : 基板、205 : 導電体、205a : 導電体、205b : 導電体、210 : 絶縁体、212 : 絶縁体、214 : 絶縁体、216 : 絶縁体、218 : 導電体、220 : 絶縁体、222 : 絶縁体、224 : 絶縁体、230 : 酸化物、230A : 酸化膜、230a : 酸化物、230B : 酸化膜、230b : 酸化物、230C : 酸化膜、230c : 酸化物、231 : 領域、231A : 領域、231a : 領域、231b : 領域、232 : 領域、232a : 領域、232b : 領域、234 : 領域、239 : 領域、240 : 絶縁体、240a : 絶縁体、240A : 絶縁膜、240b : 絶縁体、240B : 絶縁膜、244 : バリア膜、244a : バリア膜、244A : バリア膜、244b : バリア膜、244B : バリア膜、245 : 酸化物、245a : 酸化物、245A : 酸化物、245b : 酸化物、246 : 導電体、246a : 導電体、246b : 導電体、248 : 導電体、248a : 導電体、248b : 導電体、250 : 絶縁体、250A : 絶縁膜、260 : 導電体、260a : 導電体、260b : 導電体、270 : バリア膜、270A : バリア膜、276a : バリア膜、276A : バリア膜、276b : バリア膜、280 : 絶縁体、282 : 絶縁体、286 : 絶縁体、290A : 膜、290a : ハードマスク、290b : ハードマスク、292a : レジストマスク、292b : レジストマスク、292c : レジストマスク、292d : レジストマスク、300 : トランジスタ、311 : 基板、313 : 半導体領域、314a : 低抵抗領域、314b : 低抵抗領域、315 : 絶縁体、316 : 導電体、320 : 絶縁体、322 : 絶縁体、324 : 絶縁体、326 : 絶縁体、328 : 導電体、330 : 導電体、350 : 絶縁体、352 : 絶縁体、354 : 絶縁体、356 : 導電体、400 : トランジスタ、405 : 導電体、405a : 導電体、405b : 導電体、424 : 絶縁体、430a1 : 酸化物、430a2 : 酸化物、430b1 : 酸化物、430b2 : 酸化物、430c : 酸化物、440a : 絶縁体、440b : 絶縁体、446a : 導電体、446b : 導電体、448a : 導電体、448b : 導電体、450 : 絶縁体、460 : 導電体、460a : 導電体、460b : 導電体、470 : 絶縁体、476a : バリア膜、476b : バリア膜、1001 : 配線、1002 : 配線、1003 : 配線、1004 : 配線、1005 : 配線、1006 : 配線、1007 : 配線、1008 : 配線、1009 : 配線、1010 : 配線、1400 : DOSRAM、1405 : コントローラ、1410 : 行回路、1411 : デコーダ、1412 : ワード線ドライバ回路、1413 : 列セクタ、1414 : センスアンプドライバ回路、1415 : 列回路、1416 : グローバルセンスアンプアレイ、1417 : 入出力回路、1420 : MC-SAアレイ、1422 : メモリセルアレイ、1423 : センスアンプアレイ、1425 : ローカルメモリセルアレイ、1426 : ローカルセンスアンプアレイ、1444 : スイッチアレイ、1445 : メモリセル、1446 : センスアンプ、1447 : グローバルセンスアンプ、1600 : NOSRAM、1610 : メモリセルアレイ、1611 : メモリセル、1612 : メモリセル、1613 : メモリセル、1614 : メモリセル、

1640 : コントローラ、1650 : 行ドライバ、1651 : 行デコーダ、1652 : ワード線ドライバ、1660 : 列ドライバ、1661 : 列デコーダ、1662 : ドライバ、1663 : DAC、1670 : 出力ドライバ、1671 : セクタ、1672 : ADC、1673 : 出力バッファ、2910 : 情報端末、2911 : 筐体、2912 : 表示部、2913 : カメラ、2914 : スピーカ部、2915 : 操作スイッチ、2916 : 外部接続部、2917 : マイク、2920 : ノート型パーソナルコンピュータ、2921 : 筐体、2922 : 表示部、2923 : キーボード、2924 : ポインティングデバイス、2940 : ビデオカメラ、2941 : 筐体、2942 : 筐体、2943 : 表示部、2944 : 操作スイッチ、2945 : レンズ、2946 : 接続部、2950 : 情報端末、2951 : 筐体、2952 : 表示部、2960 : 情報端末、2961 : 筐体、2962 : 表示部、2963 : バンド、2964 : バックル、2965 : 操作スイッチ、2966 : 入出力端子、2967 : アイコン、2980 : 自動車、2981 : 車体、2982 : 車輪、2983 : ダッシュボード、2984 : ライト、3110 : OS-FPGA、3111 : コントローラ、3112 : ワードドライバ、3113 : データドライバ、3115 : プログラマブルエリア、3117 : IOB、3119 : コア、3120 : LAB、3121 : PLE、3123 : LUTブロック、3124 : レジスタブロック、3125 : セクタ、3126 : CM、3127 : パワースイッチ、3128 : CM、3130 : SAB、3131 : SB、3133 : PRS、3135 : CM、3137 : メモリ回路、3137B : メモリ回路、3140 : OS-FF、3141 : FF、3142 : シャドウレジスタ、3143 : メモリ回路、3143B : メモリ回路、3188 : インバータ回路、3189 : インバータ回路、4010 : 演算部、4011 : アナログ演算回路、4012 : DOSRAM、4013 : NOSRAM、4014 : FPGA、4020 : 制御部、4021 : CPU、4022 : GPU、4023 : PLL、4024 : SDRAM、4025 : PROM、4026 : メモリコントローラ、4027 : 電源回路、4028 : PMU、4030 : 入出力部、4031 : 外部記憶制御回路、4032 : 音声コーデック、4033 : 映像コーデック、4034 : 汎用入出力モジュール、4035 : 通信モジュール、4041 : AIシステム、4041__1 : AIシステム、4041__n : AIシステム、4041A : AIシステム、4041B : AIシステム、4098 : バス線、4099 : ネットワーク、7000 : AIシステムIC、7001 : リード、7003 : 回路部、7031 : Siトランジスタ層、7032 : 配線層、7033 : OSトランジスタ層

請求の範囲

[請求項 1]

基板上にトランジスタと、第 1 の配線と、第 2 の配線と、を有し、
前記トランジスタは、第 1 の酸化物と、
前記第 1 の酸化物の上の第 1 の絶縁体および第 2 の絶縁体と、
前記第 1 の絶縁体および前記第 2 の絶縁体の上の第 2 の酸化物と、
前記第 2 の酸化物の上の導電体と、を有し、
前記第 1 の絶縁体と、前記第 2 の絶縁体は、前記第 2 の酸化物を介して前記導電体と重なる領域を有し、
前記第 1 の絶縁体は、前記第 1 の酸化物に達する第 1 の開口を有し、
前記第 1 の配線は、前記第 1 の開口を介して前記第 1 の酸化物の上面に接し、
前記第 2 の絶縁体は、前記第 1 の酸化物に達する第 2 の開口を有し、
前記第 2 の配線は、前記第 2 の開口を介して前記第 1 の酸化物の上面に接し、
前記第 1 の絶縁体と、前記第 2 の絶縁体は、それぞれ不純物を含む、
ことを特徴とする半導体装置。

[請求項 2]

基板上にトランジスタと、第 1 の配線と、第 2 の配線と、を有し、
前記トランジスタは、第 1 の酸化物と、
前記第 1 の酸化物の上の第 1 の絶縁体および第 2 の絶縁体と、
前記第 1 の絶縁体および前記第 2 の絶縁体の上の第 2 の酸化物と、
前記第 2 の酸化物の上の導電体と、を有し、
前記第 1 の絶縁体と、前記第 2 の絶縁体は、前記第 2 の酸化物を介して、前記導電体と重なる領域を有し、
前記第 1 の配線と、前記第 2 の配線は、前記第 1 の酸化物に接し、
前記第 1 の絶縁体と、前記第 2 の絶縁体は、それぞれ不純物を含む、
ことを特徴とする半導体装置。

[請求項 3]

請求項 1 または請求項 2 において、
前記第 1 の酸化物と、前記第 1 の絶縁体および前記第 2 の絶縁体と、は接する領域を有する、
ことを特徴とする半導体装置。

[請求項 4]

請求項 1 または請求項 2 において、
前記第 1 の酸化物と、前記第 2 の酸化物と、は接する領域を有し、
前記領域は、前記第 2 の酸化物を介して、前記導電体と重なる、
ことを特徴とする半導体装置。

[請求項 5]

請求項 1 または請求項 2 において、
前記第 1 の酸化物は、 In-Ga-Zn 酸化物である、
ことを特徴とする半導体装置。

[請求項 6]

請求項 1 または請求項 2 において、
前記第 1 の絶縁体と、前記第 2 の絶縁体と、に含まれる不純物は、水素および窒素の少なくとも一である、
ことを特徴とする半導体装置。

[請求項 7]

請求項 1 または請求項 2 において、
前記第 1 の絶縁体および前記第 2 の絶縁体は、窒化シリコン膜である、
ことを特徴とする半導体装置。

[請求項 8]

請求項 1 または請求項 2 において、
前記第 2 の酸化物は、酸化シリコンおよび In-Ga-Zn 酸化物の少なくとも一である、
ことを特徴とする半導体装置。

[請求項 9]

請求項 1 乃至請求項 2 において、
前記第 1 の絶縁体と前記第 2 の酸化物との間、および、前記第 2 の絶縁体と前記第 2 の酸化物との間に、酸化アルミニウムを有する、
ことを特徴とする半導体装置。

[請求項 10]

基板上に第 1 の酸化物を形成し、
前記第 1 の酸化物に接するように、前記第 1 の酸化物の上に第 1 の絶縁体を形成し、
前記第 1 の絶縁体の上にパターン形成された第 1 のレジストマスクを形成し、
前記第 1 のレジストマスクを用いて、前記第 1 の絶縁体をエッチングすることで、第 2 の絶縁体と、第 3 の絶縁体と、を形成し、
前記第 1 の酸化物に接するように、前記第 1 の酸化物と、前記第 2 の絶縁体と、前記第 3 の絶縁体と、の上に、第 2 の酸化物を形成し、
前記第 2 の酸化物を介して、前記第 2 の絶縁体および前記第 3 の絶縁体と重畳するように、前記第 2 の酸化物の上に、第 1 の導電体を形成し、
前記第 1 の酸化物に達するように、前記第 2 の絶縁体に第 1 の開口と、前記第 3 の絶縁体に第 2 の開口と、を形成し、
前記第 1 の開口に第 2 の導電体を形成し、
前記第 2 の開口に第 3 の導電体を形成する、
半導体装置の作製方法。

[請求項 11]

請求項 10 において、
前記第 2 の絶縁体と、前記第 3 の絶縁体と、前記第 1 の導電体と、の上に、第 4 の絶縁体を形成し、
前記第 4 の絶縁体の上にパターン形成された第 2 のレジストマスクを形成し、
前記第 2 のレジストマスクを用いて、前記第 2 の絶縁体および前記第 4 の絶縁体に前記第 1 の開口と、前記第 3 の絶縁体および前記第 4 の絶縁体に前記第 2 の開口と、を形成する、
半導体装置の作製方法。

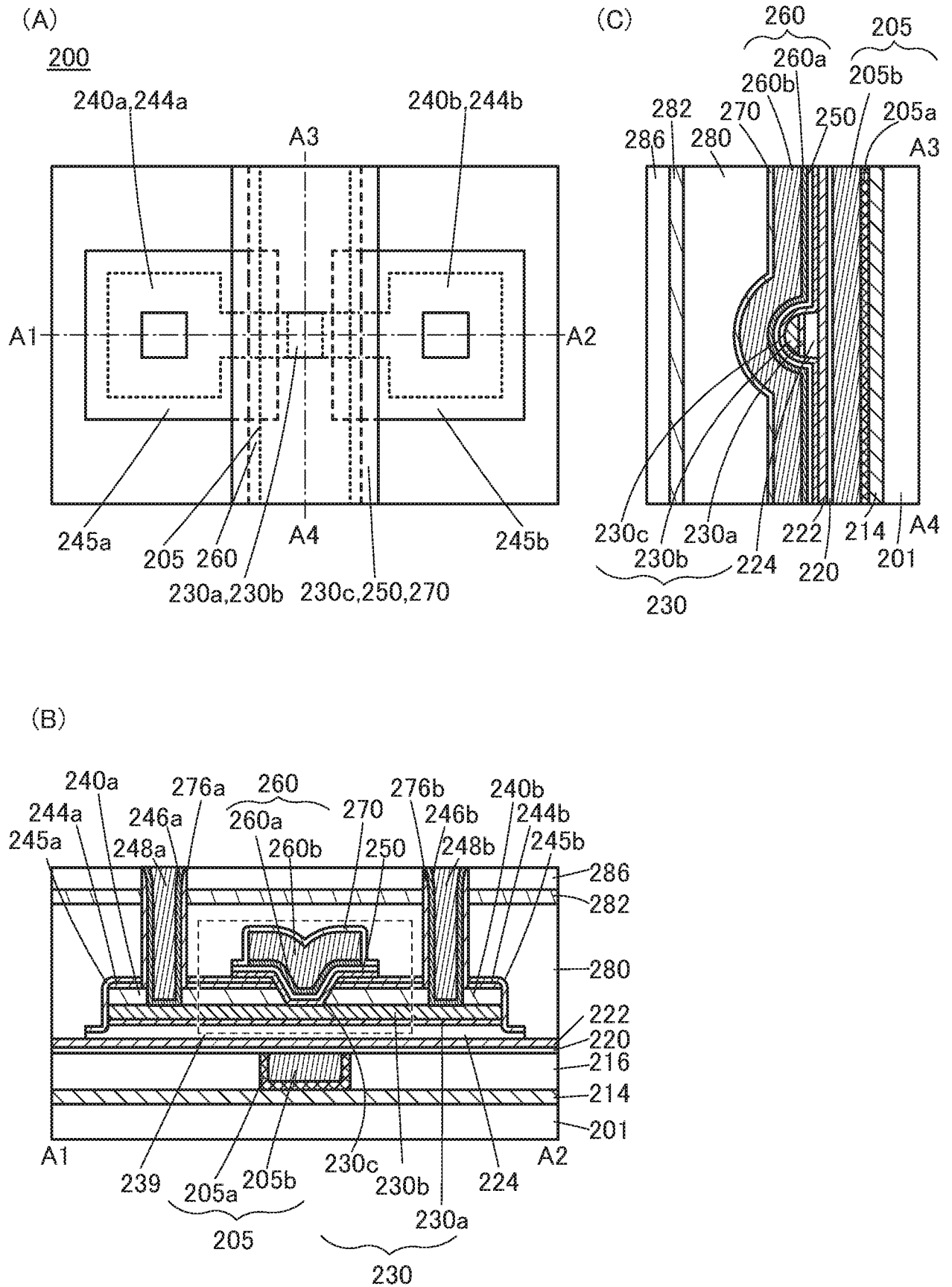
[請求項 1 2]

請求項 1 0 または請求項 1 1 において、
前記第 1 の酸化物は、 In-Ga-Zn 酸化物である、
半導体装置の作製方法。

[請求項 1 3]

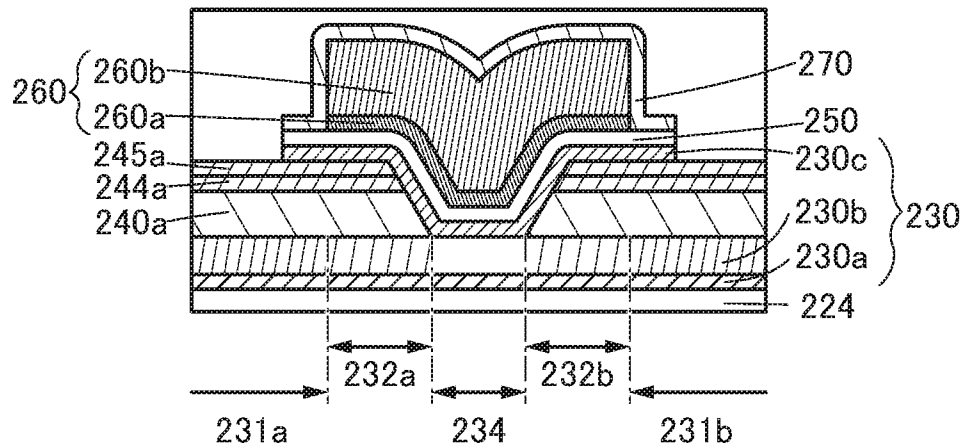
請求項 1 0 または請求項 1 1 において、
前記第 1 の絶縁体は、窒化シリコン膜である、
半導体装置の作製方法。

[図 1]

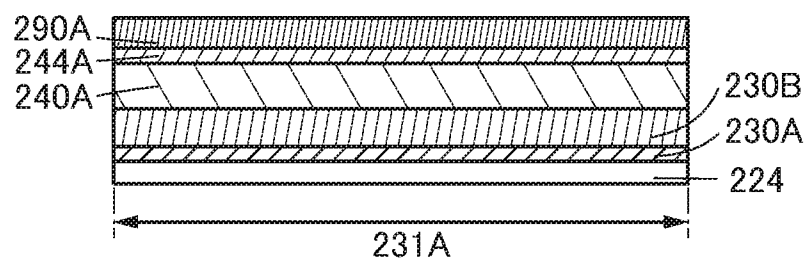


[図 2]

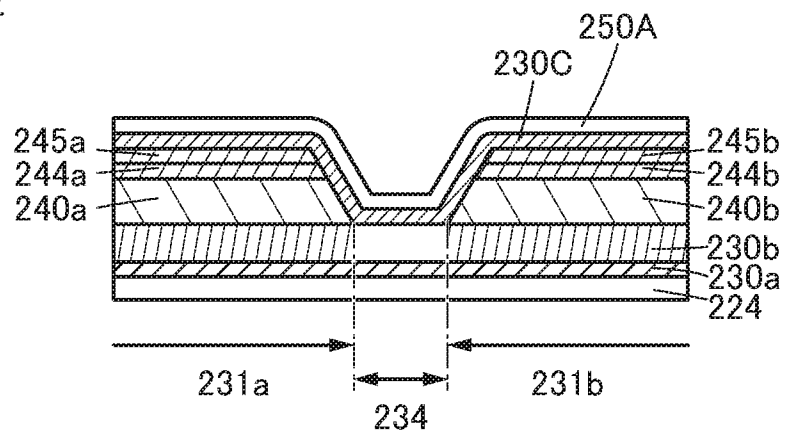
(A)

239

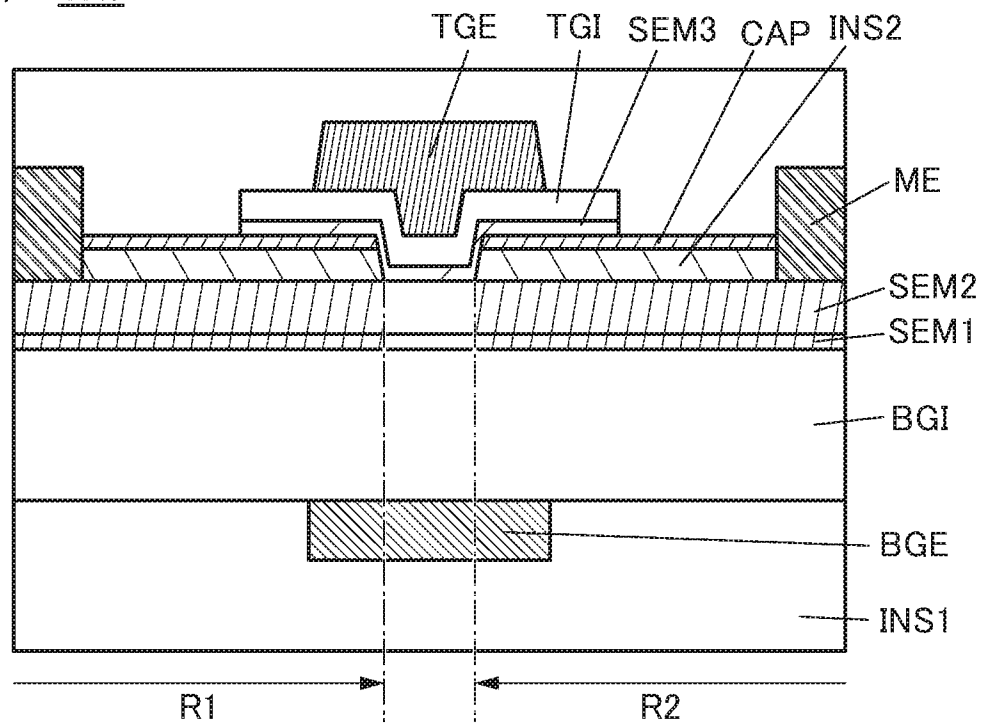
(B)

239

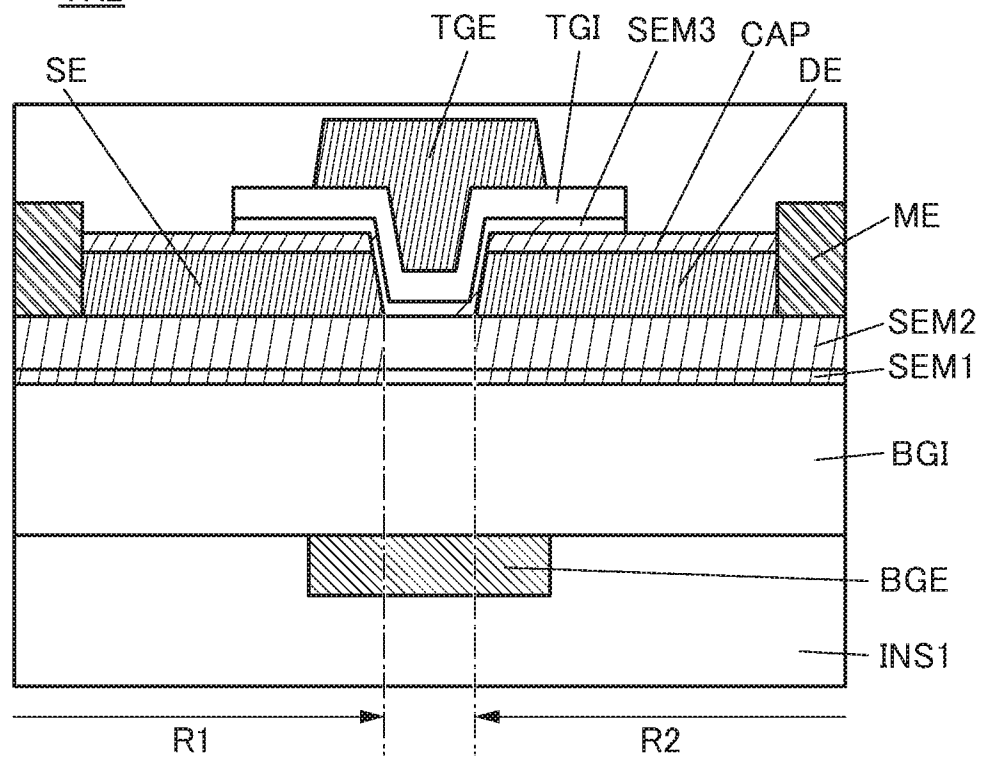
(C)

239

[3]

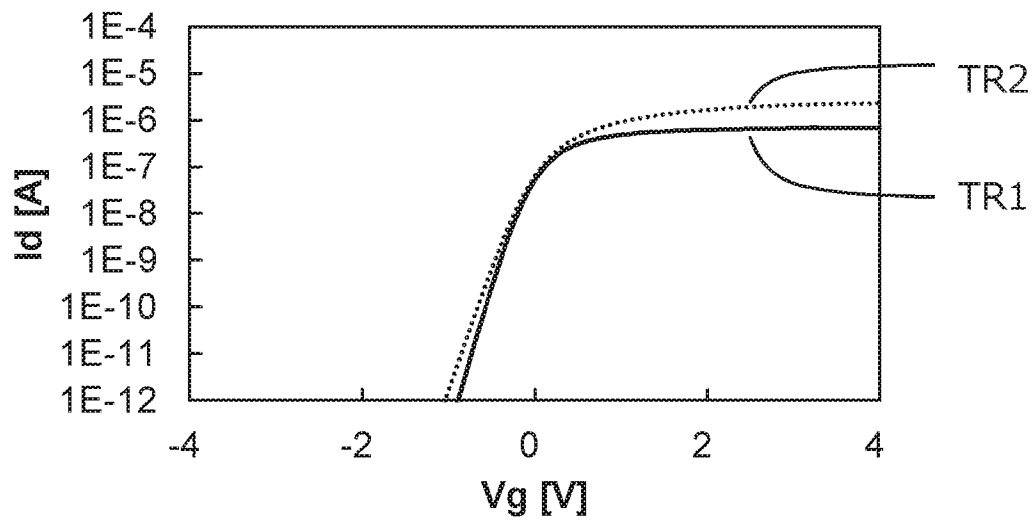
(A) TR1

(B)

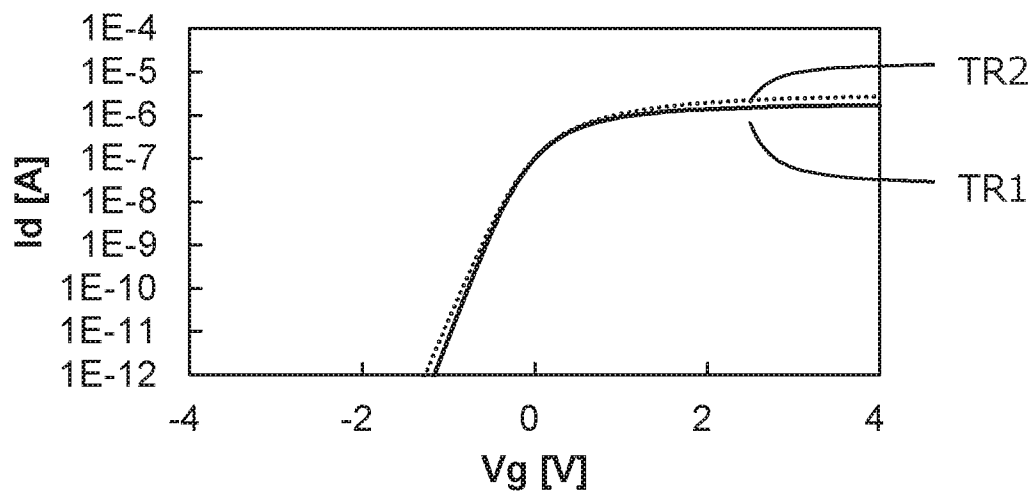
TR2

[図 4]

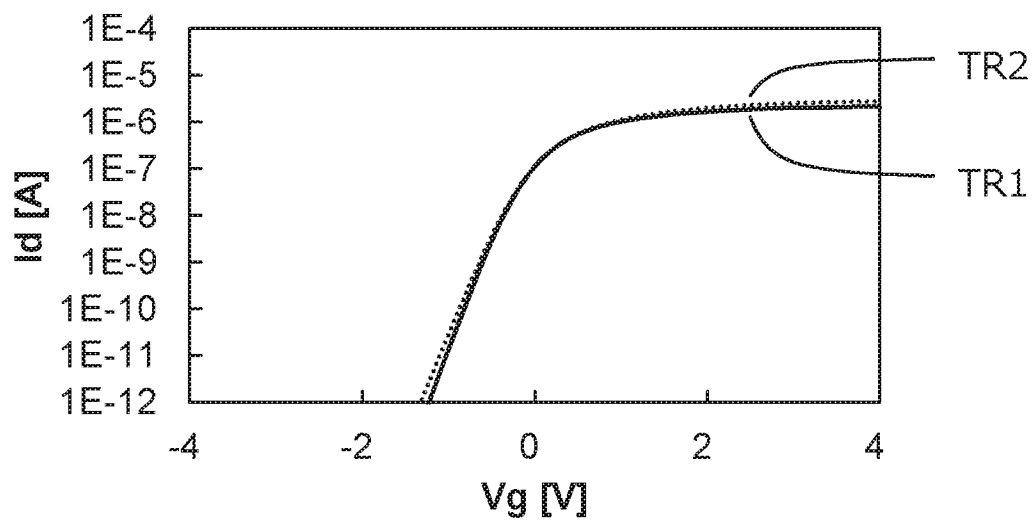
(A)



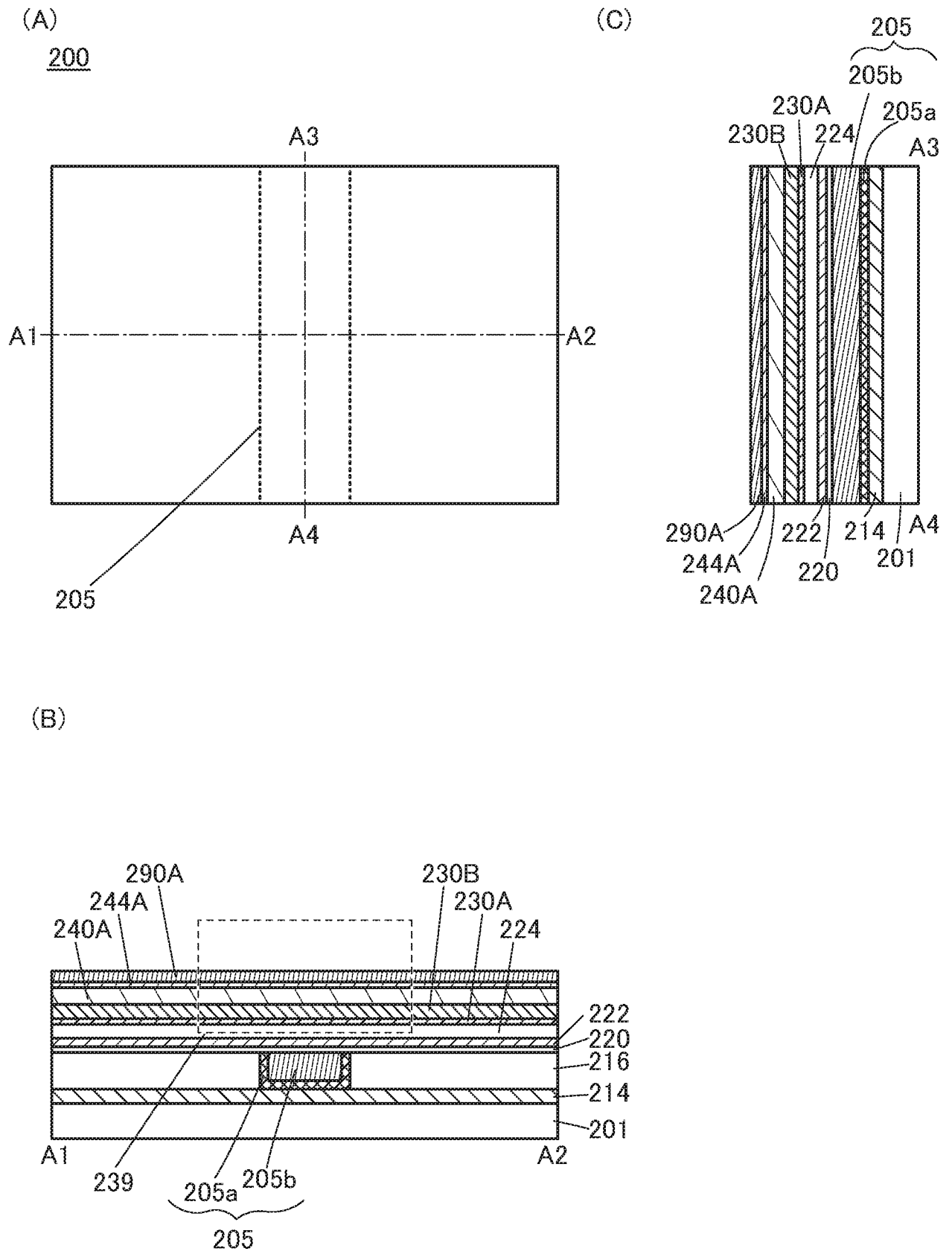
(B)



(C)



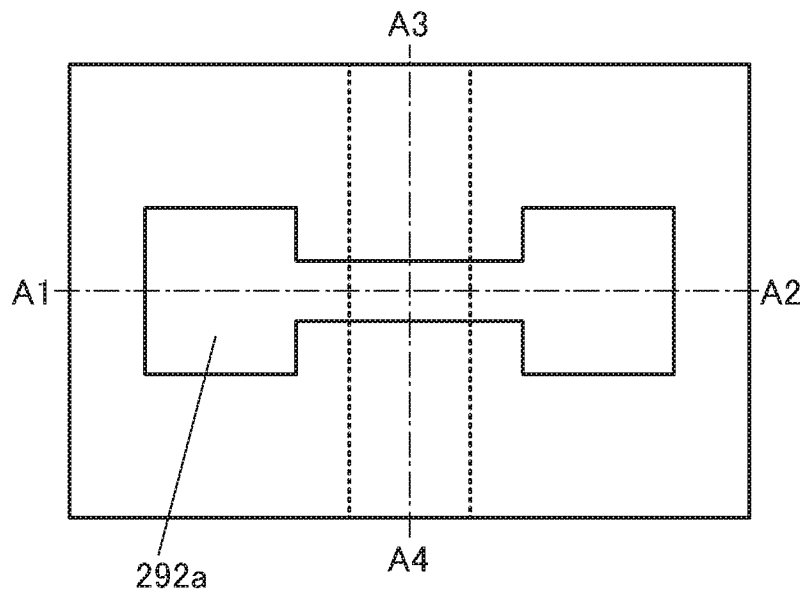
[図 5]



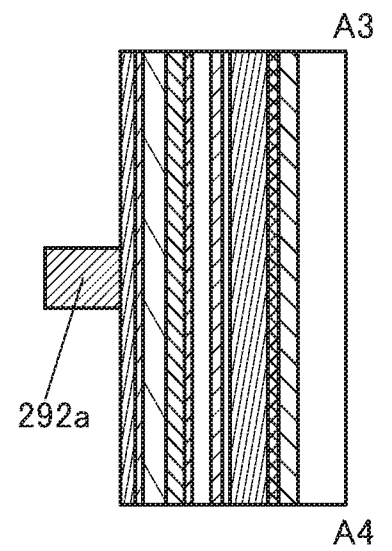
[図 6]

(A)

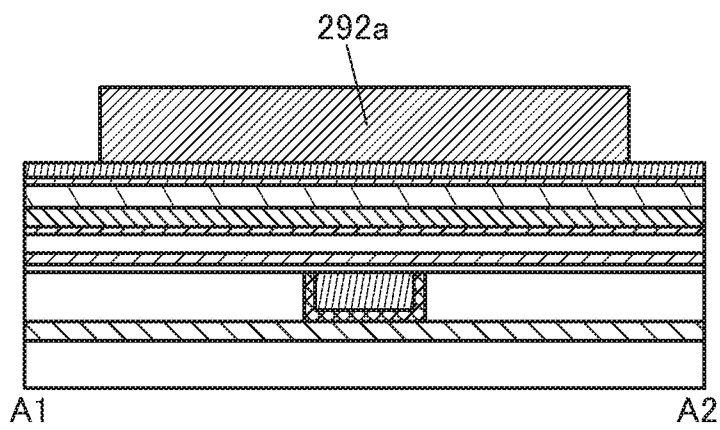
200



(C)



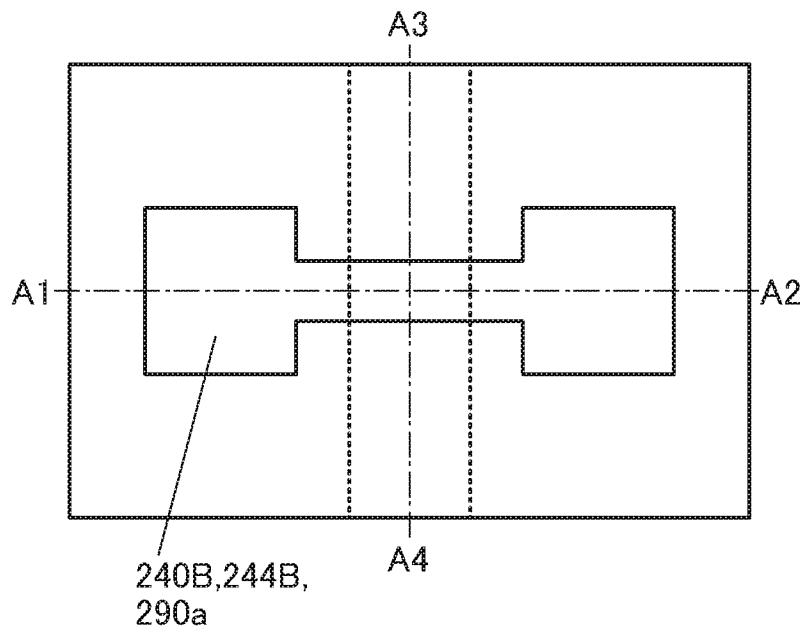
(B)



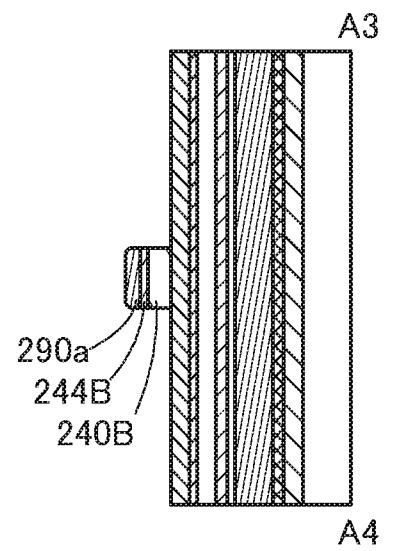
[図 7]

(A)

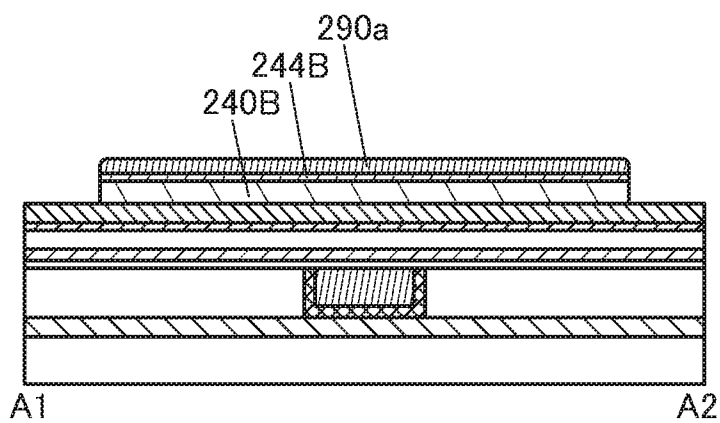
200



(C)



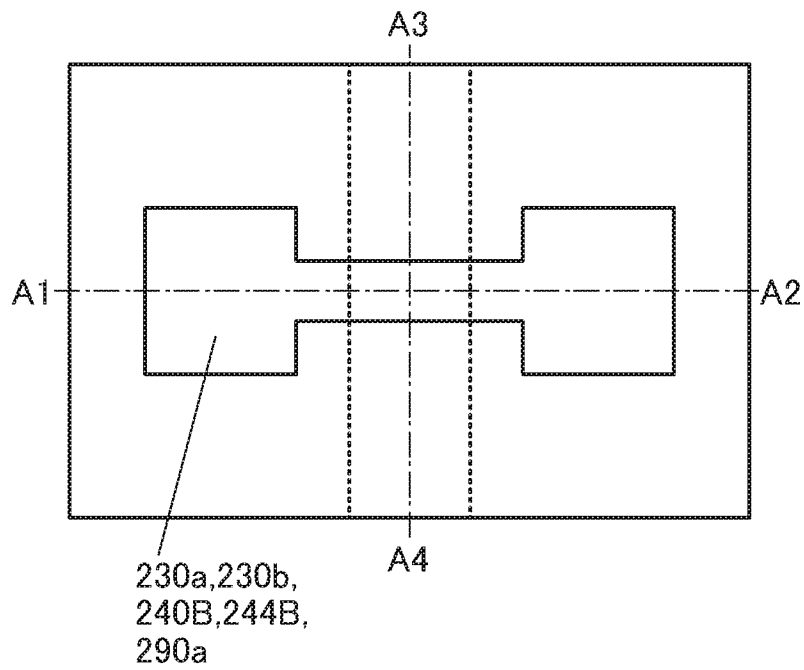
(B)



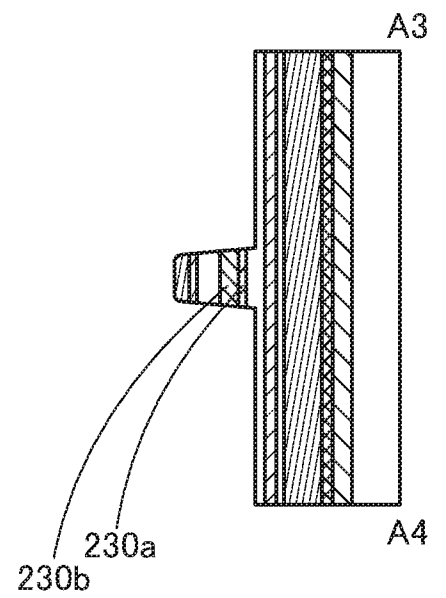
[図 8]

(A)

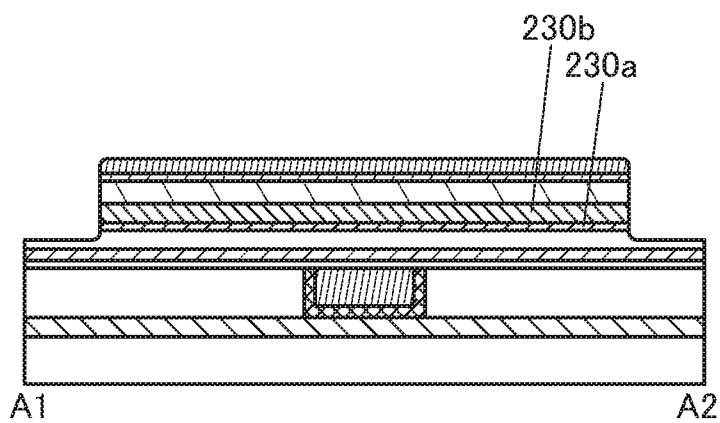
200



(C)



(B)

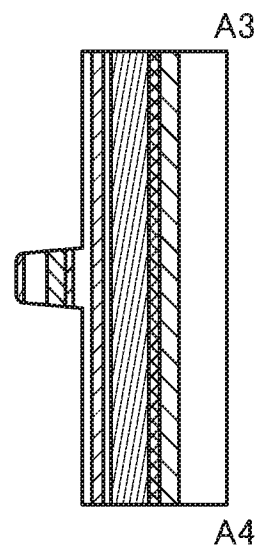
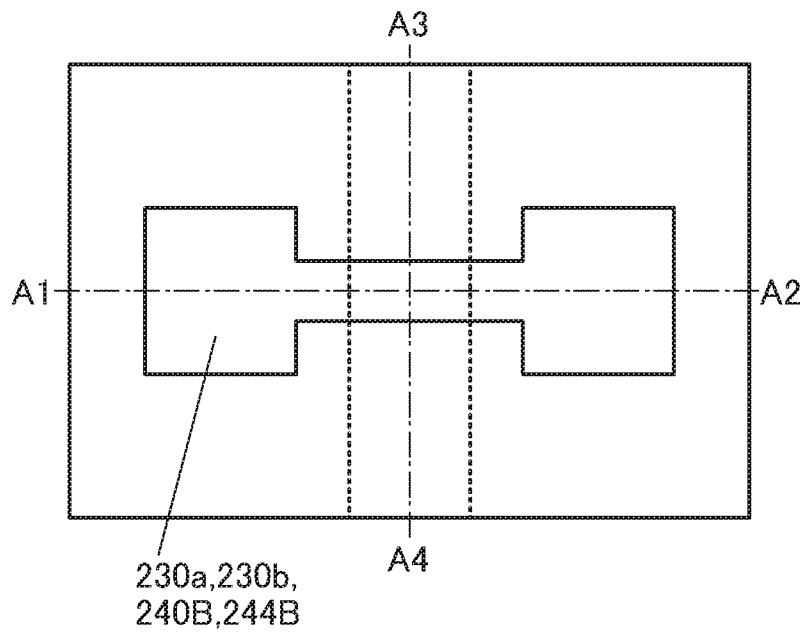


[ 9]

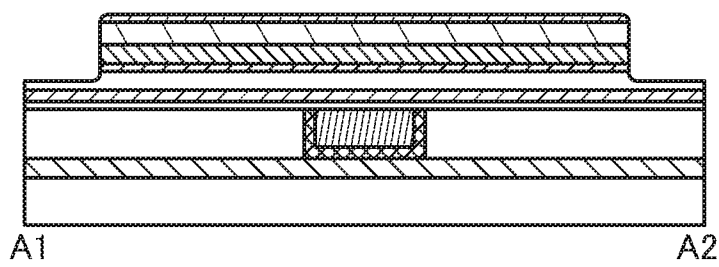
(A)

200

(C)



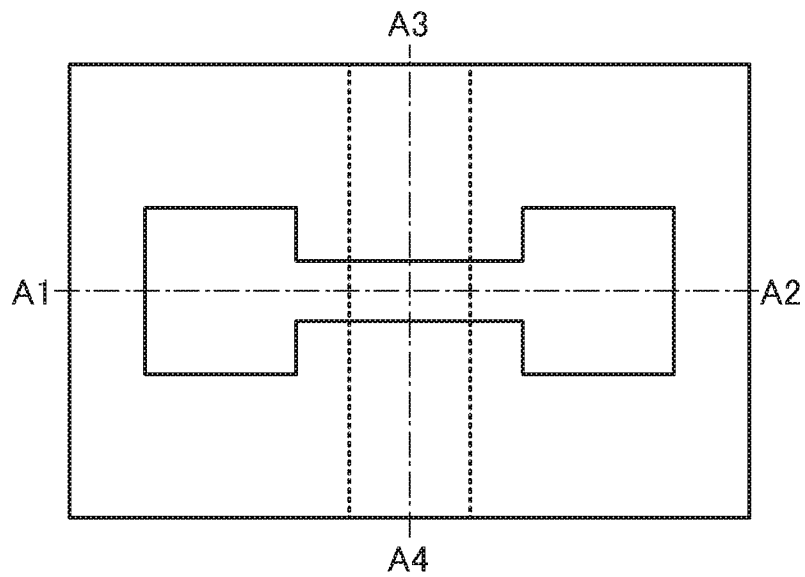
(B)



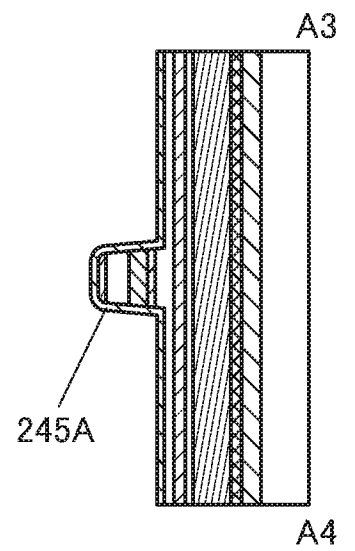
[図10]

(A)

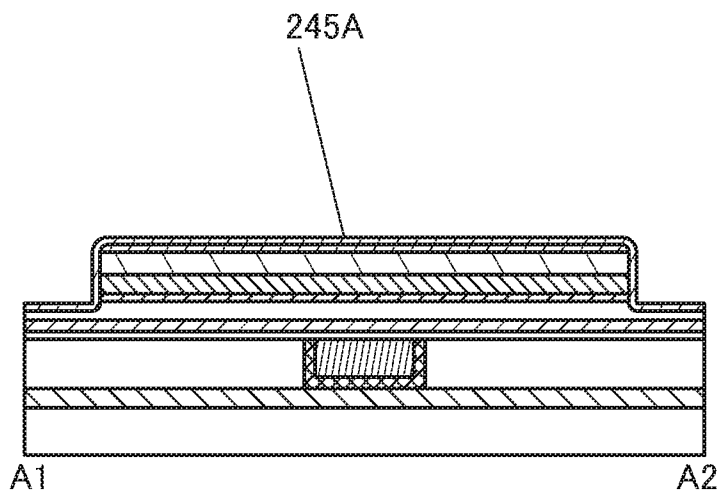
200



(C)



(B)

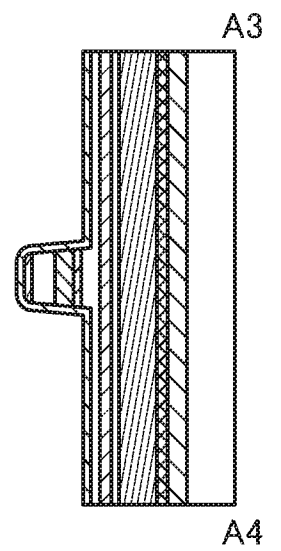
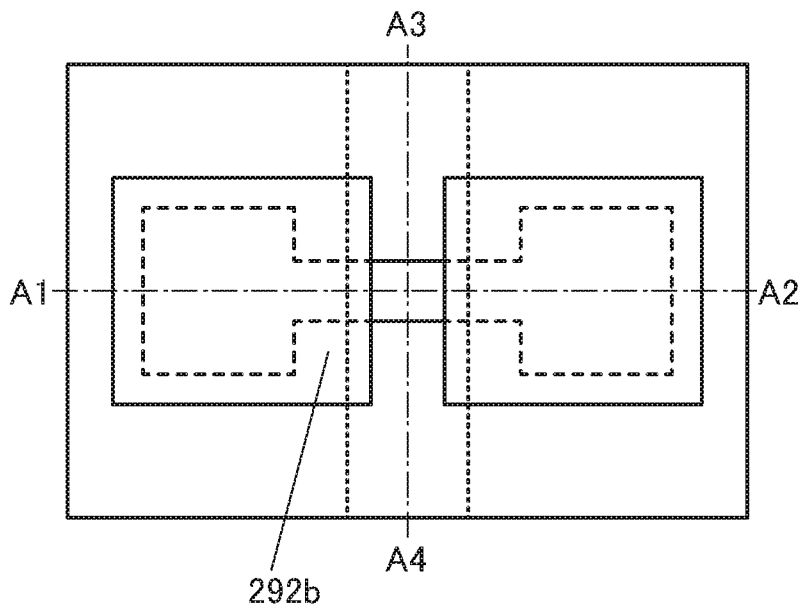


[図11]

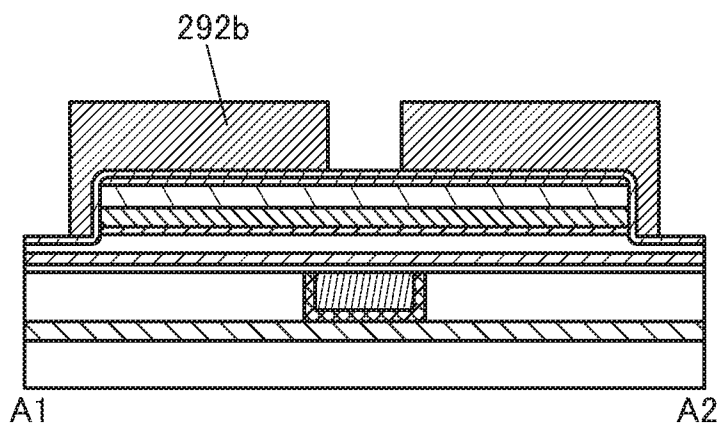
(A)

200

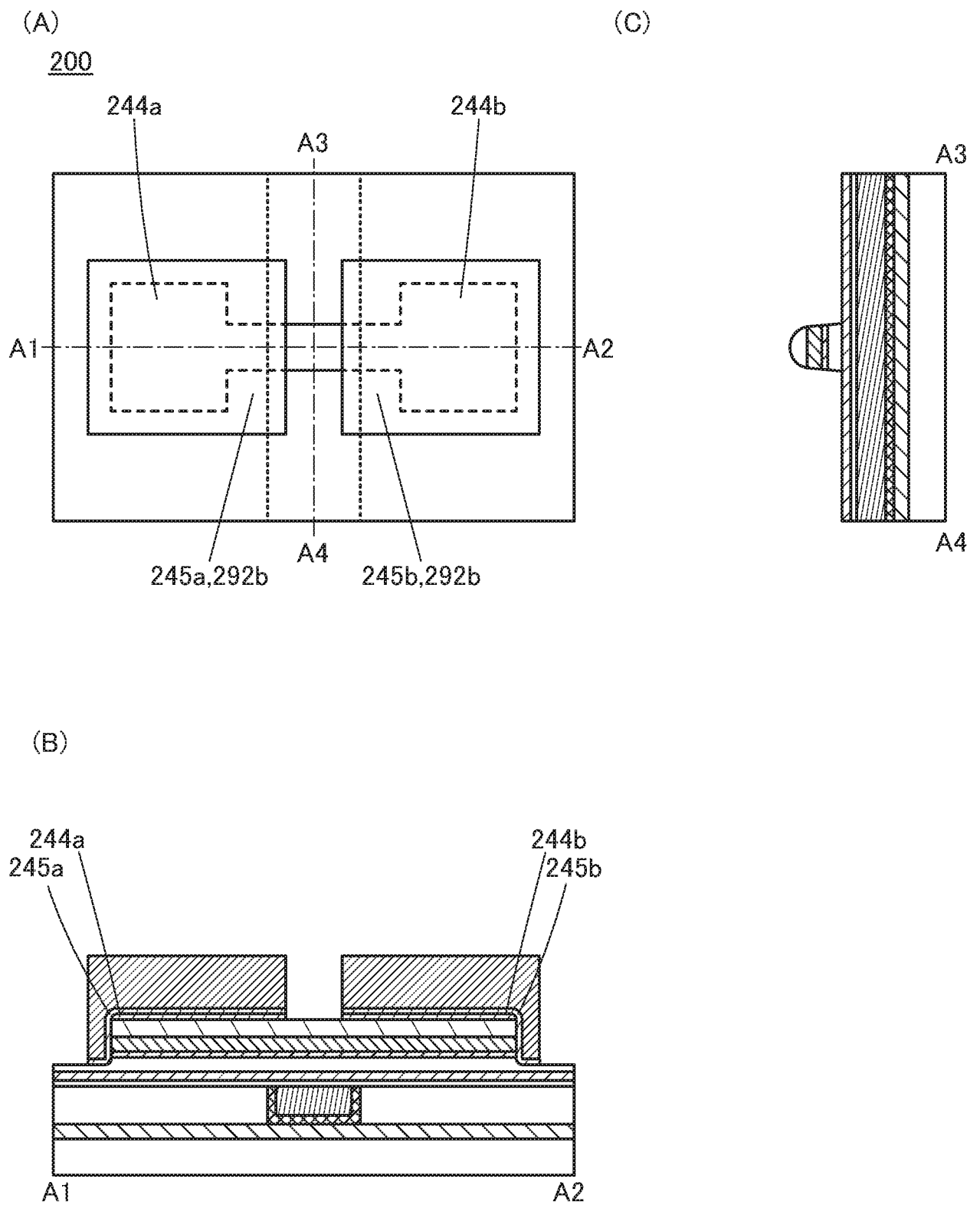
(C)



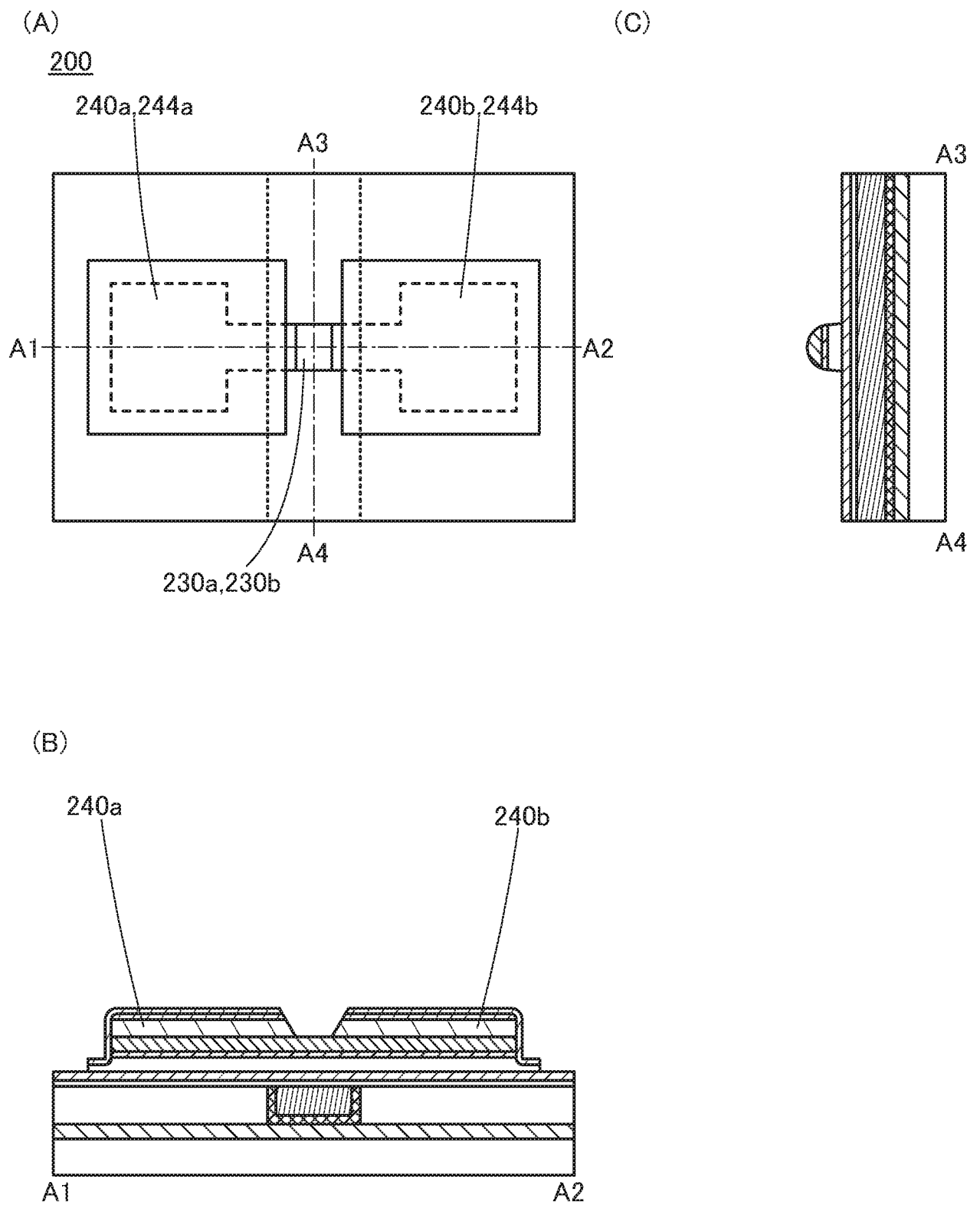
(B)



[図12]



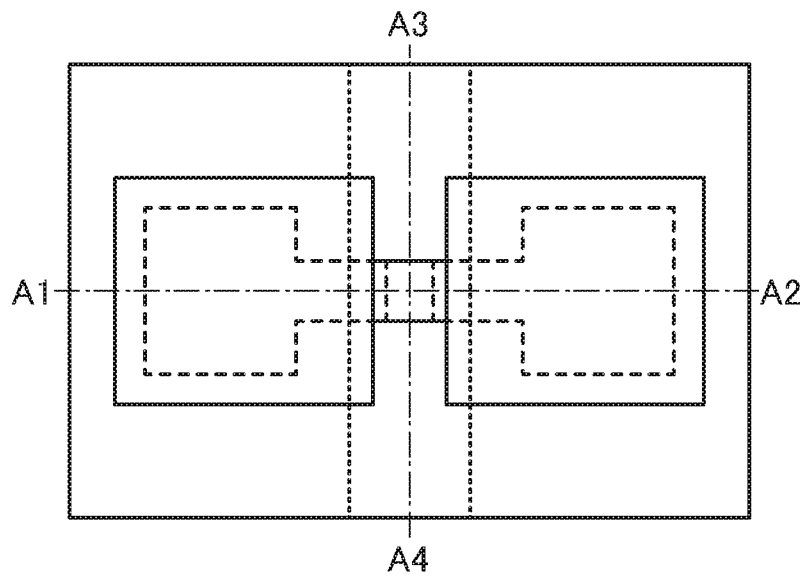
[図13]



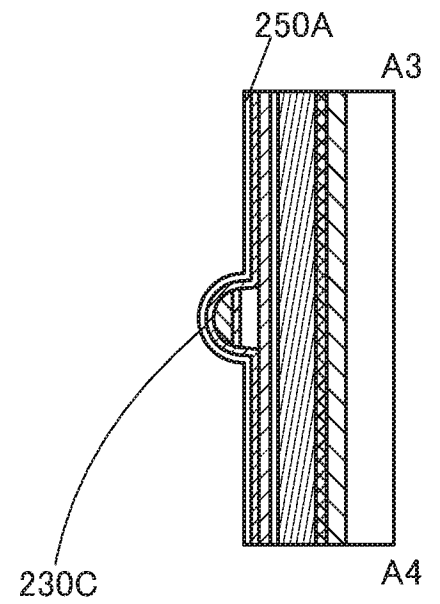
[図14]

(A)

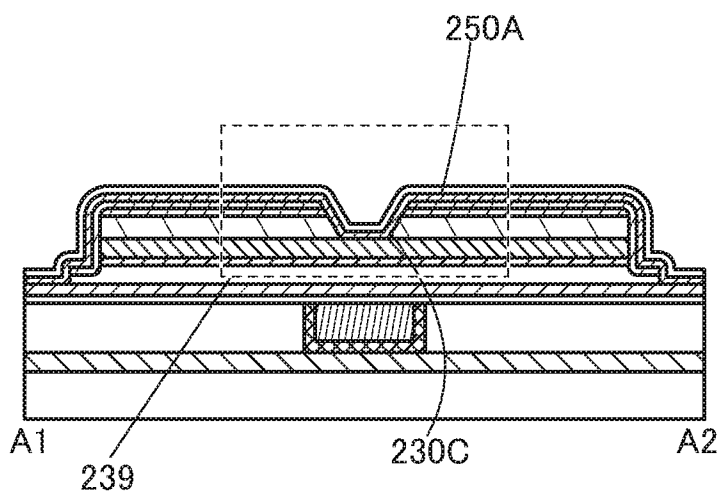
200



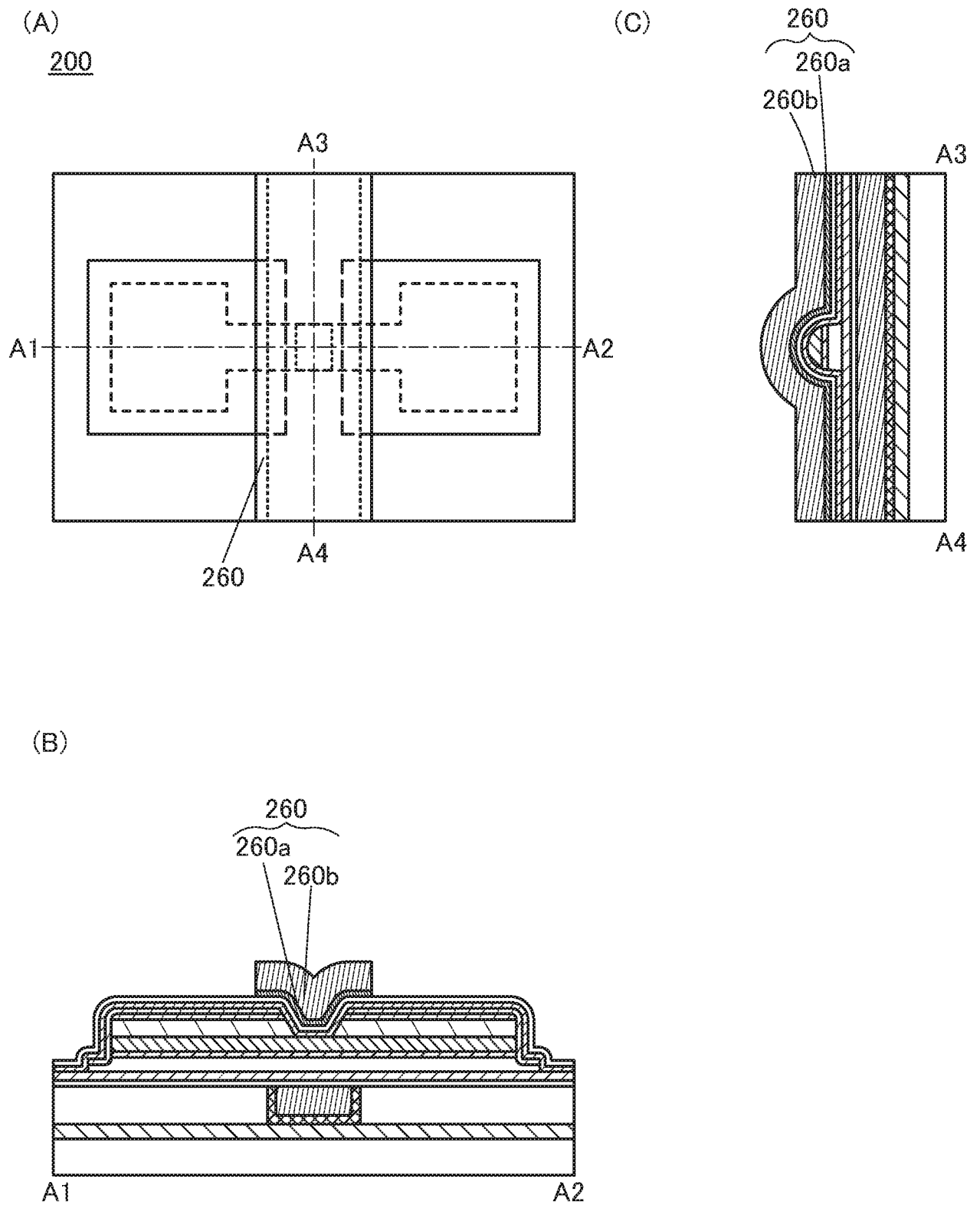
(C)



(B)



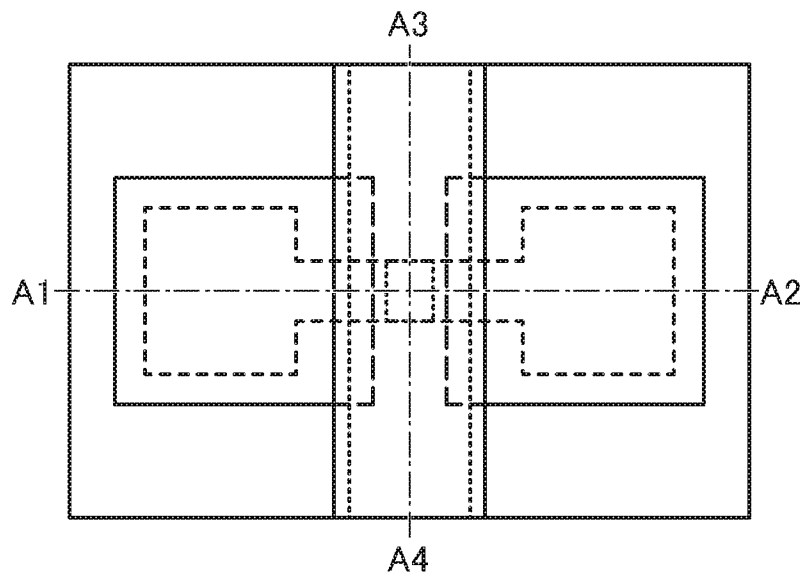
[図15]



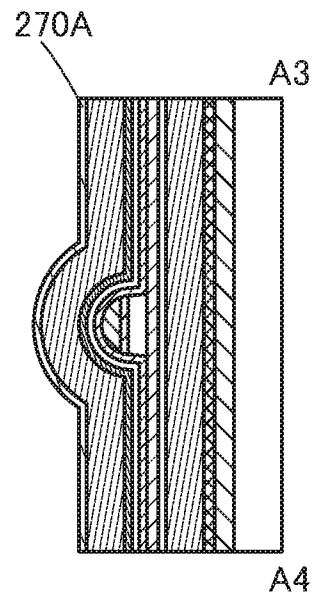
[図16]

(A)

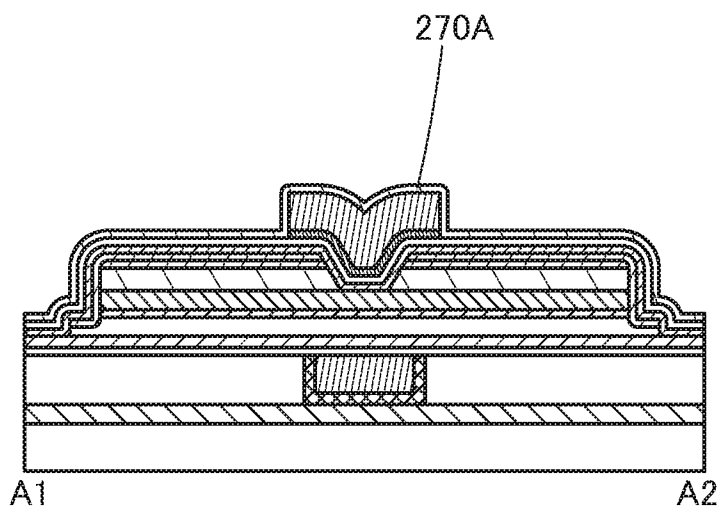
200



(C)



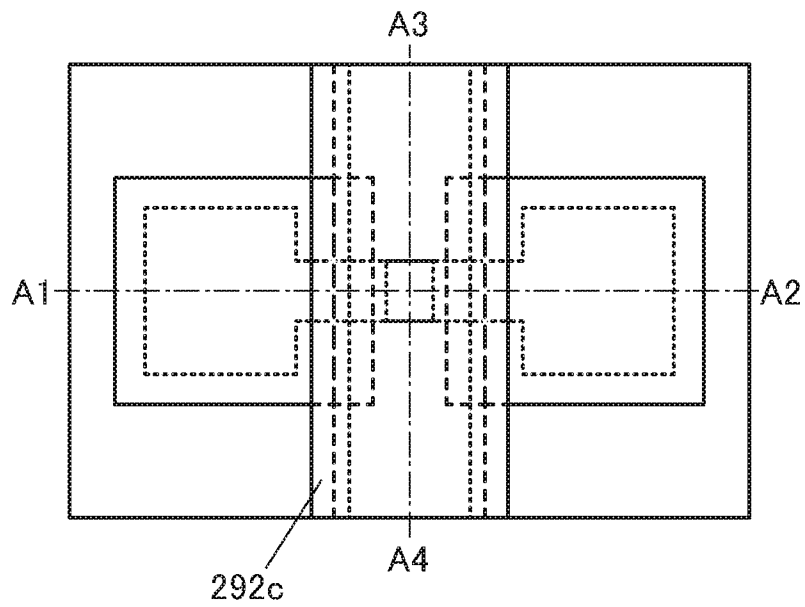
(B)



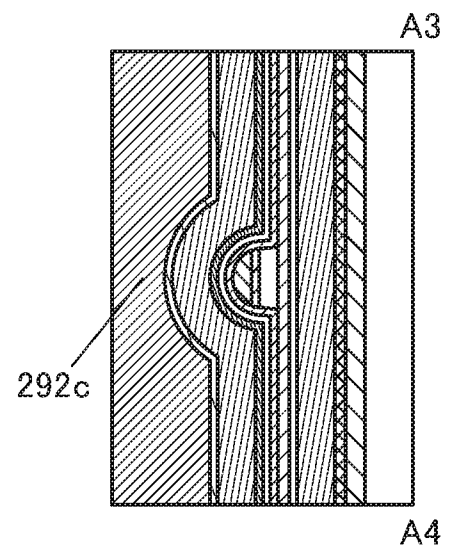
[図17]

(A)

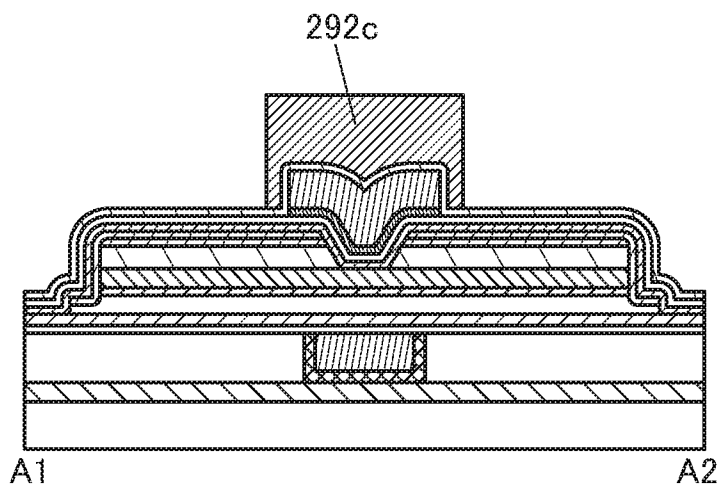
200



(C)



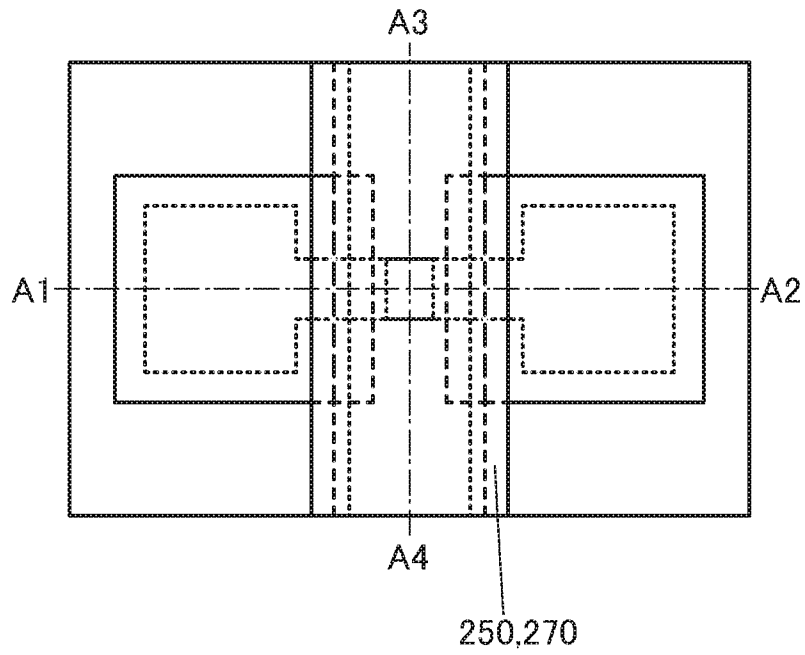
(B)



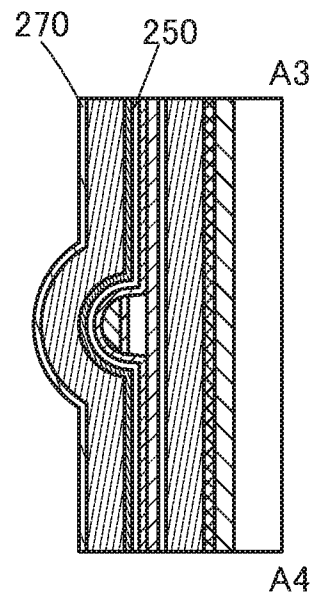
[図18]

(A)

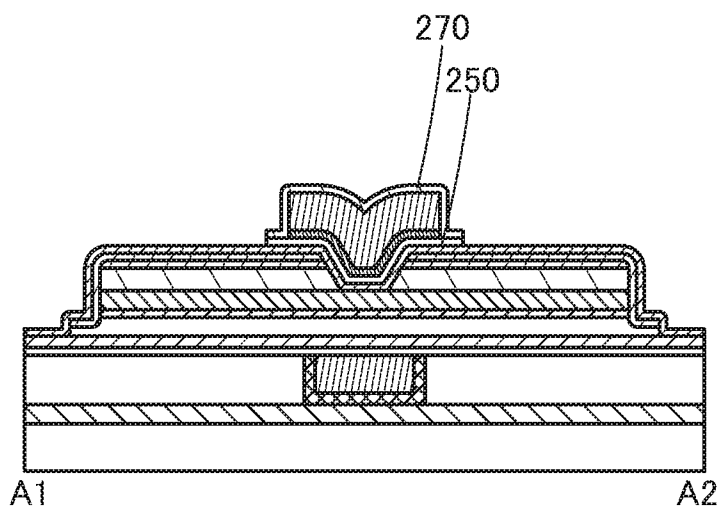
200



(C)



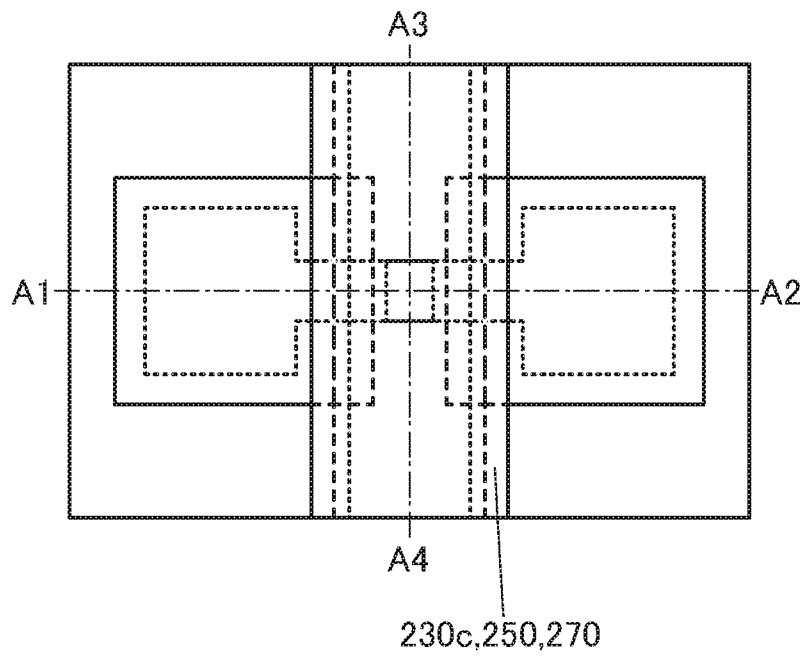
(B)



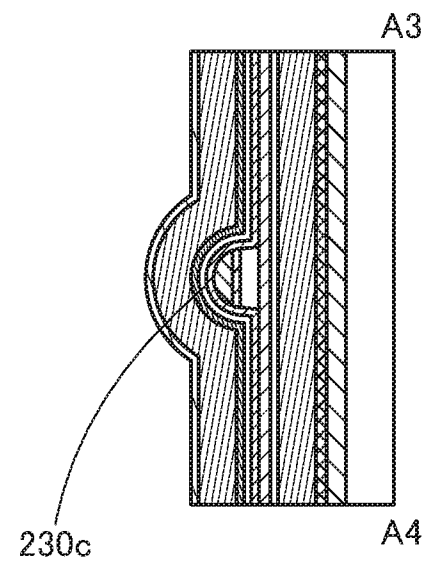
[図19]

(A)

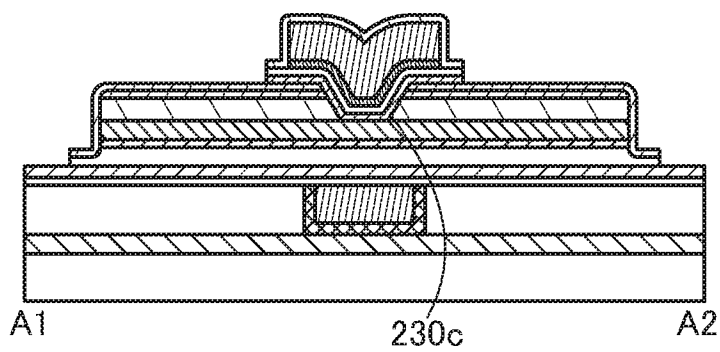
200



(C)



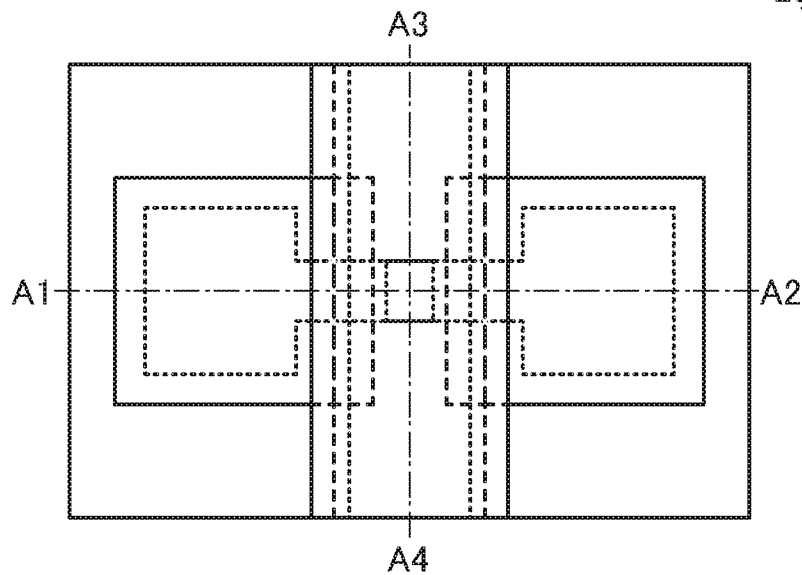
(B)



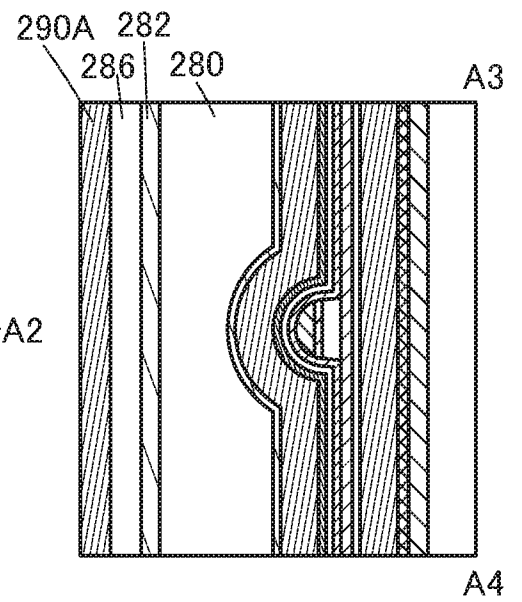
[図20]

(A)

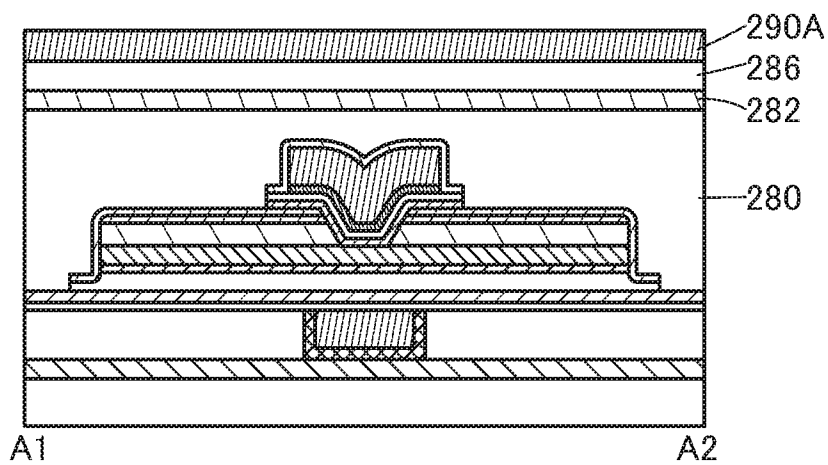
200



(C)



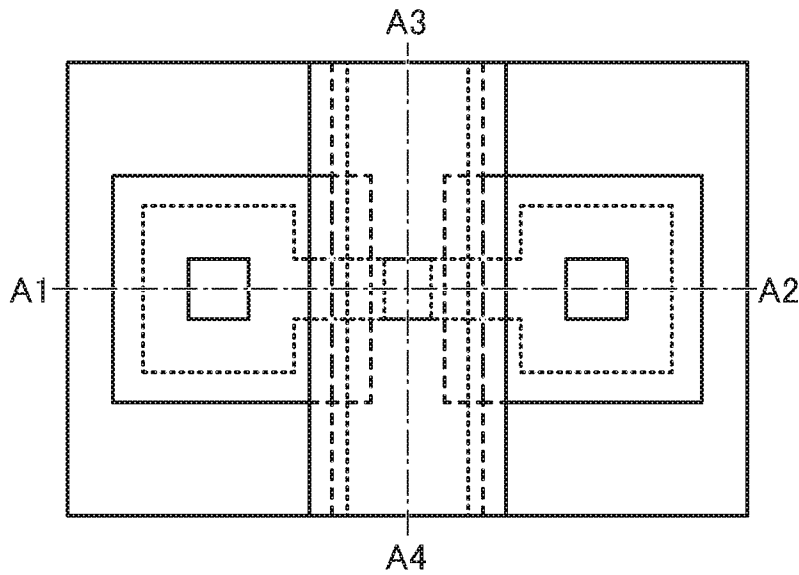
(B)



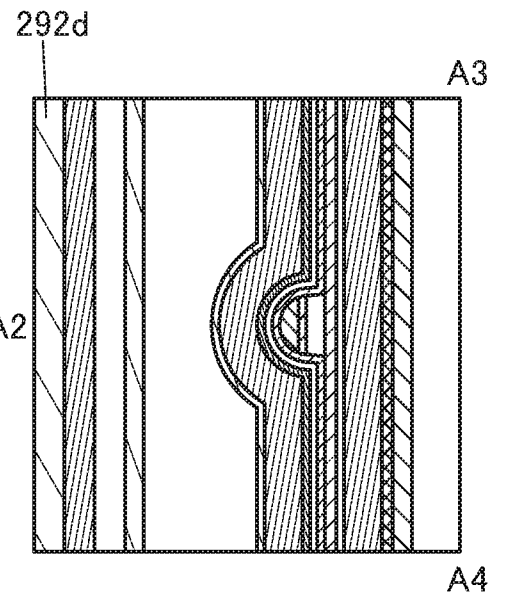
[図21]

(A)

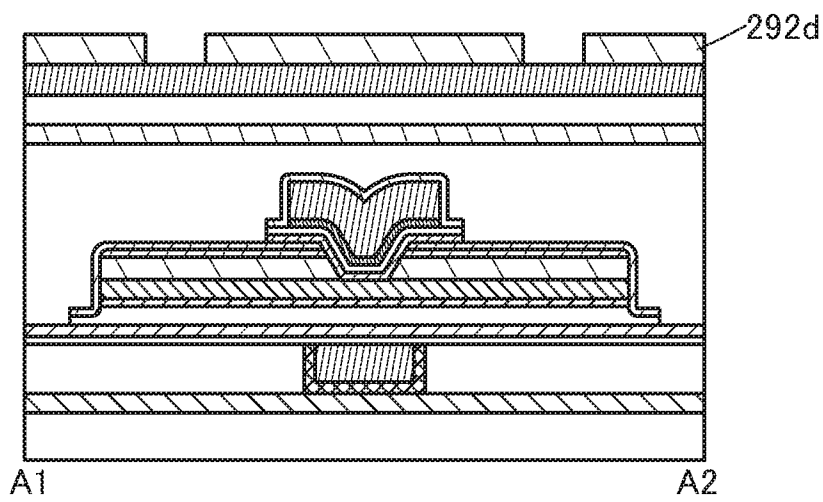
200



(C)



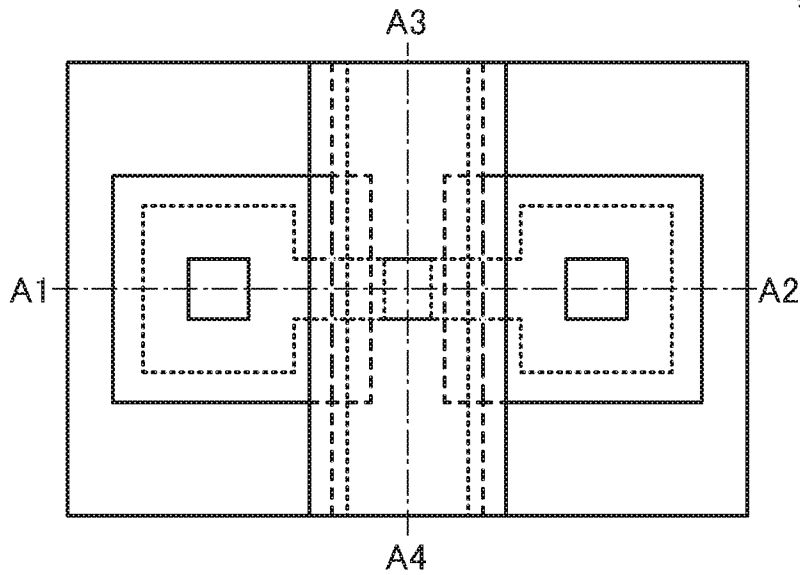
(B)



[図22]

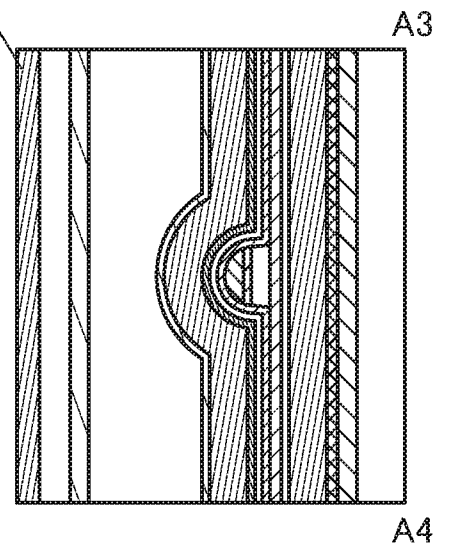
(A)

200



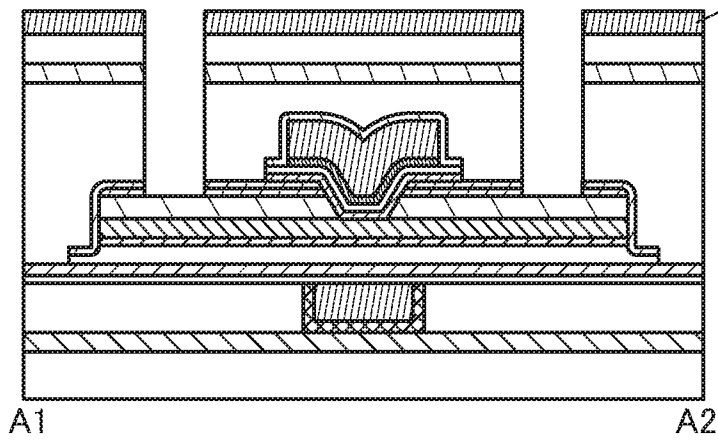
(C)

290b



(B)

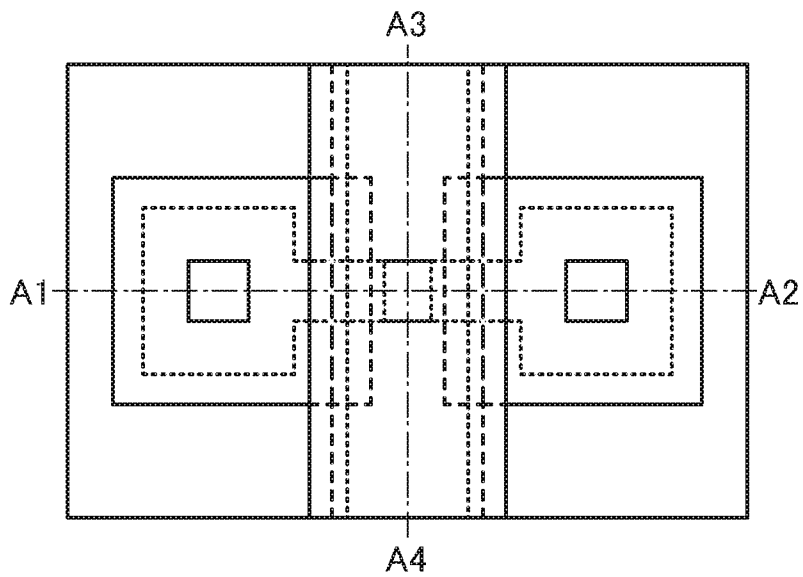
290b



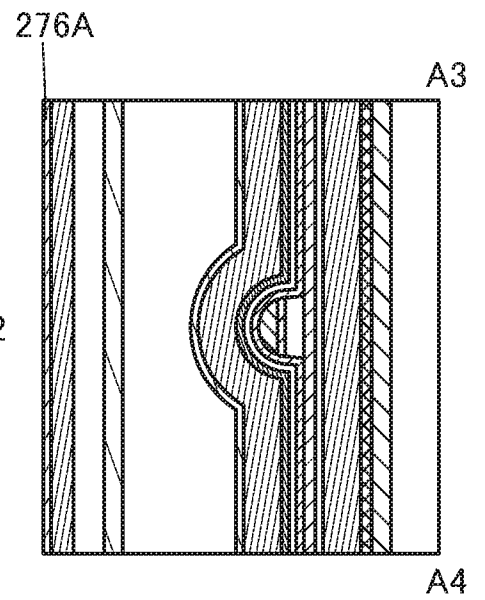
[図23]

(A)

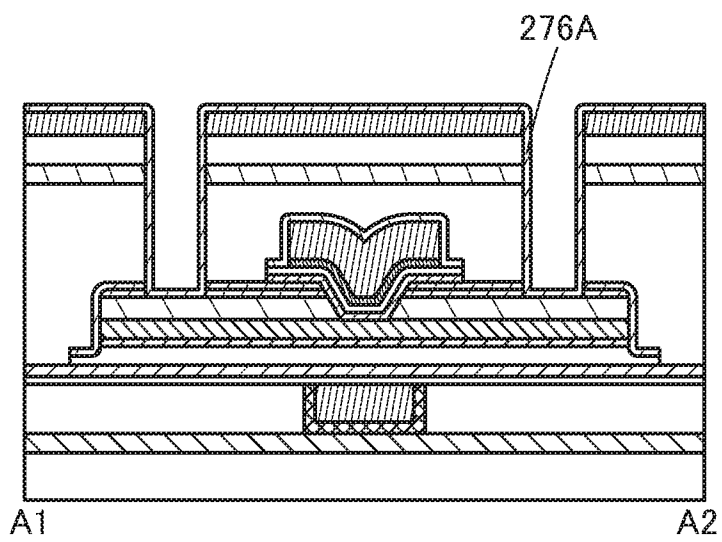
200



(C)



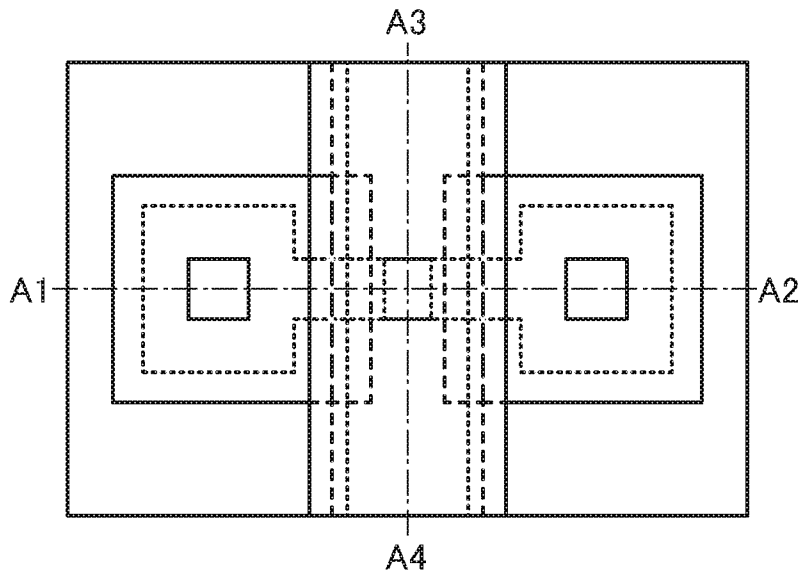
(B)



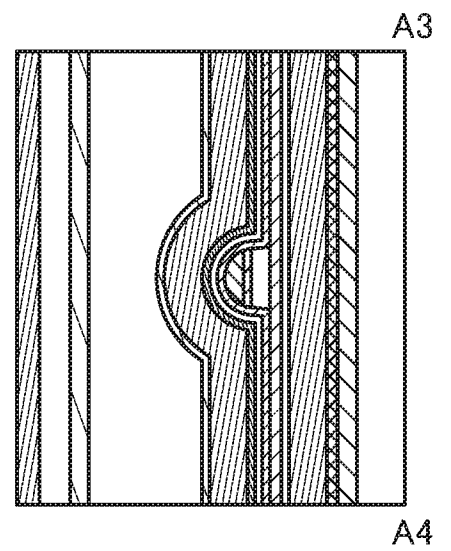
[図24]

(A)

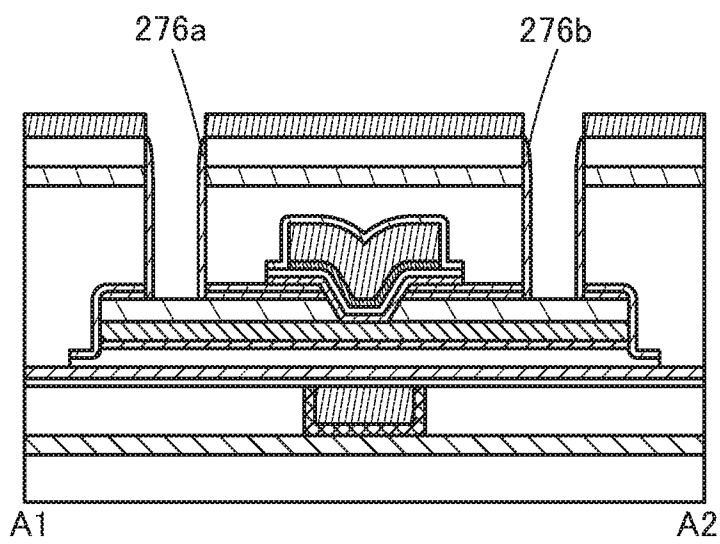
200



(C)



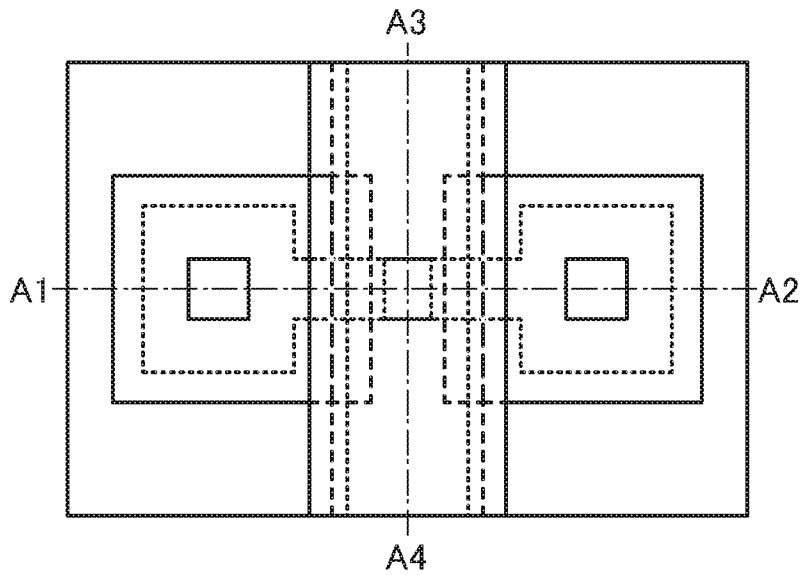
(B)



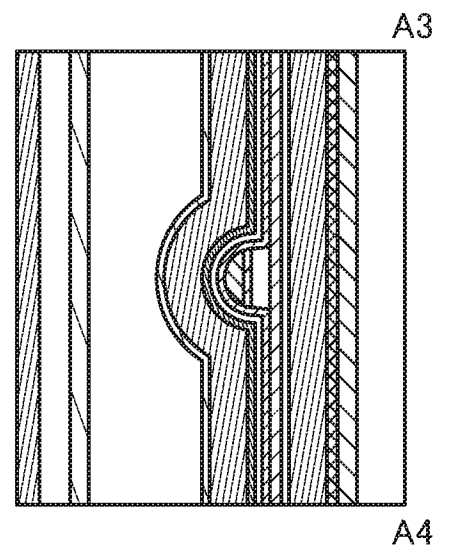
[図25]

(A)

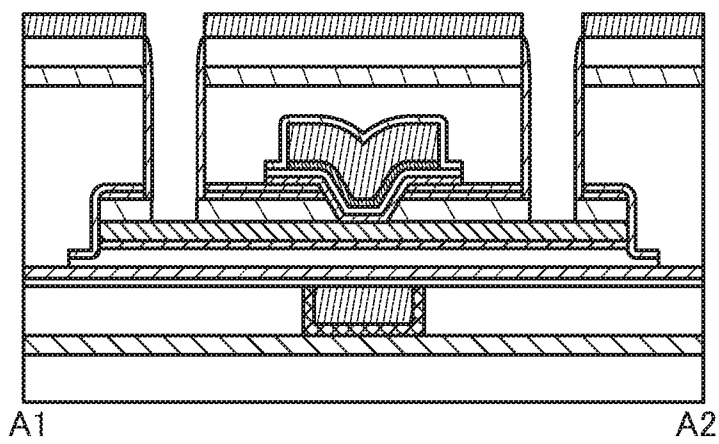
200



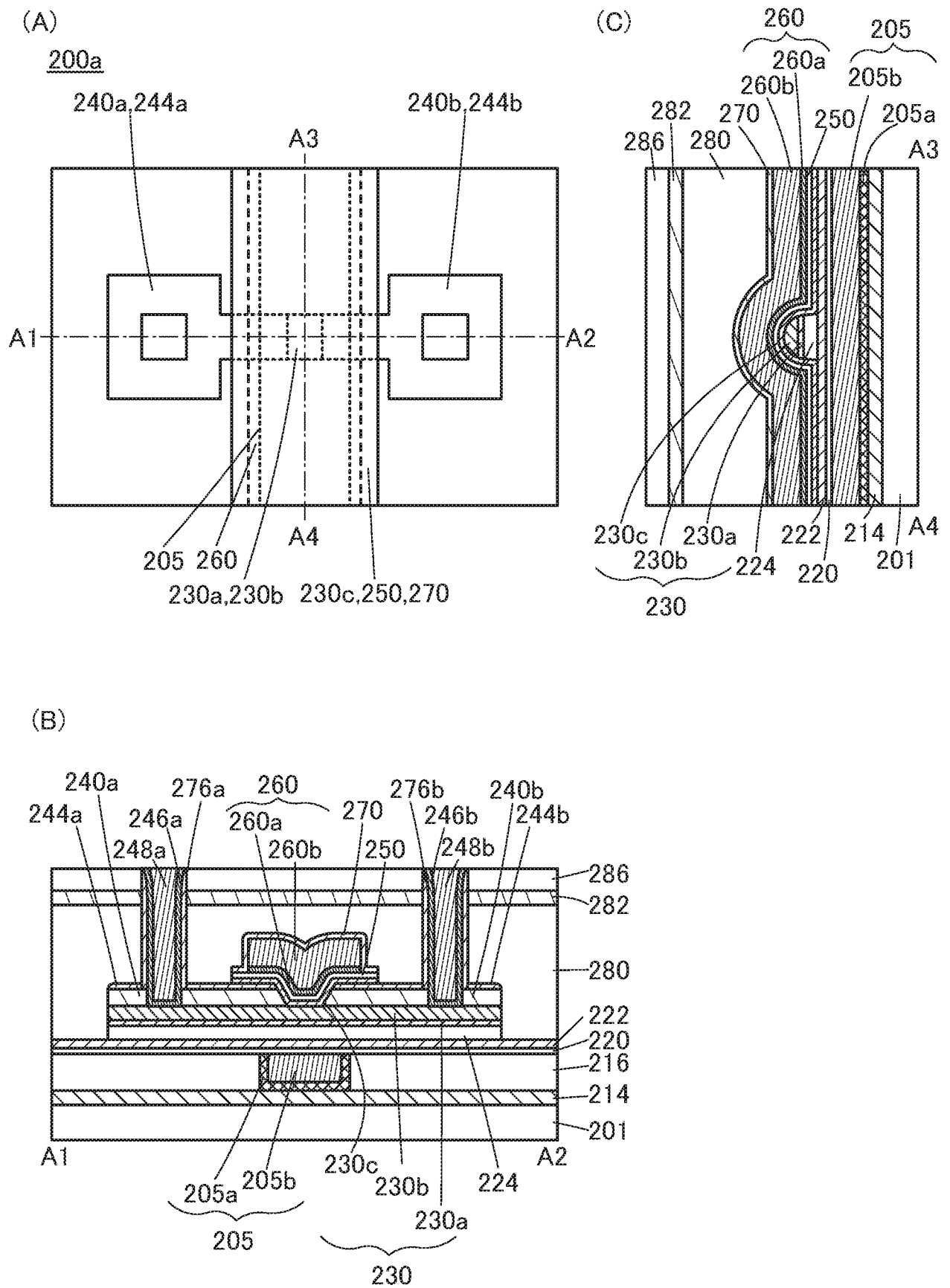
(C)



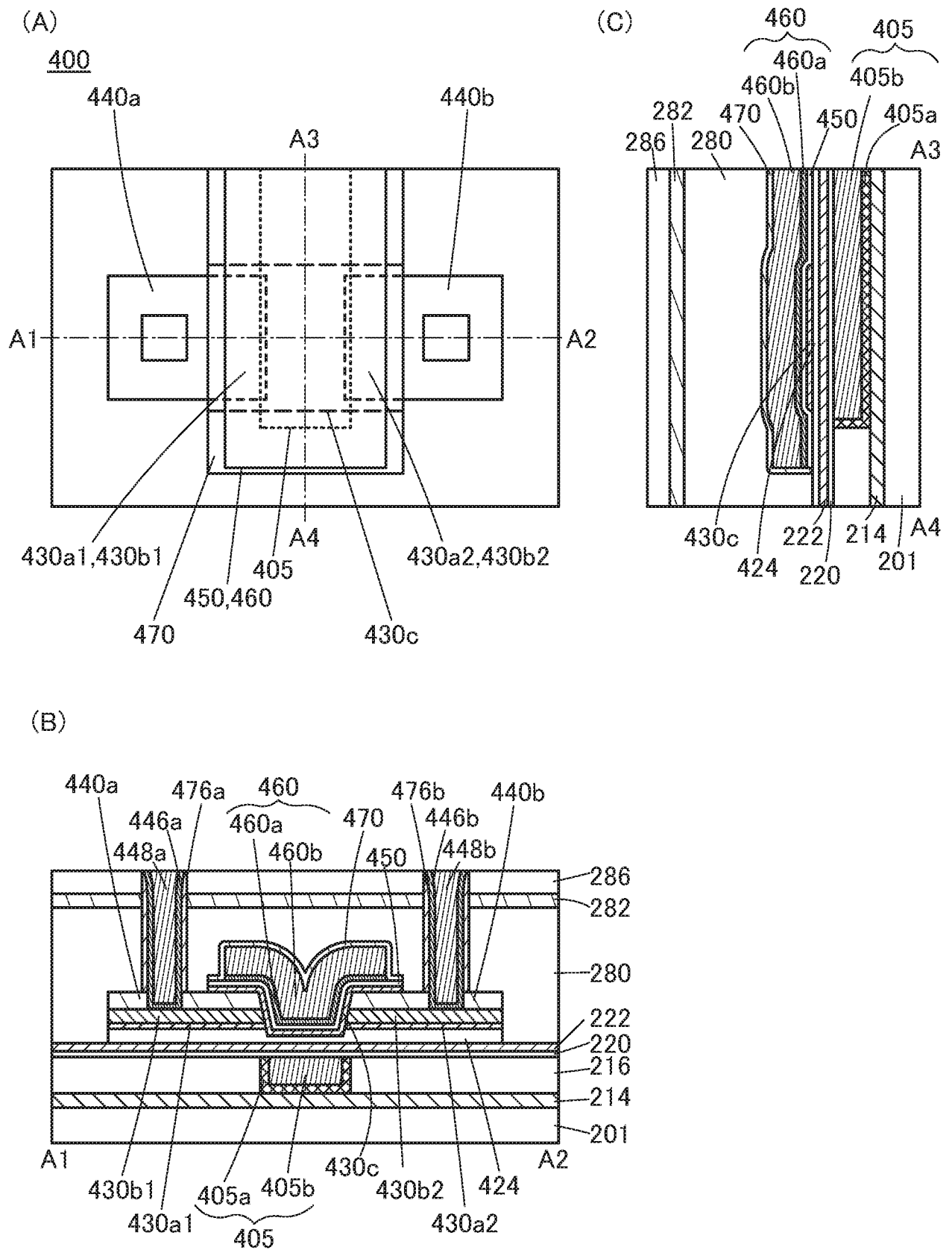
(B)



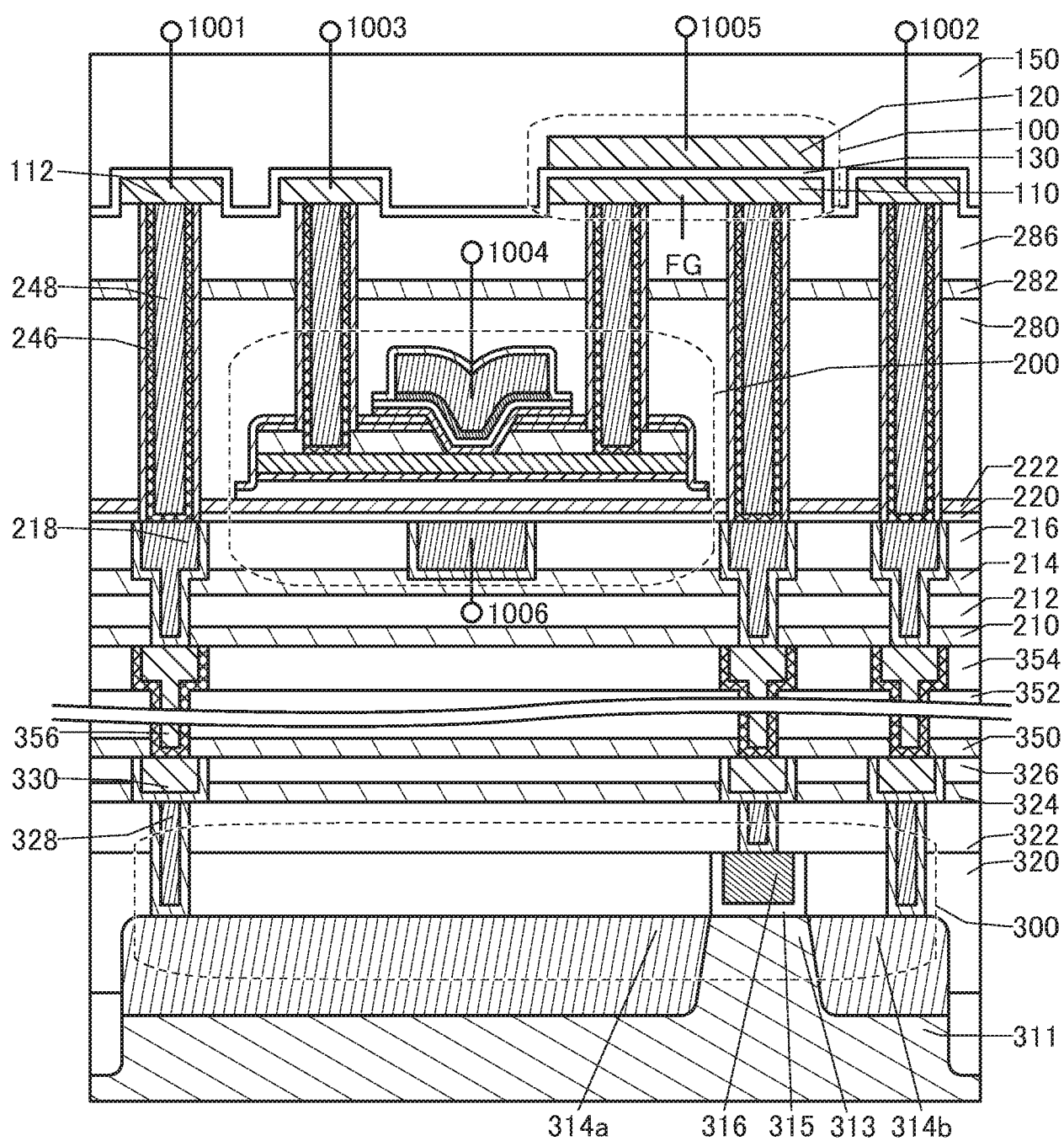
[図26]



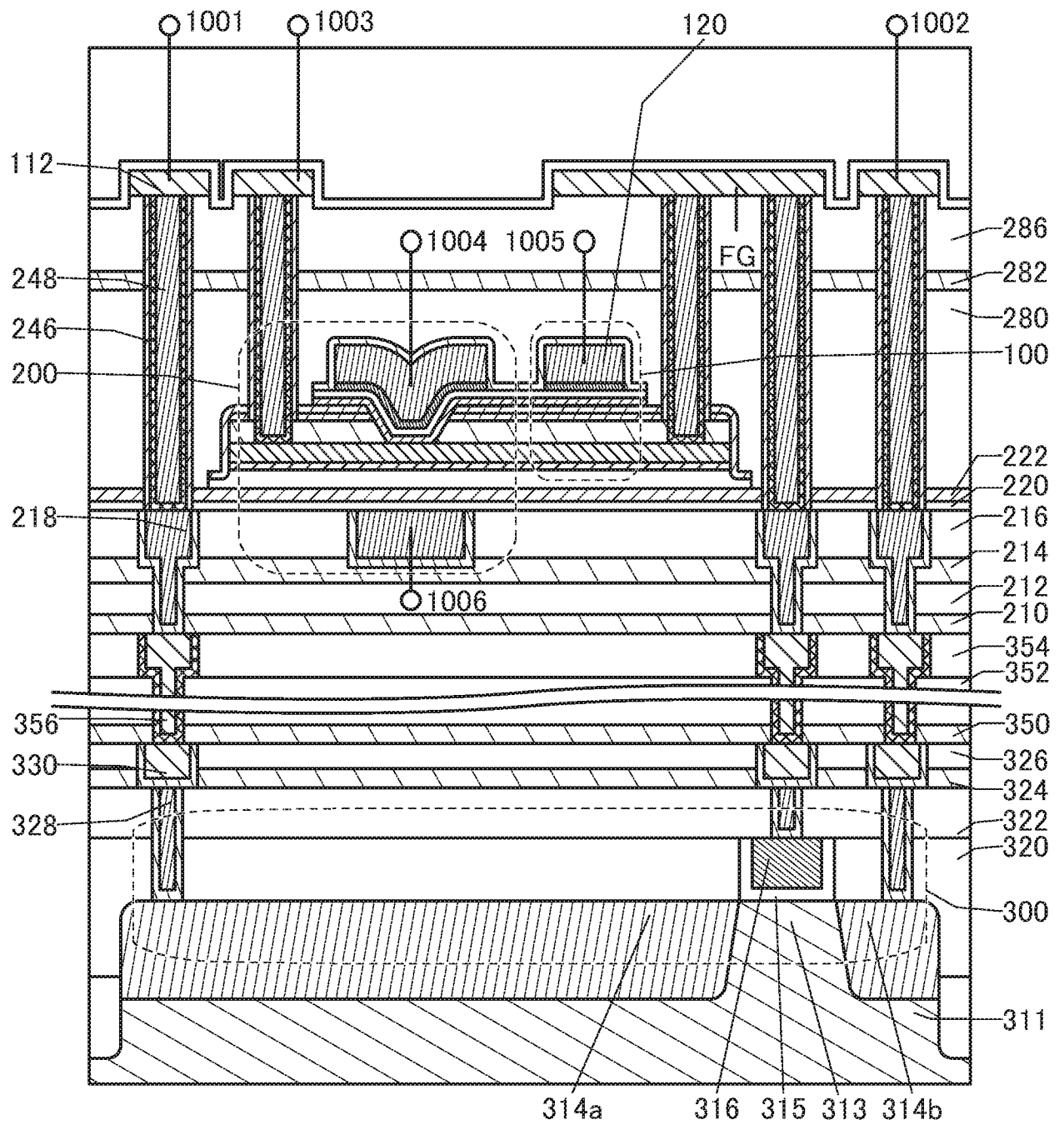
[図27]



[图 28]

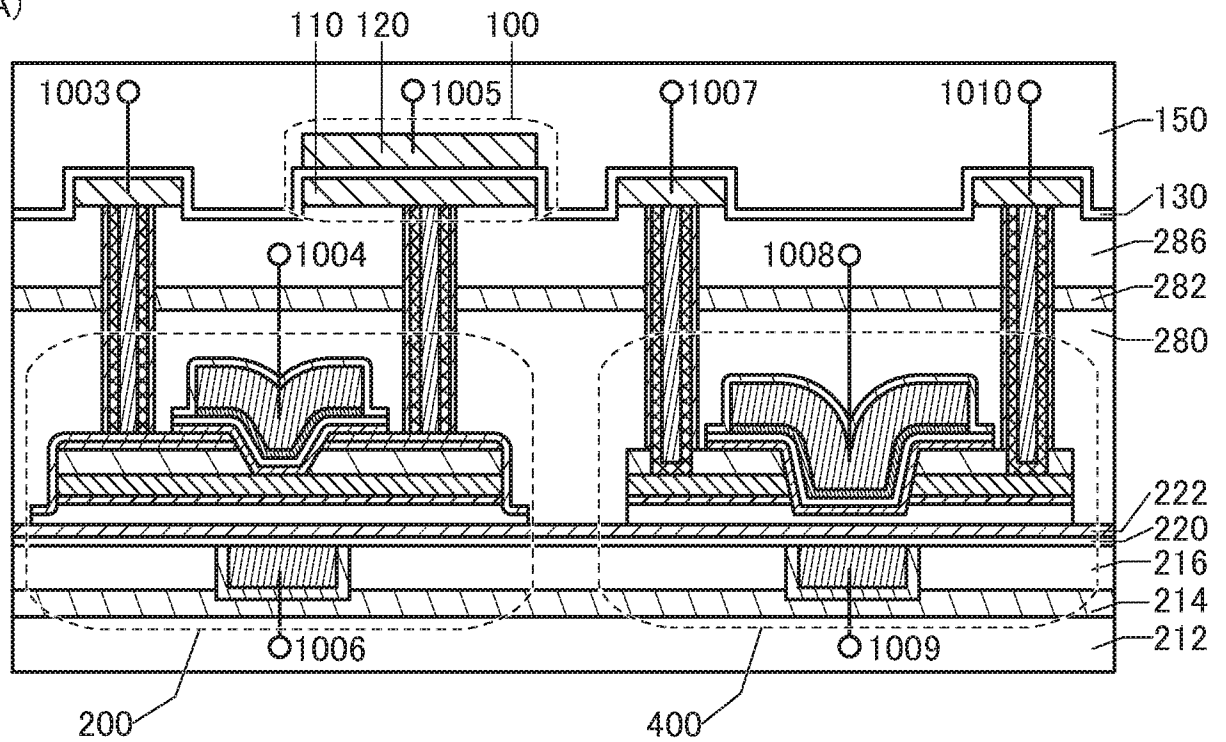


[図 29]

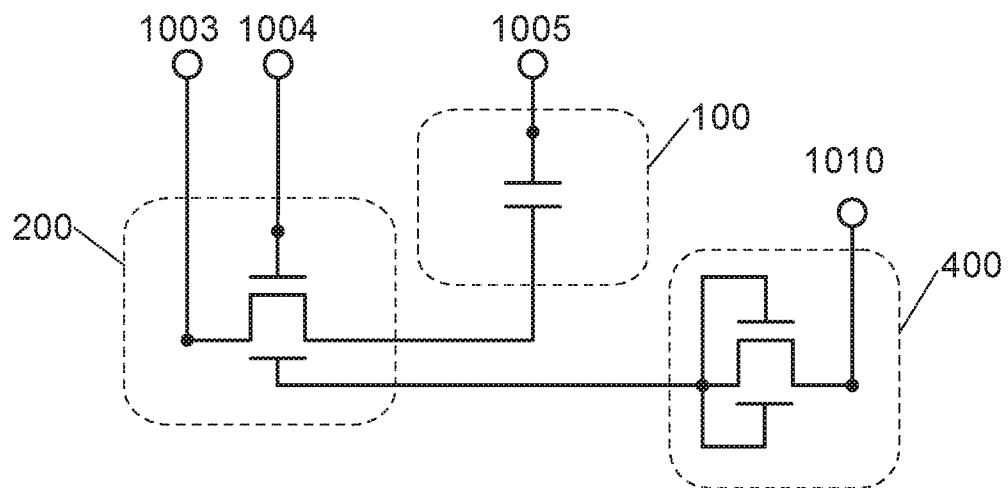


[図30]

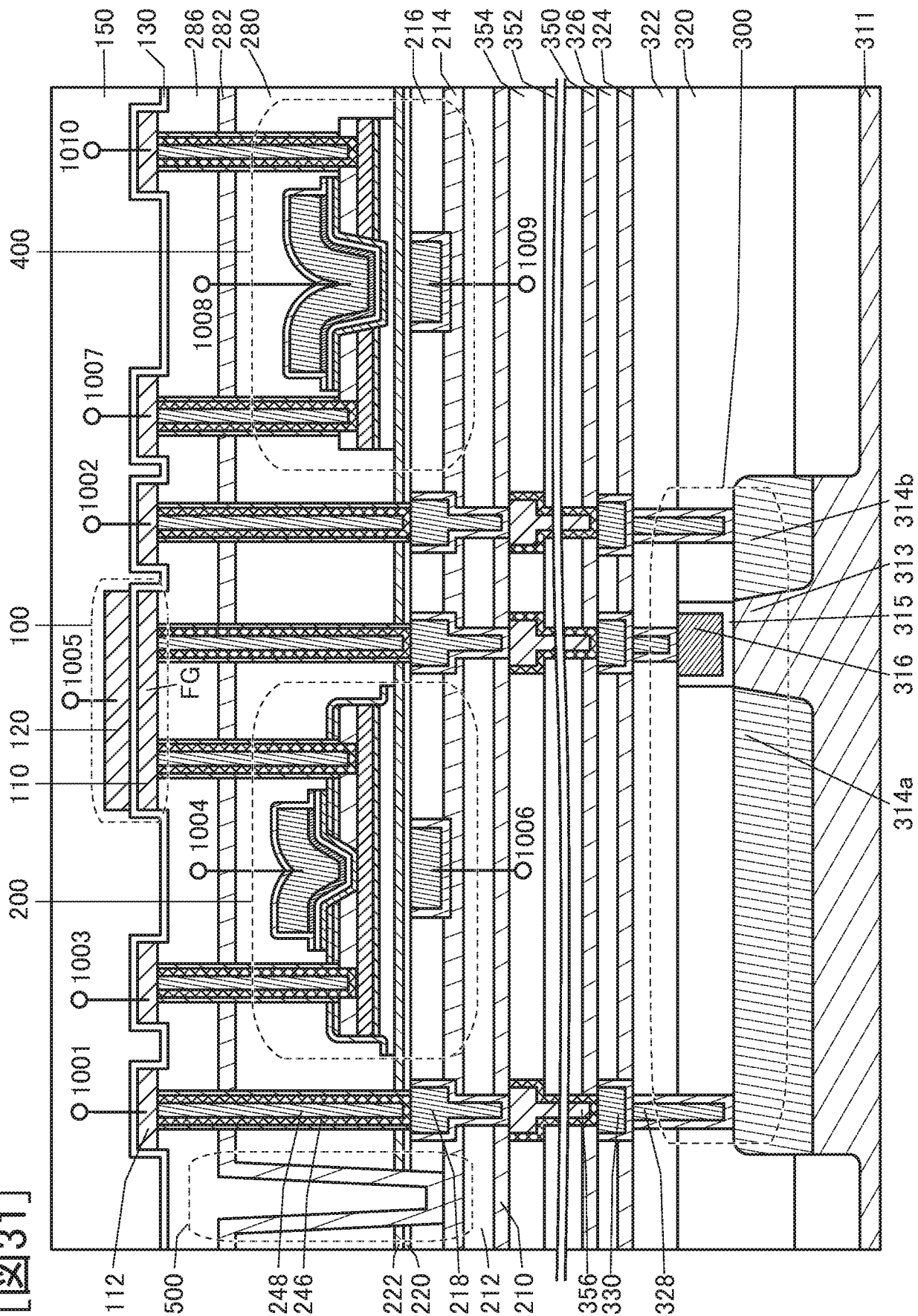
(A)



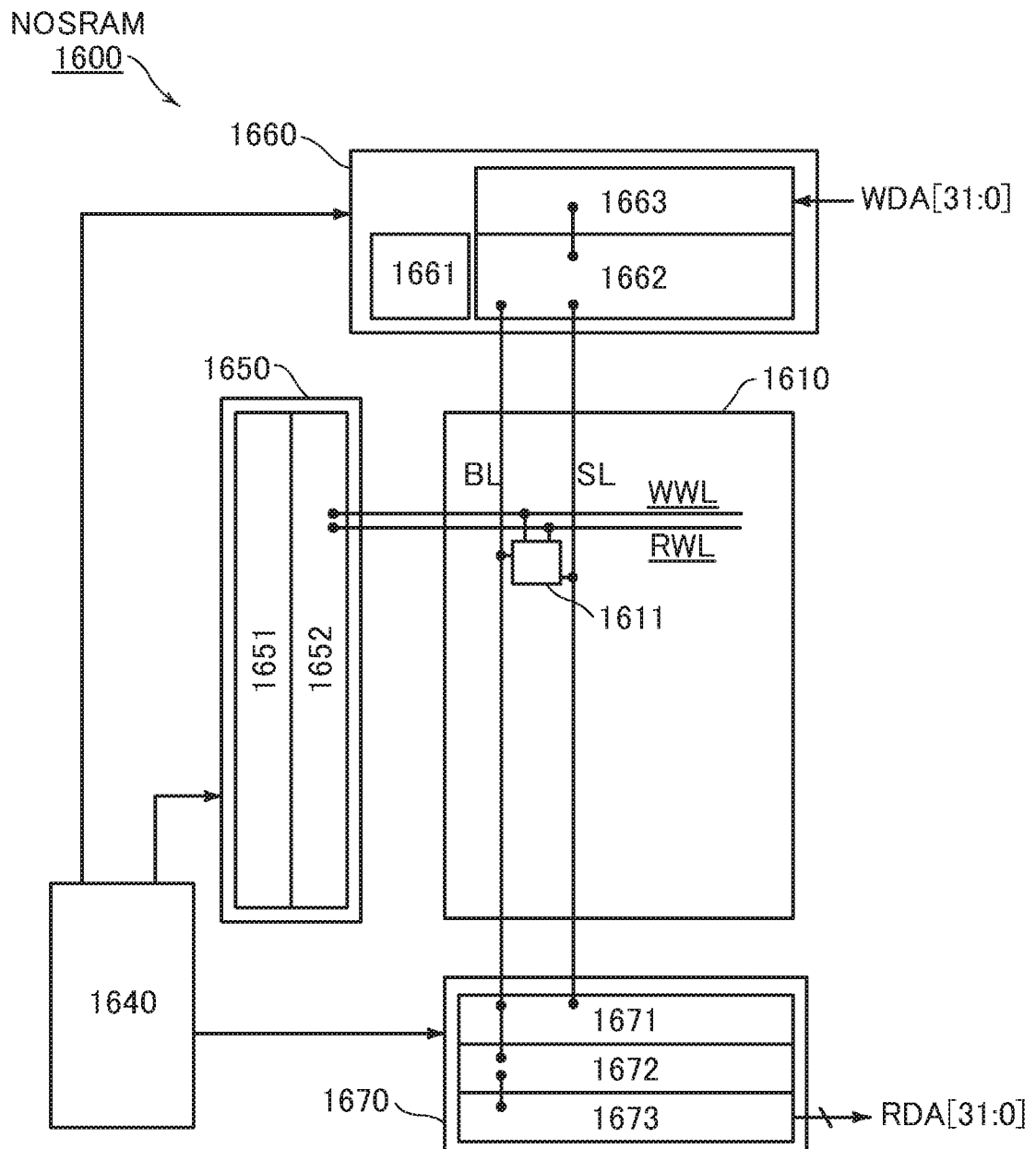
(B)



[図31]

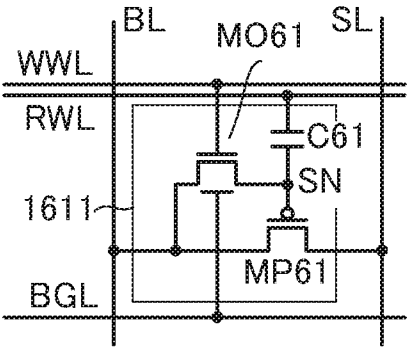


[図 32]

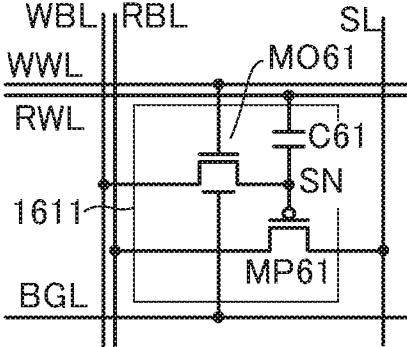


[図33]

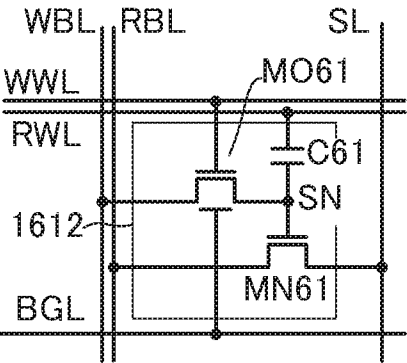
(A)



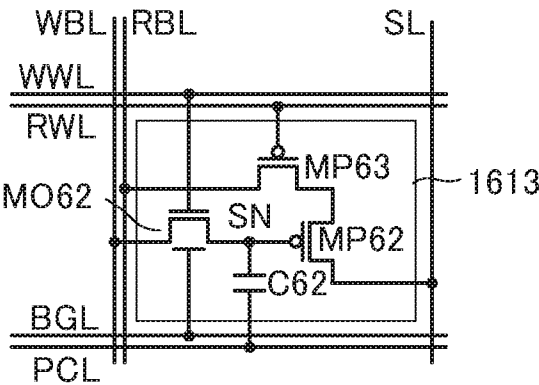
(B)



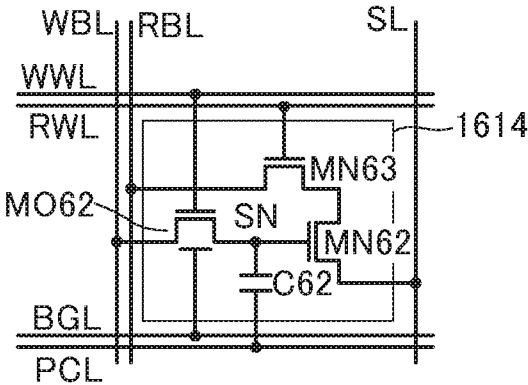
(C)



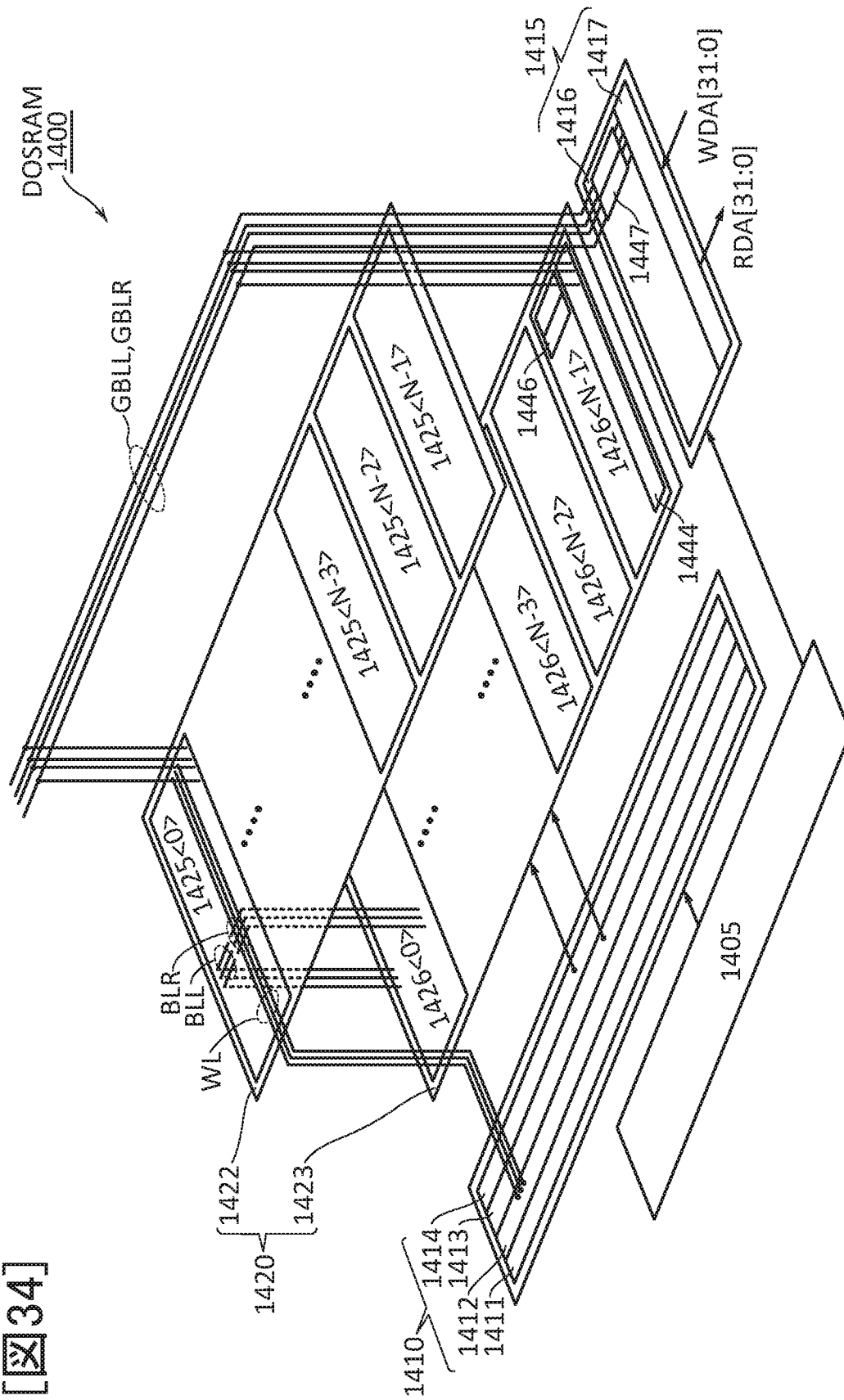
(D)



(E)

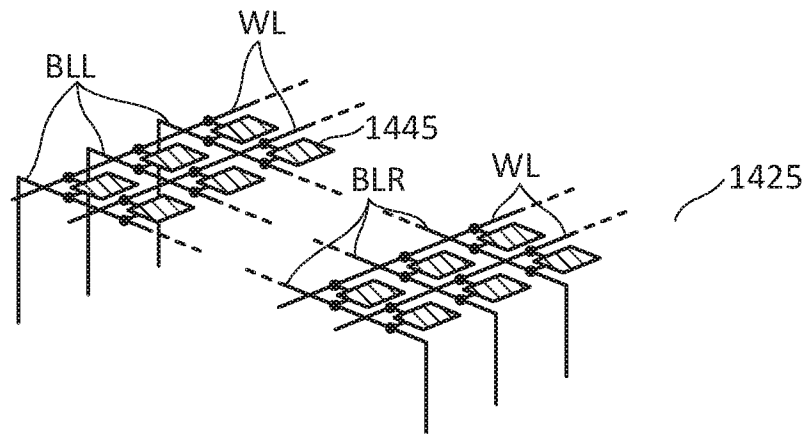


[ 34]

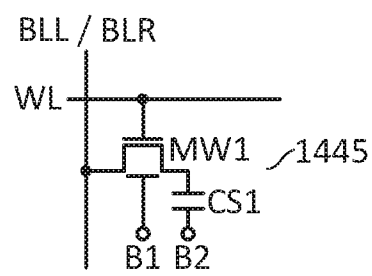


[図35]

(A)

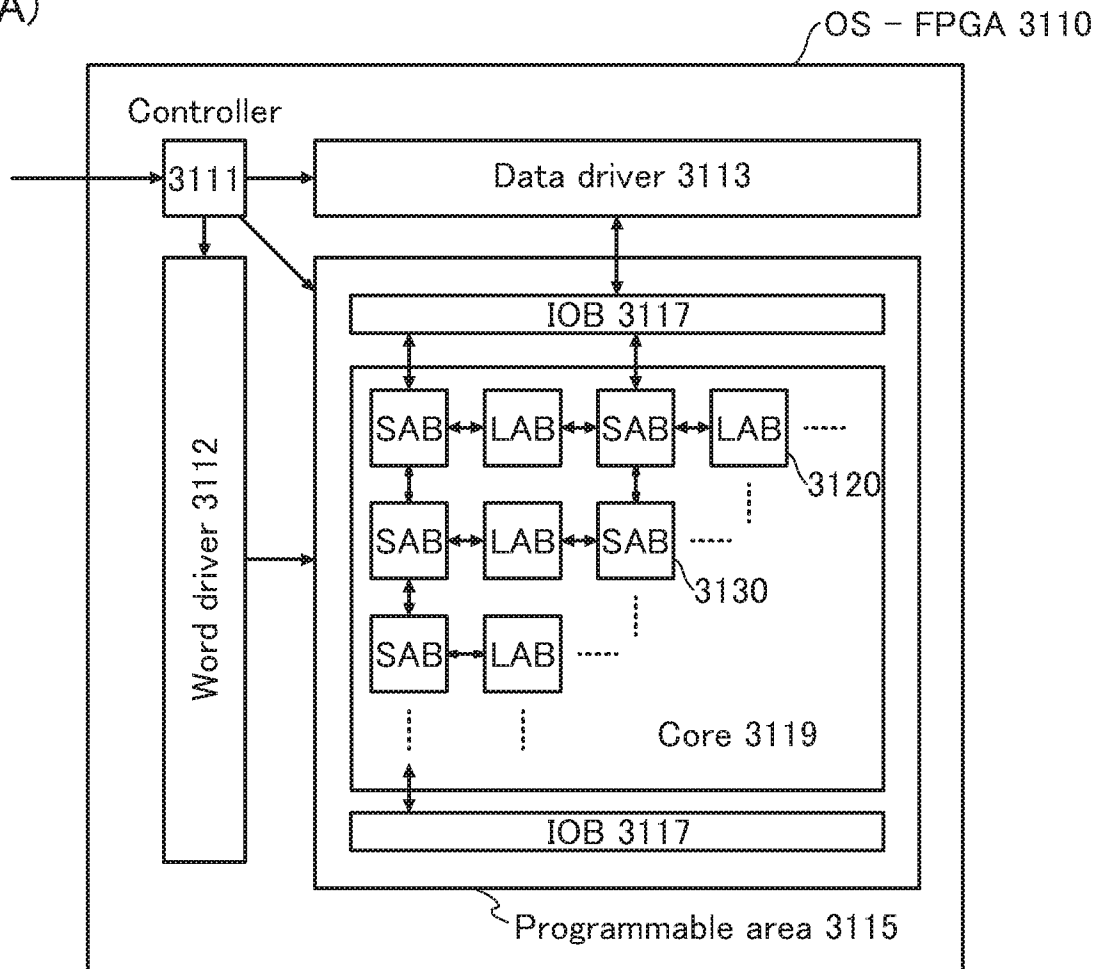


(B)

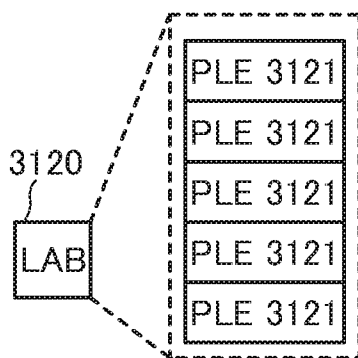


[図 36]

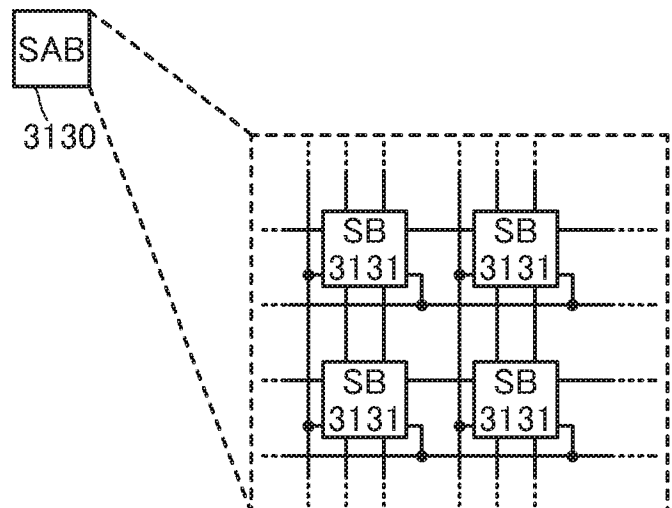
(A)



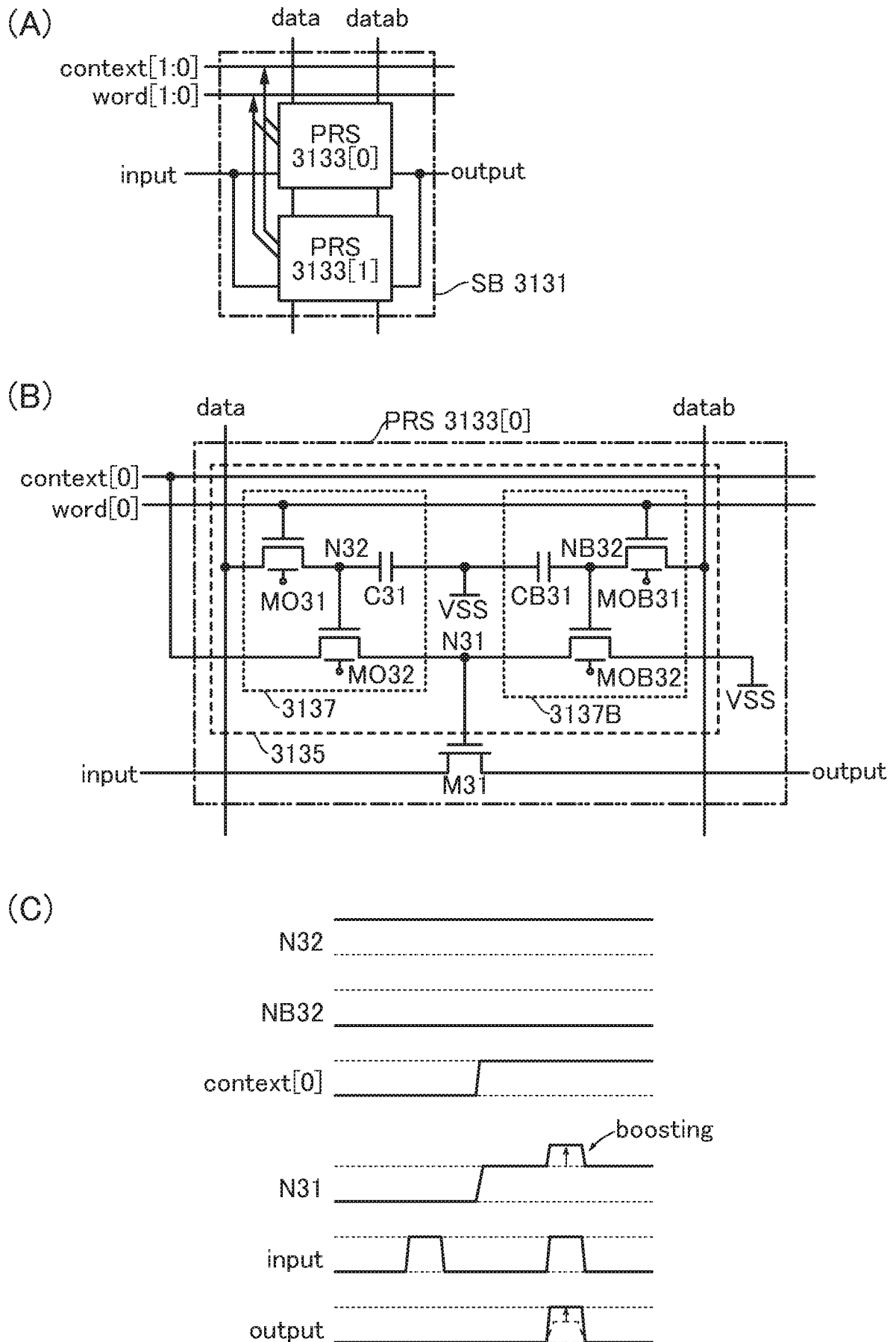
(B)



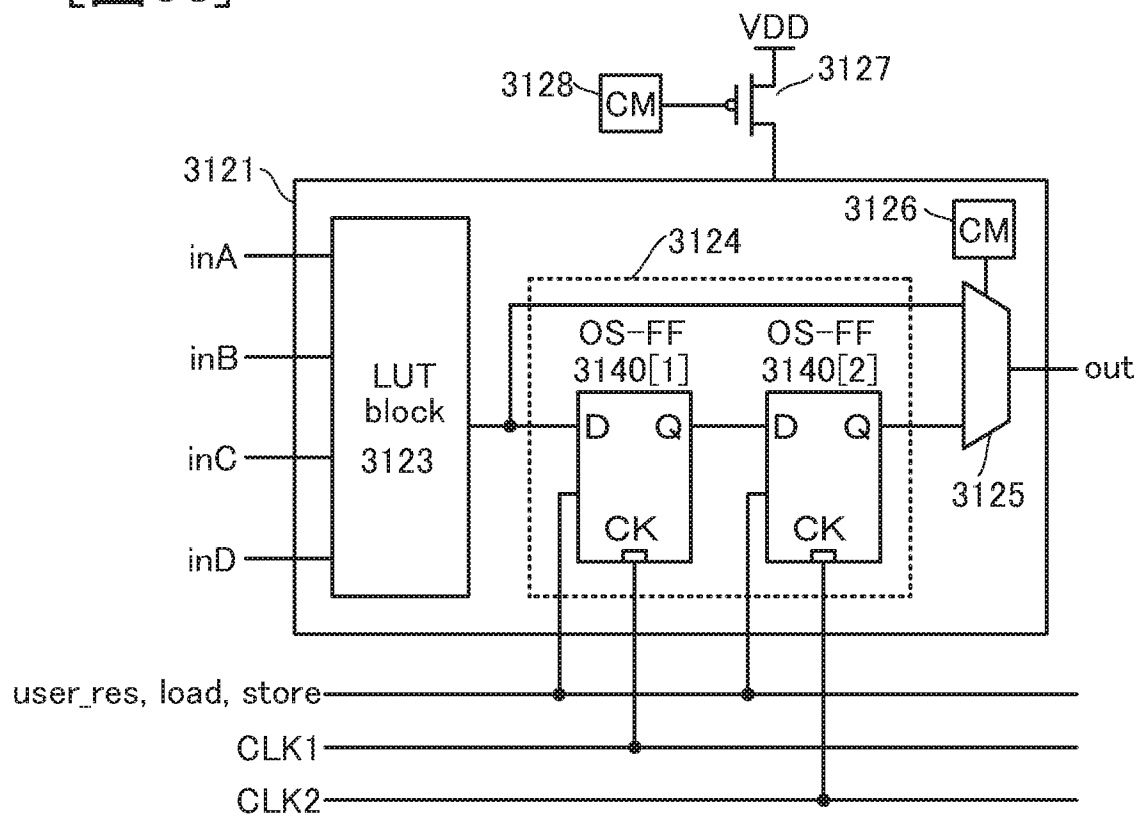
(C)



[図37]

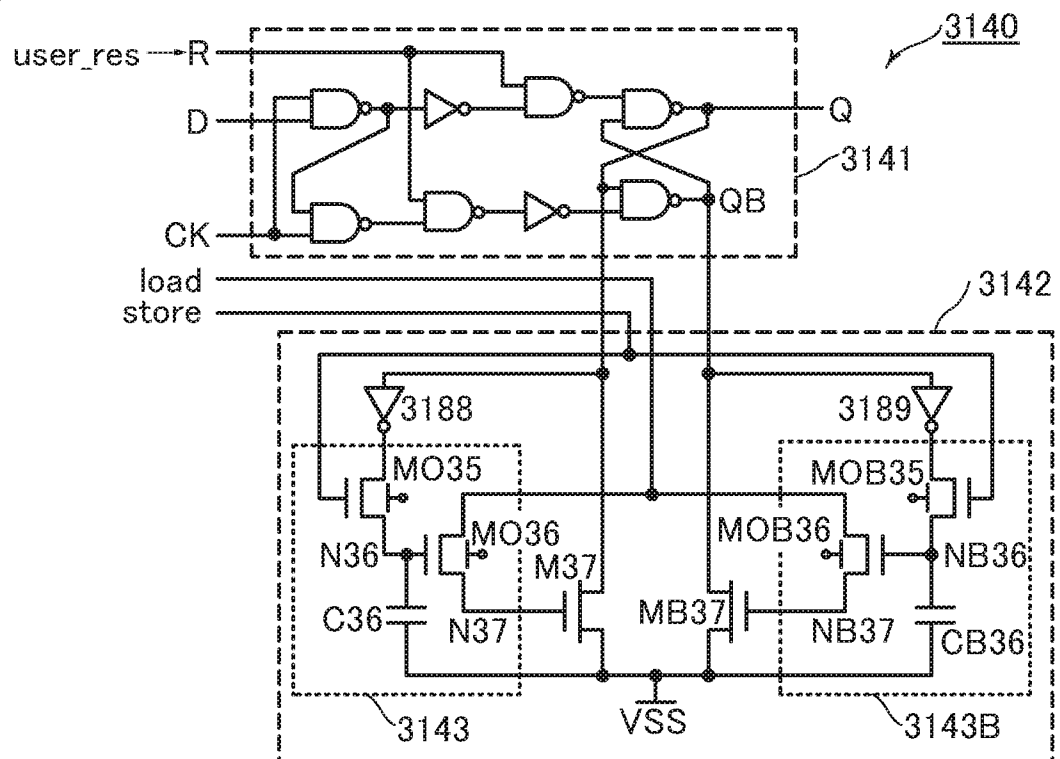


[図38]

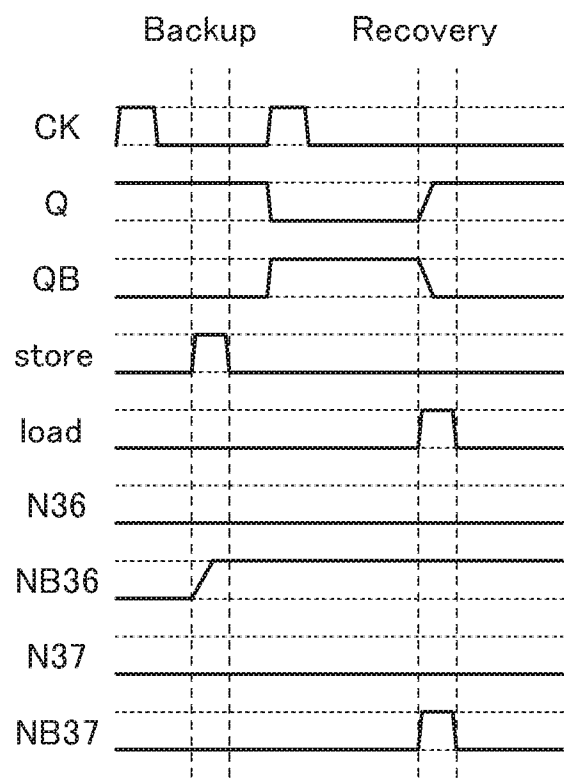


[図39]

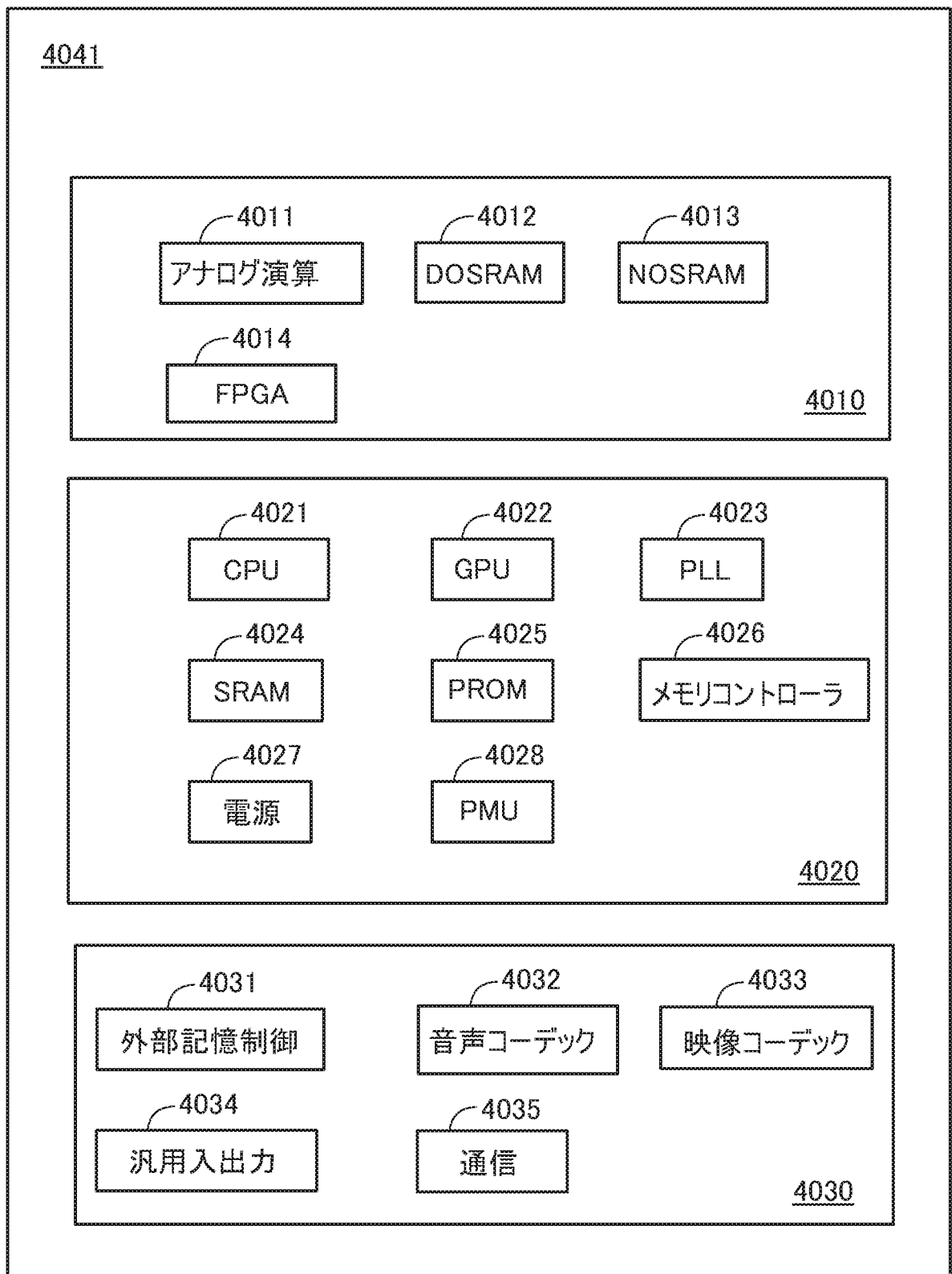
(A)



(B)

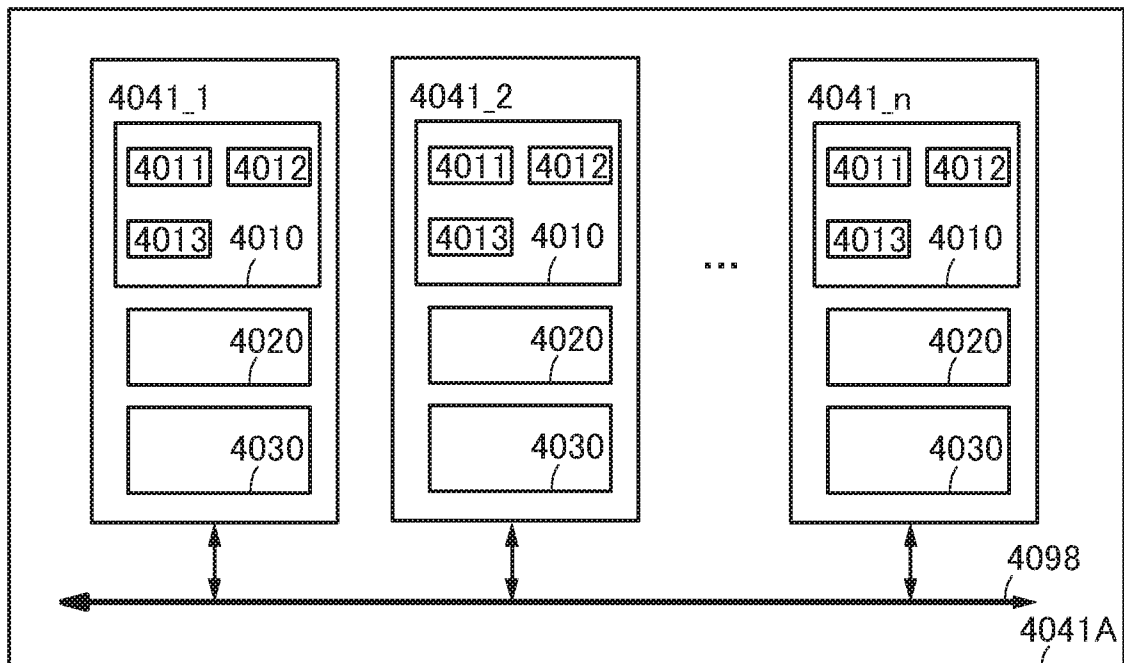


[図40]

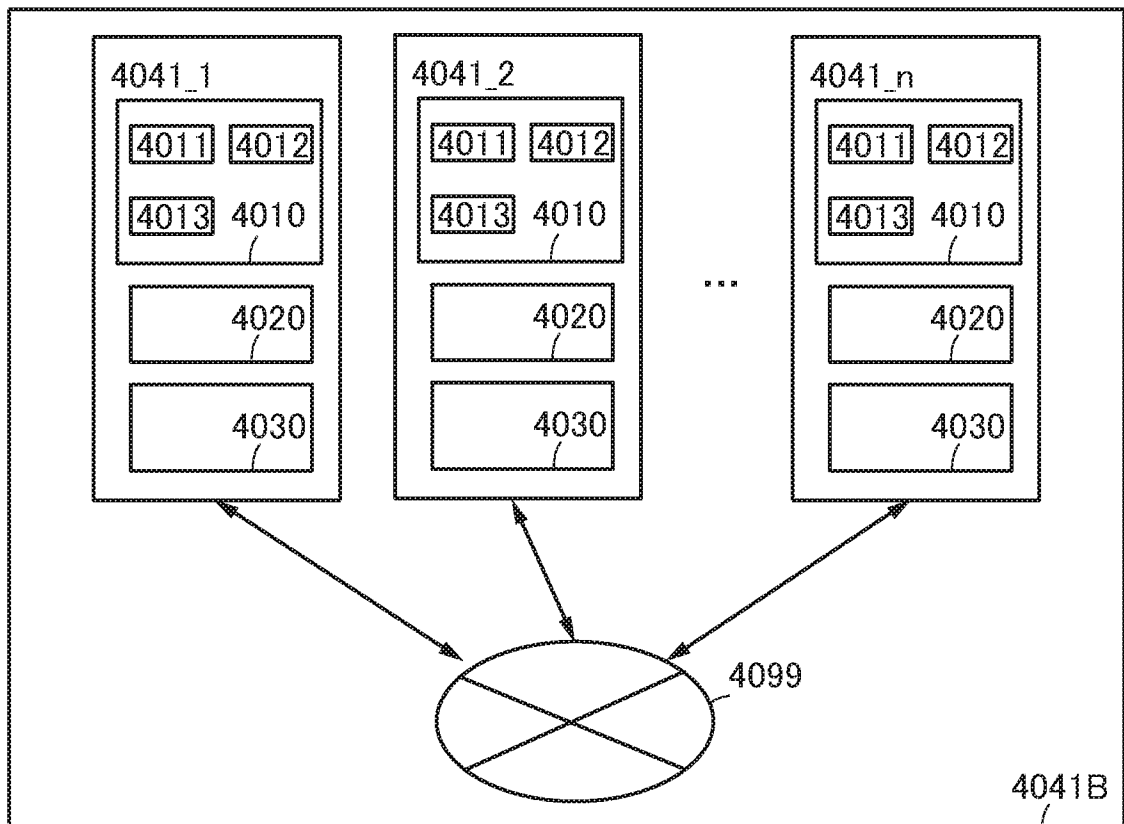


[図41]

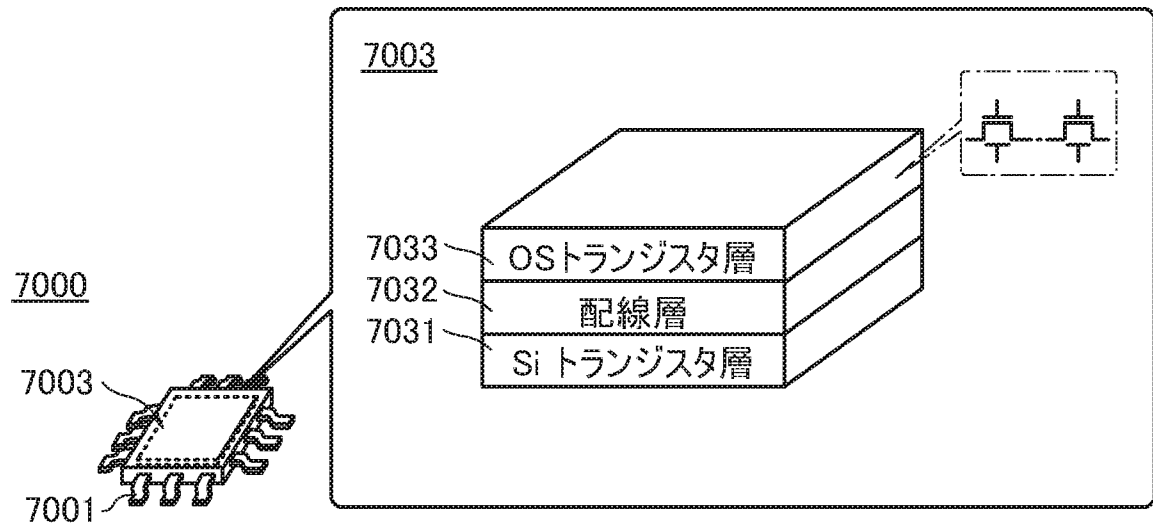
(A)



(B)

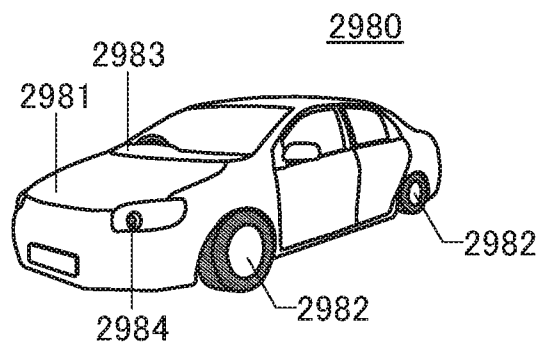


[図42]

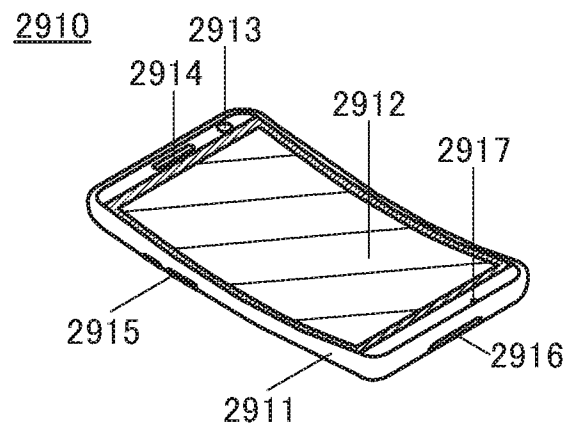


[図43]

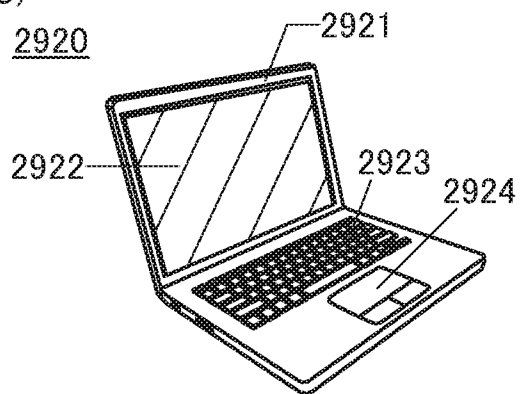
(A)



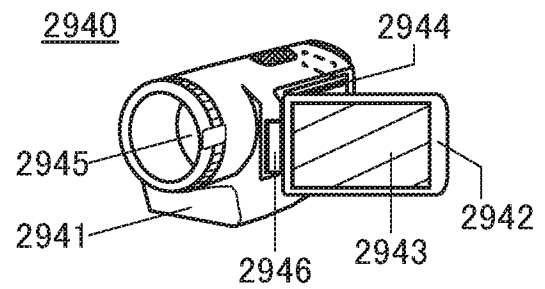
(B)



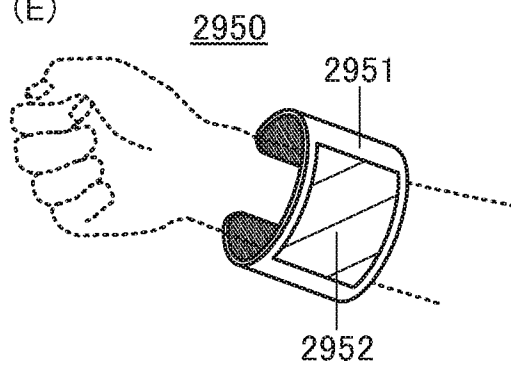
(C)



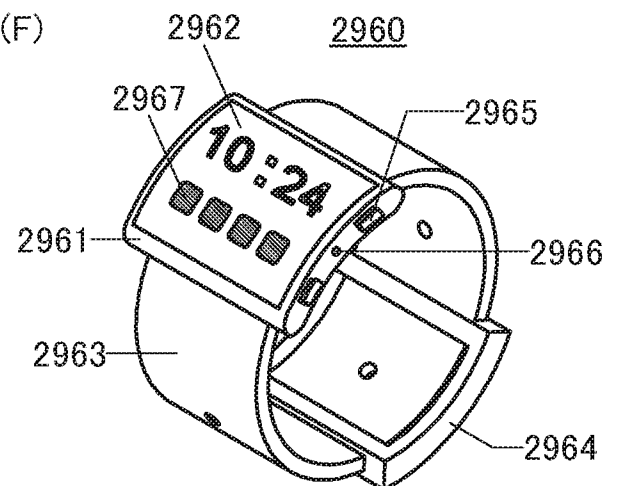
(D)



(E)



(F)



INTERNATIONAL SEARCH REPORT

International application No.

PCT/IB2018/053789

A. CLASSIFICATION OF SUBJECT MATTER		
Int.Cl. H01L29/786(2006.01)i, H01L21/8234(2006.01)i, H01L27/088(2006.01)i, H01L27/1156(2017.01)i, H01L29/788(2006.01)i, H01L29/792(2006.01)i		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols) Int.Cl. H01L29/786, H01L21/336, H01L21/8234, H01L21/8242, H01L27/088, H01L27/108, H01L27/1156, H01L29/788, H01L29/792		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Published examined utility model applications of Japan		1922-1996
Published unexamined utility model applications of Japan		1971-2018
Registered utility model specifications of Japan		1996-2018
Published registered utility model applications of Japan		1994-2018
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2016-207759 A (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) 08 December 2016, paragraphs [0052]-[0100], [0179], [0180], fig. 5, 6 (Family: none)	1-13
Y	JP 2016-157933 A (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) 01 September 2016, paragraphs [0268]-[0299], fig. 48, 49 & US 2016/0247832 A1, paragraphs [0324]-[0355], fig. 48B, 49B & TW 201703238 A	1-13
☐ Further documents are listed in the continuation of Box C. ☐ See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search 29 August 2018 (29.08.2018)		Date of mailing of the international search report 11 September 2018 (11.09.2018)
Name and mailing address of the ISA/ Japan Patent Office 3-4-3, Kasumigaseki, Chiyoda-ku, Tokyo 100-8915, Japan		Authorized officer Telephone No.

A. 発明の属する分野の分類（国際特許分類（IPC））

Int.Cl. H01L29/786(2006.01)i, H01L21/336(2006.01)i, H01L21/8234(2006.01)i, H01L21/8242(2006.01)i, H01L27/088(2006.01)i, H01L27/108(2006.01)i, H01L27/1156(2017.01)i, H01L29/788(2006.01)i, H01L29/792(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int.Cl. H01L29/786, H01L21/336, H01L21/8234, H01L21/8242, H01L27/088, H01L27/108, H01L27/1156, H01L29/788, H01L29/792

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2018年
日本国実用新案登録公報	1996-2018年
日本国登録実用新案公報	1994-2018年

国際調査で利用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2016-207759 A（株式会社半導体エネルギー研究所）2016.12.08, 段落[0052]-[0100], [0179], [0180], [図5], [図6]（ファミリーなし）	1-13
Y	JP 2016-157933 A（株式会社半導体エネルギー研究所）2016.09.01, 段落[0268]-[0299], [図48], [図49] & US 2016/0247832 A1, 段落[0324]-[0355], 図48B, 図49B & TW 201703238 A	1-13

☐ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

29.08.2018

国際調査報告の発送日

11.09.2018

国際調査機関の名称及びあて先

日本国特許庁（ISA/JP）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

脇水 佳弘

電話番号 03-3581-1101 内線 3516

5F

3464