(19)国家知识产权局

(12)发明专利申请

(10)申请公布号 CN 118805252 A
(43)申请公布日 2024.10.18

(21)申请号 202380024768.X

(22)申请日 2023.03.09

(30)优先权数据
17/705,041 2022.03.25 US

(85)PCT国际申请进入国家阶段日
2024.08.30

(86)PCT国际申请的申请数据
PCT/US2023/064058 2023.03.09

(87)PCT国际申请的公布数据
WO2023/183722 EN 2023.09.28

(71)申请人 高通股份有限公司
地址 美国加利福尼亚州

(72)发明人 K·刘 J-H·兰 金钟海

(74)专利代理机构 北京市金杜律师事务所 11256
专利代理师 姚宗妮

(51)Int.Cl.
H01L 23/522(2006.01)
H01L 23/532(2006.01)

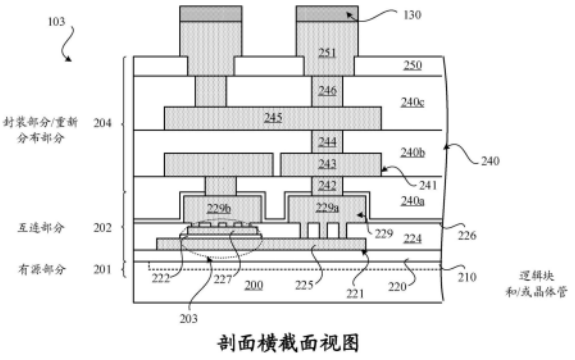
权利要求书2页 说明书18页 附图22页

(54)发明名称

包括磁性材料的集成器件和集成无源器件

(57)摘要

一种集成器件包括:管芯基板,该管芯基板包括多个晶体管;互连部分,该互连部分耦合到该管芯基板;和封装部分,该封装部分耦合到该互连部分。该互连部分包括至少一个管芯电介质层和多个管芯互连件,该多个管芯互连件耦合到该多个晶体管。该封装部分包括至少一个磁性层和多个金属化互连件,该多个金属化互连件耦合到该多个管芯互连件。



剖面横截面视图

CN 118805252 A

1.一种集成器件,所述集成器件包括:

管芯基板,所述管芯基板包括多个晶体管;

互连部分,所述互连部分耦合到所述管芯基板,所述互连部分包括:

至少一个管芯电介质层;和

多个管芯互连件,所述多个管芯互连件耦合到所述多个晶体管;和

封装部分,所述封装部分耦合到所述互连部分,所述封装部分包括:

至少一个磁性层;和

多个金属化互连件,所述多个金属化互连件耦合到所述多个管芯互连件。

2.根据权利要求1所述的集成器件,其中所述至少一个磁性层包括绝缘层和/或电介质层。

3.根据权利要求1所述的集成器件,其中所述至少一个磁性层包括非导电材料。

4.根据权利要求1所述的集成器件,其中所述至少一个磁性层的相对磁导率值大于1。

5.根据权利要求1所述的集成器件,其中所述至少一个磁性层的磁损耗正切值在0.01至0.04范围内。

6.根据权利要求1所述的集成器件,其中所述至少一个磁性层包括:

第一磁性层,所述第一磁性层包括第一磁导率值;和

第二磁性层,所述第二磁性层包括第二磁导率值。

7.根据权利要求1所述的集成器件,其中所述互连部分包括电容器,所述电容器由所述多个管芯互连件中的至少一些管芯互连件限定。

8.根据权利要求7所述的集成器件,其中所述封装部分包括电感器,所述电感器由所述多个金属化互连件中的至少一个金属化互连件限定。

9.根据权利要求1所述的集成器件,

其中所述封装部分是重新分布部分,并且

其中所述多个金属化互连件包括多个重新分布互连件。

10.根据权利要求1所述的集成器件,其中所述集成器件是被配置为作为功率管理集成电路(PMIC)操作的管芯。

11.一种器件,所述器件包括:

管芯基板;

互连部分,所述互连部分耦合到所述管芯基板,所述互连部分包括:

至少一个管芯电介质层;和

多个管芯互连件;和

封装部分,所述封装部分耦合到所述互连部分,所述封装部分包括:

至少一个磁性层;和

多个金属化互连件,所述多个金属化互连件耦合到所述多个管芯互连件。

12.根据权利要求11所述的器件,

其中所述至少一个磁性层包括绝缘层、电介质层和/或非导电材料,并且

其中所述至少一个磁性层的相对磁导率值大于1。

13.根据权利要求11所述的器件,其中所述至少一个磁性层包括:

第一磁性层,所述第一磁性层包括第一磁导率值;和

第二磁性层,所述第二磁性层包括第二磁导率值。

14.根据权利要求11所述的器件,其中所述互连部分包括电容器,所述电容器由所述多个管芯互连件中的至少一些管芯互连件限定。

15.根据权利要求14所述的器件,其中所述封装部分包括电感器,所述电感器由所述多个金属化互连件中的至少一个金属化互连件限定。

16.根据权利要求11所述的器件,其中所述管芯基板、所述互连部分和所述封装部分是集成无源器件(IPD)的一部分。

17.根据权利要求11所述的器件,其中所述器件选自由以下各项组成的组:音乐播放器、视频播放器、娱乐单元、导航设备、通信设备、移动设备、移动电话、智能电话、个人数字助理、固定位置终端、平板计算机、计算机、可穿戴设备、膝上型计算机、服务器、物联网(IoT)设备以及机动交通工具中的设备。

18.一种方法,所述方法包括:

提供管芯基板;

在所述管芯基板上方形成互连部分,其中形成所述互连部分包括:

形成至少一个管芯电介质层;以及

形成多个管芯互连件;以及

在所述互连部分上方形成封装部分,其中形成所述封装部分包括:

形成耦合到所述多个管芯互连件的多个金属化互连件;以及

形成至少一个磁性层。

19.根据权利要求18所述的方法,

其中所述管芯基板包括多个晶体管,并且

其中形成所述多个管芯互连件,使得所述多个管芯互连件耦合到所述多个晶体管。

20.根据权利要求18所述的方法,

其中所述至少一个磁性层包括绝缘层、电介质层和/或非导电材料,并且

其中所述至少一个磁性层的相对磁导率值大于1。

21.根据权利要求18所述的方法,

其中所述互连部分包括电容器,所述电容器由所述多个管芯互连件中的至少一些管芯互连件限定,并且

其中所述封装部分包括电感器,所述电感器由所述多个金属化互连件中的至少一个金属化互连件限定。

包括磁性材料的集成器件和集成无源器件

[0001] 相关申请的交叉引用

[0002] 本申请要求于2022年3月25日在美国专利局提交的非临时申请序列第17/705,041号的优先权和权益,该非临时申请的全部内容以引用方式并入本文,如同整体在下文全面阐述那样并用于所有适用目的。

技术领域

[0003] 各种特征涉及封装件、集成器件和/或集成无源器件。

背景技术

[0004] 封装件可包括基板、集成器件和集成无源器件。该基板可包括多个互连件。该集成器件和/或该集成无源器件可耦合到该基板的互连件。一直存在提供具有提高的性能的更小封装件的需求。

发明内容

[0005] 各种特征涉及封装件、集成器件和/或集成无源器件。

[0006] 一个示例提供了一种集成器件,该集成器件包括:管芯基板,该管芯基板包括多个晶体管;互连部分,该互连部分耦合到该管芯基板;和封装部分,该封装部分耦合到该互连部分。该互连部分包括至少一个管芯电介质层和多个管芯互连件,该多个管芯互连件耦合到该多个晶体管。该封装部分包括至少一个磁性层和多个金属化互连件,该多个金属化互连件耦合到该多个管芯互连件。

[0007] 另一示例提供了一种器件,该器件包括:管芯基板;互连部分,该互连部分耦合到该管芯基板;和封装部分,该封装部分耦合到该互连部分。该互连部分包括至少一个管芯电介质层和多个管芯互连件。该封装部分包括至少一个磁性层和多个金属化互连件,该多个金属化互连件耦合到该多个管芯互连件。

[0008] 另一示例提供了一种方法,该方法包括提供管芯基板。该方法在该管芯基板上方形成互连部分,其中形成该互连部分包括:形成至少一个管芯电介质层,以及形成多个管芯互连件。该方法在该互连部分上方形成封装部分,其中形成该封装部分包括:形成耦合到该多个管芯互连件的多个金属化互连件,以及形成至少一个磁性层。

附图说明

[0009] 在结合附图理解下文阐述的具体实施方式时,各种特征、本质和优点会变得明显,在该附图中,类似的参考字符贯穿始终进行对应标识。

[0010] 图1例示了包括基板、集成器件和集成无源器件的封装件的示例性剖面视图。

[0011] 图2例示了包括磁性材料的集成器件的示例性剖面视图。

[0012] 图3例示了包括磁性材料的集成器件的另一示例性剖面视图。

[0013] 图4例示了包括磁性材料的集成无源器件(IPD)的示例性剖面视图。

[0014] 图5例示了包括磁性材料的集成无源器件(IPD)的另一示例性剖面视图。

[0015] 图6例示了包括位于磁性材料中的电感器的器件的示例性视图。

[0016] 图7例示了若干示例性电感器在各种频率下的品质因数的示例性曲线图。

[0017] 图8例示了若干示例性电感器在各种频率下的电感的示例性曲线图。

[0018] 图9例示了例示若干示例性电感器的电感和品质因数的示例性表。

[0019] 图10A至图10I例示了用于制造包括磁性材料的集成器件的示例性工序。

[0020] 图11例示了用于制造包括磁性材料的集成器件的方法的示例性流程图。

[0021] 图12例示了用于制造包括磁性材料的集成器件的方法的另一示例性流程图。

[0022] 图13例示了用于制造包括基板、集成器件和集成无源器件的封装件的方法的示例性流程图。

[0023] 图14例示了用于制造包括基板、集成器件和集成无源器件的封装件的方法的示例性流程图。

[0024] 图15例示了可集成本文所描述的管芯、电子电路、集成器件、集成无源器件(IPD)、无源组件、封装件和/或器件封装件的各种电子设备。

具体实施方式

[0025] 在以下描述中,给出了具体细节来提供对本公开的各个方面的透彻理解。然而,本领域普通技术人员将理解,没有这些具体细节也可实践这些方面。例如,电路可能用框图示出以避免用不必要的细节使这些方面复杂难懂。在其他实例中,公知的电路、结构和技术可能不被详细示出以免使本公开的这些方面复杂难懂。

[0026] 本公开描述了一种封装件,该封装件包括:基板;和集成器件,该集成器件耦合到该基板。该集成器件包括:管芯基板,该管芯基板包括多个晶体管;互连部分,该互连部分耦合到该管芯基板;和封装部分,该封装部分耦合到该互连部分。该互连部分包括至少一个管芯电介质层和多个管芯互连件,该多个管芯互连件耦合到该多个晶体管。该封装部分包括至少一个磁性层和多个金属化互连件,该多个金属化互连件耦合到该多个管芯互连件。该封装部分可包括电感器,该电感器由该多个金属化互连件中的至少一个金属化互连件限定。该至少一个磁性层包括绝缘层、电介质层和/或非导电材料。该至少一个磁性层的磁导率值(例如,相对磁导率值)大于1。该磁性层被配置为帮助提高(例如,增加)该封装部分中的该电感器的品质因数(Q)和/或电感。如下面将进一步描述的,通过帮助提高该电感器的品质因数和/或电感,可在封装过程中形成具有较小形状因数(例如,尺寸)的电感器,同时仍然具有等于或优于较大电感器的品质因数和/或电感的品质因数和/或电感。

[0027] 包括磁性材料的示例性集成器件

[0028] 图1例示了包括基板102、集成器件103和集成无源器件105(IPD)的封装件100的剖面视图。封装件100通过多个焊料互连件110耦合到板106。板106包括至少一个板电介质层160和多个板互连件162。板106可包括印刷电路板(PCB)。

[0029] 基板102包括至少一个电介质层120(例如,基板电介质层)、多个互连件122(例如,基板互连件)、阻焊层140和阻焊层142。集成器件103通过多个焊料互连件130耦合到基板102。集成无源器件105通过多个焊料互连件150耦合到基板102。基板可具有不同数目的金属层。不同的具体实施可使用不同基板。该基板可包括嵌入式迹线基板(ETS)。至少一个电

介质层120可包括预浸材料。

[0030] 封装件(例如,100)可在射频(RF)封装件中实现。该RF封装件可以是射频前端(RFFE)封装件。封装件(例如,100)可被配置为提供无线保真(WiFi)通信和/或蜂窝通信(例如,2G、3G、4G、5G)。该封装件(例如,100)可被配置为支持全球移动通信系统(GSM)、通用移动电信系统(UMTS)和/或长期演进(LTE)。该封装件(例如,100)可被配置为发送并接收具有不同频率和/或通信协议的信号。

[0031] 如下面将进一步描述的,集成器件103和/或集成无源器件105可包括至少一个磁性层。该至少一个磁性层包括绝缘层、电介质层和/或非导电材料(例如,不导电的材料)。该至少一个磁性层的磁导率值大于1(例如,约为10或更大,范围为6至12)。该磁性层在不同频率下可具有不同的磁导率值。如本公开中所描述的,磁性材料和/或磁性层的磁导率值是相对磁导率值,该相对磁导率值被定义为材料的磁导率与自由空间的磁导率的比率。因此,针对在本公开中例示和/或描述的磁性材料和/或磁性层所描述的磁导率值可表示相对于自由空间的所定义磁导率值(例如,参考磁导率值)的相对磁导率值。在一些具体实施中,自由空间可被定义成具有$\mu_0 = 4\pi \times 10^{-7}$H/m(亨每米)的所定义磁导率值。相对磁导率值大于1的材料可被视为磁性材料。

[0032] 至少一个磁性层被配置为提高位于磁性层中并且/或者被该磁性层围绕的电感器的电感和/或品质因数。随着电感器性能的提高,可在集成器件103和/或集成无源器件105中形成更小且更紧凑的电感器。

[0033] 图2例示了集成器件103的示例性剖面横截面视图。集成器件103可包括管芯(例如,半导体管芯)。集成器件103包括管芯基板200、多个晶体管210、至少一个氧化物层220、至少一个管芯电介质层224、多个管芯互连件221、高K电介质层222、钝化层226、至少一个磁性层240、多个金属化互连件241、钝化层250、多个柱互连件251和多个焊料互连件130。

[0034] 集成器件103可包括有源部分201、互连部分202和封装部分204。有源部分201可包括后道工序(BEOL)部分。互连部分202可以是管芯互连部分。互连部分202可包括前道工序(FEOL)部分。封装部分204可包括重新分布部分(例如,RDL部分)。互连部分202耦合到有源部分201。互连部分202位于有源部分201上方。封装部分204耦合到互连部分202。封装部分204位于互连部分202上方。互连部分202位于有源部分201与封装部分204之间。

[0035] 有源部分201可包括管芯基板200、多个晶体管210和/或至少一个氧化物层220。多个晶体管210可形成在管芯基板200中和/或上方并且/或者位于该管芯基板中和/或上方。管芯基板200可包括硅(Si)。多个晶体管210可形成并且/或者定义一个或多个逻辑块。至少一个氧化物层220位于管芯基板200和/或多个晶体管210上方。多个晶体管210可以是任何类型的晶体管(例如,CMOS晶体管、平面晶体管、场效应晶体管)。至少一个氧化物层220可包括二氧化硅。可使用后道工序(BEOL)工艺来制造并且/或者形成多个晶体管210和/或至少一个氧化物层220。互连部分202耦合到管芯基板200、多个晶体管210和/或至少一个氧化物层220。

[0036] 互连部分202可包括多个管芯互连件221、至少一个管芯电介质层224、高K电介质层222和/或钝化层226。多个管芯互连件221可包括至少一个管芯互连件225、至少一个管芯互连件227和至少一个管芯互连件229(例如,229a、229b)。多个管芯互连件221可耦合到多个晶体管210。例如,至少一个管芯互连件225可(例如,直接地或间接地)耦合到多个晶体管

210。钝化层226可位于至少一个管芯电介质层224和/或至少一个管芯互连件229(例如,229a、229b)上方。

[0037] 互连部分202包括电容器203,该电容器由至少一个管芯互连件225的至少一部分、高K电介质层222和至少一个管芯互连件227的至少一部分限定。电容器203可位于至少一个管芯电介质层224中。高K电介质层222位于至少一个管芯互连件225与至少一个管芯互连件227之间。高K电介质层222的电介质常数可比至少一个管芯电介质层224的电介质常数更高。

[0038] 至少一个管芯互连件225可位于该集成器件的第一金属层(M1)上,至少一个管芯互连件227可位于该集成器件的第二金属层(M2)上,并且至少一个管芯互连件229可位于该集成器件的第三金属层(M3)上。应当注意,在该第一金属层(M1)与该第三金属层(M3)之间可存在至少一个过孔管芯互连件。还应注意,在该第二金属层(M2)与该第三金属层(M3)之间可存在至少一个过孔管芯互连件。该第一金属层(M1)与该第三金属层(M3)之间的过孔管芯互连件以及该第二金属层(M2)与该第三金属层(M3)之间的过孔管芯互连件被视为多个管芯互连件221的一部分。

[0039] 封装部分204包括多个金属化互连件241、至少一个磁性层240、钝化层250和/或多个柱互连件251。多个焊料互连件130可耦合到多个柱互连件251。多个金属化互连件241可包括至少一个金属化互连件242、至少一个金属化互连件243、至少一个金属化互连件244、至少一个金属化互连件245和/或至少一个金属化互连件246。至少一个金属化互连件243可位于该集成器件的第四金属层(M4)上,并且至少一个金属化互连件245可位于该集成器件的第五金属层(M5)上。至少一个金属化互连件242可包括过孔金属化互连件。至少一个金属化互连件244可包括过孔金属化互连件。至少一个金属化互连件246可包括过孔金属化互连件。多个金属化互连件241可包括多个重新分布互连件(例如,重新分布层(RDL)互连件)。钝化层250可形成在至少一个磁性层240上方并且/或者位于该至少一个磁性层上方。钝化层250可包括聚酰亚胺(PI)。多个金属化互连件241耦合到多个管芯互连件221。例如,至少一个金属化互连件242通过钝化层226中的一个或多个开口耦合到至少一个管芯互连件229。

[0040] 封装部分204包括至少一个电感器,该至少一个电感器由多个金属化互连件241中的至少一个金属化互连件限定并且/或者由该至少一个金属化互连件形成。例如,至少一个电感器可由至少一个金属化互连件243和/或至少一个金属化互连件245限定。电感器和/或多个金属化互连件241中的至少一个金属化互连件可位于至少一个磁性层240中。互连部分202中的电容器203与封装部分204中的电感器的组合可用作用于一个或多个信号的滤波器。

[0041] 至少一个磁性层240包括磁性层240a、磁性层240b、磁性层240c。至少一个磁性层240包括绝缘层、电介质层和/或非导电材料。至少一个磁性层240可以是电介质材料和磁性材料两者。因此,至少一个磁性层240可具有电介质特性和磁性特性两者。至少一个磁性层240可包括一种或多种材料。至少一个磁性层240的磁导率值大于1(例如,约为10或更大,范围为6至12)。磁性层在不同频率下可具有不同的磁导率值。如本公开中所描述的,磁性材料和/或磁性层的磁导率值是相对磁导率值,该相对磁导率值被定义为材料的磁导率与自由空间的磁导率的比率。因此,针对在本公开中例示和/或描述的磁性材料和/或磁性层所描述的磁导率值可表示相对于自由空间的所定义磁导率值(例如,参考磁导率值)的相对磁导

率值。在一些具体实施中,自由空间可被定义成具有$\mu_0 = 4\pi \times 10^{-7}$H/m(亨每米)的所定义磁导率值。相对磁导率值大于1的材料可被视为磁性材料。至少一个磁性层240包括在约0.01至0.04范围内的磁损耗正切值。至少一个磁性层240可包括味之素磁性膜(AMF)。至少一个磁性层240围绕(例如,部分围绕、完全围绕)电感器和/或多个金属化互连件241。例如,至少一个磁性层240包括磁性材料(例如,具有磁性特性),该磁性材料(i)接触该电感器和/或多个金属化互连件241,并且(ii)至少部分地围绕该电感器(或该电感器的一部分)和/或多个金属化互连件241(或多个金属化互连件241的一部分)。至少一个磁性层240被配置为提高位于至少一个磁性层240中并且/或者被该至少一个磁性层围绕的电感器的电感和/或品质因数。随着电感器性能的提高,可在集成器件103中形成更小且更紧凑的电感器。

[0042] 磁性层240a、磁性层240b和磁性层240c可被视为一个磁性层或分开的磁性层。在一些具体实施中,可能存在多于或少于3个磁性层。在一些具体实施中,磁性层240a、磁性层240b和磁性层240c可具有相同特性(例如,相同磁导率、相同磁损耗正切值)。在一些具体实施中,磁性层240a、磁性层240b和/或磁性层240c可具有不同的特性(例如,不同的磁导率、不同的磁损耗正切值)。例如,第一磁性层可具有第一磁导率(例如,第一磁导率值、第一相对磁导率值)和第一磁损耗正切值,并且第二磁性层可具有第二磁导率(例如,第二磁导率值、第二相对磁导率值)和第二磁损耗正切值。在一些具体实施中,磁性层240a、磁性层240b和/或磁性层240c对于某些特性而言可具有类似和/或相同的值,并且对于其他特性而言可具有不同的值。至少一个磁性层240如何帮助提高电感器的性能的更详细描述在下文至少图7至图9中进一步描述。

[0043] 图3例示了集成器件103的另一示例性视图。图3的集成器件103类似于图2的集成器件103,并且因此包括与图2的集成器件103类似的组件。图3的集成器件103不包括在磁性层240c上方的钝化层250。此外,在图3中,集成器件103包括磁性层240c的较厚层。

[0044] 集成器件(例如,103)可包括管芯(例如,半导体裸管芯)。集成器件可包括功率管理集成电路(PMIC)。集成器件可包括应用处理器。集成器件可包括调制解调器。集成器件可包括射频(RF)器件、无源器件、滤波器、电容器、电感器、天线、发送器、接收器、基于砷化镓(GaAs)的集成器件、表面声波(SAW)滤波器、体声波(BAW)滤波器、发光二极管(LED)集成器件、基于硅(Si)的集成器件、基于碳化硅(SiC)的集成器件、存储器、功率管理处理器和/或它们的组合。集成器件(例如,103)可包括至少一个电子电路(例如,第一电子电路、第二电子电路等)。集成器件可包括晶体管。集成器件可以是电气组件和/或电气器件的示例。在一些具体实施中,集成器件可包括芯粒。可使用与用于制造其他类型的集成器件的其他工艺相比提供更好产量的工艺来制造芯粒,这可降低制造芯粒的总体成本。不同的芯粒可具有不同的大小和/或形状。不同的芯粒可被配置为提供不同的功能。不同的芯粒可具有不同的互连件密度(例如,具有不同宽度和/或间距的互连件)。在一些具体实施中,若干芯粒可用于执行一个或多个芯片(例如,一个或多个集成器件)的功能性。相对于使用单个芯片来执行封装件的所有功能,使用执行若干功能的若干芯粒可降低封装件的总体成本。

[0045] 包括磁性材料的示例性集成无源器件(IPD)

[0046] 图4例示了集成无源器件105的示例性剖面横截面视图。集成无源器件105可包括无源管芯。集成无源器件105包括管芯基板200、至少一个氧化物层220、至少一个管芯电介质层224、多个管芯互连件221、高K电介质层222、钝化层226、至少一个磁性层240、多个金属

化互连件241、钝化层250、多个柱互连件251和多个焊料互连件150。

[0047] 集成无源器件105可类似于集成器件103,并且因此可包括与集成器件103相同或类似的组件。然而,集成无源器件105可能没有管芯基板200中的多个晶体管。集成无源器件105可在管芯基板200中不具有任何有源器件。

[0048] 集成无源器件105可包括互连部分202和封装部分204。互连部分202可以是管芯互连部分。互连部分202可包括前道工序(FEOL)部分。封装部分204可包括重新分布部分(例如,RDL部分)。互连部分202耦合到管芯基板200和/或至少一个氧化物层220。互连部分202位于管芯基板200和/或至少一个氧化物层220上方。封装部分204耦合到互连部分202。封装部分204位于互连部分202上方。互连部分202位于管芯基板200与封装部分204之间。

[0049] 互连部分202可包括多个管芯互连件221、至少一个管芯电介质层224、高K电介质层222和/或钝化层226。多个管芯互连件221可包括至少一个管芯互连件225、至少一个管芯互连件227和至少一个管芯互连件229(例如,229a、229b)。钝化层226可位于至少一个管芯电介质层224和/或至少一个管芯互连件229(例如,229a、229b)上方。

[0050] 互连部分202包括电容器203,该电容器由至少一个管芯互连件225的至少一部分、高K电介质层222和至少一个管芯互连件227的至少一部分限定。电容器203可位于至少一个管芯电介质层224中。高K电介质层222位于至少一个管芯互连件225与至少一个管芯互连件227之间。

[0051] 至少一个管芯互连件225可位于该集成无源器件的第一金属层(M1)上,至少一个管芯互连件227可位于该集成无源器件的第二金属层(M2)上,并且至少一个管芯互连件229可位于该集成无源器件的第三金属层(M3)上。应当注意,在该第一金属层(M1)与该第三金属层(M3)之间可存在至少一个过孔管芯互连件。还应注意,在该第二金属层(M2)与该第三金属层(M3)之间可存在至少一个过孔管芯互连件。该第一金属层(M1)与该第三金属层(M3)之间的过孔管芯互连件以及该第二金属层(M2)与该第三金属层(M3)之间的过孔管芯互连件被视为多个管芯互连件221的一部分。

[0052] 封装部分204包括多个金属化互连件241、至少一个磁性层240、钝化层250和/或多个柱互连件251。多个焊料互连件150可耦合到多个柱互连件251。多个金属化互连件241可包括至少一个金属化互连件242、至少一个金属化互连件243、至少一个金属化互连件244、至少一个金属化互连件245和/或至少一个金属化互连件246。至少一个金属化互连件243可位于该集成无源器件的第四金属层(M4)上,并且该至少一个金属化互连件245可位于该集成无源器件的第五金属层(M5)上。至少一个金属化互连件242可包括过孔金属化互连件。至少一个金属化互连件244可包括过孔金属化互连件。至少一个金属化互连件246可包括过孔金属化互连件。多个金属化互连件241可包括多个重新分布互连件(例如,重新分布层(RDL)互连件)。钝化层250可形成在至少一个磁性层240上方并且/或者位于该至少一个磁性层上方。钝化层250可包括聚酰亚胺(PI)。多个金属化互连件241耦合到多个管芯互连件221。例如,至少一个金属化互连件242通过钝化层226中的一个或多个开口耦合到至少一个管芯互连件229。

[0053] 封装部分204包括至少一个电感器,该至少一个电感器由多个金属化互连件241中的至少一个金属化互连件限定并且/或者由该至少一个金属化互连件形成。例如,至少一个电感器可由至少一个金属化互连件243和/或至少一个金属化互连件245限定。互连部分202

中的电容器203与封装部分204中的电感器的组合可用作用于一个或多个信号的滤波器。

[0054] 至少一个磁性层240包括磁性层240a、磁性层240b、磁性层240c。至少一个磁性层240包括绝缘层、电介质层和/或非导电材料。至少一个磁性层240的磁导率值(例如,相对磁导率值)大于1(例如,约为10)。至少一个磁性层240包括在约0.01至0.04范围内的磁损耗正切值。至少一个磁性层240围绕电感器和/或多个金属化互连件241。至少一个磁性层240被配置为提高位于至少一个磁性层240中并且/或者被该至少一个磁性层围绕的电感器的电感和/或品质因数。电感与(通过磁场)由导体和/或电感器存储的磁能有关。被磁性材料(例如,至少一个磁性层240)围绕的导体和/或电感器将具有更多存储的能量,并且因此该导体和/或该电感器将具有更高的电感。此外,如果(与损耗正切有关的)损耗能量不同时成比例地增加,则该电感器的品质因数(由磁能除以损耗能量定义)增加。随着电感器性能的提高,可在集成无源器件105中形成更小且更紧凑的电感器。因此,如果应用需要具有最小电感和/或最小品质因数的电感器,则可提供被磁性层围绕的较小形状因数电感器,而不是提供没有磁性层的较大形状因数电感器。

[0055] 在一些具体实施中,磁性层240a、磁性层240b和磁性层240c可具有相同特性(例如,相同磁导率、相同磁损耗正切值)。在一些具体实施中,磁性层240a、磁性层240b和/或磁性层240c可具有不同的特性(例如,不同的磁导率、不同的磁损耗正切值)。例如,第一磁性层可具有第一磁导率(例如,第一磁导率值、第一相对磁导率值)和第一磁损耗正切值,并且第二磁性层可具有第二磁导率(例如,第二磁导率值、第二相对磁导率值)和第二磁损耗正切值。在一些具体实施中,磁性层240a、磁性层240b和/或磁性层240c对于某些特性而言可具有类似和/或相同的值,并且对于其他特性而言可具有不同的值。

[0056] 图5例示了集成无源器件105的另一示例性视图。图5的集成无源器件105类似于图4的集成无源器件105,并且因此包括与图4的集成无源器件105类似的组件。图5的集成无源器件105不包括在磁性层240c上方的钝化层250。此外,在图5中,集成无源器件105包括磁性层240c的较厚层。

[0057] 图6例示了包括电感器602和至少一个磁性层604的器件600。器件600可表示集成器件103和/或集成无源器件105。电感器602可形成在器件600的封装部分中。电感器602可由器件600的该封装部分中的至少一个金属化互连件形成并且/或者由该至少一个金属化互连件限定。电感器602可被至少一个磁性层604围绕。至少一个磁性层604可与至少一个磁性层240类似和/或相同。应当注意,器件600可包括多于一个电感器。电感器可具有不同的形状、尺寸、绕组、配置和/或放置。电感器可位于器件600的一个或多个金属层(例如,金属化层)上。

[0058] 图7例示了示出若干电感器跨示例性频率的品质因数(Q)的示例性曲线图700。曲线图700包括第一电感器的第一标绘线710、第二电感器的第二标绘线720、第三电感器的第三标绘线730和第四电感器的第四标绘线740。

[0059] 图8例示了示出若干电感器跨示例性频率的电感的示例性曲线图800。曲线图800包括第一电感器的第一标绘线810、第二电感器的第二标绘线820、第三电感器的第三标绘线830和第四电感器的第四标绘线840。

[0060] 第一电感器、第二电感器、第三电感器和第四电感器具有相同的设计。然而,第一电感器、第二电感器、第三电感器和第四电感器中的每一者被具有不同特性的不同电介质

层围绕。

[0061] 图9例示了示出第一电感器、第二电感器、第三电感器和第四电感器在特定频率下的各种电感和品质因数的示例性表900。

[0062] 第一电感器(其与第一标绘线710和第一标绘线810相关联)不被磁性材料围绕,而是被损耗正切(例如,电损耗正切)为0.01的非磁性电介质材料围绕,这导致在1.5GHz时的电感为1纳亨(nH),并且在1.5GHz时的品质因数(Q)为20。第二电感器(其与第二标绘线720和第二标绘线820相关联)被磁导率为10且损耗正切(例如,磁损耗正切)为0.04的磁性材料围绕,这导致在1.5GHz时的电感为7nH,并且在1.5GHz时的品质因数(Q)为23。第三电感器(其与第三标绘线730和第三标绘线830相关联)被磁导率为10且损耗正切(例如,磁损耗正切)为0.02的磁性材料围绕,这导致在1.5GHz时的电感为7nH,并且在1.5GHz时的品质因数(Q)为40。第四电感器(其与第四标绘线740和第四标绘线840相关联)被磁导率为10且损耗正切(例如,磁损耗正切)为0.01的磁性材料围绕,这导致在1.5GHz时的电感为7nH,并且在1.5GHz时的品质因数(Q)为60。

[0063] 因此,上述示例表明,磁性层可将电感器的电感提高7倍。更有效和/或更强大的电感器设计的一个优点是:可在集成器件和/或集成无源器件中提供更小且更紧凑的电感器,同时仍然满足该集成器件和/或该集成无源器件的设计和/或性能要求。这可帮助减小该集成器件和/或该集成无源器件的总体尺寸和/或形状。

[0064] 应当注意,图7至图9中示出的曲线图和值是示例性的。不同具体实施可跨相同或不同的频率具有相同、类似或不同的值。例如,磁性层(例如,磁性电介质层)的磁导率值为10是示例性的。可使用其他磁导率值(例如,相对磁导率值)大于1(例如,1、6.5、7、8、11)的其他磁性层。应当注意,对于不同的频率,磁性层可具有不同的磁导率值。

[0065] 已经描述了具有至少一个磁性层的各种集成器件和/或集成无源器件,下面将描述用于制造具有至少一个磁性层的集成器件的工艺。

[0066] 用于制造包括磁性层的集成器件的示例性工序

[0067] 图10A至图10I例示了用于提供或制造包括至少一个磁性层的集成器件的示例性工序。在一些具体实施中,图10A至图10I的工序可用于提供或制造本公开中描述的集成器件103。

[0068] 应当注意,图10A至图10I工序可组合一个或多个阶段以便简化并且/或者阐明用于提供或制造集成器件的工序。在一些具体实施中,各过程的次序可被改变或改良。在一些具体实施中,在不脱离本公开的实质的情况下,这些过程中的一种或多种过程可被替代或替换。不同具体实施可以不同方式制造集成器件。应当注意,图10A至图10I的工序可用于制造包括至少一个磁性层的集成无源器件(例如,105)。图10A至图10I中示出的工序可在晶片(例如,硅晶片)上实现,并且随后被切割成若干集成器件。对于集成无源器件而言,可实现类似的办法。

[0069] 如图10A所示,阶段1例示了在提供管芯基板200之后的状态。管芯基板200可包括硅(Si)。多个晶体管210可形成在管芯基板200中和/或上方。可使用BEOL工艺来制造多个晶体管210。提供管芯基板200可包括提供晶片(例如,硅晶片)。

[0070] 阶段2例示了在管芯基板200和/或多个晶体管210上方形成至少一个氧化物层220之后的状态。至少一个氧化物层220可包括二氧化硅。可使用沉积工艺和/或层压工艺来形

成至少一个氧化物层220。至少一个氧化物层220可由等离子体增强的原硅酸四乙酯(PETEOS)形成。在一些具体实施中,当在阶段1中提供管芯基板200时,可能已经形成了至少一个氧化物层220。

[0071] 阶段3例示了在至少一个氧化物层220上方形成至少一个管芯互连件225之后的状态。至少一个管芯互连件225可形成在管芯基板200和/或多个晶体管210上方。至少一个管芯互连件225可穿过至少一个氧化物层220中的一个或多个开口(例如,直接地或间接地)耦合到多个晶体管210。可使用镀覆工艺和图案化工艺来形成至少一个管芯互连件225。

[0072] 阶段4例示了在至少一个管芯互连件225的至少一部分上方形成高K电介质层222之后的状态。高K电介质层222可包括氮化硅。可使用沉积工艺、层压工艺和/或图案化工艺来形成高K电介质层222。

[0073] 阶段5例示了在至少一个高K电介质层222上方形成至少一个管芯互连件227之后的状态。可使用镀覆工艺和图案化工艺来形成至少一个管芯互连件227。至少一个管芯互连件225的至少一部分、高K电介质层222和至少一个管芯互连件227可形成并且/或者限定电容器。

[0074] 如图10B所示,阶段6例示了在形成并图案化至少一个管芯电介质层224之后的状态。可使用沉积工艺、层压工艺、曝光工艺、显影工艺和/或蚀刻工艺来形成并图案化至少一个管芯电介质层224。至少一个管芯电介质层224可形成在至少一个管芯互连件225和至少一个管芯互连件227上方和周围。至少一个管芯电介质层224可包括多个腔体1024。可形成至少一个管芯电介质层224,使得至少一个管芯互连件225、高K电介质层222和至少一个管芯互连件227位于至少一个管芯电介质层224中。

[0075] 阶段7例示了在至少一个管芯电介质层224上方形成至少一个管芯互连件229之后的状态。可使用镀覆工艺和图案化工艺来形成至少一个管芯互连件229。形成至少一个管芯互连件229可包括:在至少一个管芯电介质层224(例如,在至少一个管芯电介质层224中的腔体1024)中形成过孔管芯互连件。过孔管芯互连件可被视为至少一个管芯互连件229的一部分。至少一个管芯互连件229可耦合到至少一个管芯互连件225和至少一个管芯互连件227。

[0076] 阶段8例示了在至少一个管芯互连件229和/或至少一个管芯电介质层224上方形成钝化层226之后的状态。钝化层226可包括二氧化硅和/或氮化硅。可使用沉积工艺和/或层压工艺来形成钝化层226。

[0077] 如图10C所示,阶段9例示了在穿过钝化层226中的至少一个开口形成至少一个金属化互连件242之后的状态。可使用镀覆工艺和图案化工艺来形成至少一个金属化互连件242。至少一个金属化互连件242耦合到至少一个管芯互连件229。

[0078] 阶段10例示了在钝化层226和至少一个金属化互连件242上方形成磁性层240a之后的状态。可使用层压工艺来形成磁性层240a。可使用研磨工艺来移除磁性层240a的部分并且暴露至少一个金属化互连件242。还可研磨至少一个金属化互连件242的部分。

[0079] 阶段11例示了在至少一个金属化互连件242和磁性层240a上方形成至少一个金属化互连件243之后的状态。可使用镀覆工艺和图案化工艺来形成至少一个金属化互连件243。至少一个金属化互连件243耦合到至少一个金属化互连件242。

[0080] 如图10D所示,阶段12例示了在至少一个金属化互连件243上方形成至少一个金属

化互连件244之后的状态。可使用镀覆工艺和图案化工艺来形成至少一个金属化互连件245。至少一个金属化互连件244耦合到至少一个金属化互连件243。

[0081] 阶段13例示了在至少一个金属化互连件243、至少一个金属化互连件244和磁性层240a上方形成磁性层240b之后的状态。可使用层压工艺来形成磁性层240b。可使用研磨工艺来移除磁性层240b的部分并且暴露至少一个金属化互连件244。还可研磨至少一个金属化互连件244的部分。

[0082] 如图10E所示,阶段14例示了在至少一个金属化互连件244和磁性层240b上方形成至少一个金属化互连件245之后的状态。可使用镀覆工艺和图案化工艺来形成至少一个金属化互连件245。至少一个金属化互连件245形成在金属化互连件244上方。

[0083] 阶段15例示了在至少一个金属化互连件245上方形成至少一个金属化互连件246之后的状态。可使用镀覆工艺和图案化工艺来形成至少一个金属化互连件246。至少一个金属化互连件246耦合到至少一个金属化互连件245。

[0084] 如图10F所示,阶段16例示了在至少一个金属化互连件245、至少一个金属化互连件246和磁性层240b上方形成磁性层240c之后的状态。可使用层压工艺来形成磁性层240c。可使用研磨工艺来移除磁性层240c的部分并且暴露至少一个金属化互连件246。还可研磨至少一个金属化互连件246的部分。磁性层240a、磁性层240b和/或磁性层240c可以是相同的磁性层(例如,包括相同的磁性材料)或者可以是具有不同特性(例如,不同的磁导率值)的磁性层。

[0085] 阶段17例示了在至少一个金属化互连件246和/或磁性层240c上方形成钝化层250之后的状态。钝化层250可包括聚酰亚胺(PI)。可使用沉积工艺和/或层压工艺来形成钝化层250。

[0086] 如图10G所示,阶段18例示了在钝化层250中形成开口1050之后的状态。可使用曝光工艺、显影工艺和/或蚀刻工艺来形成多个开口1050。

[0087] 如图10H所示,阶段19例示了穿过钝化层250的开口1050在至少一个金属化互连件246上方形成多个柱互连件251之后的状态。可使用镀覆工艺和图案化工艺来形成多个柱互连件251。多个柱互连件251的某一部分可被视为该至少一个金属化互连件的一部分。

[0088] 如图10I所示,阶段20例示了在多个柱互连件251上方形成多个焊料互连件130之后的状态。可使用焊料回流工艺来形成多个焊料互连件130。

[0089] 如上文所提及的,以上工序可在晶片(例如,硅晶片)上制造,使得同时形成若干集成器件,并且随后将晶片切割以形成包括磁性层的单独集成器件。以上工序可在一个设施中或在若干设施处制造。例如,可提供包括有源部分201和互连部分202的晶片,并且可在互连部分202上方制造封装部分204。可切割包括有源部分201、互连部分202和封装部分204的晶片以形成若干集成器件。

[0090] 用于制造包括磁性层的集成器件的方法的示例性流程图

[0091] 在一些具体实施中,制造集成器件包括若干过程。图11例示了用于提供或制造包括至少一个磁性层的集成器件的方法1100的示例性流程图。在一些具体实施中,可使用图11的方法1100来提供或制造集成器件103。方法1100可在晶片(例如,硅晶片)上实现,并且随后将其切割成若干集成器件。

[0092] 应当注意,图11的方法1100可组合一个或多个过程以便简化并且/或者阐明用于

提供或制造集成器件的方法。在一些具体实施中,各过程的次序可被改变或改良。此外,可实现图11的方法1100以提供或制造具有至少一个磁性层的集成无源器件(例如,105)。

[0093] 该方法(在1105处)提供管芯基板(例如,200)。管芯基板200可包括硅(Si)。管芯基板200可包括晶片(例如,硅晶片)。多个晶体管210可形成在管芯基板200中和/或上方。多个逻辑块可由多个晶体管210形成并且/或者由该多个晶体管限定。可使用BEOL工艺来制造多个晶体管210。当制造集成无源器件时,管芯基板200可没有该多个晶体管(例如,没有有源器件)。图10A的阶段1例示并描述了提供管芯基板的示例。

[0094] 该方法(在1110处)在管芯基板200和/或多个晶体管210上方形成至少一个氧化物层(例如,220)。至少一个氧化物层220可包括二氧化硅。可使用沉积工艺和/或层压工艺来形成至少一个氧化物层220。至少一个氧化物层220可由等离子体增强的原硅酸四乙酯(PETEOS)形成。在一些具体实施中,当提供管芯基板200时(在1105处),可能已经形成了至少一个氧化物层220。图10A的阶段2例示并描述了在管芯基板200和/或多个晶体管上方形成的至少一个氧化物层的示例。

[0095] 该方法(在1115处)在氧化物层上方形成并图案化至少一个管芯互连件(例如,225)。至少一个管芯互连件225可形成在管芯基板200和/或多个晶体管210上方。至少一个管芯互连件225可穿过至少一个氧化物层220中的一个或多个开口耦合到多个晶体管210。可使用镀覆工艺和图案化工艺来形成至少一个管芯互连件225。图10A的阶段3例示并描述了在氧化物层上方形成的至少一个管芯互连件的示例。

[0096] 该方法(在1120处)在至少一个管芯互连件225的一部分上方形成并图案化至少一个高K电介质层。高K电介质层222可包括氮化硅。可使用沉积工艺、层压工艺和/或图案化工艺来形成高K电介质层222。图10A的阶段4例示并描述了在管芯互连件的至少一部分上方形成的高K电介质层的示例。

[0097] 该方法(在1125处)在高K电介质层上方形成并图案化至少一个管芯互连件(例如,227)。可使用镀覆工艺和图案化工艺来形成至少一个管芯互连件227。至少一个管芯互连件225的至少一部分、高K电介质层222和至少一个管芯互连件227可形成并且/或者限定电容器。图10A的阶段5例示并描述了在高K电介质层上方形成的管芯互连件的示例。

[0098] 该方法(在1130处)形成并图案化至少一个管芯电介质层(例如,224)。至少一个管芯电介质层224可形成在至少一个管芯互连件225和至少一个管芯互连件227上方和周围。至少一个管芯电介质层224可包括多个腔体1024。可使用沉积工艺、层压工艺、曝光工艺、显影工艺和/或蚀刻工艺来形成并图案化至少一个管芯电介质层224。图10B的阶段6例示并描述了形成并图案化管芯电介质层的示例。

[0099] 该方法(在1130处)还在至少一个管芯电介质层224上方形成并图案化至少一个管芯互连件(例如,229)。可使用镀覆工艺和图案化工艺来形成至少一个管芯互连件229。至少一个管芯互连件229可耦合到其他管芯互连件。图10B的阶段7例示并描述了在管芯电介质层上方形成管芯互连件的示例。

[0100] 该方法(在1135处)在至少一个管芯互连件229和至少一个管芯电介质层224上方形成钝化层(例如,226)。钝化层226可包括二氧化硅和/或氮化硅。可使用沉积工艺和/或层压工艺来形成钝化层226。图10B的阶段8例示并描述了在管芯互连件和管芯电介质层上方形成的钝化层的示例。

[0101] 该方法(在1140处)形成并图案化至少一个金属化互连件(例如,242)。可使用镀覆工艺和图案化工艺来形成至少一个金属化互连件242。图10C的阶段9例示并描述了穿过钝化层的至少一个开口形成金属化互连件的示例。该方法(在1140处)还在钝化层226和至少一个金属化互连件242上方形成磁性层(例如,240a)。可使用层压工艺来形成磁性层240a。可使用研磨工艺来移除磁性层240a的部分并且暴露至少一个金属化互连件242。还可研磨至少一个金属化互连件242的部分。图10C的阶段10例示并描述了在钝化层和金属化互连件上方形成的磁性层的示例。该方法可(在1140处)针对所需的尽可能多的层迭代地重复以下过程:(i)形成金属化互连件并且将该金属化互连件图案化,以及(ii)形成磁性层并且研磨该磁性层。图10C至图10F的阶段11至阶段16例示并描述了迭代地形成金属化互连件和磁性层的示例。

[0102] 该方法(在1145处)在至少一个金属化互连件(例如,246)和/或磁性层(例如,240c)上方形成钝化层(例如,250)。钝化层250可包括聚酰亚胺(PI)。可使用沉积工艺和/或层压工艺来形成钝化层250。图10F的阶段17例示并描述了在金属化互连件和磁性层上方形成的钝化层。该方法(在1145处)还在该钝化层(例如,250)中形成开口(例如,1050)。可将曝光工艺、显影工艺和/或蚀刻工艺用于形成多个开口1050。图10G的阶段18例示并描述了钝化层中的开口的示例。

[0103] 该方法(在1150处)在金属化互连件上方形成多个柱互连件(例如,251)。可使用镀覆工艺和图案化工艺来形成多个柱互连件251。多个柱互连件251的某一部分可被视为该至少一个金属化互连件的一部分。图10H的阶段19例示并描述了穿过钝化层的开口形成在金属化互连件上方的多个柱互连件的示例。

[0104] 该方法(在1150处)还形成多个焊料互连件(例如,130)。多个焊料互连件130可耦合到多个柱互连件251。可使用焊料回流工艺来形成多个焊料互连件130。图10I的阶段20例示并描述了在多个柱互连件上方形成的多个焊料互连件。

[0105] 如上文所提及的,方法1100可在晶片(例如,硅晶片)上制造,使得同时形成若干集成器件,并且随后将该晶片切割以形成包括磁性层的单独集成器件。

[0106] 用于制造包括磁性层的集成器件的方法的示例性流程图

[0107] 在一些具体实施中,制造集成器件包括若干过程。图12例示了用于提供或制造包括至少一个磁性层的集成器件的方法1200的示例性流程图。在一些具体实施中,可使用图12的方法1200来提供或制造集成器件103。方法1200可在晶片(例如,硅晶片)上实现,并且随后将其切割成若干集成器件。

[0108] 应当注意,图12的方法1200可组合一个或多个过程以便简化并且/或者阐明用于提供或制造集成器件的方法。例如,方法1200的过程中的一个或多个过程可包括方法1100的过程中的一个或多个过程。在一些具体实施中,各过程的次序可被改变或改良。此外,可实现图12的方法1200以提供或制造具有至少一个磁性层的集成无源器件(例如,105)。

[0109] 该方法(在1205处)提供管芯基板(例如,200)。管芯基板200可包括硅(Si)。管芯基板200可包括晶片(例如,硅晶片)。多个晶体管210可形成在管芯基板200中和/或上方。多个逻辑块可由多个晶体管210形成并且/或者由该多个晶体管限定。可使用BEOL工艺来制造多个晶体管210。管芯基板200可以是集成器件的有源部分(例如,201)的一部分并且/或者定义该集成器件的该有源部分。当制造集成无源器件时,管芯基板200可没有多个晶体管(例

如,没有有源器件)。图10A的阶段1例示并描述了提供管芯基板的示例。

[0110] 该方法(在1210处)在管芯基板(例如,200)上方形成互连部分(例如,202),其中形成互连部分202包括:形成至少一个管芯电介质层,以及形成多个管芯互连件。互连部分202可耦合到管芯基板200。

[0111] 形成互连部分202可包括:在管芯基板200和/或多个晶体管210上方形成至少一个氧化物层(例如,220);在氧化物层上方形成并图案化至少一个管芯互连件(例如,225);在至少一个管芯互连件225的一部分上方形成并图案化至少一个高K电介质层;在高K电介质层上方形成并图案化至少一个管芯互连件(例如,227);形成并图案化至少一个管芯电介质层(例如,224);在至少一个管芯电介质层224上方形成并图案化至少一个管芯互连件(例如,229);以及/或者在至少一个管芯互连件229和至少一个管芯电介质层224上方形成钝化层(例如,226)。

[0112] 互连部分202可包括电容器,该电容器由多个管芯互连件中的至少一些管芯互连件限定。形成互连部分202可包括图11的方法1100的过程1110至过程1135。图10A至图10B的阶段2至阶段8例示了形成互连部分的示例。

[0113] 该方法(在1215处)在互连部分(例如,202)上方形成封装部分(例如,204),其中形成封装部分204包括:形成耦合到多个管芯互连件的多个金属化互连件,以及形成至少一个磁性层。封装部分204可耦合到互连部分202。

[0114] 形成封装部分可包括:形成并图案化至少一个金属化互连件(例如,242);在钝化层226和至少一个金属化互连件242上方形成磁性层(例如,240a);研磨磁性层240a的部分并暴露至少一个金属化互连件242(至少一个金属化互连件242的部分也可被研磨);在至少一个金属化互连件(例如,246)和/或该磁性层上方形成钝化层(例如,250);在金属化互连件上方形成多个柱互连件(例如,251);以及/或者形成多个焊料互连件。应当注意,该多个焊料互连件可被视为或可不被视为集成器件和/或集成无源器件的封装部分的一部分。

[0115] 封装部分204可包括电感器,该电感器由多个金属化互连件中的至少一个金属化互连件限定。该至少一个磁性层包括绝缘层、电介质层和/或非导电材料。该至少一个磁性层的磁导率值(例如,相对磁导率值)大于1。

[0116] 该方法可针对所需的尽可能多的层迭代地重复以下过程:(i)形成并图案化金属化互连件,以及(ii)形成磁性层并且研磨该磁性层。形成封装部分204可包括图11的方法1100的过程1140至过程1150。图10C至图10I的阶段9至阶段20例示了形成封装部分的示例。

[0117] 如上文所提及的,方法1200可在晶片(例如,硅晶片)上制造,使得同时形成若干集成器件,并且随后将该晶片切割以形成包括磁性层的单独集成器件。

[0118] 用于制造包括集成器件和集成无源器件的封装件的示例性工序

[0119] 图13例示了用于提供或制造封装件的示例性工序,该封装件包括集成器件(包括磁性层)和/或集成无源器件(包括磁性层)。在一些具体实施中,图13的工序可用于提供或制造包括集成器件和/或集成无源器件的封装件100。

[0120] 应当注意,图13的工序可组合一个或多个阶段以便简化并且/或者阐明用于提供或制造封装件的工序。在一些具体实施中,各过程的次序可被改变或改良。在一些具体实施中,在不脱离本公开的范围的情况下,这些过程中的一个或多个过程可被替代或替换。图13的工序可用于一次制造一个封装件或若干封装件(作为晶片的一部分)。

[0121] 如图13所示,阶段1例示了在提供基板102之后的状态。基板102可由供应商提供或被制造。基板102包括至少一个电介质层120以及多个互连件122、阻焊层140和阻焊层142。基板102可包括嵌入式迹线基板(ETS)。在一些具体实施中,至少一个电介质层120可包括预浸材料层。

[0122] 阶段2例示了在将集成器件103耦合到基板102的第一表面(例如,顶表面)之后的状态。集成器件103可通过多个焊料互连件130耦合到基板102。将多个焊料互连件130耦合到多个互连件122。可使用焊料回流工艺来通过多个焊料互连件130将集成器件103耦合到多个互连件122。

[0123] 阶段2还例示了在将集成无源器件105耦合到基板102的第一表面(例如,顶表面)之后的状态。集成无源器件105可通过多个焊料互连件150耦合到基板102。将多个焊料互连件150耦合到多个互连件122。可使用焊料回流工艺来通过多个焊料互连件150将集成无源器件105耦合到多个互连件122。

[0124] 阶段3例示了在将多个焊料互连件110耦合到基板102之后的状态。可将多个焊料互连件110耦合到位于至少一个电介质层120的第二表面上方的互连件。可使用焊料回流工艺来将多个焊料互连件110耦合到基板102。阶段3可例示封装件100。本公开中所描述的封装件(例如,100)可一次制造一个,或者可一起制造(作为一个或多个晶片的一部分),并且随后将其切割成单独封装件。

[0125] 用于制造包括集成器件和集成无源器件的封装件的方法的示例性流程图

[0126] 在一些具体实施中,制造包括集成器件(包括磁性层)和/或集成无源器件(包括磁性层)的封装件包括若干过程。图14例示了用于提供或制造包括集成器件(包括磁性层)和/或集成无源器件(包括磁性层)的封装件的方法1400的示例性流程图。在一些具体实施中,图14的方法1400可用于提供或制造本公开中所描述的图1的封装件100。然而,方法1400可被用于提供或制造本公开中所描述的封装件中的任何封装件。

[0127] 应当注意,图14的方法可组合一个或多个过程以便简化并且/或者阐明用于提供或制造包括集成器件(包括磁性层)和/或集成无源器件(包括磁性层)的封装件的方法。在一些具体实施中,各过程的次序可被改变或改良。

[0128] 该方法(在1405处)提供基板(例如,102)。基板102可由供应商提供或被制造。基板102包括至少一个电介质层120和多个互连件122。基板102可包括嵌入式迹线基板(ETS)。在一些具体实施中,至少一个电介质层120可包括预浸材料层。图13的阶段1例示并描述了提供具有逸出互连件的基板的示例。

[0129] 该方法(在1410处)将至少一个集成器件(例如,103)耦合到基板(例如,102)的第一表面。例如,集成器件103可通过多个焊料互连件130来耦合到基板102。将多个焊料互连件130耦合到多个互连件122。可使用焊料回流工艺来通过多个焊料互连件130将集成器件103耦合到该多个互连件。

[0130] 该方法(在1410处)还将至少一个集成无源器件(例如,105)耦合到基板(例如,102)的第一表面。例如,集成无源器件105可通过多个焊料互连件150来耦合到基板102。将多个焊料互连件150耦合到多个互连件122。可使用焊料回流工艺来通过多个焊料互连件150将集成无源器件105耦合到该多个互连件。图13的阶段2例示并描述了耦合到基板的集成器件和集成无源器件的示例。

[0131] 该方法(在1415处)将多个焊料互连件(例如,110)耦合到基板(例如,102)的第二表面。可使用焊料回流工艺来将多个焊料互连件110耦合到基板。图13的阶段3例示并描述了将焊料互连件耦合到基板的示例。

[0132] 示例性电子设备

[0133] 图15例示了可集成有前述器件、集成器件、集成电路(IC)封装件、集成电路(IC)器件、半导体器件、集成电路、管芯、内插器、封装件、叠层封装件(PoP)、系统级封装件(SiP)或片上系统(SoC)中的任一者的各种电子设备。例如,移动电话设备1502、膝上型计算机设备1504、固定位置终端设备1506、可穿戴设备1508或机动交通工具1510可包括如本文所述的器件1500。例如,器件1500可以是本文所述的器件和/或集成电路(IC)封装件中的任一者。图15中所例示的器件1502、1504、1506和1508以及交通工具1510仅仅是示例性的。其他电子设备也可以器件1500为特征,此类电子设备包括但不限于包括以下各项的一组设备(例如,电子设备):移动设备、手持式个人通信系统(PCS)单元、便携式数据单元(诸如个人数字助理)、启用全球定位系统(GPS)的设备、导航设备、机顶盒、音乐播放器、视频播放器、娱乐单元、固定位置数据单元(诸如仪表读取装备)、通信设备、智能电话、平板计算机、计算机、可穿戴设备(例如,手表、眼镜)、物联网(IoT)设备、服务器、路由器、在机动交通工具(例如,自动驾驶交通工具)中实现的电子设备或者存储或检索数据或计算机指令的任何其他设备或者它们的任何组合。

[0134] 图1至图9、图10A至图10I和/或图11至图15中所例示的组件、过程、特征、和/或功能中的一者或多者可被重新布置和/或组合成单个组件、过程、特征或功能,或者在若干组件、过程或功能中实现。也可添加附加元件、组件、过程和/或功能而不脱离本公开。还应当注意,图1至图9、图10A至图10I和/或图11至图15及其在本公开中的对应描述不限于管芯和/或IC。在一些具体实施中,图1至图9、图10A至图10I和/或图11至图15及其对应描述可被用来制造、创建、提供并且/或者生产器件和/或集成器件。在一些具体实施中,器件可包括管芯、集成器件、集成无源器件(IPD)、管芯封装件、集成电路(IC)器件、器件封装件、集成电路(IC)封装件、晶片、半导体器件、叠层封装件(PoP)器件、散热器件和/或内插器。

[0135] 应当注意,本公开中的附图可表示各种部分、组件、对象、器件、封装件、集成器件、集成电路和/或晶体管的实际表示和/或概念表示。在一些实例中,附图可以不是按比例的。在一些实例中,为了清楚起见,并未示出所有组件和/或部分。在一些实例中,附图中的各个部分和/或组件的定位、位置、大小和/或形状可以是示例性的。在一些具体实施中,附图中的各个组件和/或部分可以是可任选的。

[0136] 词语“示例性”在本文中用于意指“用作示例、实例或例示”。本文中被描述为“示例性”的任何具体实施或方面不必被解释为优于或胜过本公开的其他方面。同样,术语“方面”不要求本公开的全部方面都包括所论述的特征、优点或者操作模式。术语“耦合”在本文中用于指两个对象之间的直接或间接耦合(例如,机械耦合)。例如,如果对象A物理地接触对象B,并且对象B接触对象C,则对象A和C仍然可被视为相互耦合的,即使它们相互并没有直接地物理接触。术语“电耦合”可意味着两个对象直接或间接耦合在一起,以使得电流(例如,信号、功率、地)可在两个对象之间行波。电耦合的两个对象可具有或者可不具有在这两个对象之间流动的电流。术语“第一”、“第二”、“第三”和“第四”(和/或第四以上的任何内容)的使用是任意的。所描述组件中的任何组件可以是第一组件、第二组件、第三组件或第

四组件。例如,被称为第二组件的组件可以是第一组件、第二组件、第三组件或第四组件。术语“包封”意味着对象可部分地包封或完全包封另一对象。术语“顶部”和“底部”是任意的。位于顶部的组件可位于底部的组件上方。顶部组件可被视为底部组件,反之亦然。如本公开中所描述的,位于第二组件“上方”的第一组件可意味着该第一组件位于该第二组件上方或下方,这取决于底部或顶部被如何任意定义。在另一示例中,第一组件可位于该第二组件的第一表面上方(例如,上面),而第三组件可位于该第二组件的第二表面上方(例如,下方),其中该第二表面与该第一表面相对。还应注意,如在本申请中在一个组件位于另一组件上的上下文中所使用的术语“上方”可被用来表示组件在另一组件上和/或在另一组件中(例如,在组件的表面上或被嵌入在组件中)。因此,例如,第一组件在该第二组件上方可意味着:(1)该第一组件在该第二组件上方,但是不直接接触该第二组件;(2)该第一组件在该第二组件上方(例如,在该第二组件的表面上);并且/或者(3)该第一组件在该第二组件中(例如,嵌入在该第二组件中)。位于第二组件“中”的第一组件可部分地位于该第二组件中或者完全位于该第二组件中。如本公开中所使用的术语“约‘值X’”或“大致为值X”意味着在‘值X’的百分之10以内。例如,约1或大致为1的值将意味着在0.9至1.1范围内的值。

[0137] 在一些具体实施中,互连件是器件或封装件中允许或促成两个点、元件和/或组件之间的电连接的元件或组件。在一些具体实施中,互连件可包括迹线、过孔、焊盘、柱、金属化层、重新分布层和/或凸块下金属化(UBM)层/互连件。在一些具体实施中,互连件可包括导电材料,该导电材料可被配置为信号(例如,数据信号)、地和/或功率提供电路径。互连件可包括多于一个元件或组件。互连件可由一个或多个互连件限定。互连件可包括一个或多个金属层。互连件可以是电路的一部分。不同具体实施可使用不同工艺和/或工序来形成互连件。在一些具体实施中,可使用化学气相沉积(CVD)工艺、物理气相沉积(PVD)工艺、溅射工艺、喷涂和/或镀覆工艺来形成互连件。

[0138] 还应注意,本文中所包含的各种公开内容可作为被描绘为作业图、流程图、结构图或框图的过程来进行描述。尽管流程图可将操作描述为顺序过程,但是操作中的许多操作可被并行或并发地执行。此外,可重新排列操作的次序。过程在其操作完成时终止。

[0139] 下文中描述了进一步示例以促进对本公开的理解。

[0140] 方面1:一种集成器件,所述集成器件包括:管芯基板,所述管芯基板包括多个晶体管;互连部分,所述互连部分耦合到所述管芯基板;和封装部分,所述封装部分耦合到所述互连部分。所述互连部分包括:至少一个管芯电介质层;和多个管芯互连件,所述多个管芯互连件耦合到所述多个晶体管。所述封装部分包括:至少一个磁性层;和多个金属化互连件,所述多个金属化互连件耦合到所述多个管芯互连件。

[0141] 方面2:根据方面1所述的集成器件,其中所述至少一个磁性层包括绝缘层和/或电介质层。

[0142] 方面3:根据方面1至2所述的集成器件,其中所述至少一个磁性层包含非导电材料。

[0143] 方面4:根据方面1至3所述的集成器件,其中所述至少一个磁性层的相对磁导率值大于1。

[0144] 方面5:根据方面1至4所述的集成器件,其中所述至少一个磁性层的磁损耗正切值在0.01至0.04范围内。

[0145] 方面6:根据方面1至5所述的集成器件,其中所述至少一个磁性层包括第一磁性层,所述第一磁性层包括第一磁导率值;和第二磁性层,所述第二磁性层包括第二磁导率值。所述第一磁导率值可以是第一相对磁导率值。所述第二磁导率值可以是第二相对磁导率值。

[0146] 方面7:根据方面1至6所述的集成器件,其中所述互连部分包括电容器,所述电容器由所述多个管芯互连件中的至少一些管芯互连件限定。

[0147] 方面8:根据方面7所述的集成器件,其中所述封装部分包括电感器,所述电感器由所述多个金属化互连件中的至少一个金属化互连件限定。

[0148] 方面9:根据方面1至8所述的集成器件,其中所述封装部分是重新分布部分,并且其中所述多个金属化互连件包括多个重新分布互连件。

[0149] 方面10:根据方面1至9所述的集成器件,其中所述集成器件是被配置为作为功率管理集成电路(PMIC)操作的管芯。

[0150] 方面11:一种器件,所述器件包括:管芯基板;互连部分,所述互连部分耦合到所述管芯基板;封装部分,所述封装部分耦合到所述互连部分。所述互连部分包括:至少一个管芯电介质层;和多个管芯互连件。所述封装部分包括:至少一个磁性层;和多个金属化互连件,所述多个金属化互连件耦合到所述多个管芯互连件。

[0151] 方面12:根据方面11所述的器件,其中所述至少一个磁性层包括绝缘层、电介质层和/或非导电材料,并且其中所述至少一个磁性层的相对磁导率值大于1。

[0152] 方面13:根据方面11至12所述的器件,其中所述至少一个磁性层包括第一磁性层,所述第一磁性层包括第一磁导率值;和第二磁性层,所述第二磁性层包括第二磁导率值。所述第一磁导率值可以是第一相对磁导率值。所述第二磁导率值可以是第二相对磁导率值。

[0153] 方面14:根据方面11至13所述的器件,其中所述互连部分包括电容器,所述电容器由所述多个管芯互连件中的至少一些管芯互连件限定。

[0154] 方面15:根据方面14所述的器件,其中所述封装部分包括电感器,所述电感器由所述多个金属化互连件中的至少一个金属化互连件限定。

[0155] 方面16:根据方面11至15所述的器件,其中所述管芯基板、所述互连部分和所述封装部分是集成无源器件(IPD)的一部分。

[0156] 方面17:根据方面11至16所述的器件,其中所述器件选自由以下各项组成的组:音乐播放器、视频播放器、娱乐单元、导航设备、通信设备、移动设备、移动电话、智能电话、个人数字助理、固定位置终端、平板计算机、计算机、可穿戴设备、膝上型计算机、服务器、物联网(IoT)设备以及机动交通工具中的设备。

[0157] 方面18:一种方法,所述方法提供管芯基板。所述方法在所述管芯基板上方形成互连部分,其中形成所述互连部分包括:形成至少一个管芯电介质层,以及形成多个管芯互连件。所述方法在所述互连部分上方形成封装部分,其中形成所述封装部分包括:形成耦合到所述多个管芯互连件的多个金属化互连件,以及形成至少一个磁性层。

[0158] 方面19:根据方面18所述的方法,其中所述管芯基板包括多个晶体管,并且其中形成所述多个管芯互连件,使得所述多个管芯互连件耦合到所述多个晶体管。

[0159] 方面20:根据方面18至19所述的方法,其中所述至少一个磁性层包括绝缘层、电介质层和/或非导电材料,并且其中所述至少一个磁性层的相对磁导率值大于1。

[0160] 方面21:根据方面18至20所述的方法,其中所述互连部分包括电容器,所述电容器由所述多个管芯互连件中的至少一些管芯互连件限定,并且其中所述封装部分包括电感器,所述电感器由所述多个金属化互连件中的至少一个金属化互连件限定。

[0161] 本文所描述的本公开的各种特征可实现于不同系统中而不脱离本公开。应当注意,本公开的以上各方面仅是示例,并且不应被解释成限定本公开。对本公开的各方面的描述旨在是例示性的,而非限定所附权利要求的范围。由此,本教导内容可易于应用于其他类型的装置,并且许多替换、修改和变型对于本领域技术人员将是显而易见的。

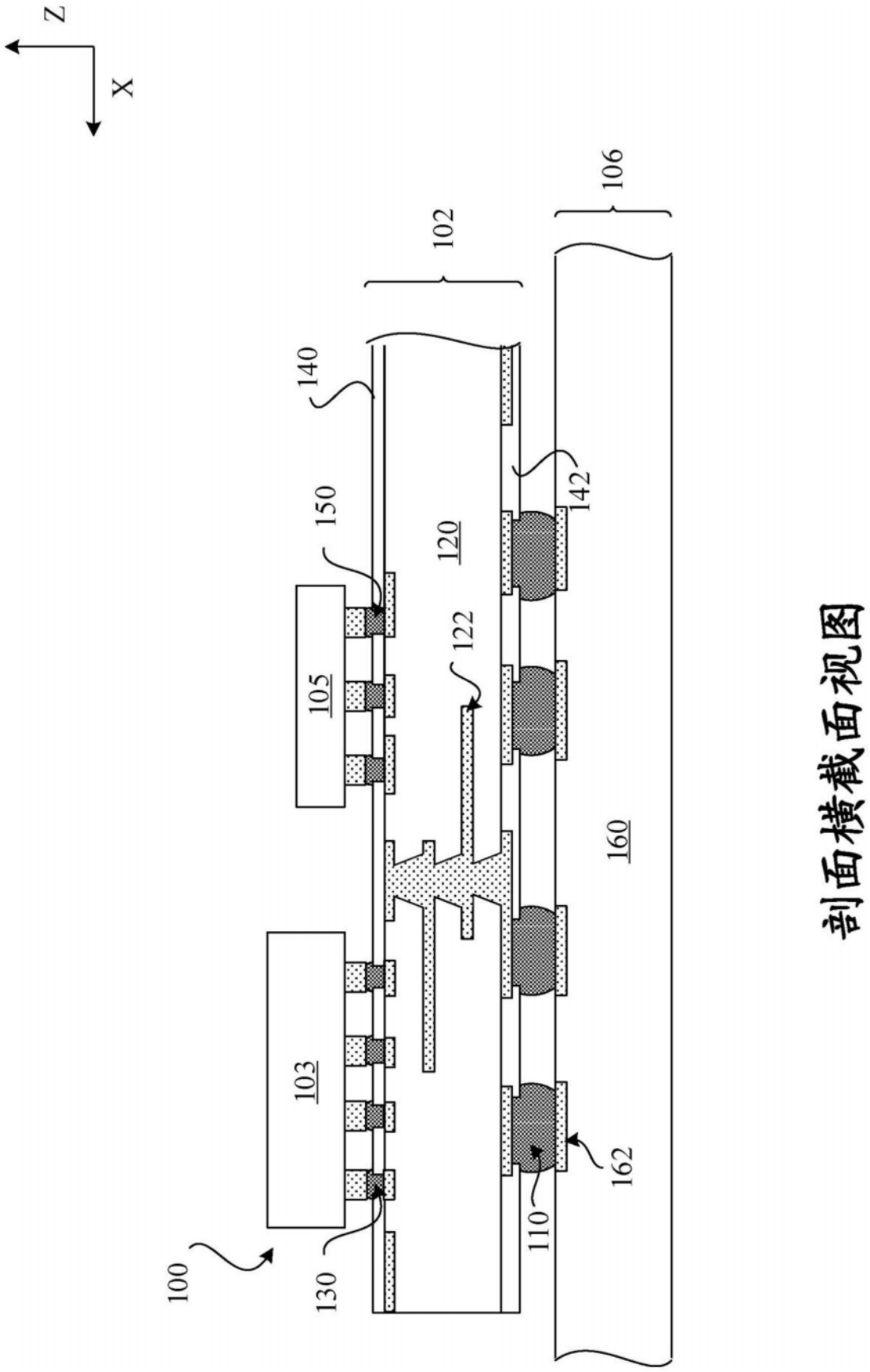

Z
X
106
102
140
150
142
120
122
105
160
103
162
110
130
100
剖面横截面视图

图1

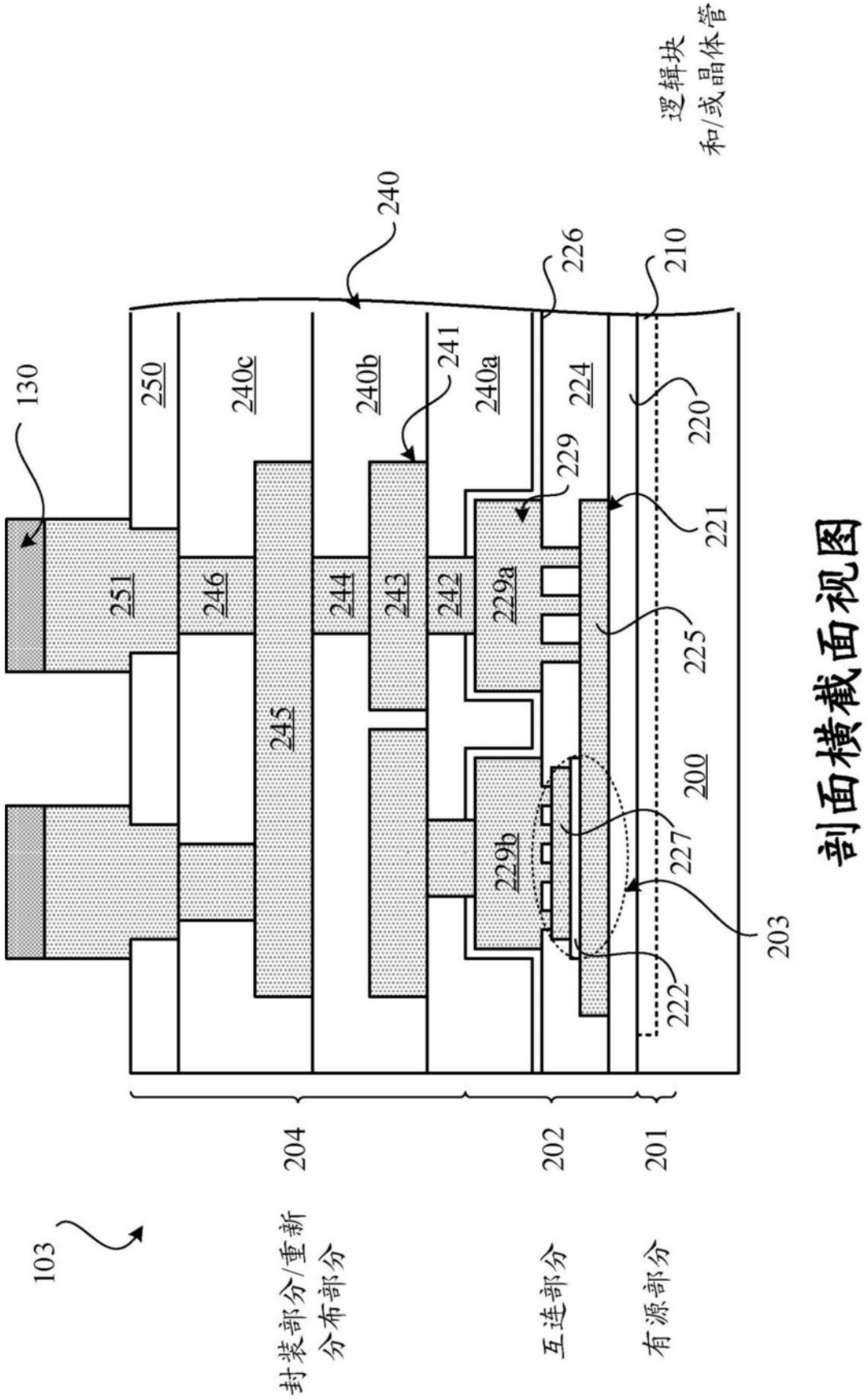

剖面横截面视图
103
130
封装部分/重新分布部分
互连部分
有源部分
逻辑块和/或晶体管
204
202
201
240
226
210
250
240c
240b
241
240a
224
220
229
221
251
246
244
243
242
229a
225
245
200
227
229b
203
222

图2

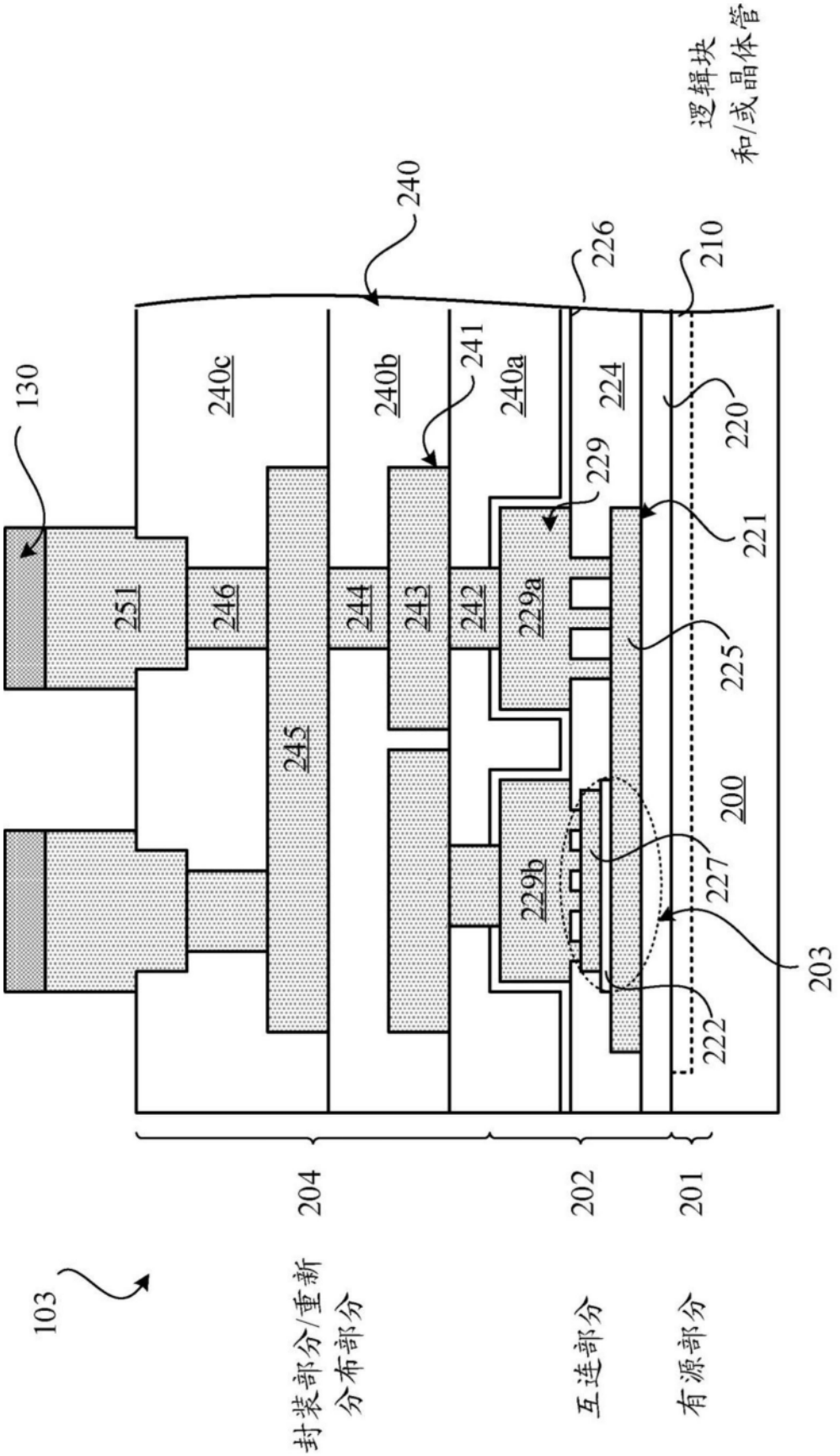

剖面横截面视图
103
封装部分/重新分布部分
互连部分
有源部分
204
202
201
130
251
246
245
244
243
242
241
240c
240b
240a
240
229b
229a
229
227
224
226
225
222
221
220
210
200
203
逻辑块和/或晶体管

图3

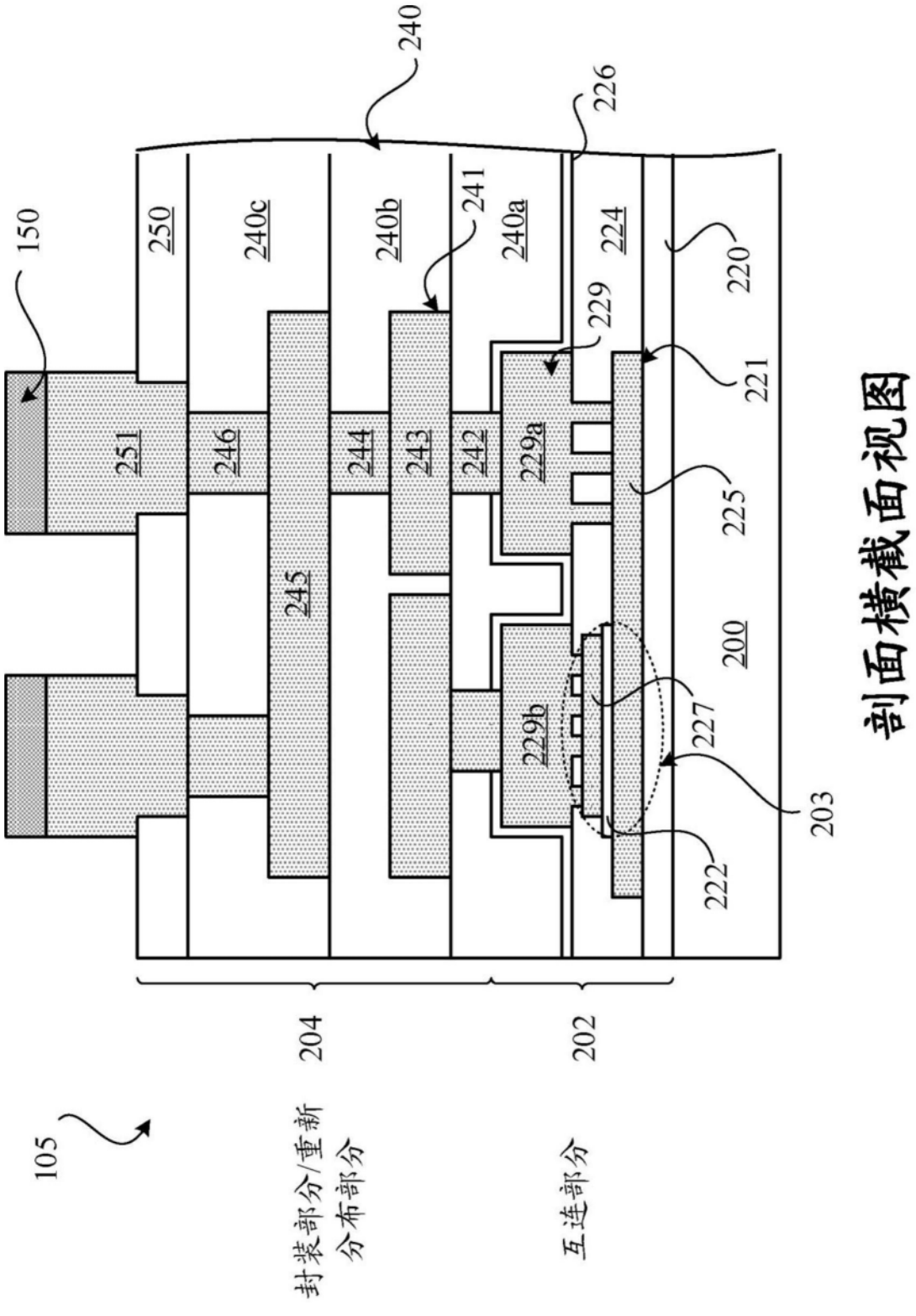

剖面横截面视图
105
封装部分/重新分布部分
互连部分
204
202
150
250
240c
240b
240a
240
241
226
224
220
221
229
225
200
227
203
222
251
246
244
243
242
229a
229b
245

图4

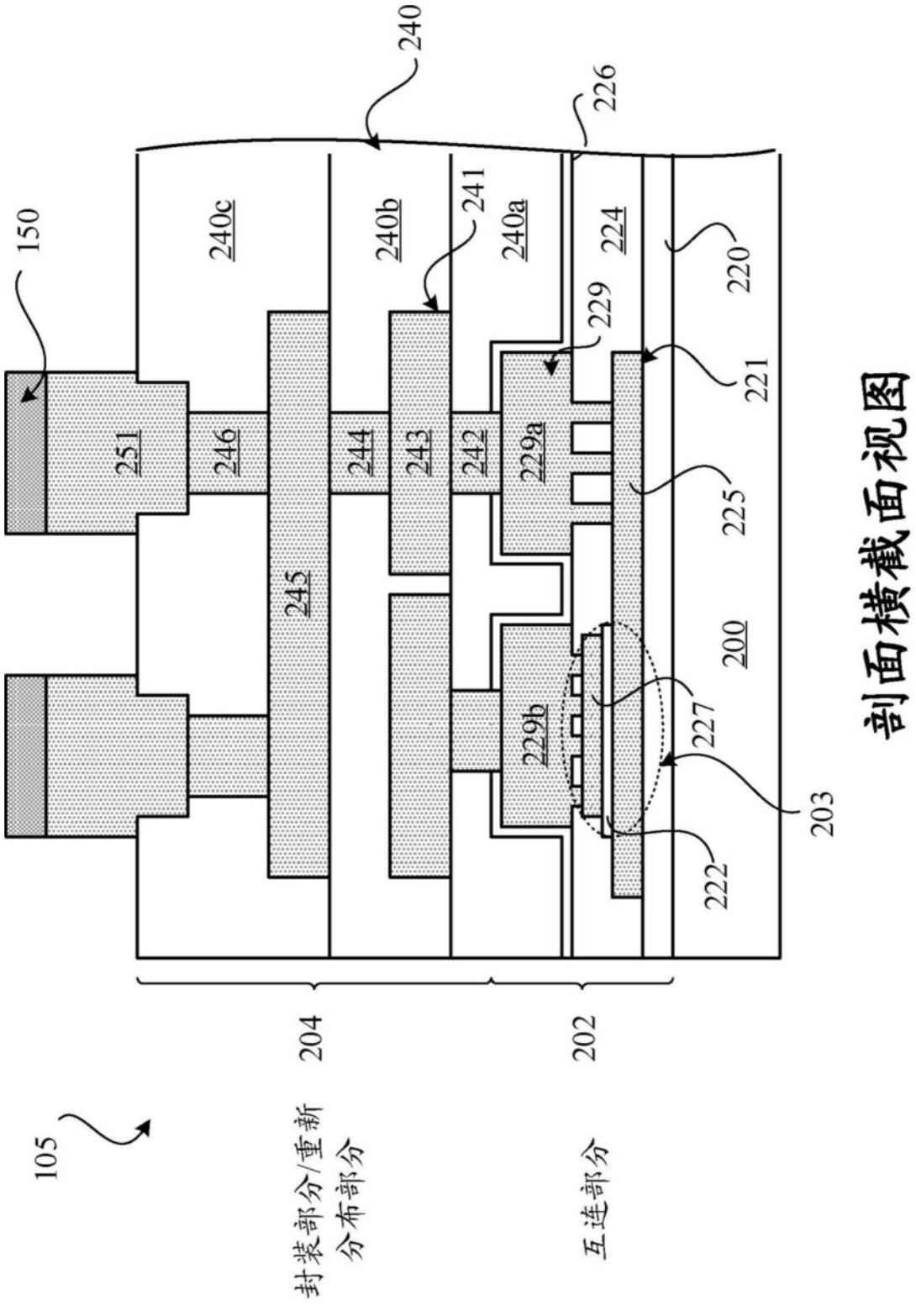

剖面横截面视图
240
226
150
240c
240b
241
240a
224
220
229
221
251
246
244
243
242
229a
225
245
200
229b
227
203
222
204
202
105
封装部分/重新分布部分
互连部分

图5

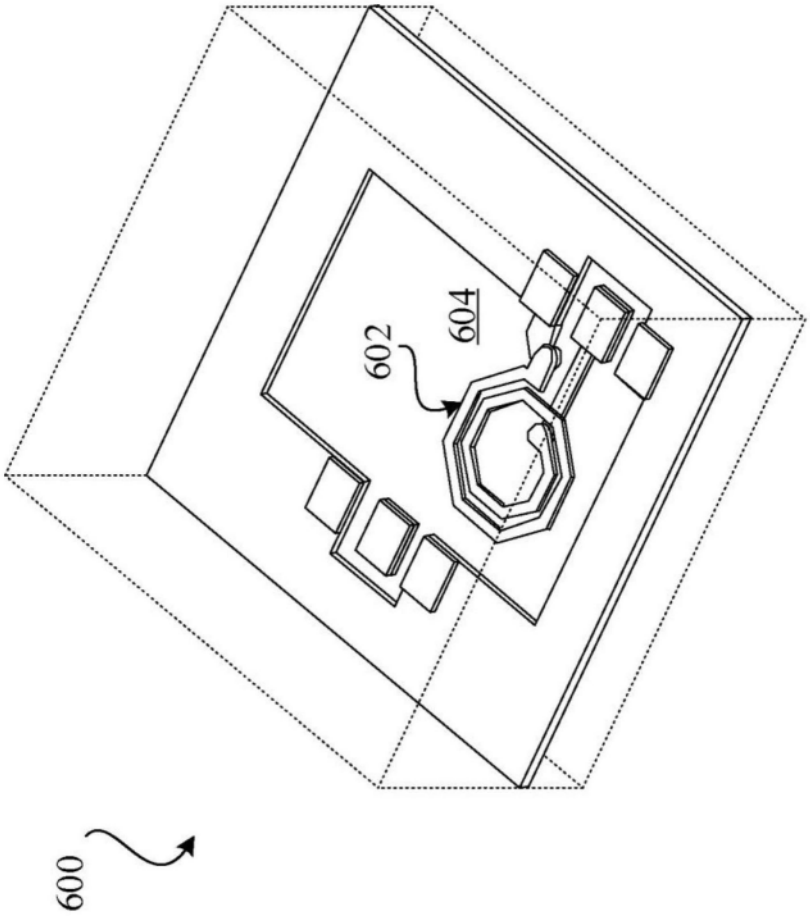

600
602
604

图6

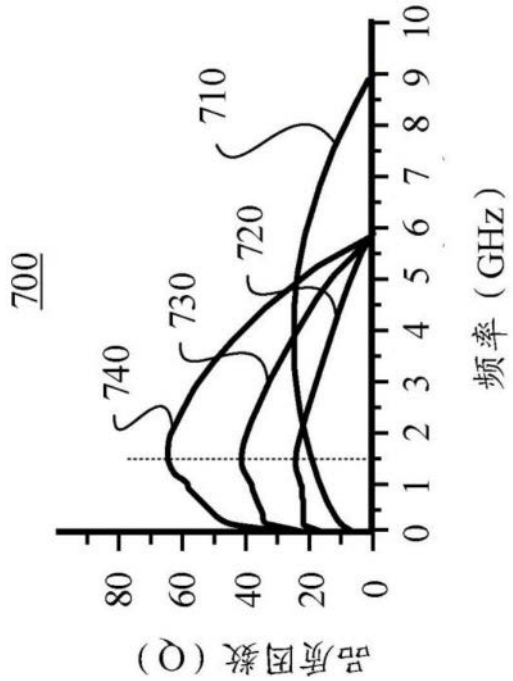

700
740
730
720
710
0 1 2 3 4 5 6 7 8 9 10
频率（GHz）
0 20 40 60 80
品质因数（Q）

图7

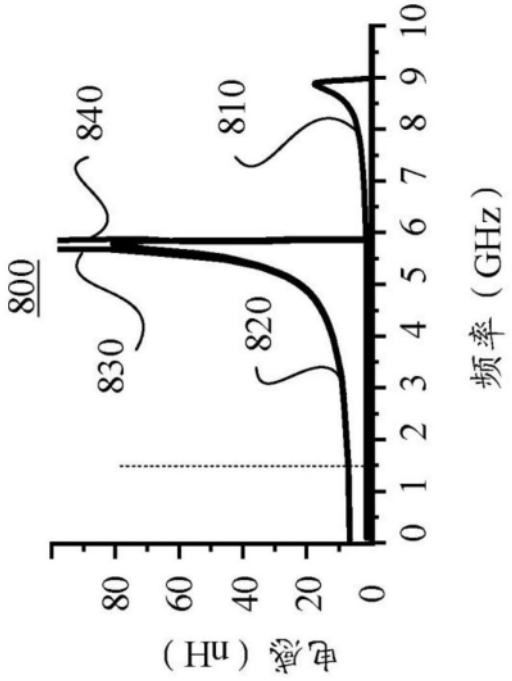


图8

电感器/线	具有磁性材料	磁导率（μr）	损耗正切	1.5GHz时的电感	1.5GHz时的Q因数
710/810	否	1	0.01	1nH	20
720/820	是	10	0.04	7nH	23
730/830	是	10	0.02	7nH	40
740/840	是	10	0.01	7nH	60

900

图9

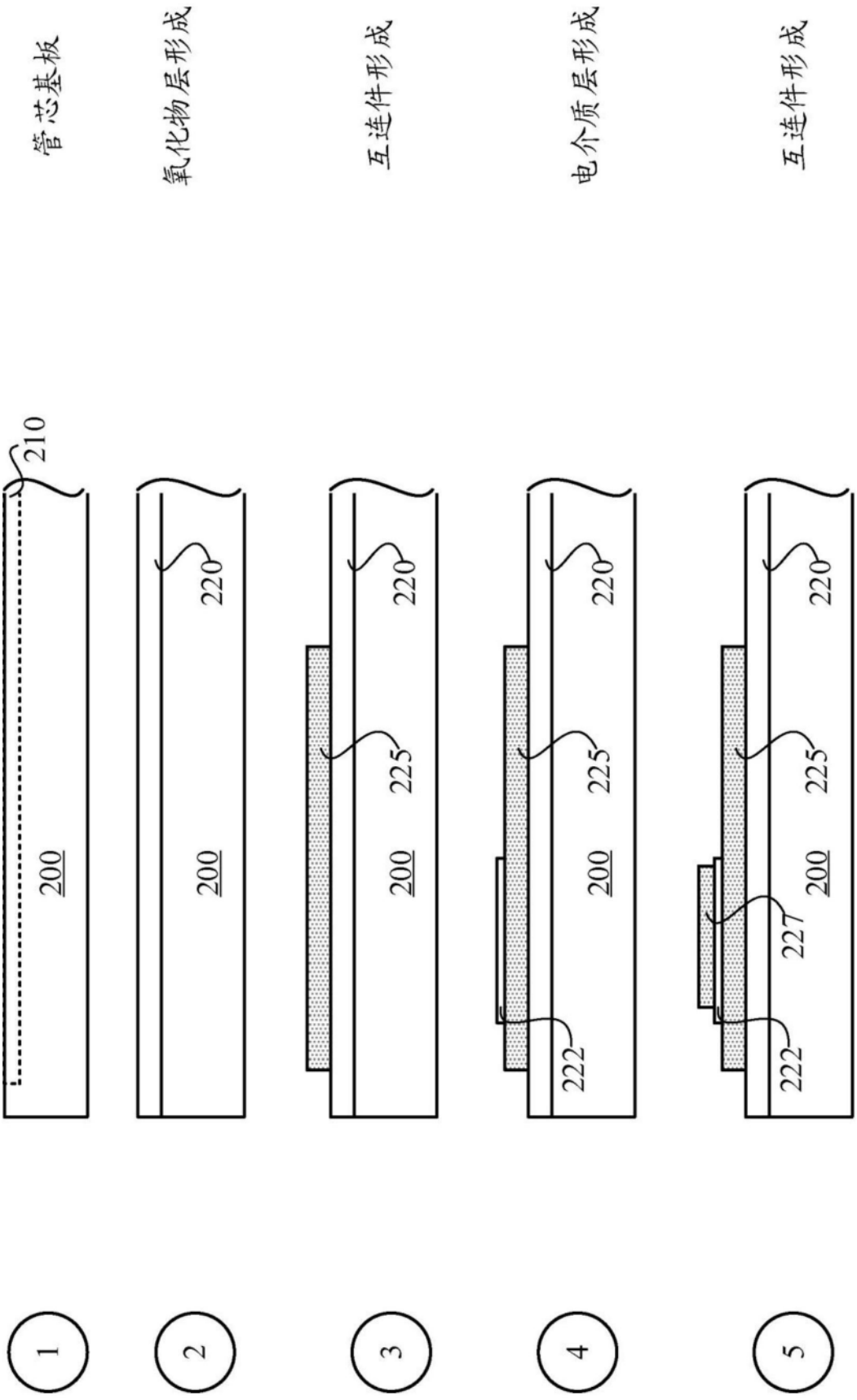


图10A

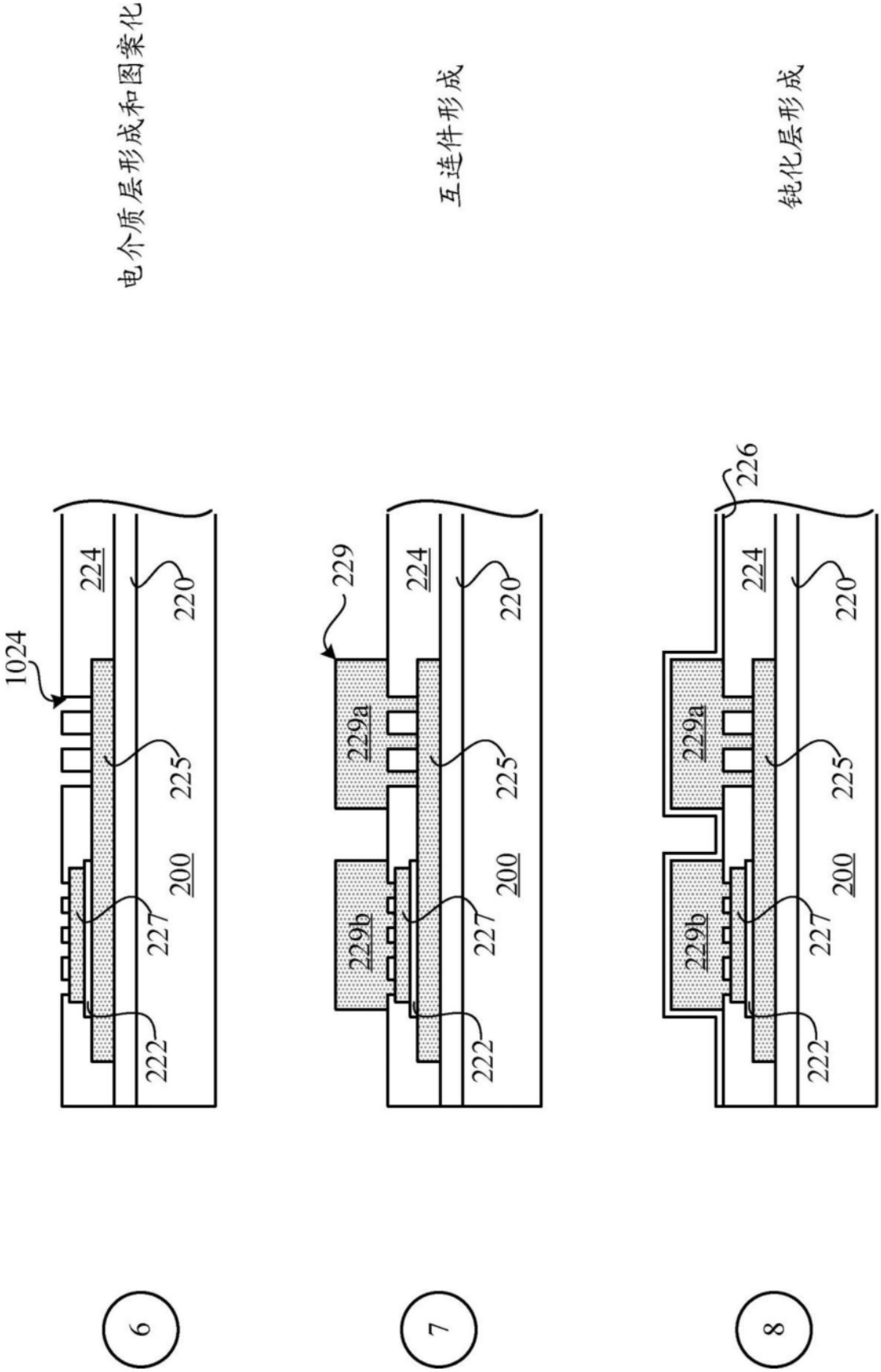

电介质层形成和图案化
互连件形成
钝化层形成
1024
224
220
225
200
227
222
229
229a
229b
226
6
7
8

图10B

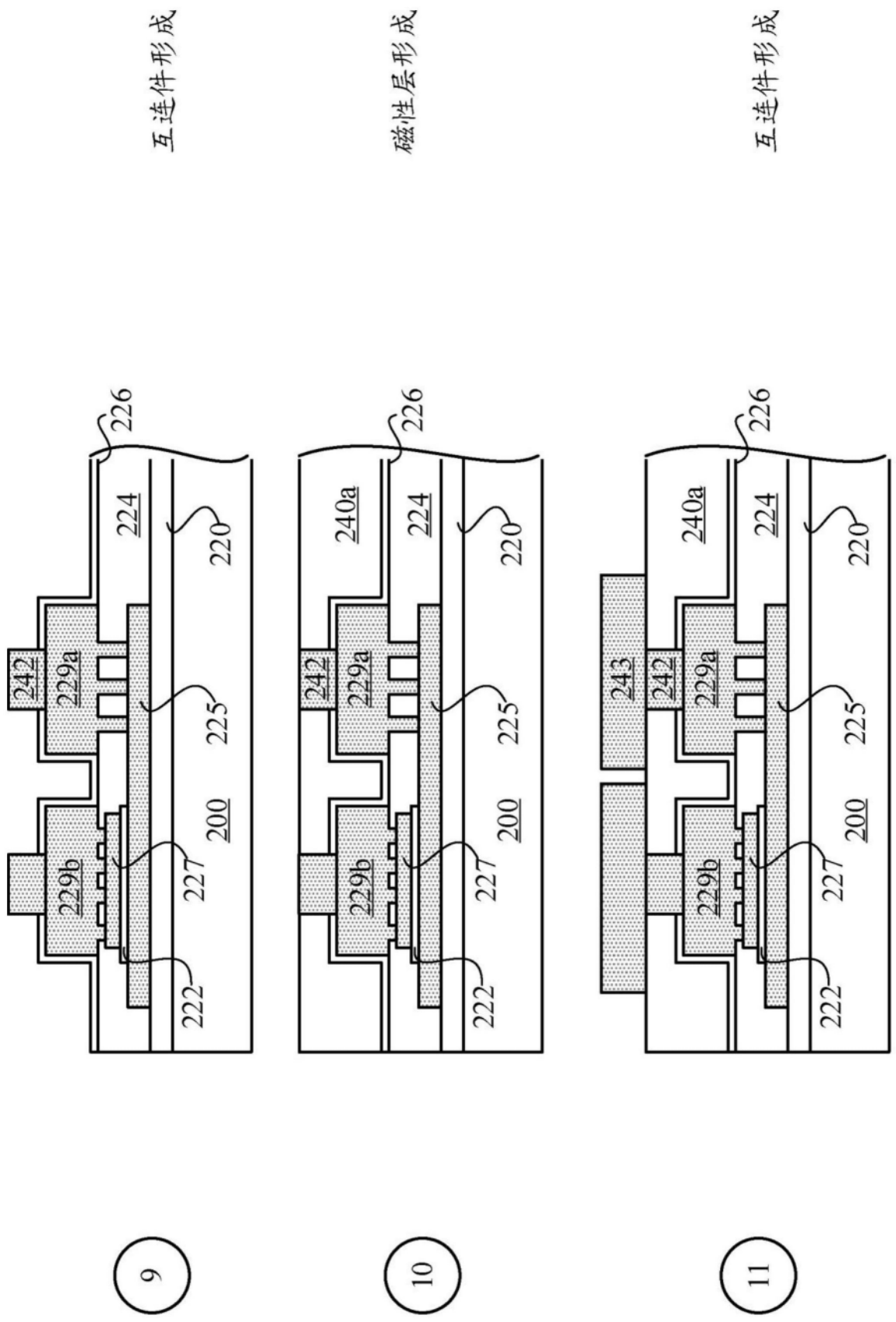

互连件形成
磁性层形成
互连件形成
226
224
220
242
229a
225
200
229b
227
222
240a
243
9
10
11

图10C

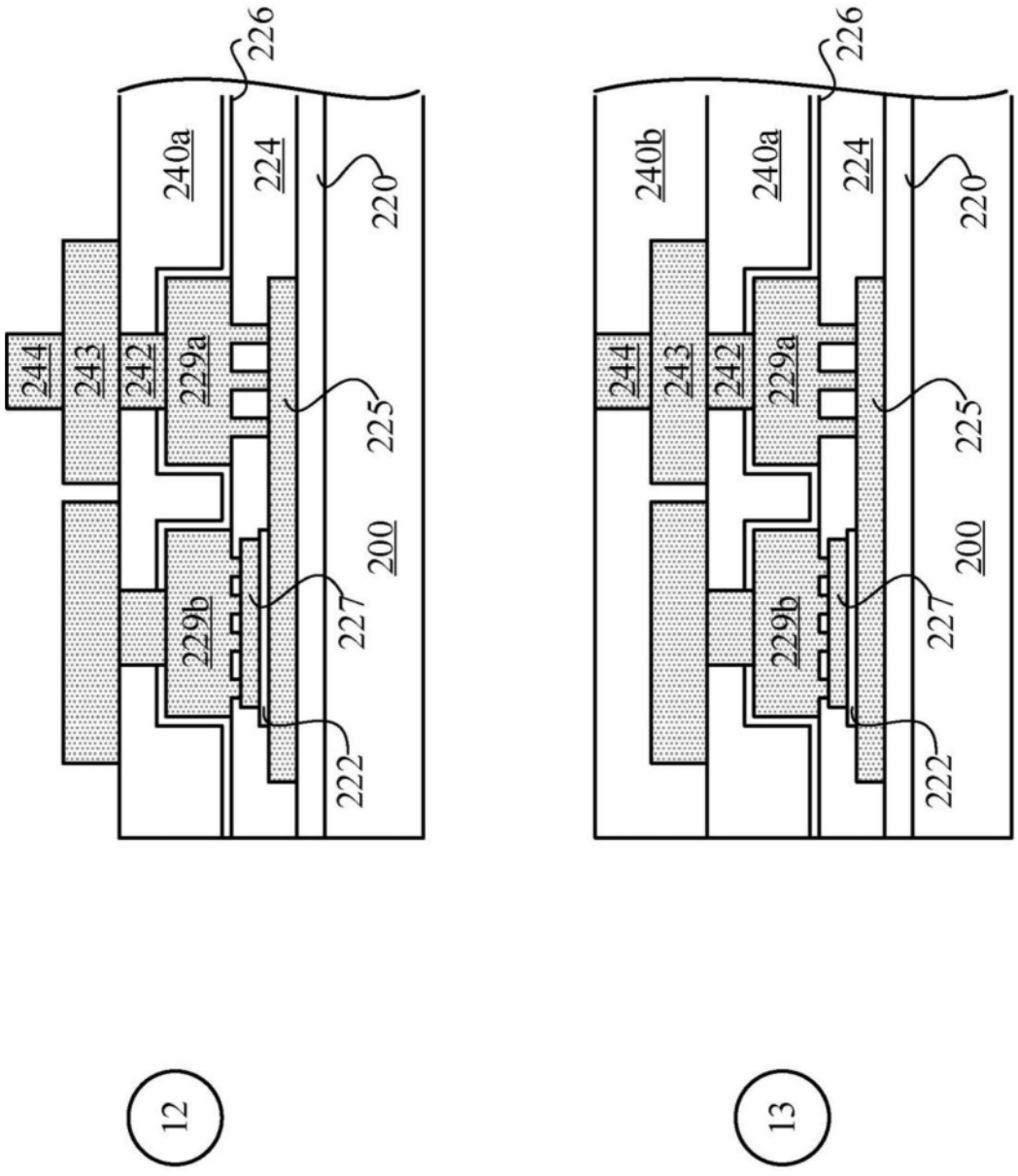

互连件形成
磁性层形成
226
240a
224
220
244
243
242
229a
225
200
227
229b
222
240b
12
13

图10D

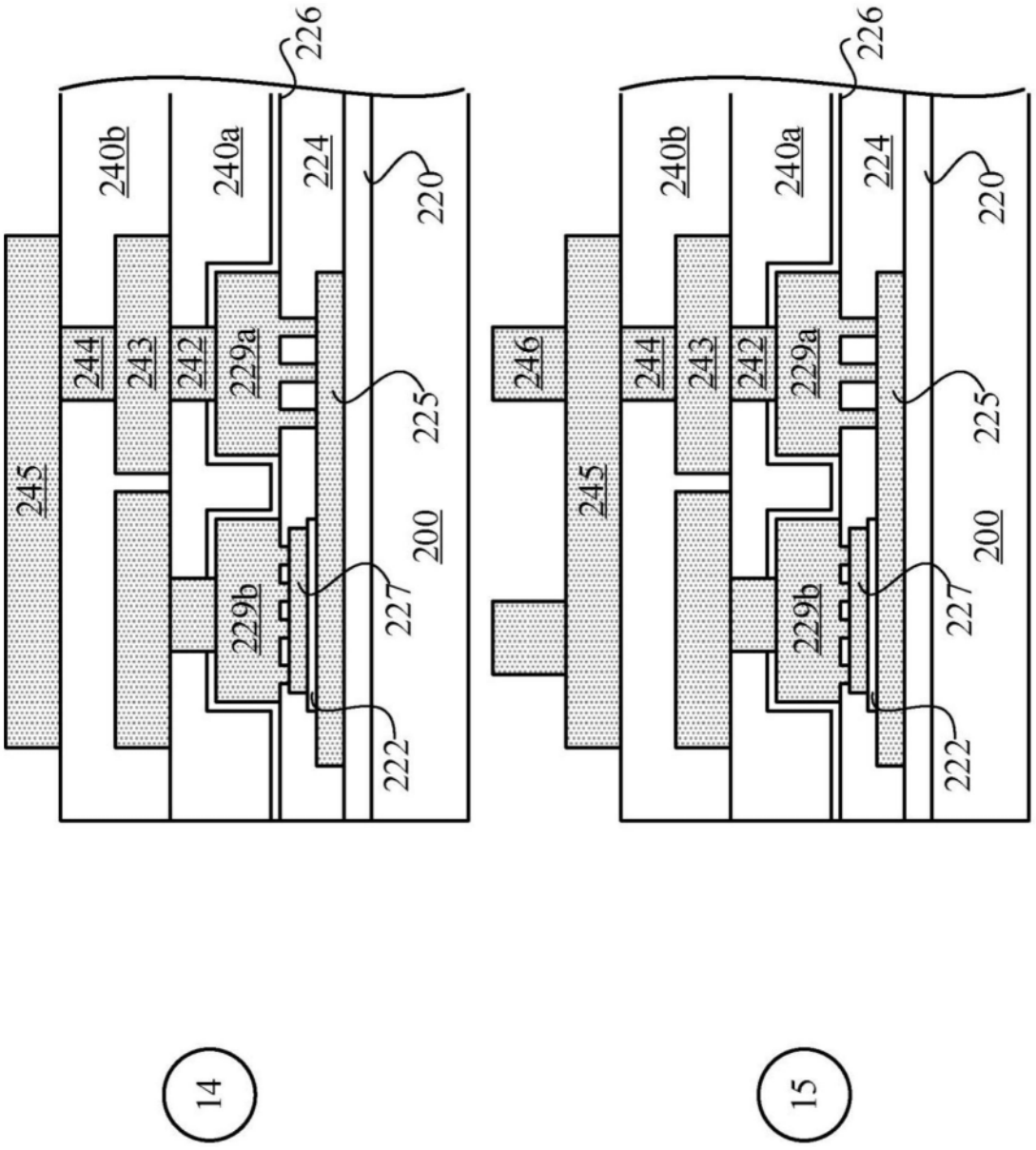

互连件形成
226
240b
240a
224
220
245
244
243
242
229a
225
200
229b
227
222
14
互连件形成
226
240b
240a
224
220
246
245
244
243
242
229a
225
200
229b
227
222
15

图10E

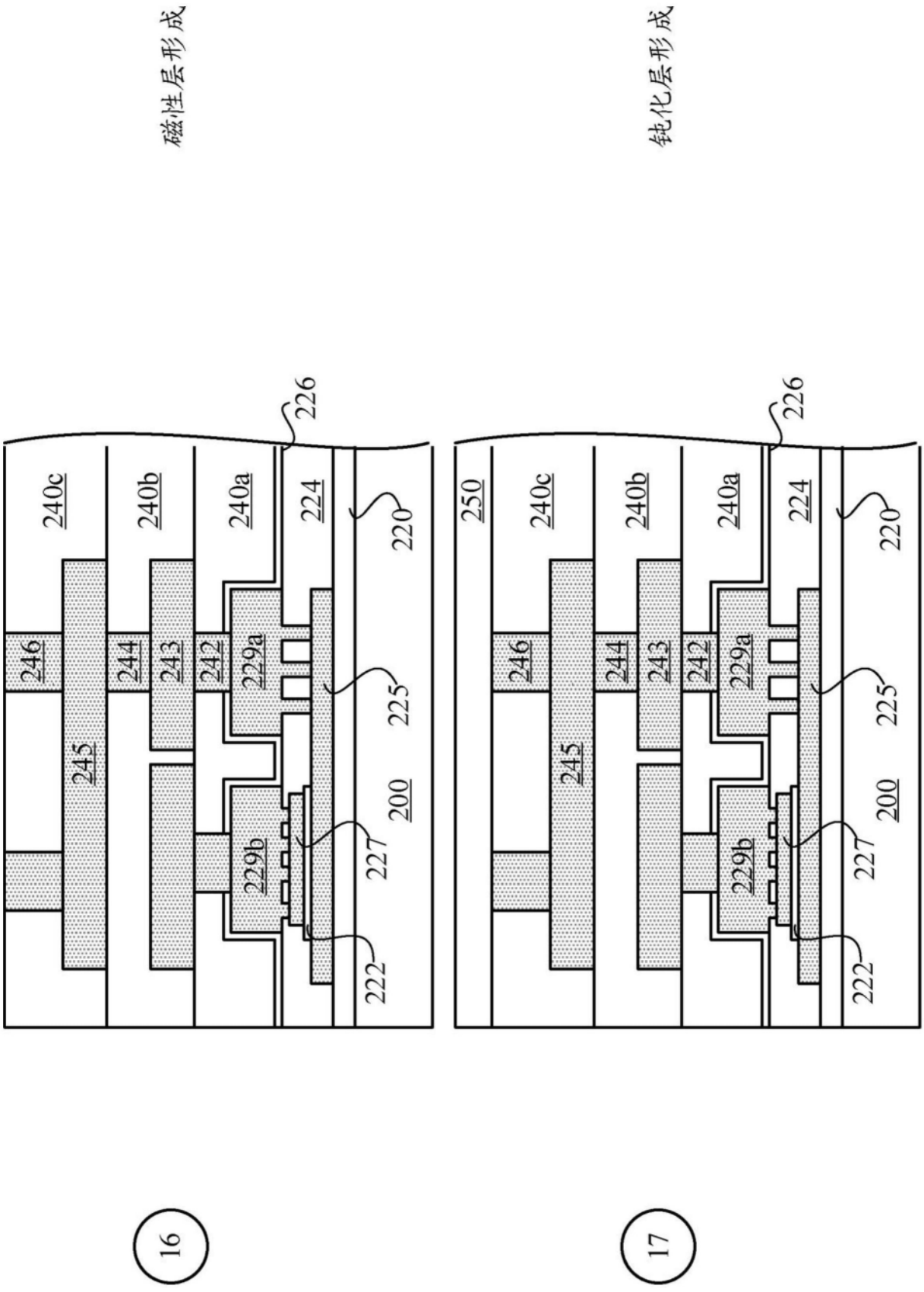
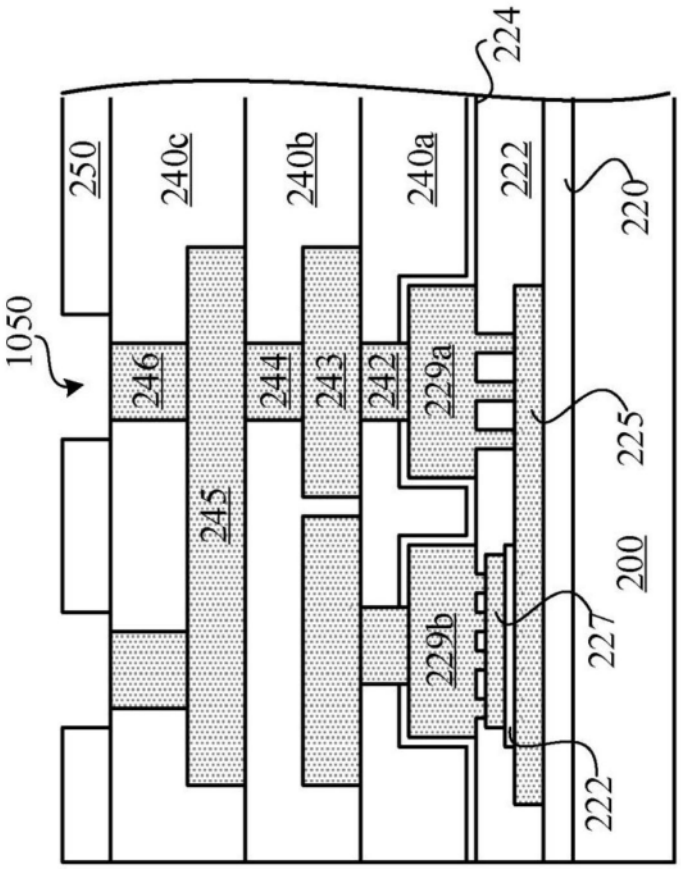

磁性层形成
钝化层形成
16
17
226
240c
240b
240a
224
220
246
244
243
242
229a
225
245
200
227
229b
222
250

图10F

钝化层图案化



18

图10G

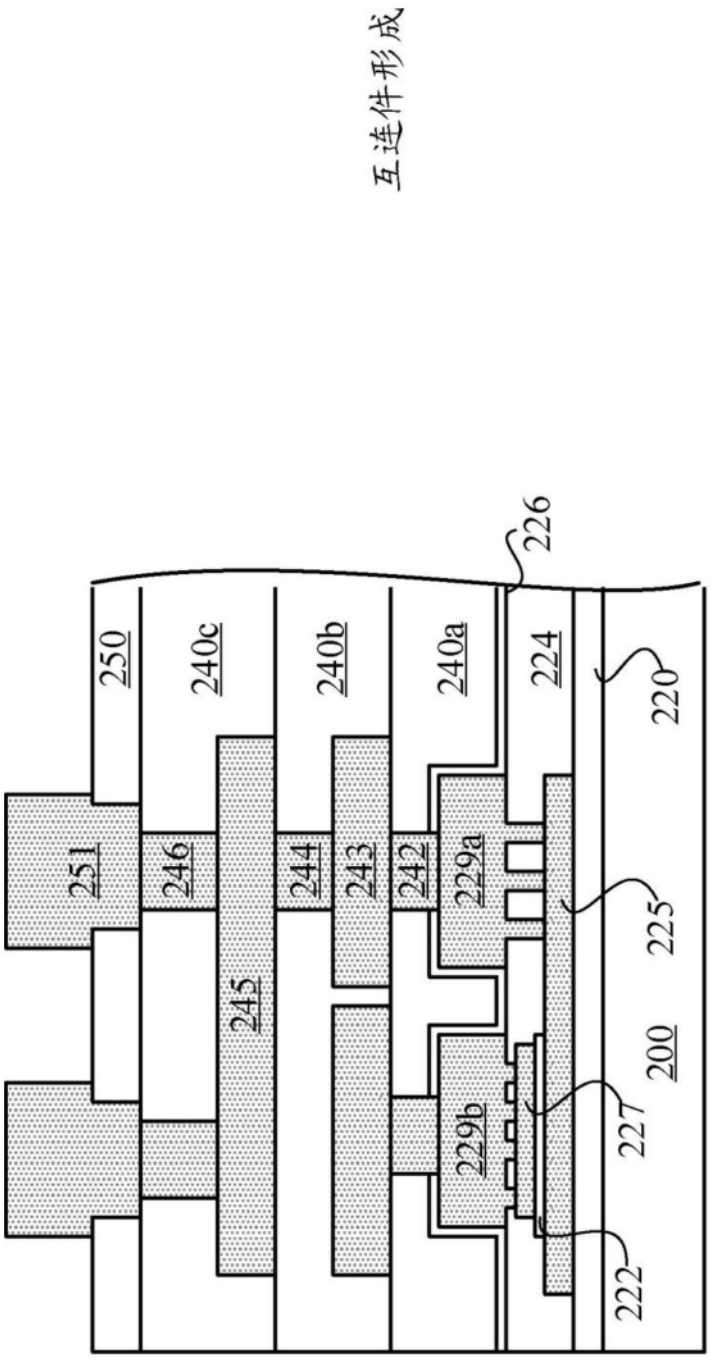

互连件形成
226
250
240c
240b
240a
224
220
251
246
244
243
242
229a
225
245
200
229b
227
222
19

图10H

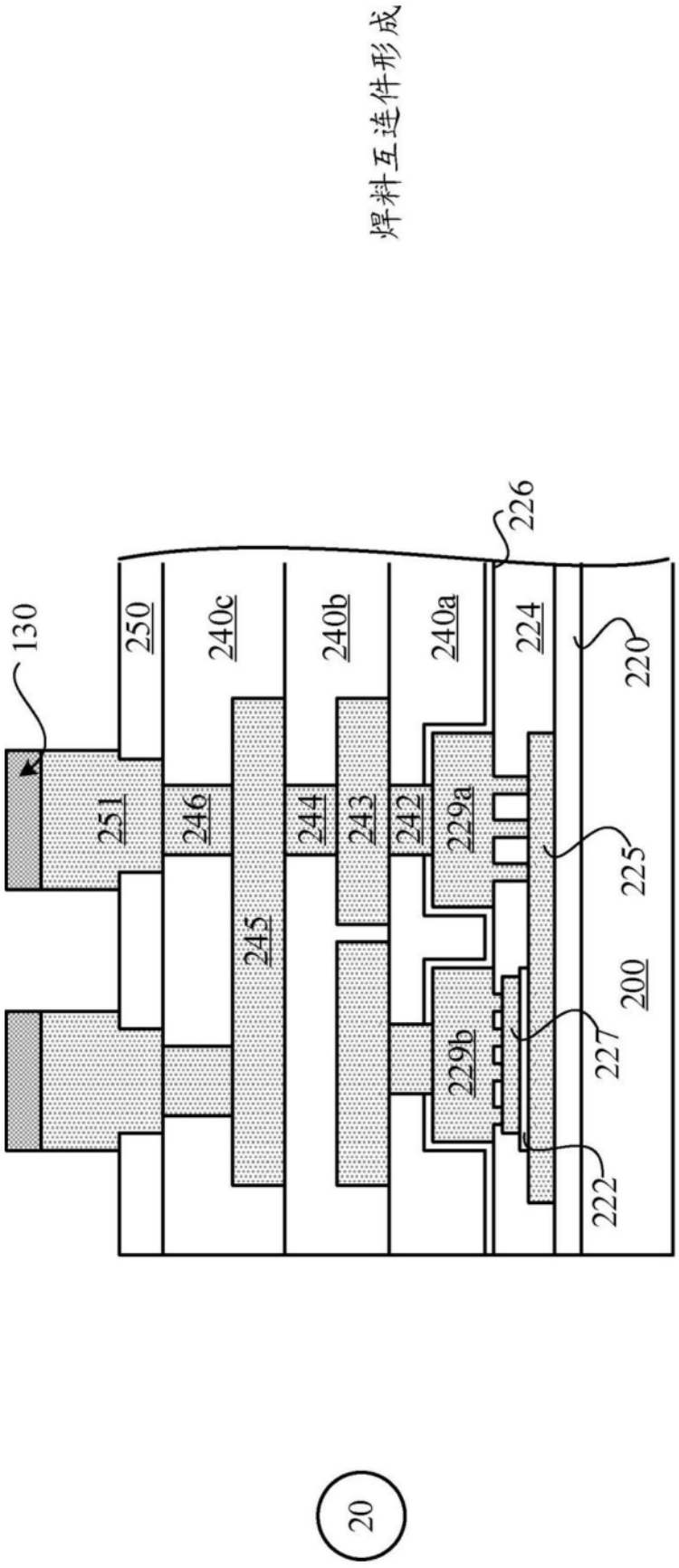

焊料互连件形成
130
250
240c
240b
240a
224
226
220
251
246
244
243
242
229a
225
245
200
227
229b
222
20

图10I

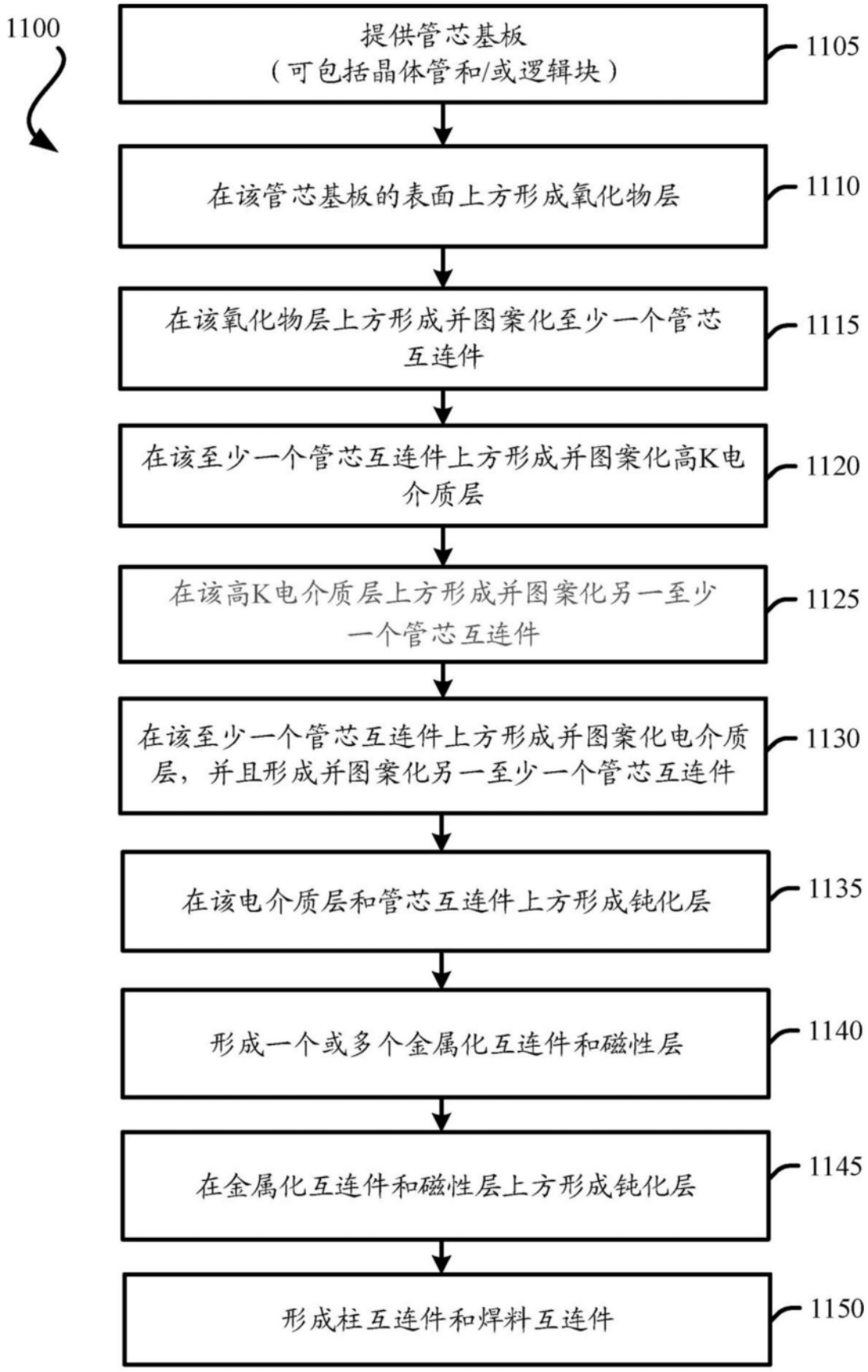

1100
提供管芯基板
（可包括晶体管和/或逻辑块）
1105
在该管芯基板的表面上方形成氧化物层
1110
在该氧化物层上方形成并图案化至少一个管芯互连件
1115
在该至少一个管芯互连件上方形成并图案化高K电介质层
1120
在该高K电介质层上方形成并图案化另一至少一个管芯互连件
1125
在该至少一个管芯互连件上方形成并图案化电介质层，并且形成并图案化另一至少一个管芯互连件
1130
在该电介质层和管芯互连件上方形成钝化层
1135
形成一个或多个金属化互连件和磁性层
1140
在金属化互连件和磁性层上方形成钝化层
1145
形成柱互连件和焊料互连件
1150

图11

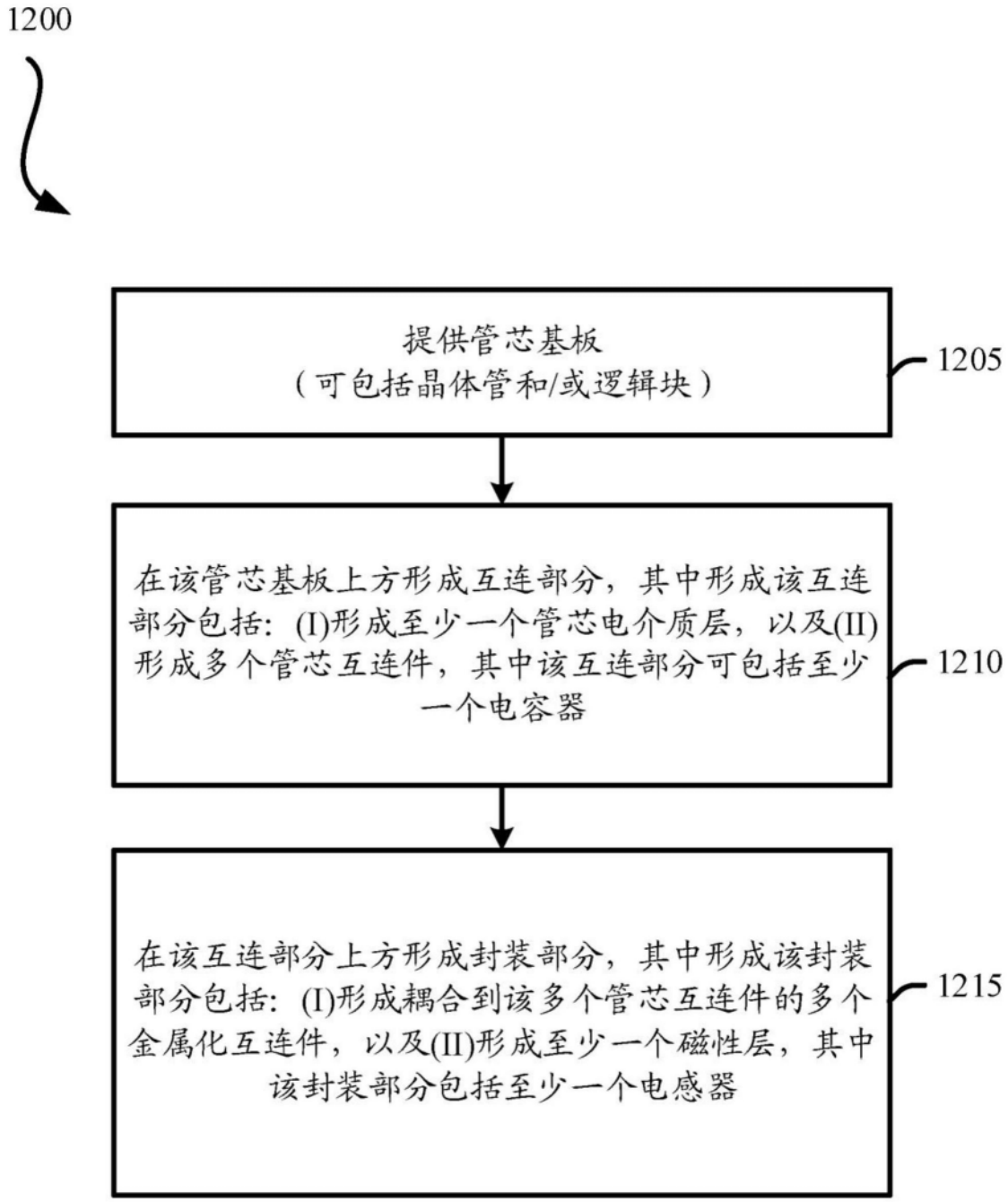

1200
提供管芯基板
（可包括晶体管和/或逻辑块）
1205
在该管芯基板上方形成互连部分，其中形成该互连部分包括：(I)形成至少一个管芯电介质层，以及(II)形成多个管芯互连件，其中该互连部分可包括至少一个电容器
1210
在该互连部分上方形成封装部分，其中形成该封装部分包括：(I)形成耦合到该多个管芯互连件的多个金属化互连件，以及(II)形成至少一个磁性层，其中该封装部分包括至少一个电感器
1215

图12

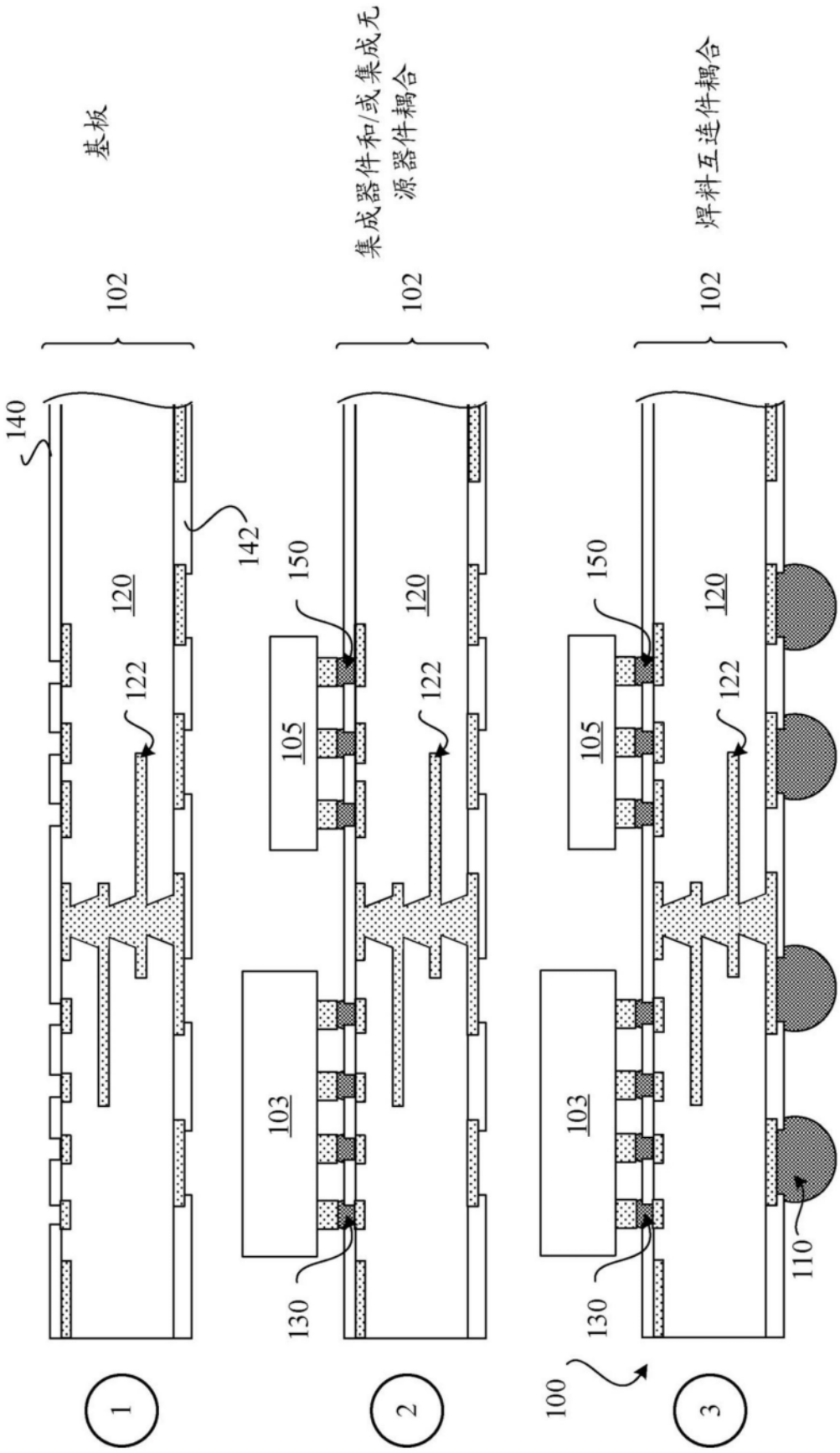

基板
集成器件和/或集成无源器件耦合
焊料互连件耦合
102
140
142
120
122
150
105
103
130
110
100
1
2
3

图13

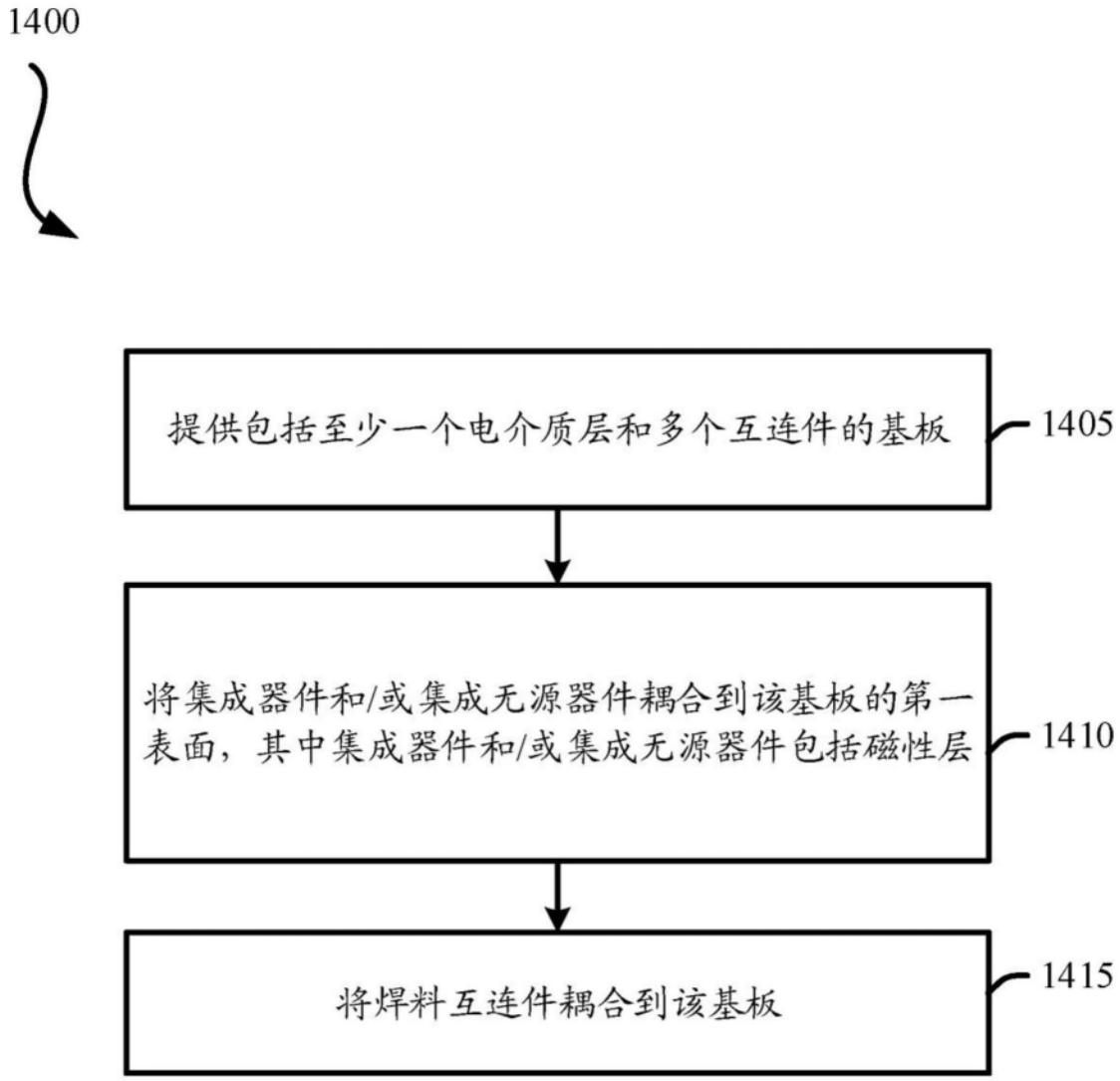

1400
提供包括至少一个电介质层和多个互连件的基板
1405
将集成器件和/或集成无源器件耦合到该基板的第一表面，其中集成器件和/或集成无源器件包括磁性层
1410
将焊料互连件耦合到该基板
1415

图14

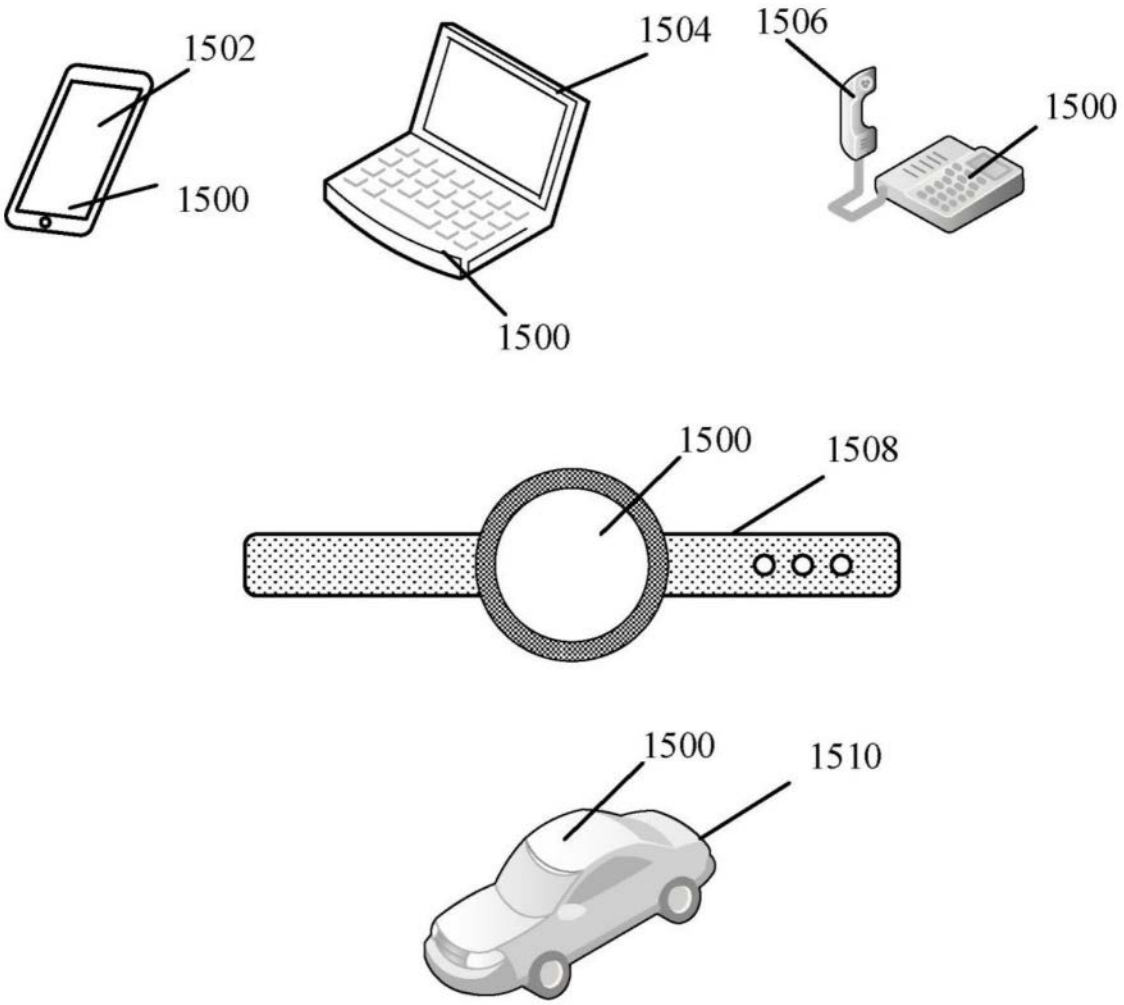


图15