【公報種別】特許法第１７条の２の規定による補正の掲載
【部門区分】第６部門第３区分
【発行日】令和3年4月1日(2021.4.1)

【公表番号】特表2021-507349(P2021-507349A)
【公表日】令和3年2月22日(2021.2.22)
【年通号数】公開・登録公報2021-009
【出願番号】特願2020-531461(P2020-531461)
【国際特許分類】
Ｇ０６Ｇ　7/60　(2006.01)
Ｇ０６Ｎ　3/063　(2006.01)
Ｇ１１Ｃ　11/54　(2006.01)
【ＦＩ】
Ｇ０６Ｇ　7/60
Ｇ０６Ｎ　3/063
Ｇ１１Ｃ　11/54

【手続補正書】
【提出日】令和3年1月28日(2021.1.28)
【手続補正１】
【補正対象書類名】特許請求の範囲
【補正対象項目名】全文
【補正方法】変更
【補正の内容】
【特許請求の範囲】
【請求項１】
抵抗処理ユニット（ＲＰＵ）アレイのクロスポイント・デバイスに重みを記憶するための方法であって、
前記クロスポイント・デバイスの複数の単一ビット・カウンタからの各単一ビット・カウンタの状態を設定するステップであり、前記単一ビット・カウンタの前記状態が前記クロスポイント・デバイスに記憶される前記重みを表す、前記設定するステップと、
前記クロスポイント・デバイスの抵抗器デバイスの電気コンダクタンスを調整するステップであり、前記抵抗器デバイスが複数の抵抗回路を含み、各抵抗回路が前記複数の単一ビット・カウンタからのそれぞれの単一ビット・カウンタに関連付けられ、前記電気コンダクタンスが、前記関連付けられた単一ビット・カウンタの状態に応じて、各抵抗回路を活性化または非活性化することによって調整される、前記調整するステップと、
を含む方法。
【請求項２】
前記抵抗回路が直列に通信可能に結合されている、請求項１に記載の方法。
【請求項３】
前記抵抗回路が２次関数的に増加する抵抗を含み、第１の抵抗回路が所定の抵抗を有し、さらなる後続の各抵抗回路が、前の抵抗回路の値の２倍の抵抗を含む、請求項１に記載の方法。
【請求項４】
前記抵抗回路が電界効果トランジスタ（ＦＥＴ）を含む、請求項３に記載の方法。
【請求項５】
前記ＦＥＴが２次関数的に減少するトランジスタ幅に少なくとも部分的に基づいて、２次関数的に増加する抵抗を含む、請求項４に記載の方法。
【請求項６】
前記ＦＥＴが、２次関数的に増加するゲート長に少なくとも部分的に基づいて、２次関

数的に増加する抵抗を含む、請求項４に記載の方法。
【請求項７】
前記ＦＥＴが、ＦＥＴの縦型スタックの一部である、請求項６に記載の方法。
【請求項８】
前記抵抗回路が抵抗器ラダーを含み、前記抵抗回路のそれぞれが、
論理ゲートと、
直列の抵抗器と、
を備え、
前記論理ゲートが、前記対応する単一ビット・カウンタの前記状態に少なくとも部分的に基づいて活性化される、
請求項３に記載の方法。
【請求項９】
抵抗処理ユニット（ＲＰＵ）アレイのクロスポイントに重み値を記憶するためのクロスポイント・デバイスであって、
複数の単一ビット・カウンタを含むカウンタであり、前記単一ビット・カウンタの状態が前記クロスポイント・デバイスに記憶される前記重みを表す、前記カウンタと、
複数の抵抗回路を備える抵抗器デバイスであり、各抵抗回路が前記複数の単一ビット・カウンタからのそれぞれの単一ビット・カウンタに関連付けられており、前記抵抗回路が前記関連付けられた単一ビット・カウンタの状態に従って活性化または非活性化され、前記抵抗器デバイスの電気コンダクタンスが、活性化されている前記抵抗回路に少なくとも部分的に基づいて調整される、前記抵抗器デバイスと、
を備える、クロスポイント・デバイス。
【請求項１０】
ニューラル・ネットワークを実施するためのクロスポイント・アレイであって、
前記クロスポイント・アレイの各ノードにある複数のクロスポイント・デバイスを含み、各ノードが前記ニューラル・ネットワークのニューロン間の接続を表し、各ノードが当該ノードに割り当てられた重みを記憶し、前記複数のクロスポイント・デバイスの各々が請求項９に記載のものである、クロスポイント・アレイ。
【請求項１１】
ニューラル・ネットワークを実施するためのシステムであって、
請求項１０に記載のクロスポイント・アレイと、
前記クロスポイント・アレイの各クロスポイント・デバイスに記憶された値を調整するように構成されたグローバル・コントローラと、
を備えるシステム。
【請求項１２】
前記クロスポイント・アレイが、
各クロスポイントにおけるローカル・メモリであって、前記クロスポイントの前記クロスポイント・デバイスに割り当てられた複数の重みを記憶するように構成され、前記複数の重みのそれぞれが前記ニューラル・ネットワークからのそれぞれの層間接続に対応する、前記ローカル・メモリと、
各クロスポイントにおけるローカル・コントローラであって、前記ローカル・メモリと結合され、
前記ローカル・メモリから重みを読み出し、
前記クロスポイントにおける前記クロスポイント・デバイスのカウンタの値として重みを設定する、
ように構成されている、前記ローカル・コントローラと、
をさらに備える、請求項１１に記載のシステム。
【請求項１３】
前記ローカル・コントローラが前記クロスポイント・デバイスの前記カウンタの前記値を前記ローカル・メモリに記憶するようにさらに構成されている、請求項１２に記載のシ

ステム。
【請求項１４】
ニューラル・ネットワークを実施するための方法であって、
グローバル・コントローラによって、クロスポイント・アレイにロードされるマトリックスを選択するステップであり、前記マトリックスが前記ニューラル・ネットワークの２つの層間の接続に対応する、前記選択するステップと、
それに応じて、前記クロスポイント・アレイのクロスポイントのローカル・コントローラによって、前記クロスポイントに関連付けられたクロスポイント・デバイスの重み値をロードするステップであり、前記重み値が前記選択されたマトリックスの前記クロスポイントに割り当てられ、請求項１ないし８のいずれかに記載の方法のステップを含む、前記ロードするステップと、
それに応じて、前記クロスポイント・デバイスによって、前記クロスポイントに関連付けられた抵抗器デバイスのコンダクタンスを調整するステップであり、前記コンダクタンスが前記クロスポイント・デバイスにロードされた前記重み値に対応する、前記調整するステップと、
を含む、方法。