

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2014-183132

(P2014-183132A)

(43) 公開日 平成26年9月29日(2014.9.29)

(51) Int.Cl.	F I	テーマコード (参考)
H05K 3/46 (2006.01)	H05K 3/46 N	5E317
H05K 1/11 (2006.01)	H05K 3/46 Z	5E346
H05K 3/40 (2006.01)	H05K 1/11 L	
	H05K 3/40 H	

審査請求 未請求 請求項の数 7 O L (全 16 頁)

(21) 出願番号	特願2013-55734 (P2013-55734)	(71) 出願人	000005223
(22) 出願日	平成25年3月18日 (2013.3.18)		富士通株式会社
			神奈川県川崎市中原区上小田中4丁目1番1号
		(74) 代理人	100113608
			弁理士 平川 明
		(74) 代理人	100105407
			弁理士 高田 大輔
		(72) 発明者	徳田 和彦
			神奈川県川崎市中原区上小田中4丁目1番1号 富士通アドバンステクノロジー株式会社内
		Fターム(参考)	5E317 AA24 BB01 CC08 CC10 CD27 GG11

最終頁に続く

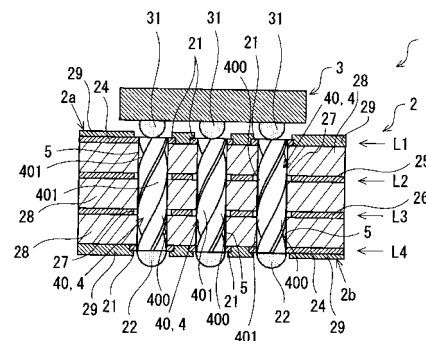
(54) 【発明の名称】 プリント基板、プリント基板ユニット、及びプリント基板の製造方法

(57) 【要約】

【課題】隣接するビア同士の間隔が狭くてもビア間におけるクロストークノイズの発生を抑制することが可能なプリント基板、プリント基板ユニット、及びプリント基板の製造方法を提供する。

【解決手段】プリント基板は、第1の導体層と、第1の導体層と異なる層に設けた第2の導体層と、第1の導体層と第2の導体層との間に配設された絶縁層と、第1の導体層と第2の導体層と絶縁層とを貫通する複数の貫通孔と、貫通孔の各々に形成されて第1の導体層と第2の導体層とを層間接続する複数のビアと、を備え、複数のビアの各々は、貫通孔における内部空間の一部を占有する導体部と残部を占有する非導体部とを有し、互いに隣接する任意の一組のビアにおいて一方のビアにおける導体部が他方のビアにおける非導体部と向き合うように配置されている。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

第 1 の導体層と、
前記第 1 の導体層と異なる層に設けた第 2 の導体層と、
前記第 1 の導体層と前記第 2 の導体層との間に配設された絶縁層と、
前記第 1 の導体層と前記第 2 の導体層と前記絶縁層とを貫通する複数の貫通孔と、
前記貫通孔の各々に形成されて前記第 1 の導体層と前記第 2 の導体層とを層間接続する
複数のビアと、
を備え、
前記複数のビアの各々は、前記貫通孔における内部空間の一部を占有する導体部と、残
部を占有する非導体部とを有し、
互いに隣接する任意の一組のビアにおいて、一方のビアにおける前記導体部が他方のビ
アにおける前記非導体部と向き合うように配置されている、
プリント基板。

【請求項 2】

前記導体部は、螺旋形状を有している、
請求項 1 に記載のプリント基板。

【請求項 3】

前記導体部は、前記複数のビアの各々において同一方向に巻き回されている、
請求項 2 に記載のプリント基板。

【請求項 4】

前記ビアにおける前記非導体部は、絶縁体によって形成されている、
請求項 1 から 3 の何れか一項に記載のプリント基板。

【請求項 5】

前記第 1 の導体層と前記第 2 の導体層とは信号線を含んでいる、
請求項 1 から 4 の何れか一項に記載のプリント基板。

【請求項 6】

請求項 1 から 5 の何れか一項に記載のプリント基板と、
前記プリント基板の表面に実装された半導体素子と、
を備える、プリント基板ユニット。

【請求項 7】

第 1 の導体層と、前記第 1 の導体層と異なる層に設けた第 2 の導体層と、前記第 1 の導
体層と前記第 2 の導体層との間に配設された絶縁層と、を備えるプリント基板の製造方法
であって、

前記第 1 の導体層と前記第 2 の導体層と前記絶縁層とを貫通する貫通孔を複数箇所に形
成する工程と、

前記貫通孔の各々に、前記第 1 の導体層と前記第 2 の導体層とを層間接続する複数のビ
アを形成するビア形成工程と、

前記ビア形成工程において、前記貫通孔における内部空間に、当該内部空間の一部を占
有する導体部と残部を占有する非導体部とが形成されるように前記複数のビアの各々を形
成し、かつ、互いに隣接する任意の一組のビアにおいて、一方のビアにおける前記導体部
を他方のビアにおける前記非導体部と向き合うように配置する、

プリント基板の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、プリント基板、プリント基板ユニット、及びプリント基板の製造方法に関す
る。

【背景技術】

【0002】

10

20

30

40

50

L S I (Large Scale Integration) チップ等の半導体素子を実装するプリント基板において、ビアによって上層と下層の配線パターン同士を層間接続する手法が広く用いられている。プリント基板における信号線を層間接続する複数のビアが隣接すると、隣接するビア間のクロストーク（漏話）によるノイズ（クロストークノイズ）が起こる場合がある。

【 0 0 0 3 】

特に、近年では、電子機器の通信速度や処理速度の高速化に伴い、L S I チップとプリント基板間における信号の伝送速度の高速化が求められており、隣接するビア間でのクロストークが起こり易い。そこで、従来は、隣接するビア同士の間隔を広げることでクロストークノイズの発生の抑制を図っていた。

10

【 先行技術文献 】

【 特許文献 】

【 0 0 0 4 】

【 特許文献 1 】 特開平 5 - 1 3 6 4 9 号公報

【 特許文献 2 】 特開平 1 0 - 2 7 0 8 5 5 号公報

【 特許文献 3 】 特開 2 0 0 0 - 2 2 3 8 4 1 号公報

【 発明の概要 】

【 発明が解決しようとする課題 】

【 0 0 0 5 】

ところで、プリント基板におけるビアの間隔は、実装する L S I における接続端子のピッチに合わせる必要がある。一方、L S I の接続端子は、L S I の高密度化の要請から年々狭ピッチ化が進められている。よって、このような状況下では、クロストークノイズの発生を抑制するためにビア同士の間隔を十分に確保することが難しくなりつつある。

20

【 0 0 0 6 】

本件は、上記の課題に鑑みてなされたものであり、隣接するビア同士の間隔が狭くてもビア間におけるクロストークノイズの発生を抑制することが可能なプリント基板、プリント基板ユニット、及びプリント基板の製造方法を提供することを目的とする。

【 課題を解決するための手段 】

【 0 0 0 7 】

本件の一観点によると、第 1 の導体層と、前記第 1 の導体層と異なる層に設けた第 2 の導体層と、前記第 1 の導体層と前記第 2 の導体層との間に配設された絶縁層と、前記第 1 の導体層と前記第 2 の導体層と前記絶縁層とを貫通する複数の貫通孔と、前記貫通孔の各々に形成されて前記第 1 の導体層と前記第 2 の導体層とを層間接続する複数のビアと、を備え、前記複数のビアの各々は、前記貫通孔における内部空間の一部を占有する導体部と、残部を占有する非導体部とを有し、互いに隣接する任意の一組のビアにおいて、一方のビアにおける前記導体部が他方のビアにおける前記非導体部と向き合うように配置されている、プリント基板が提供される。

30

【 0 0 0 8 】

また、本件の他の観点によると、第 1 の導体層と、前記第 1 の導体層と異なる層に設けた第 2 の導体層と、前記第 1 の導体層と前記第 2 の導体層との間に配設された絶縁層と、を備えるプリント基板の製造方法であって、前記第 1 の導体層と前記第 2 の導体層と前記絶縁層とを貫通する貫通孔を複数箇所に形成する工程と、前記貫通孔の各々に、前記第 1 の導体層と前記第 2 の導体層とを層間接続する複数のビアを形成するビア形成工程と、前記ビア形成工程において、前記貫通孔における内部空間に、当該内部空間の一部を占有する導体部と残部を占有する非導体部とが形成されるように前記複数のビアの各々を形成し、かつ、互いに隣接する任意の一組のビアにおいて、一方のビアにおける前記導体部を他方のビアにおける前記非導体部と向き合うように配置する、プリント基板の製造方法が提供される。

40

【 発明の効果 】

【 0 0 0 9 】

50

本件によれば、隣接するビア同士の間隔が狭くてもビア間におけるクロストークノイズの発生を抑制することが可能なプリント基板、プリント基板ユニット、及びプリント基板の製造方法を提供することができる。

【図面の簡単な説明】

【 0 0 1 0 】

【図 1】実施形態に係るプリント基板ユニットの断面構造を概略的に示す図である。

【図 2】実施形態に係る電極チップの斜視図である。

【図 3】実施形態に係る電極チップの側面図である。

【図 4】実施形態に係る電極チップを形成する芯材を示す図である。

【図 5】実施形態に係るプリント基板ユニットの構造を模式的に示す図である。

10

【図 6】実施形態に係るプリント基板ユニットの製造工程を説明する図である（ 1 ）。

【図 7】実施形態に係るプリント基板ユニットの製造工程を説明する図である（ 2 ）。

【図 8】実施形態に係るプリント基板ユニットの製造工程を説明する図である（ 3 ）。

【図 9】実施形態に係るプリント基板ユニットの製造工程を説明する図である（ 4 ）。

【図 10】プリント基板において互いに隣接するビアの相対関係を説明する図である。

【図 11】クロストーク電圧を説明する概念図である（ 1 ）。

【図 12】クロストーク電圧を説明する概念図である（ 2 ）。

【図 13】従来の一組の隣接するビアの概念図を示す図である。

【図 14】従来例に係る一組のビアの導体対向面積を説明する図である。

【図 15】実施形態に係る一組のビアの導体対向面積を説明する図である（ 1 ）。

20

【図 16】実施形態に係る一組のビアの導体対向面積を説明する図である（ 2 ）。

【図 17】変形例に係る電極チップを示す図である（ 1 ）。

【図 18 A】変形例に係る電極チップを示す図である（ 2 ）。

【図 18 B】変形例に係る電極チップを示す図である（ 3 ）。

【図 18 C】変形例に係る電極チップを示す図である（ 4 ）。

【図 18 D】変形例に係る電極チップを示す図である（ 5 ）。

【発明を実施するための形態】

【 0 0 1 1 】

以下、プリント基板、プリント基板ユニット及びこれらの製造方法に係る実施形態について、図面を参照しながら詳細に説明する。

30

【 0 0 1 2 】

< 実施形態 >

< < プリント基板及びプリント基板ユニット > >

図 1 は、実施形態に係るプリント基板ユニット 1 の断面構造を概略的に示す図である。プリント基板ユニット 1 は、例えばコンピュータ装置等といった電子機器の筐体に收容されている。プリント基板ユニット 1 は、プリント基板 2 及び、このプリント基板 2 上に実装された半導体素子 3 を備えている。半導体素子 3 は、例えば L S I (Large Scale Integration) チップである。半導体素子 3 は、プリント基板 2 の上面 2 a 上にフェイスダウン（フリップチップ）方式によって搭載及び固定されている。本実施形態において、プリント基板 2 の上面 2 a は、半導体素子 3 の実装面である。また、半導体素子 3 は、高周波信号を扱う高周波半導体素子であり、例えば 2 . 5 G H z 以上の動作周波数で信号の伝送を行う伝送方式を採用している。

40

【 0 0 1 3 】

半導体素子 3 の下面には、例えば半田ボール等によって形成される接続端子 3 1 が複数形成されている。半導体素子 3 の接続端子 3 1 は、プリント基板 2 の上面 2 a に形成された電極部分であるパッド 2 1 に接続されている。パッド 2 1 は、プリント基板 2 を厚さ方向に貫通する電極であるビア 4 に対応する位置に形成されている。ビア 4 は、プリント基板 2 を厚さ方向に貫通する貫通孔であるスルーホール 5 の内部に形成されており、本実施形態ではスルーホール 5 内に電極チップ 4 0 を挿入することで形成されている。電極チップ 4 0 の詳細については後述する。また、プリント基板 2 における上面 2 a とは反対側の

50

下面 2 b の各所にもパッド 2 1 が形成されており、このパッド 2 1 に外部接続端子である複数の半田バンプ 2 2 が設けられている。

【 0 0 1 4 】

プリント基板 2 は、多層プリント配線基板であり、所定の配線パターンが形成された複数の配線層が絶縁層を介して積層されたものである。プリント基板 2 は、例えば表面に導体パターンを形成したガラス布エポキシ樹脂等の絶縁基板を複数積層することで形成されている。図 1 に示す例において、プリント基板 2 は、配線層である第 1 層 L 1 ~ 第 4 層 L 4 を有する 4 層構造となっている。第 1 層 L 1 及び第 4 層 L 4 は、それぞれパッド 2 1 及びこのパッド 2 1 に接続された信号線（信号パターン）2 4 を有している。第 1 層 L 1 及び第 4 層 L 4 は、第 1 の導体層及び第 2 の導体層の一例である。また、第 2 層 L 2 には、電源プレーン 2 5 が形成され、第 3 層 L 3 には、グラウンドプレーン 2 6 が形成されている。第 2 層 L 2 及び第 3 層 L 3 は、それぞれ電源層、グラウンド層として用いられる。

【 0 0 1 5 】

電源プレーン 2 5 及びグラウンドプレーン 2 6 は、プリント基板 2 の平面方向に沿って面状に広がっており、いわゆるベタパターンとして形成されている。信号線 2 4、電源プレーン 2 5、グラウンドプレーン 2 6、及びパッド 2 1 は、例えば、銅（Cu）等の導体によって形成されている。また、第 2 層 L 2 におけるスルーホール 5 の周囲には、電源プレーン 2 5 が形成されない非導体領域 2 7 が環状（ドーナツ状）に形成されており、これにより第 1 層 L 1 及び第 4 層 L 4 における信号線 2 4 と電源プレーン 2 5 とを遮断している。同様に、第 3 層 L 3 におけるスルーホール 5 の周囲には、グラウンドプレーン 2 6 が形成されない非導体領域 2 7 が環状に形成されており、これにより第 1 層 L 1 及び第 4 層 L 4 における信号線 2 4 とグラウンドプレーン 2 6 とを遮断している。また、第 1 層 L 1 及び第 2 層 L 2 の間、第 2 層 L 2 及び第 3 層 L 3 の間、第 3 層 L 3 及び第 4 層 L 4 の間には、絶縁樹脂よりなる絶縁層 2 8 が形成されている。また、プリント基板 2 の上面 2 a 及び下面 2 b は、保護膜としてのソルダーレジスト 2 9 によって覆われている。また、ソルダーレジスト 2 9 は適所に開口部が形成されており、この開口部を通じて露出したパッド 2 1 に半田バンプ 2 2 や半導体素子 3 における接続端子 3 1 が接続されている。

【 0 0 1 6 】

< < 電極チップ > >

次に、本実施形態におけるビア 4 を形成する柱状の電極チップ 4 0 について詳細に説明する。図 2 に実施形態に係る電極チップ 4 0 の斜視図を示し、図 3 に電極チップ 4 0 の側面図を示す。電極チップ 4 0 は、いわゆるドリル刃の如く螺旋形状を有する導体チップであり、例えば銅（Cu）等によって形成されている。以下、電極チップ 4 0 における螺旋軸の延伸方向を「軸方向」として定義する。電極チップ 4 0 のうち、ドリル刃でいうところのドリル径（直径）に相当する部分の寸法を「チップ径 D」と呼ぶこととする。電極チップ 4 0 は、図 4 に示すような、例えばチップ径 D の 4 0 ~ 5 0 % 程度の芯厚 t を有する芯材 4 1 を捫る（捻る）ことによって螺旋形状に成形したものである。但し、芯材 4 1 における芯厚 t のチップ径 D に対する比率については上記範囲に限られず、適宜変更することができる事項である。

【 0 0 1 7 】

電極チップ 4 0 のうち、螺旋形状の導体部分を本体部と称すと、この本体部によって形成される螺旋間には、溝部 4 2 が形成される。電極チップ 4 0 における螺旋の螺旋軸に対する角度として定義される「ネジレ角 θ 」は、適宜変更することができる。また、電極チップ 4 0 の軸方向における長さ（以下、単に「軸長さ」という）L は、ビア 4 のビア深さに等しくなるように調節されており、本実施形態では、プリント基板ユニット 1 における第 1 層 L 1 ~ 第 4 層 L 4 の厚さの総和に略等しい。図 2 ~ 図 4 を参照して説明した電極チップ 4 0 は、例えばマイクロドリルの作製手法と同様の手法、例えば押出法やプレス法等を用いて作製することができる。

【 0 0 1 8 】

< < 製造方法 > >

次に、電極チップ40を用いたプリント基板ユニット1の製造工程について説明する。図5は、プリント基板ユニット1の構造を模式的に示す図である。また、図6～9は、プリント基板ユニット1の製造工程を説明する図である。

【0019】

図6に示すように、第1の樹脂シート50と、第2の樹脂シート60と、プリプレグ70とを用意する。第1の樹脂シート50は、上面にパッド21及び信号線24が形成され、下面に電源プレーン25が形成されている。第1の樹脂シート50における電源プレーン25には、適所に非導体領域27が形成されている。第2の樹脂シート60は、上面にグラウンドプレーン26が形成され、下面にパッド21及び信号線24が形成されている。第2の樹脂シート60におけるグラウンドプレーン26には、適所に非導体領域27が形成されている。第1の樹脂シート50及び第2の樹脂シート60は、例えば、両面銅張積層板の表面における銅箔に所定の導体パターンを形成したものである。銅張積層板は、例えばガラス繊維クロス等といった基材にエポキシ樹脂等の熱硬化性の絶縁樹脂を含浸させたシートと銅箔とを合わせて熱及び圧力を加えて板状に成形したものである。また、プリプレグ70は、例えばガラス繊維クロス等といった基材にエポキシ樹脂等の熱硬化性の絶縁樹脂を含浸させたものを半硬化させた樹脂シートである。

【0020】

次に、第1の樹脂シート50及び第2の樹脂シート60の間に挟むようにしてプリプレグ70を配置し、これらを位置合わせしつつ積み重ね、真空加熱プレスにより一括積層する。これにより、プリプレグ70が熱硬化するとともに、プリプレグ70を介して第1の樹脂シート50及び第2の樹脂シート60が接着される。その結果、図7に示すように、第1層L1～第4層L4がこれらの順に積層され、かつ、各層同士の間には絶縁樹脂からなる絶縁層28が形成されたプリント基板2が形成される。なお、この状態において、プリント基板2には、スルーホール5は形成されていない。

【0021】

次いで、図8に示すように、プリント基板2の平面方向における所定位置に複数のスルーホール5を穿設する。スルーホール5は、プリント基板2を厚さ方向に貫通する貫通孔である。つまり、本実施形態では、プリント基板2の外層を形成する第1層L1の表面から第4層L4の表面に至るまでスルーホール5が各層を貫通して設けられる。なお、スルーホール5の穿設手法として、例えばレーザによるアブレーション加工、ドリルによる切削加工等を適宜採用できる。レーザとしては、例えば炭酸ガスレーザ、UV-YAGレーザ、エキシマレーザ等を使用してもよい。なお、スルーホール5は、プリント基板2において、ビア4を形成すべき位置に形成される。

【0022】

図8に示すように、第1層L1及び第4層L4においては、スルーホール5の外周を囲むようにパッド21が環状に形成されている。また、第2層L2及び第3層L3においては、スルーホール5の外周を囲むように非導体領域27が環状に形成されている。

【0023】

次いで、図9に示すように、プリント基板2における複数のスルーホール5の各々に、電極チップ40を挿入して埋め込む。なお、その際、プリント基板2に形成されたスルーホール5の内面には、めっき等の導体膜は形成されていない。また、電極チップ40については、図2～図4において説明した通りである。ここで、電極チップ40の軸長さLは、スルーホール5の長さ、すなわち形成すべきビア4のビア深さに等しくなるように調節されている。また、電極チップ40のチップ径Dは、スルーホール5（ビア4）の直径であるビア径に等しくなるように調節されている。これにより、各スルーホール5に電極チップ40が挿入されると、螺旋形状を有する各電極チップ40は、第1層L1及び第4層L4におけるそれぞれのパッド21と電氣的に接続される。なお、第2層L2及び第3層L3においては、スルーホール5の外周を囲むように非導体領域27が形成されているため、電源プレーン25及びグラウンドプレーン26に対して電極チップ40は電氣的に遮断されている。各スルーホール5に電極チップ40が配置されることにより、ビア4が形

成される。ビア４は、プリント基板２を厚さ方向に貫通し、プリント基板２の第１層Ｌ１に形成されたパッド２１と第４層Ｌ４に形成されたパッド２１とにそれぞれ電氣的に接続される。その結果、プリント基板２の第１層Ｌ１及び第４層Ｌ４における信号線２４が、ビア４を介して互いに接続される。その後、第１層Ｌ１及び第４層Ｌ４の表面をソルダーレジスト２９によって被覆した後、適所に開口部を形成して、パッド２１及び電極チップ４０の両端面を外部に露出させる。

【００２４】

次に、プリント基板２の上面２ａ側に半導体素子３を実装し、下面２ｂ側に半田バンプ２２を形成することにより、図１に示したプリント基板ユニット１が完成する。半導体素子３の実装に際しては、半導体素子３の下面に設けられた接続端子３１を、ビア４を形成する電極チップ４０の端面に対して接合する。また、電極チップ４０は、第１層Ｌ１のパッド２１と電氣的に接続されているため、半導体素子３の接続端子３１をパッド２１に接続することで、半田バンプ２２とビア４とを導通させてもよい。

10

【００２５】

ここで、スルーホール５内に挿入された電極チップ４０は、上記のように螺旋形状を有している。このため、スルーホール５内のうち、導体である電極チップ４０が占有する部分に導体部４００が形成され、電極チップ４０が占有しない部分に非導体部４０１が形成されることになる。この非導体部４０１は、電極チップ４０における螺旋同士の間形成される中空部分（隙間部分）であり、溝部４２によって形成されている。このようにして、ビア４は、スルーホール５における内部空間の一部を占有する導体部４００と、スルーホール５における内部空間の残部を占有する非導体部４０１とを含んで形成される。ビア４における導体部４００は、プリント基板２における複数のビア４の各々において、同一方向に巻き回されている。

20

【００２６】

図１０は、プリント基板２において互いに隣接するビア４の相対関係を説明する図である。上記のように、ビア４は、螺旋形状を有する電極チップ４０に対応する導体部４００と、電極チップ４０の溝部４２に対応する非導体部４０１とを有している。本実施形態では、螺旋形状を有する電極チップ４０をスルーホール５に挿入することで、一組のビア４の一方における導体部４００が、他方のビア４における非導体部４０１と向き合うように配置される。ここで、一組のビア４の一方における導体部４００が他方のビア４における非導体部４０１と向き合うように配置される領域は、ビア４の延伸方向（軸方向）における少なくとも一部の区間に形成されればよい。これによれば、隣接するビア４間におけるクロストークが起これにくくなるため、クロストークノイズの発生を従来に比べて抑制することができる。以下、本実施形態に係るビア４によるクロストークノイズの低減作用について詳しく説明する。

30

【００２７】

ところで、互いに隣接する一組のビア４は、並行配線とみなすことができる。本実施形態に係るプリント基板ユニット１のように、プリント基板２及び半導体素子３間の信号を高速伝送する場合、クロストークが起これ易くなることが懸念される。このような条件下では、ビア４間におけるカップリング容量を少なくすることがクロストークノイズの低減に有効である。

40

【００２８】

クロストークノイズを発生する対象となる貫通ビア（以下、「対象ビア」という）のクロストーク電圧 V_0 は、下記式にて算出される。

$$V_0(t) = C_1 / (C_1 + C_2) \times V_1(t) \cdots (1)$$

ここで、 C_1 は、対象ビアとこの対象ビアに隣接する貫通ビア（以下、「隣接ビア」という）との間のカップリング容量を表す。 C_2 は、クロストークノイズを発生する対象ビアの対地容量を表す。 V_1 は、ノイズ源となる隣接ビアの信号電圧を表す、 t は、時間を表す。図１１は、クロストーク電圧を説明する概念図である。上記（１）式によれば、クロストークノイズ（クロストーク電圧）を低減するための一つのアプローチとして、対象

50

ビアと隣接ビアとの間のカップリング容量を小さくする方法がある。

【0029】

また、図12に示すように、並行する一組の平板のコンデンサ容量Cは、下記式(2)によって算出することができる。

$$C = \epsilon_r \times S / d \cdots (2)$$

ここで、 ϵ_r は比誘電率を表す。Sは、並行する平板の面積を表す。dは、並行する平板同士の間隔dを表す。

【0030】

上記(2)式によれば、比誘電率 ϵ_r を一定条件で考えると、板同士の間隔dを広げるか、並行する平板の面積Sを小さくすることによって、並行する一組の平板のコンデンサ容量Cを小さくすることができることが理解できる。このことから、対象ビアと隣接ビアとの間のカップリング容量の低減は、対象ビアと隣接ビアとの間隔を大きくするか、或いは、対象ビアと隣接ビアとが互いに対向する面積を小さくすることにより実現可能である。ここで、対象ビアと隣接ビアとが互いに対向する面積とは、対象ビアと隣接ビアのそれぞれの導体部が互いに対向する面積を意味している。

【0031】

従来では、対象ビアと隣接ビアとの間隔を広げることでこれらの間のカップリング容量を低減し、対象ビアにおけるクロストーク電圧の低減を図ってきた。しかしながら、近年では、LSI等といった半導体素子に対する高密度化の要請から、半導体素子の接続端子の狭ピッチ化が進められている。このため、貫通ビアのクロストーク電圧を適正な大きさまで低減するために、貫通ビア同士の間隔を確保することが難しい場合がある。また、将来的には、信号の伝送速度が現在よりも益々速くなっていくことが予想され、貫通ビアのクロストーク電圧が増大し易い状況下におかれることになる。

【0032】

これに対して、本実施形態では、図10に示すように、ビア4(電極チップ40)を螺旋形状とし、スルーホール5内の全領域を導体部で覆うのではなく、一部の領域に導体部400を形成するようにした。これにより、隣接する任意の一組のビア4において、一方のビア4における導体部400を他方のビア4における非導体部401と向き合わせた状態で配置することができる。その結果、一組の隣接するビア4において、相互の導体部400同士が互いに対向する部分の面積(以下、「導体対向面積」ともいう)を、従来の貫通ビアに比べて小さくすることができる。ここでいう、従来の貫通ビアとは、スルーホールの内周面を導体膜によって被覆したり、スルーホール内部を全て導体部で充填することにより形成した貫通ビアを指す。図13に、従来の一組の隣接するビア4'の概念図を示す。従来のビア4'は、スルーホール内に充填された導体部400によって形成されている。

【0033】

ここで、図14及び図15を参照して、従来例に係る一組のビア4'の導体対向面積S1と、本実施形態に係る一組のビア4の導体対向面積S2とを比較する。図14は、従来例に係るビア4'の導体対向面積S1を説明する図であり、従来のビア4'を四角柱状に簡略化して表している。図15は、本実施形態に係るビア4の導体対向面積S2を説明する図であり、ビア4を四角柱状に簡略化して表している。図中の符号Dは、本実施形態に係るビア4(従来のビア4')のビア径を表す。符号Pは、隣接する一組のビア4(ビア4')同士の間隔を表す。また、符号Lはビア4(ビア4')の深さ(ビア深さ)を表す。

【0034】

まず、図14を参照すると、図中、ハッチングを付した導体部400Aと導体部400Bが互いに重なり合う部分の面積が導体対向面積S1に相当する。従って、導体対向面積S1は、ビア4'のビア径D及びビア深さLを掛け合わせて得られる面積として算出することができる($S1 = D \times L$)。

【0035】

次に、図 15 を参照すると、図中、ハッチングを付した部分が、各ビア 4 の導体部 400A, 400B を表している。各ビア 4 の導体部 400A, 400B が互いに重なり合う部分の面積が導体対向面積 S2 に相当する。図 16 は、ビア 4 同士の各対向面に直交する視点 A (図 15 を参照) からビア 4 を眺めて得られた平行投影図を重ね合わせたものである。図中、ビア 4 の対向面における導体部 400A, 400B が重なり合う部分 (以下、「導体対向部」という) X の面積、すなわち導体対向面積 S2 は以下のように算出することができる。

【0036】

図 16 に示すように、導体対向部 X の形状は、対角線 a 及び b を有する菱形として近似することができる。導体対向部 X の対角線 a 及び b は、芯厚 t (電極チップ 40 における芯材 41 の芯厚 t、図 3 を参照) と、電極チップ 40 のネジレ角 θ によって表すことができる。具体的には、下記 (3) 式、(4) 式によって対角線 a、b を算出することができる。そして、(5) 式に基づいて、導体対向面積 S2 を求めることができる。

$$a = \text{芯厚 } t / \sin \theta \cdots (3)$$

$$b = \text{芯厚 } t / \cos \theta \cdots (4)$$

$$S2 = a \times b / 2 = \text{芯厚 } t^2 / (\sin \theta \times \cos \theta \times 2) \cdots (5)$$

【0037】

ここで、例示的に、電極チップ 40 の芯厚 t をビア径 D (チップ径 D) の 50%、ネジレ角 θ を 5° 、ビア径 D を 0.2 mm、ビア深さ L を 1.8 mm とすると、導体対向面積 S1、S2 は以下の値として算出することができる。すなわち、導体対向面積 S1 が 0.36 mm²、導体対向面積 S2 が 0.058 mm² となり、導体対向面積 S2 は導体対向面積 S1 の約 16% の大きさに相当する面積として算出される。

【0038】

そして、従来のビア 4' のカップリング容量を C1a、本実施形態に係るビア 4 のカップリング容量を C1b で表すと、 $C1b = 0.16 \times C1a$ によって算出される。そして、隣接する一組のビア 4 のうち一方を対象ビアとした場合における対象ビアのクロストーク電圧 V0b (t) は、下記 (6) 式によって表される。

$$V0b(t) = (C1a \times 0.16 / (C1a \times 0.16 + C2)) \times V1(t) \cdots (6)$$

【0039】

ここで、対象ビアの対地容量 C2 とカップリング容量 C1a とが等しいものと仮定すると、対象ビアである一方のビア 4 におけるクロストーク電圧 V0b (t) は、ノイズ源となる隣接ビア、すなわち他方のビア 4 の信号電圧 V1 (t) の約 14% となる ($V0b(t) = 0.14 \times V1(t)$)。

【0040】

以上のように、本実施形態では、ビア 4 に螺旋構造を採用したので、互いに隣接する一組のビア 4 の一方における導体部 400 が、他方のビア 4 における非導体部 401 と向き合うように配置される。その結果、互いに隣接する任意の一組のビア 4 において、導体部 400 同士が対向配置される部分の面積を従来に比べて小さくすることができる。よって、隣接するビア 4 間におけるカップリング容量を小さくすることができ、その結果、クロストークノイズの電圧レベルを従来に比べて相対的に小さくすることができる。その際、ビア 4 同士の間隔 P を広げる手法を用いずに、隣接するビア 4 間におけるクロストークを抑制し、クロストークノイズを低減することができる。そのため、本実施形態に係るビア 4 を適用したプリント基板 2 及びプリント基板ユニット 1 によれば、ビア 4 同士の間隔が狭くてもクロストークノイズの発生を抑制することが可能となる。

【0041】

また、本実施形態におけるビア 4 (電極チップ 40) は、螺旋形状を有している。このため、隣接するスルーホール 5 に挿入される電極チップ 40 同士の同期をとらなくても、隣接する一組のビア 4 の一方における導体部 400 を他方の非導体部 401 と対向させることができる。つまり、スルーホール 5 に電極チップ 40 を挿入する際に、隣接するスル

10

20

30

40

50

ーホール 5 に挿入される電極チップ 40 との間で相互の向き合わせを実施する必要がなく、製造工数を減らすことができる。

【0042】

また、本実施形態においては、ビア 4 の延伸方向（軸方向）における少なくとも一部の区間において、一組のビア 4 の一方における導体部 400 と他方のビア 4 における非導体部 401 と向き合うように配置すればよい。これにより、隣接するビア 4 間において、双方のビア 4 における互いの導体部 400 が対向する部分の面積を低減することができる。その結果、ビア 4 のカップリング容量を小さくすることができ、クロストークノイズの発生を抑制することができる。

【0043】

また、プリント基板 2 に複数形成された各ビア 4 の導体部 400 は、同一方向に巻き回されている。これによれば、互いに隣接する一組のビア 4 間において、導体部 400 同士が対向配置される部分の面積をより一層小さくすることができる。その結果、クロストークノイズをより好適に低減することができる。また、本実施形態におけるビア 4 は、第 1 層 L1 と第 4 層 L4 における信号線 24 同士を電氣的に接続するため、信号の高速伝送に伴ってクロストークが起り易い条件下にあるといえる。これに対して、本実施形態のプリント基板 2 では、螺旋構造を有するビア 4 を適用することによって、ビア 4 のカップリング容量を小さくすることができるため、効果的にクロストークノイズの発生を抑制できる。

【0044】

< 変形例 >

本実施形態に係る電極チップ 40、ビア 4、プリント基板 2、及びプリント基板ユニット 1 は、種々の変形例を採用することができる。図 17 は、変形例に係る電極チップ 40' を示す図である。図 17 に示す電極チップ 40' は、螺旋形状を有する導電体チップである本体部 43、及び、溝部に対応する部分に形成された絶縁体を含む絶縁部 44 を有する。絶縁部 44 は、例えば本体部 43 の周囲に絶縁体の粉を付着させて、焼成したものである。絶縁体としては、例えばアルミナセラミックスにガラス成分を混ぜた絶縁体等が挙げられるが、これに限定されず、種々の材料を用いることができる。また、絶縁部 44 は、エポキシ樹脂等といった絶縁樹脂を硬化させることで形成してもよい。

【0045】

図 17 に示すように、電極チップ 40' の外径 D は、上述したプリント基板 2 に穿設するスルーホール 5 の径に等しい。このような電極チップ 40' を、上述の電極チップ 40 の代わりにスルーホール 5 に挿入する（埋め込む）ことで、ビア 4 が形成される。この場合、電極チップ 40' の本体部 43 によってビア 4 の導体部 400 が形成される。また、電極チップ 40' の絶縁部 44 によってビア 4 の非導体部 401 が形成される。これによれば、半導体素子 3 をプリント基板 2 に半田接合する際に、半田がスルーホール 5 内に流入することを抑制することができる。つまり、半田がスルーホール 5 内に流入すること起因して、ビア 4 間における導体対向面積が増加することを抑制することができる。従って、ビア 4 に発生するクロストークノイズをより好適に抑制することができる。

【0046】

また、図 18A ~ 18D に、隣接する一組の貫通ビアを形成するに用いられる電極チップの他のバリエーションを示す。一組のビア 4 のうち、一方のビア 4A を形成する電極チップを 40A で表し、他方のビア 4B を形成する電極チップを 40B で表す。

【0047】

図 18A において、電極チップ 40A、40B は、導電体である本体部 43 及び絶縁部 44 から形成されており、全体として円柱形状に成形されている。本体部 43 は、円盤形の上端部 431 及び下端部 432 を有しており、上端部 431 及び下端部 432 の間に、円柱形状の円柱部 433 や平板形状の壁部 434 が適宜組み合わせられて配置されている。例えば、電極チップ 40A においては、上端部 431 及び下端部 432 にそれぞれ円柱部 433 が接続されており、一組の円柱部 433 同士が壁部 434 によって接続されている。一方、電極チップ 40B においては、上端部 431 及び下端部 432 にそれぞれ壁部 4

10

20

30

40

50

3 4 が接続されており、一組の壁部 4 3 4 同士が円柱部 4 3 3 によって接続されている。つまり、電極チップ 4 0 A , 4 0 B は、円柱部 4 3 3 及び壁部 4 3 4 が形成される位置 (高さ) が互い違いになっている。また、壁部 4 3 4 の両側には、この壁部 4 3 4 を挟み込むようにして絶縁部 4 4 が形成されている。また、上端部 4 3 1、下端部 4 3 2 及び円柱部 4 3 1 の径は、スルーホール 5 の径と等しい。

【0048】

電極チップ 4 0 A , 4 0 B がスルーホール 5 に埋め込まれることで、ビア 4 A , 4 B がそれぞれ形成される。その際、電極チップ 4 0 A , 4 0 B における本体部 4 3 によってビア 4 A , 4 B の導体部 4 0 0 が形成される。また、電極チップ 4 0 A , 4 0 B における絶縁部 4 4 によってビア 4 A , 4 B の非導体部 4 0 1 が形成される。

10

【0049】

図示のように、隣接する一組のビア 4 A , 4 B において、電極チップ 4 0 A の円柱部 4 3 1 が電極チップ 4 0 B の壁部 4 3 4 及び絶縁部 4 4 と同じ高さに配置されている。そして、電極チップ 4 0 B の円柱部 4 3 3 が電極チップ 4 0 A の壁部 4 3 4 及び絶縁部 4 4 と同じ高さに配置されている。その際、電極チップ 4 0 A , 4 0 B の円柱部 4 3 3 が絶縁部 4 4 と向き合うように、相互の向きが規定されている。つまり、電極チップ 4 0 A (4 0 B) をスルーホール 5 に埋め込む際、その円柱部 4 3 3 を、隣接する電極チップ 4 0 B (4 0 A) の壁部 4 3 4 と対向させるのではなく、絶縁部 4 4 と対向させるようにする。このように、一組のビア 4 A , 4 B (電極チップ 4 0 A , 4 0 B) における互いの向き合わせを行うことによって、ビア 4 A , 4 B において互いの導体部 4 0 0 が対向する部分の面積を低減することができる。その結果、ビア 4 A , 4 B のカップリング容量を小さくすることができる。クロストークノイズの発生を抑制することができる。

20

【0050】

電極チップ 4 0 A , 4 0 B において、円柱部 4 3 3 及び壁部 4 3 4 の数や、これらの高さについては自由に変更することができる。例えば、図 1 8 A に示した電極チップ 4 0 A , 4 0 B の変形例を図 1 8 B に示している。図 1 8 B に示す一組の電極チップ 4 0 A , 4 0 B では、図 1 8 A に示すものに比べて、円柱部 4 3 3 及び壁部 4 3 4 を配置する数が多くなっている。

【0051】

次に、図 1 8 C について説明する。図 1 8 C に示す一組の電極チップ 4 0 A , 4 0 B は、導体である本体部 4 3 として、上端部 4 3 1、下端部 4 3 2 及びメッシュ部 4 3 5 を備えている。メッシュ部 4 3 5 は、導体をメッシュ形状に成形したものであり、上端部 4 3 1 及び下端部 4 3 2 の間に配置されると共にこれらを接続している。また、図 1 8 A、1 8 B に示す例と同様に、電極チップ 4 0 A , 4 0 B は、本体部 4 3 及び絶縁部 4 4 を含んでおり、全体として円柱形状を有している。なお、電極チップ 4 0 A , 4 0 B の側面において、メッシュ部 4 3 5 は絶縁部 4 4 の表面に露出した状態となっている。

30

【0052】

図 1 8 C に示す電極チップ 4 0 A , 4 0 B を、隣接するスルーホール 5 に埋め込むことで、電極チップ 4 0 A (4 0 B) におけるメッシュ部 4 3 5 を電極チップ 4 0 B (4 0 A) における絶縁部 4 4 と対向させることができる。これにより、ビア 4 A , 4 B において互いの導体部 4 0 0 が対向する部分の面積を低減することができる。その結果、ビア 4 A , 4 B のカップリング容量を小さくことができ、クロストークノイズの発生を抑制することができる。

40

【0053】

次に、図 1 8 D について説明する。図 1 8 D に示す一組の電極チップ 4 0 A , 4 0 B は、導体である本体部 4 3 として、上端部 4 3 1、下端部 4 3 2 及びこれらを繋ぐ複数の縦枠部 4 3 6 を備えている。複数の縦枠部 4 3 6 は放射状に配置されており、縦枠部 4 3 6 の各々は上端部 4 3 1 及び下端部 4 3 2 の縁部同士を接続している。また、図 1 8 A 乃至 1 8 C に示す例と同様に、電極チップ 4 0 A , 4 0 B は、本体部 4 3 及び絶縁部 4 4 を含んでおり、全体として円柱形状を有している。電極チップ 4 0 A , 4 0 B の側面には、複

50

数の縦枠部 436 が一定間隔ごとに露出した状態で配置されている。つまり、電極チップ 40A, 40B の側面には、縦枠部 436 と絶縁部 44 とが交互に並んで配置されている。

【0054】

図 18D に示す電極チップ 40A, 40B を、隣接するスルーホール 5 に埋め込む際、電極チップ 40A (40B) における縦枠部 436 を電極チップ 40B (40A) における絶縁部 44 に対向させる。これにより、ビア 4A, 4B において互いの導体部 400 同士が対向する部分の面積を低減することができる。その結果、ビア 4A, 4B のカップリング容量を小さくすることができ、クロストークノイズの発生を抑制することができる。なお、図 18A ~ 図 18D に示す例では、絶縁部 44 を含んで電極チップ 40A, 40B を形成するようにしているが、絶縁部 44 を省略してもよい。すなわち、導体である本体部 43 のみによって電極チップ 40A, 40B を形成してもよい。

10

【0055】

また、上記の実施形態において、プリント基板 2 を 4 層構造としているが、プリント基板 2 の層構造を適宜変更することができる。また、プリント基板 2 の内層 (第 2 層 L2、第 3 層 L3) を電源層又はグラウンド層とせず、信号線を含む配線層としてもよい。その場合、プリント基板 2 の内層 (第 2 層 L2、第 3 層 L3) に形成する配線層は、ビア 4 を介して層間接続することができる。

【0056】

また、本実施形態では、プリント基板 2 を貫通するスルーホール 5 に電極チップ 40 を埋め込むことで、ビア 4 を貫通ビアとして形成したが、これには限られない。例えば、プリント基板 2 における特定の層間を接続するビアに、図 2 に示した螺旋形状を有する電極チップ 40 や、図 17 又は図 18 の各図に示した変形例に係る電極チップを適用してもよい。また、本実施形態では、プリント基板 2 を 3 層以上の配線層を有する多層プリント基板としているが、例えば両面プリント基板 (2 層板) とし、表面の配線層同士をビア 4 によって層間接続してもよい。

20

【0057】

以上、実施形態に沿って本件に係る電極チップ 40、ビア 4、プリント基板 2、及び、及びプリント基板ユニット 1 について説明したが、本件はこれらに制限されるものではない。そして、上記実施形態について、種々の変更、改良、組み合わせ等が可能なことは当業者にとって自明である。

30

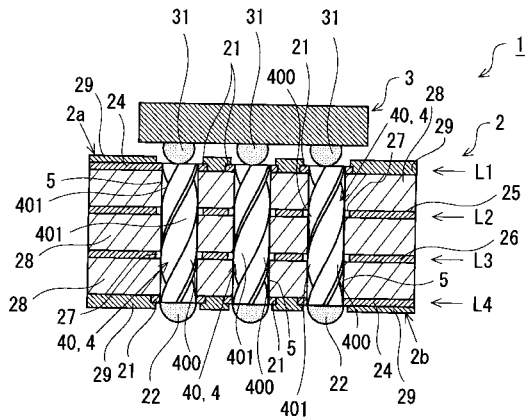
【符号の説明】

【0058】

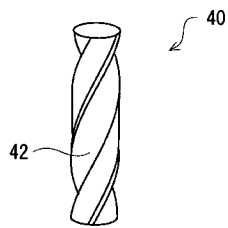
- 1・・・プリント基板ユニット
- 2・・・プリント基板
- 3・・・半導体素子
- 4・・・ビア
- 5・・・スルーホール
- 21・・・パッド
- 22・・・半田バンプ
- 24・・・信号線
- 28・・・絶縁層
- 40・・・電極チップ
- 42・・・押付け板部
- 400・・・導体部
- 401・・・非導体部

40

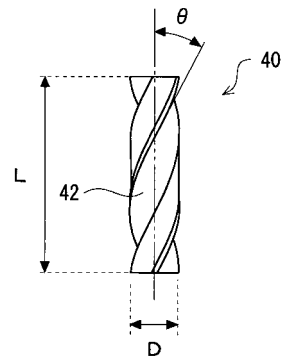
【図 1】



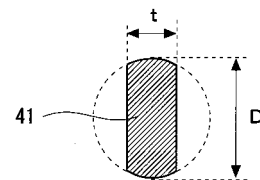
【図 2】



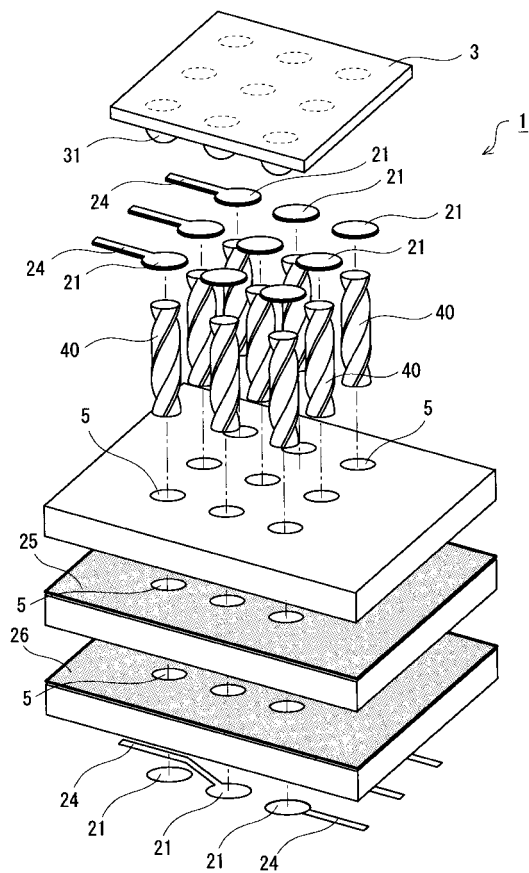
【図 3】



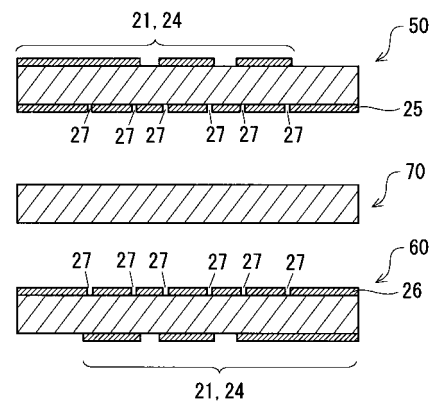
【図 4】



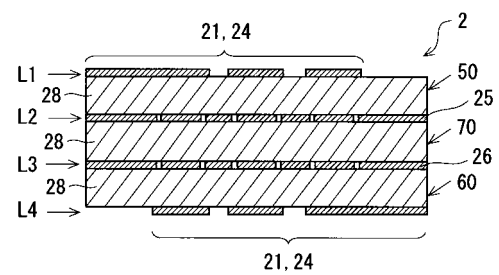
【図 5】



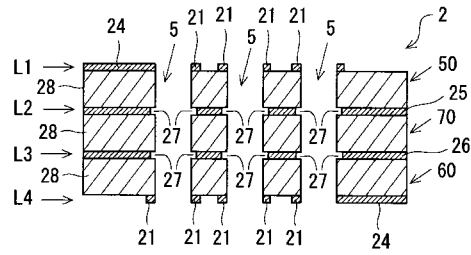
【図 6】



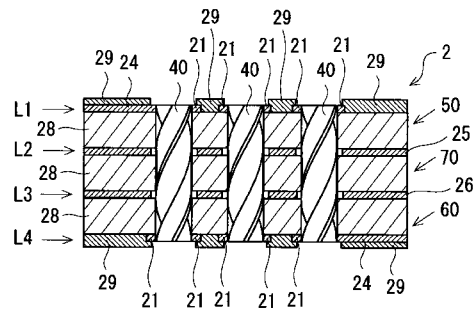
【図 7】



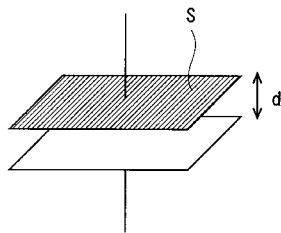
【図 8】



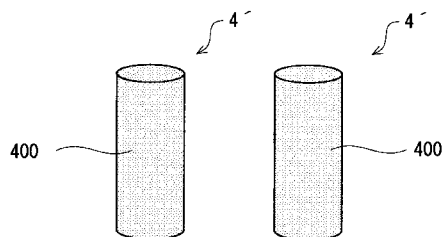
【図 9】



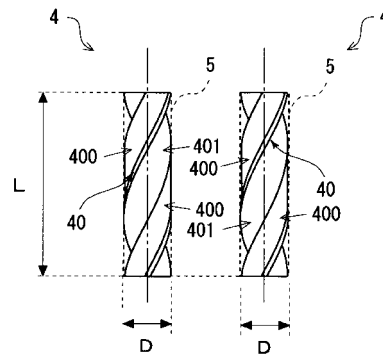
【図 12】



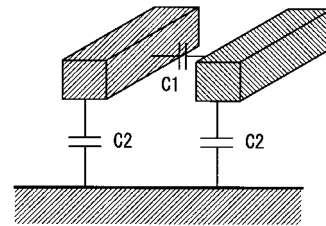
【図 13】



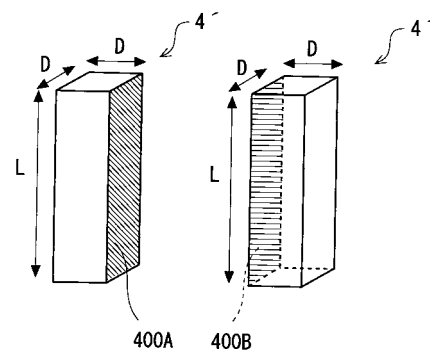
【図 10】



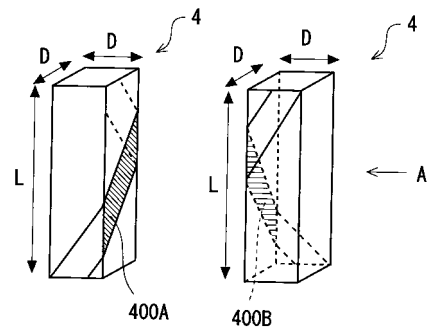
【図 11】



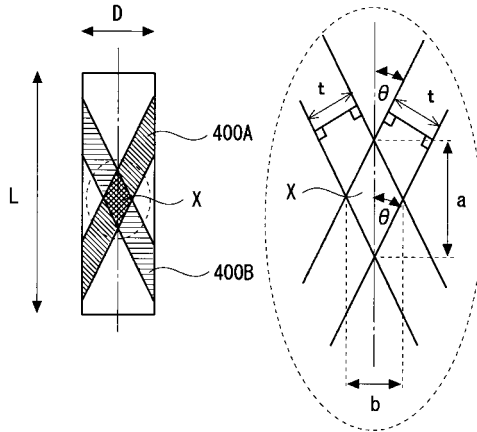
【図 14】



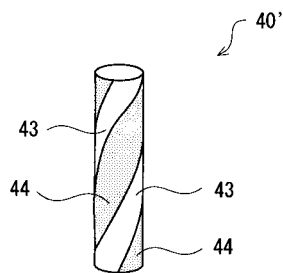
【図 15】



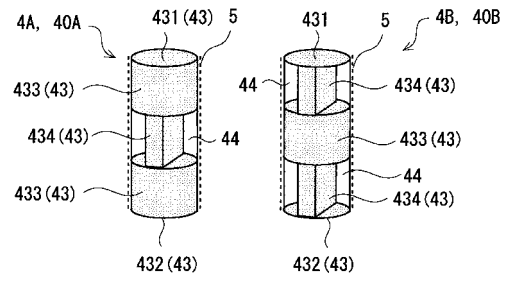
【図 16】



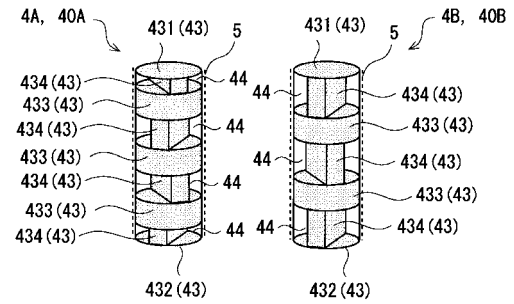
【図 17】



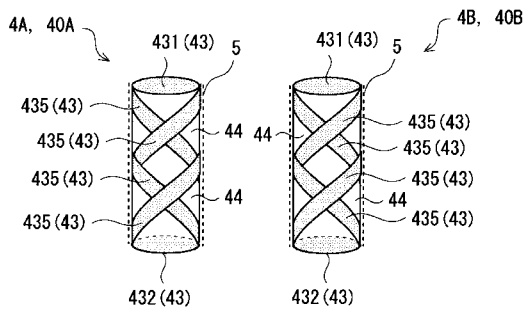
【図 18A】



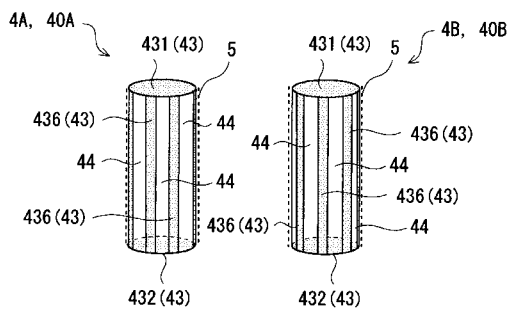
【図 18B】



【図 18C】



【図 18D】



フロントページの続き

F ターム(参考) 5E346 AA35 AA43 BB02 CC08 EE06 EE07 EE09 FF33 FF45 GG15
GG26 GG28 HH04 HH26