

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3829325号  
(P3829325)

(45) 発行日 平成18年10月4日(2006.10.4)

(24) 登録日 平成18年7月21日(2006.7.21)

(51) Int. Cl.		F I		
<b>H O 1 L</b>	<b>21/60</b>	<b>(2006.01)</b>	H O 1 L	21/92 6 O 2 E
<b>C 2 5 D</b>	<b>7/12</b>	<b>(2006.01)</b>	H O 1 L	21/92 6 O 2 K
			H O 1 L	21/92 6 O 4 B
			C 2 5 D	7/12

請求項の数 22 (全 25 頁)

(21) 出願番号	特願2002-30334 (P2002-30334)	(73) 特許権者	000004237
(22) 出願日	平成14年2月7日(2002.2.7)		日本電気株式会社
(65) 公開番号	特開2003-234367 (P2003-234367A)		東京都港区芝五丁目7番1号
(43) 公開日	平成15年8月22日(2003.8.22)	(74) 代理人	100096253
審査請求日	平成17年1月14日(2005.1.14)		弁理士 尾身 祐助
		(72) 発明者	西山 知宏
			東京都港区芝五丁目7番1号 日本電気株式会社内
		(72) 発明者	田子 雅基
			東京都港区芝五丁目7番1号 日本電気株式会社内
		審査官	田代 吉成

最終頁に続く

(54) 【発明の名称】 半導体素子およびその製造方法並びに半導体装置の製造方法

(57) 【特許請求の範囲】

【請求項1】

電極上にバンプとなる導電性の柱状突起が半導体基板上に露出して形成されている半導体素子において、前記柱状突起の上面または上面および側面の上部部分が前記柱状突起のはんだ付け時に前記柱状突起のはんだに濡れる領域と、前記柱状突起の側面の電極寄りである下部部分がはんだに濡れにくい領域とに区画されており、かつ、前記はんだに濡れる領域には、はんだ付け時にフラックス成分に溶解する樹脂被膜が形成されていることを特徴とする半導体素子。

【請求項2】

前記柱状突起は、密着層および接着層を介して前記電極上に形成されていることを特徴とする請求項1に記載の半導体素子。

【請求項3】

前記柱状突起の側面の少なくとも前記電極寄りの部分には濡れ防止膜が形成されていることを特徴とする請求項1または2に記載の半導体素子。

【請求項4】

前記濡れ防止膜が、前記柱状突起の表面が酸化されて形成された膜であることを特徴とする請求項3に記載の半導体素子。

【請求項5】

前記柱状突起が、銅または銅合金により形成されていることを特徴とする請求項1～4のいずれか1項に記載の半導体素子。

## 【請求項 6】

電極が形成された半導体基板上に、前記電極の位置に開口を有するメッキレジスト膜を形成する工程と、無電解メッキに対する活性化処理を行って活性化処理層を形成する工程と、前記メッキレジスト膜上の前記活性化層を除去する工程と、無電解メッキにより良導電性金属を前記開口内に堆積して柱状突起を形成する工程と、前記メッキレジスト膜を除去する工程と、前記柱状突起の表面に濡れ防止膜を形成する工程と、を含む半導体素子の製造方法。

## 【請求項 7】

前記柱状突起の表面に濡れ防止膜を形成する工程の終了後、前記柱状突起の実装基板への接続部の前記濡れ防止膜を除去する工程が付加されることを特徴とする請求項 6 に記載の半導体素子の製造方法。

10

## 【請求項 8】

電極が形成された半導体基板上全面にメッキ電極となる下地金属層を形成する工程と、前記電極の位置に開口を有するメッキレジスト膜を形成する工程と、電解メッキにより良導電性金属を柱状に堆積して柱状突起を形成する工程と、前記メッキレジスト膜を除去する工程と、前記柱状突起をマスクとして前記下地金属層をエッチング除去する工程と、前記柱状突起の表面に濡れ防止膜を形成する工程と、前記柱状突起の実装基板への接続部の前記濡れ防止膜を除去する工程と、を含む半導体素子の製造方法。

## 【請求項 9】

電極が形成された半導体基板上全面にメッキ電極となる下地金属層を形成する工程と、前記電極の位置に開口を有するメッキレジスト膜を形成する工程と、電解メッキにより良導電性金属を柱状に堆積して柱状突起を形成する工程と、前記メッキレジスト膜を除去する工程と、前記柱状突起をマスクとして前記下地金属層をエッチング除去する工程と、前記柱状突起の濡れ防止膜の非形成領域を濡れ防止膜用マスクにて被覆する工程と、前記柱状突起の表面に濡れ防止膜を形成する工程と、前記濡れ防止膜用マスクを除去する工程と、を含む半導体素子の製造方法。

20

## 【請求項 10】

電極が形成された半導体基板上全面にメッキ電極となる下地金属層を形成する工程と、前記電極の位置に開口を有するメッキレジスト膜を形成する工程と、電解メッキにより良導電性金属を柱状に堆積して柱状突起を形成する工程と、前記メッキレジスト膜を除去する工程と、前記柱状突起をマスクとして前記下地金属層をエッチング除去する工程と、前記柱状突起の表面に濡れ防止膜を形成する工程と、を含み、前記濡れ防止膜が、CVD法により堆積されたシリコン酸化膜またはシリコン窒化膜であることを特徴とする半導体素子の製造方法。

30

## 【請求項 11】

電極が形成された半導体基板上全面にメッキ電極となる下地金属層を形成する工程と、前記電極の位置に開口を有するメッキレジスト膜を形成する工程と、電解メッキにより良導電性金属を柱状に堆積して柱状突起を形成する工程と、前記メッキレジスト膜を除去する工程と、前記柱状突起をマスクとして前記下地金属層をエッチング除去する工程と、前記柱状突起の表面に濡れ防止膜を形成する工程と、不活性ガスのプラズマに前記柱状突起を曝して前記柱状突起の実装基板への接続部の前記濡れ防止膜を除去する工程と、を含む半導体素子の製造方法。

40

## 【請求項 12】

電極が形成された半導体基板上全面にメッキ電極となる下地金属層を形成する工程と、前記電極の位置に開口を有するメッキレジスト膜を形成する工程と、電解メッキにより良導電性金属を柱状に堆積して柱状突起を形成する工程と、前記メッキレジスト膜にハーフエッチングを施して前記柱状突起の上部側面を露出させる工程と、前記柱状突起の上面および上部側面を前記柱状突起よりも酸化し難い金属からなるキャップ膜で被覆する工程と、前記メッキレジスト膜を除去する工程と、前記柱状突起をマスクとして前記下地金属層をエッチング除去する工程と、前記柱状突起の表面に濡れ防止膜を形成する工程と、を含

50

む半導体素子の製造方法。

【請求項 13】

電極が形成された半導体基板上全面にメッキ電極となる下地金属層を形成する工程と、前記電極の位置に開口を有するメッキレジスト膜を形成する工程と、電解メッキにより良導電性金属を柱状に堆積して柱状突起を形成する工程と、前記メッキレジスト膜にハーフエッチングを施して前記柱状突起の上部側面を露出させる工程と、前記柱状突起の上面および上部側面をはんだ層で被覆する工程と、前記メッキレジスト膜を除去する工程と、前記柱状突起をマスクとして前記下地金属層をエッチング除去する工程と、前記柱状突起の表面に濡れ防止膜を形成する工程と、を含む半導体素子の製造方法。

【請求項 14】

前記柱状突起の表面に濡れ防止膜を形成する工程の前後に、前記柱状突起の前記濡れ防止膜の非形成領域を濡れ防止膜用マスクにて被覆する工程と、前記濡れ防止膜用マスクを除去する工程とが付加されることを特徴とする請求項 6 または 10 に記載の半導体素子の製造方法。

【請求項 15】

前記濡れ防止膜が、CVD法により堆積されたシリコン酸化膜またはシリコン窒化膜であることを特徴とする請求項 6 ~ 9 または 11 のいずれか 1 項に記載の半導体素子の製造方法。

【請求項 16】

前記柱状突起の表面に濡れ防止膜を形成する工程が、前記柱状突起を酸化性雰囲気に曝して前記柱状突起の表面に酸化膜を形成する工程であることを特徴とする請求項 6 ~ 9 または 11 ~ 14 のいずれか 1 項に記載の半導体素子の製造方法。

【請求項 17】

前記柱状突起の接続部の前記濡れ防止膜を除去する工程が、不活性ガスのプラズマに前記柱状突起を曝す工程であることを特徴とする請求項 7、8、15 または 16 のいずれか 1 項に記載の半導体素子の製造方法。

【請求項 18】

前記柱状突起を形成する工程の終了後前記メッキレジスト膜を除去する工程に先だって、前記柱状突起の上面を前記柱状突起よりも酸化し難い金属材料からなるキャップ膜で被覆する工程が付加されることを特徴とする請求項 6 ~ 8 のいずれか 1 項に記載の半導体素子の製造方法。

【請求項 19】

前記柱状突起を形成する工程の終了後前記メッキレジスト膜を除去する工程に先だって、前記メッキレジスト膜にハーフエッチングを施して前記柱状突起の上部側面を露出させる工程と、前記柱状突起の上面および上部側面を前記柱状突起よりも酸化し難い金属からなるキャップ膜で被覆する工程と、が付加されることを特徴とする請求項 6 ~ 8 のいずれか 1 項に記載の半導体素子の製造方法。

【請求項 20】

前記柱状突起を形成する工程の終了後前記メッキレジスト膜を除去する工程に先だって、前記柱状突起の上面をはんだ層で被覆する工程が付加されることを特徴とする請求項 6 ~ 8 のいずれか 1 項に記載の半導体素子の製造方法。

【請求項 21】

前記柱状突起を形成する工程の終了後前記メッキレジスト膜を除去する工程に先だって、前記メッキレジスト膜にハーフエッチングを施して前記柱状突起の上部側面を露出させる工程と、前記柱状突起の上面および上部側面をはんだ層で被覆する工程と、が付加されることを特徴とする請求項 6 ~ 8 のいずれか 1 項に記載の半導体素子の製造方法。

【請求項 22】

半導体素子の電極上に形成された柱状突起の先端部若しくはこれとはんだ付けされる配線基板のパッド上のいずれか 1 項にフラックスを供給する工程と、前記柱状突起とはんだが所定量供給された配線基板のパッドとを位置合わせする工程と、加熱して前記配線基板

10

20

30

40

50

のパッドへ前記柱状突起の先端部のみをはんだ付けする工程と、前記フラックスを洗浄・除去する工程と、を含み、前記はんだ付け工程以前には、前記柱状突起の上面、または、前記柱状突起の側面の上部部分および上面が、はんだ付け時にフラックス作用を有する材料により溶解するプリフラックス材からなるキャップ膜により被覆されていることを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は半導体素子およびその製造方法並びに半導体装置の製造方法に関し、特にフェイスダウン方式で実装されるフリップチップ型の半導体素子のバンプ構造およびその製造方法、並びに、その実装構造の製造方法に関するものである。

10

【0002】

【従来の技術】

半導体素子の電極と外部端子との接続方式には、大別して、金属細線を用いるボンディングワイヤ方式と、半導体素子の電極上に形成されたはんだバンプを用いて接続するフリップチップ方式とがあるが、近年の高密度化、多ピン化には、フリップチップ方式が有利であるとされている。近年、半導体パッケージの実装密度を向上させるために、端子ピッチを広く保ちつつ多ピン化に対応できる技術として外部端子にはんだバンプを形成したボール・グリッド・アレイ型の半導体パッケージが多用されているが、その実装基板（インターポーザ）へ実装される半導体素子にもフリップチップ型のものが採用されることが多い。

20

このフリップチップ型の接続方式には、コントロール・コラップス・チップ・コネクション（C4）と称されるものなどを始めとして数多く開発されている。図35は、フリップチップ型の半導体素子の従来構造を示す断面図である。図35に示されるように、半導体基板1上には内部配線に連なる電極2とその電極2上に開口を有するカバーコート3が形成されている。そして、電極2上には、密着層4、接着層5を介してはんだバンプ20が形成されている。はんだバンプを形成する方法は、蒸着法、電解めっき法、ソルダーペースト印刷法、はんだボール搭載供給法等の各種方法によりはんだを供給し、フラックスを用いてリフローすることで半球状のバンプを形成するのが一般的である。

図36は、フリップチップ型半導体素子の従来の実装構造を示す断面図である。表面にパッド14及びソルダーレジスト膜13が形成された配線基板（インターポーザ）12のパッド14上に、予めはんだを供給しておき、フラックスを塗布した上で、半導体素子を配線基板上に搭載する。そして、はんだをリフローしてはんだフィレット11を形成することによりバンプ・パッド間の接続が完了する。その後、図示されてはいないが、配線基板12と半導体基板1との間の間隙はアンダーフィル樹脂によって充填される。

30

はんだバンプ以外に、半導体チップの電極上にボンディングワイヤを用いて金スタッドバンプを形成する方法や電解金メッキにより金バンプを形成方法が知られており、これらのバンプは配線基板側に形成された金メッキ、銀/錫はんだ、インジウム/錫/鉛はんだなどの金属層と接合される。

【0003】

40

【発明が解決しようとする課題】

信頼性確保のためにフリップチップ搭載後に半導体チップと配線基板との隙間をアンダーフィル樹脂で充填することが行われているが、樹脂充填の際、ボイドを発生させることなく良好な充填を行うには半導体チップと配線基板の間隙が広いことが望ましい。しかし、はんだバンプは電極上で一旦溶融し半球形状にするため高く形成しようとするとはんだ供給量を増やさなければならず、狭ピッチ化された電極間では隣接のはんだバンプと短絡する可能性が高くなる。そのため、狭ピッチ化の進行とともに電極上に高さのあるはんだバンプを形成することが困難になってきている。一方で、狭ピッチ化は、平面的にも充填樹脂流路が狭窄化されるため、狭ピッチ化により、アンダーフィル樹脂の充填の困難性は加速化される。

50

また、蒸着法、ソルダーペースト印刷法によりはんだバンプを形成する方法は、マスクが必要となる上にマスクの耐久性が乏しいために製造コスト増を招く。また、はんだボール供給法ははんだボール自体のコストが比較的高く、はんだボールを所要のレイアウトに整列させ半導体チップ上に搭載する装置が必要であり、ウェハ単位での一括搭載が難しいことから、トータルとしてのバンプ形成コストが高くなる。また、狭ピッチ化対応の更なる小径はんだボールは製造が難しく、要求されるボール径が小さくなればなるほど製造歩留まり低下がコスト高へ影響する。

さらに、メモリーセル上に配置された電極がある場合、はんだをバンプ材料として使用すると、はんだを構成する鉛や錫中に含まれる放射性元素の発生する線によりソフトエラーを引き起こすことがある。

また、金を使用したメッキバンプやスタッドバンプがあるが、金の資材コストが高いという問題点があり、金スタッドバンプにおいては個別形成するためバンプ数が増えるほど形成コストが増加する問題点もある。

さらに、金メッキを使用したバンプをはんだ接合した場合、金は濡れ性が良好であるため、側面にはんだが濡れ上がり、電極と金メッキの界面からはんだが侵入し、界面強度の低下、引いては剥離に到ることがあり、信頼性上の問題がある。

また、銅を用いたメッキバンプを利用してはんだ付けする手法も提案されている。例えば、特開平3-22437号公報には、電解メッキ法により銅バンプを形成した後、銅バンプの上半分が露出するように半導体基板上にポリイミド膜を形成し、ディッピングにより銅バンプ上にはんだ層を形成することが提案されている。しかし、このように厚い樹脂膜によって被覆されたフリップチップでは、配線基板上に実装した場合にアンダーフィル樹脂を充填することが困難となる。また、銅バンプとポリイミド膜との密着性が低いため、銅バンプ側面に特別な処理を施さない場合には、はんだが電極にまで濡れ上がり易く、金バンプの場合と同様に、剥離等の信頼性上の問題が生じる。

#### 【0004】

本発明の課題は、上述した従来技術の問題点を解決することであって、その目的は、第1に、電極が狭ピッチ化されてもチップ-基板間距離を十分に確保できるようにすることであり、第2に、低コストで作製可能なフリップチップのバンプ構造を提供することであり、第3に、ソフトエラーやパッド剥離などの信頼性低下を招く恐れの低い実装構造を提供することである。

#### 【0005】

##### 【課題を解決するための手段】

上記目的を達成するため、本発明によれば、電極上にバンプとなる導電性の柱状突起が半導体基板上に露出して形成されている半導体素子において、前記柱状突起の上面または上面および側面の上部部分が前記柱状突起のはんだ付け時に前記柱状突起のはんだに濡れる領域と、前記柱状突起の側面の電極寄りである下部部分がはんだに濡れにくい領域とに区画されており、かつ、前記はんだに濡れる領域には、はんだ付け時にフラックス成分に溶解する樹脂被膜が形成されていることを特徴とする半導体素子、が提供される。

#### 【0006】

また、上記目的を達成するため、本発明によれば、電極が形成された半導体基板上に、前記電極の位置に開口を有するメッキレジスト膜を形成する工程と、無電解メッキに対する活性化処理を行って活性化処理層を形成する工程と、前記メッキレジスト膜上の前記活性化層を除去する工程と、無電解メッキにより良導電性金属を前記開口内に堆積して柱状突起を形成する工程と、前記メッキレジスト膜を除去する工程と、前記柱状突起の表面に濡れ防止膜を形成する工程と、を含む半導体素子の製造方法、が提供される。

また、上記目的を達成するため、本発明によれば、電極が形成された半導体基板上全面にメッキ電極となる下地金属層を形成する工程と、前記電極の位置に開口を有するメッキレジスト膜を形成する工程と、電解メッキにより良導電性金属を柱状に堆積して柱状突起を形成する工程と、前記メッキレジスト膜を除去する工程と、前記柱状突起をマスクとして前記下地金属層をエッチング除去する工程と、前記柱状突起の表面に濡れ防止膜を形成

10

20

30

40

50

する工程と、前記柱状突起の実装基板への接続部の前記濡れ防止膜を除去する工程と、を含む半導体素子の製造方法、が提供される。

また、上記目的を達成するため、本発明によれば、電極が形成された半導体基板上全面にメッキ電極となる下地金属層を形成する工程と、前記電極の位置に開口を有するメッキレジスト膜を形成する工程と、電解メッキにより良導電性金属を柱状に堆積して柱状突起を形成する工程と、前記メッキレジスト膜を除去する工程と、前記柱状突起をマスクとして前記下地金属層をエッチング除去する工程と、前記柱状突起の濡れ防止膜の非形成領域を濡れ防止膜用マスクにて被覆する工程と、前記柱状突起の表面に濡れ防止膜を形成する工程と、前記濡れ防止膜用マスクを除去する工程と、を含む半導体素子の製造方法、が提供される。

10

#### 【0007】

また、上記目的を達成するため、本発明によれば、電極が形成された半導体基板上全面にメッキ電極となる下地金属層を形成する工程と、前記電極の位置に開口を有するメッキレジスト膜を形成する工程と、電解メッキにより良導電性金属を柱状に堆積して柱状突起を形成する工程と、前記メッキレジスト膜を除去する工程と、前記柱状突起をマスクとして前記下地金属層をエッチング除去する工程と、前記柱状突起の表面に濡れ防止膜を形成する工程と、を含み、前記濡れ防止膜が、CVD法により堆積されたシリコン酸化膜またはシリコン窒化膜であることを特徴とする半導体素子の製造方法、が提供される。

また、上記目的を達成するため、本発明によれば、電極が形成された半導体基板上全面にメッキ電極となる下地金属層を形成する工程と、前記電極の位置に開口を有するメッキレジスト膜を形成する工程と、電解メッキにより良導電性金属を柱状に堆積して柱状突起を形成する工程と、前記メッキレジスト膜を除去する工程と、前記柱状突起をマスクとして前記下地金属層をエッチング除去する工程と、前記柱状突起の表面に濡れ防止膜を形成する工程と、不活性ガスのプラズマに前記柱状突起を曝して前記柱状突起の実装基板への接続部の前記濡れ防止膜を除去する工程と、を含む半導体素子の製造方法、が提供される。

20

また、上記目的を達成するため、本発明によれば、電極が形成された半導体基板上全面にメッキ電極となる下地金属層を形成する工程と、前記電極の位置に開口を有するメッキレジスト膜を形成する工程と、電解メッキにより良導電性金属を柱状に堆積して柱状突起を形成する工程と、前記メッキレジスト膜にハーフエッチングを施して前記柱状突起の上部側面を露出させる工程と、前記柱状突起の上面および上部側面を前記柱状突起よりも酸化し難い金属からなるキャップ膜で被覆する工程と、前記メッキレジスト膜を除去する工程と、前記柱状突起をマスクとして前記下地金属層をエッチング除去する工程と、前記柱状突起の表面に濡れ防止膜を形成する工程と、を含む半導体素子の製造方法、が提供される。

30

また、上記目的を達成するため、本発明によれば、電極が形成された半導体基板上全面にメッキ電極となる下地金属層を形成する工程と、前記電極の位置に開口を有するメッキレジスト膜を形成する工程と、電解メッキにより良導電性金属を柱状に堆積して柱状突起を形成する工程と、前記メッキレジスト膜にハーフエッチングを施して前記柱状突起の上部側面を露出させる工程と、前記柱状突起の上面および上部側面をはんだ層で被覆する工程と、前記メッキレジスト膜を除去する工程と、前記柱状突起をマスクとして前記下地金属層をエッチング除去する工程と、前記柱状突起の表面に濡れ防止膜を形成する工程と、を含む半導体素子の製造方法、が提供される。

40

#### 【0008】

また、上記目的を達成するため、本発明によれば、半導体素子の電極上に形成された柱状突起の先端部若しくはこれとはんだ付けされる配線基板のパッド上のいずれか1項にフラックスを供給する工程と、前記柱状突起とはんだが所定量供給された配線基板のパッドとを位置合わせする工程と、加熱して前記配線基板のパッドへ前記柱状突起の先端部のみをはんだ付けする工程と、前記フラックスを洗浄・除去する工程と、を含み、前記はんだ付け工程以前には、前記柱状突起の上面、または、前記柱状突起の側面の上部部分および

50

上面が、はんだ付け時にフラックス作用を有する材料により溶解するプリフラックス材からなるキャップ膜により被覆されていることを特徴とする半導体装置の製造方法、が提供される。

【 0 0 0 9 】

[ 作用 ]

本発明においては、半導体素子と配線基板間との間は、従来のはんだ同士を接続若しくは金スタッドバンプと配線基板側のはんだとの接続方式とは異なり、半導体素子側の柱状バンプと配線基板上のパッド間が少量のはんだを介して接続、若しくははんだを介することなく直接接続されることを特徴としている。そして、本発明においては、はんだで接続される場合であっても、柱状バンプとはんだとの接触は、柱状バンプの上面若しくは上面と側面のごく一部に限定される。柱状バンプは、はんだ付け温度で溶融することのない金属を用いて電解メッキ法等により形成され、リフローにより丸められることがないため、底面サイズに対して比較的高いバンプを形成することができる。また、半導体チップを配線基板上に搭載した際に、柱状バンプは溶融せず形成初期の形状を保つため、配線基板 - 半導体チップ間の距離を十分に確保することが可能になり、フリップチップ接続後に信頼性向上の目的で行うアンダーフィル樹脂充填を容易にかつ信頼性高く実施することが可能になる。すなわち、狭ピッチ化した場合にバンプの小径化に伴って半導体チップと配線基板の隙間減少が発生するはんだ同士の接続に対して、作業性、信頼性の面で優位性がある。柱状バンプを電解メッキ法または無電解メッキ法を用いて形成することの他の特長としてウェハ単位の一括処理が可能な点が挙げられ、従来のボール搭載供給法に比べ低コストにて製造することが可能となる。また、半導体チップの配線基板への実装時にバンプ表面の酸化膜除去の目的で使用するフラックスの代わりにフラックス活性効果を有する熱硬化性樹脂を使用する場合には、無洗浄化が可能であり、洗浄工程削除によるコストダウンおよび洗浄残渣が無くなることによる信頼性向上効果がある。

また、はんだ使用量の低減あるいは削除が可能のため、誤動作の原因の一つである線量の低減あるいはゼロ化が可能であり、信頼性を高めることも出来る。また、本発明によれば、実装時にはんだが柱状バンプの基部にまで濡れ上がることがなく、密着層 / 接着層、接着層 / バンプなどの界面へのはんだ浸入による界面剥離を防止して信頼性の向上を図ることができる。

また、はんだを柱状バンプの側面一部まで濡れ上がらせた接合形状を作る場合には、バンプ形成の際にプロセスが増えるが、柱状バンプとはんだとの接触面積が増大したことにより応力が分散され、接合部信頼性を向上させることができる。

本発明の半導体装置製造方法においては、柱状バンプの上面または上面と側面の一部にキャップ膜またははんだメッキ層が形成されており、はんだが柱状バンプの上面全体を被う、または、はんだが柱状バンプの上端部全体を被う接合形状を安定して作ることが可能である。これにより、柱状バンプと接着層間の接合強度低下や応力集中部の形成を防止し、信頼性の高い接合部を得ることが出来る。

【 0 0 1 0 】

【 発明の実施の形態 】

次に、本発明の実施の形態に付いて、図面を参照して詳細に説明する。

図 1 は、本発明の半導体素子の第 1 の実施の形態を示す断面図である。図 1 に示されるように、半導体基板 1 上には内部回路に接続された電極 2 が形成されており、そして半導体基板 1 上は電極 2 上に開口を有するカバーコート 3 により覆われている。電極 2 上には、チタン (Ti) 等からなる密着層 4、銅 (Cu) 等からなる接着層 5 を介して銅等からなる柱状バンプ 6 が形成されている。柱状バンプ 6 の側面には、はんだの付着、濡れ上がり防止する濡れ防止膜 7 が形成されている。柱状バンプ 6 は、銅の外、銅合金やニッケル、ニッケル合金を用いて形成してもよい。

図 2 は、本発明の半導体素子の第 2 の実施の形態を示す断面図である。図 2 において、図 1 の部分と共通する部分には同一の参照番号が付けられているので重複する説明は省略する (他の実施の形態においても同様)。本実施の形態の図 1 に示した第 1 の実施の形態と

10

20

30

40

50

相違する点は、柱状バンプ 6 の上面に、柱状バンプ 6 の酸化を防止しはんだ付け時にはんだに濡れる領域を画定する金 (Au) 等からなるキャップ膜 8 が形成されている点である。

図 3 は、本発明の半導体素子の第 3 の実施の形態を示す断面図である。本実施の形態の図 1 に示した第 1 の実施の形態と相違する点は、柱状バンプ 6 の上面および側面の一部に、柱状バンプ 6 の酸化を防止しはんだ付け時にはんだに濡れる領域を画定する金 (Au) 等からなるキャップ膜 8 が形成されている点とキャップ膜 8 が形成された柱状バンプ 6 の側面部分から濡れ防止膜 7 が削除されている点である。

第 2、第 3 の実施の形態において、キャップ膜 8 が柱状バンプに対し十分にはんだ濡れ性の高い材料で形成されているときは、濡れ防止膜を省略することができる。また、金属製のキャップ膜に代え、プリフラックスコート材料として知られる、はんだ付け時にフラックスにより溶解する樹脂材料を用いてキャップ膜を形成するようにしてもよい。

図 4 は、本発明の半導体素子の第 4 の実施の形態を示す断面図である。本実施の形態の図 1 に示した第 1 の実施の形態と相違する点は、柱状バンプ 6 上面にはんだメッキ層 9 が形成されている点である。

図 5 は、本発明の半導体素子の第 5 の実施の形態を示す断面図である。本実施の形態の図 1 に示した第 1 の実施の形態と相違する点は、柱状バンプ 6 の上面および側面の一部にはんだメッキ層 9 が形成されている点とはんだメッキ層 9 が形成された柱状バンプ 6 の側面部分から濡れ防止膜 7 が削除されている点である。図 6 は、本発明の半導体素子の第 6 の実施の形態を示す断面図である。本実施の形態の図 4 に示した第 4 の実施の形態と相違する点は、はんだメッキ層 9 の上面に薄い金属層 10 が形成されている点である。

図 7 は、本発明の半導体素子の第 7 の実施の形態を示す断面図である。本実施の形態の図 5 に示した第 5 の実施の形態と相違する点は、はんだメッキ層 9 の上面および側面に薄い金属層 10 が形成されている点である。

第 6、第 7 の実施の形態において、金属に代え金合金層を用いることができる。

#### 【 0 0 1 1 】

図 8 ( a ) ~ ( e ) は、本発明の半導体素子の製造方法の第 1 の実施の形態を示す工程順の断面図である。半導体基板 1 上の電極 2 とカバーコート 3 上全面にスパッタ法等により密着層 4 と接着層 5 を被着する〔図 8 ( a )〕。密着層 4 は、チタンにより好適に形成されるが、チタン以外に窒化チタン、チタン/タンゲステン合金等のチタン合金を含む単層または複数層、クロム、クロム/銅合金を含む単層または複数層であってもよい。接着層 5 は、銅により好適に形成されるが、銅以外に形成される柱状バンプ (銅メッキ膜など) と密着力が強く、電気抵抗が小さい金属の範囲であれば特に限定されない。次に、フォトレジスト等を用いて、電極 2 上に開口を有する、形成すべきバンプの高さ以上の膜厚を有するメッキレジスト膜 19 を形成し、これをマスクとして電解メッキを行い、柱状バンプ 6 を形成する〔図 8 ( b )〕。次に、メッキレジスト膜 19 をアッシング等により除去し、露出した接着層 5 および密着層 4 を柱状バンプ 6 をマスクとしてエッチング除去する〔図 8 ( c )〕。次いで、酸化性雰囲気中で熱処理を行い、柱状バンプ 6 の表面に濡れ防止膜 7 を形成する〔図 8 ( d )〕。次に、アルゴン (Ar) 等の不活性ガスのプラズマに曝して柱状バンプ 6 の上面の濡れ防止膜のみをスパッタ除去する〔図 8 ( e )〕。

不要な濡れ防止膜を不活性ガスのプラズマに曝して除去する方式に代え、濡れ防止膜を形成する必要のない部分をマスクにより保護した上で酸化処理を行い、その後マスクを除去するようにしてもよい。また、濡れ防止膜 7 は、プラズマ CVD 法等の成膜技術によりシリコン酸化膜やシリコン窒化膜等を堆積して形成してもよい。この場合にも、濡れ防止膜を全面に形成した上で不要な濡れ防止膜を不活性ガスのプラズマに曝して除去することができる。あるいは、濡れ防止膜を形成する必要のない部分をマスクにより被覆した上で成膜を行い、その後マスクを除去するようにしてもよい。濡れ防止膜 7 をプラズマ CVD 法等の成膜技術により形成する場合、密着層 4、接着層 5 の側面にも柱状バンプ 6 の側面とほぼ同等の膜厚の濡れ防止膜 7 が形成されることになる。

図 9 ( a ) ~ ( e ) は、本発明の半導体素子の製造方法の第 2 の実施の形態を示す工程順

10

20

30

40

50



の断面図である。本実施の形態において、図9(b)に示す工程までは、第1の実施の形態と同様である。その後、電解メッキ法若しくは無電解メッキ法によりキャップ膜8を柱状バンプ6の上面に形成する〔図9(c)〕。メッキレジスト膜19およびその下の密着層4および接着層5を除去〔図9(d)〕した後、酸化性雰囲気中で熱処理を行って柱状バンプ6の側面に濡れ防止膜7を形成する〔図9(e)〕。

図10(a)~(f)は、本発明の半導体素子の製造方法の第3の実施の形態を示す工程順の断面図である。本実施の形態において、図10(b)に示す工程までは、第1の実施の形態と同様である。その後、メッキレジスト膜19に対してハーフエッチングを行って柱状バンプ6の側面の一部を露出させる〔図10(c)〕。続いて、電解メッキ法若しくは無電解メッキ法によりキャップ膜8を柱状バンプ6の上面および上部側面に形成し〔図10(d)〕。メッキレジスト膜19およびその下の密着層4および接着層5を除去〔図10(e)〕した後、酸化性雰囲気中で熱処理を行って柱状バンプ6の側面に濡れ防止膜7を形成する〔図10(f)〕。

10

第2、第3の実施の形態についても、第1の実施の形態と同様に、濡れ防止膜7をプラズマCVD法等の成膜技術を用いて形成することができ、その際にマスクを用いて膜非形成領域を被覆した上で成膜することができる。他の実施の形態についても同様である。

第2、第3の実施の形態において、キャップ膜8の材料には金が有利に用いられるが、はんだ濡れ性に優れ、柱状バンプの酸化を防止できる材料であれば用いることが出来、外に、金合金、錫、インジウムまたはパラジウム等も利用可能である。

図11(a)~(e)は、本発明の半導体素子の製造方法の第4の実施の形態を示す工程順の断面図である。本実施の形態において、図11(b)に示す工程までは、第1の実施の形態と同様である。柱状バンプの形成に続けて、電解メッキ法によりはんだメッキ層9を柱状バンプ6の上面に形成する〔図11(c)〕。次に、メッキレジスト膜19とその下の密着層4および接着層5を除去し〔図11(d)〕、酸化性雰囲気中で熱処理を行って柱状バンプ6の表面に濡れ防止膜7を形成した後、不活性ガスのプラズマに曝してはんだメッキ層9上の酸化膜をスパッタ除去する〔図11(e)〕。

20

図12(a)~(f)は、本発明の半導体素子の製造方法の第5の実施の形態を示す工程順の断面図である。本実施の形態は、はんだメッキ層9を形成する前にメッキレジスト膜19をハーフエッチングする〔図12(c)〕点を除いて、図11に示した第4の実施の形態と同様である。

30

第4、第5の実施の形態において、はんだメッキ層9は錫/鉛共晶合金を用いて形成することができるが、これに限定されずはんだ材として使用されている材料を適宜採用することができる。また、鉛を含まないはんだは好適に採用される。また、第4、第5の実施の形態において、はんだメッキ層9の形成後、引き続き電解若しくは無電解メッキを行って、図6、図7に示すように、はんだメッキ層9上に薄く金属層を形成するようによい。

バンプは無電解メッキ法により形成するようによい。この場合、図9(a)に示す状態で、密着層と接着層のパターニングを行い、バンプ形成個所に開口を有するレジスト膜を形成し、亜鉛(Zn)等による活性化処理を行い、必要に応じて不要な活性化物層を除去し、ニッケル(Ni)等の無電解メッキを行ってバンプを形成した後、レジスト膜を除去する。密着層と接着層のパターニングは、バンプ形成後バンプをマスクとして行ってもよい。また、密着層と接着層を形成することなく電極上に直接バンプを形成するようによい。

40

#### 【0012】

図13は、本発明の半導体装置の第1の実施の形態を示す断面図である。本発明に係る半導体素子は、表面にパッド14とソルダーレジスト膜13が形成された配線基板12上に搭載される。本実施の形態においては、半導体素子の柱状バンプ6は、その上面(本明細書においては柱状バンプの電極2と反対側の面を上面と称する)においてのみ配線基板12上のパッド14とはんだフィレット11により接合されている。

図14は、本発明の半導体装置の第2の実施の形態を示す断面図である。本実施の形態の

50

図 13 に示した第 1 の実施の形態と相違する点は、柱状バンプ 6 の上面にキャップ膜 8 が形成されている点である。

図 15 は、本発明の半導体装置の第 3 の実施の形態を示す断面図である。本実施の形態の図 13 に示した第 1 の実施の形態と相違する点は、半導体素子の柱状バンプ 6 が、その上面のみならずその側面の一部においてもはんだフィレット 11 と接合されている点である。

図 16 は、本発明の半導体装置の第 4 の実施の形態を示す断面図である。本実施の形態の図 15 に示した第 3 の実施の形態と相違する点は、半導体素子の柱状バンプ 6 の上面および側面の一部にキャップ膜 8 が形成されている点である。

図 17 は、本発明の半導体装置の第 5 の実施の形態を示す断面図である。本実施の形態においては、半導体素子の柱状バンプ 6 は、はんだを介することなく配線基板 12 上のパッド 14 に直接接合されている。

10

図 18 は、本発明の半導体装置の第 6 の実施の形態を示す断面図である。本実施の形態においては、半導体素子の柱状バンプ 6 は、配線基板 12 上のパッド 14 にキャップ膜 8 を介して接合されている。

#### 【 0013 】

図 19 ( a ) ~ ( c ) は、本発明の半導体装置の製造方法の第 1 の実施の形態を示す工程順の断面図である。本実施の形態は、図 1 に示した半導体素子の実装方法に係る。半導体素子の柱状バンプ 6 の先端部にフラックス 15 を供給し、また配線基板 12 のパッド 14 上にははんだ層 16 を形成しておく〔図 19 ( a )〕。柱状バンプ 6 がパッド 14 上に位置するように半導体素子の位置決めを行った後、配線基板 12 上に半導体素子を搭載し、はんだリフローを行って柱状バンプ 6 をパッド 14 にはんだフィレット 11 を介して接合する〔図 19 ( b )〕。フラックス 15 を洗浄・除去した後、アンダーフィル樹脂 17 を充填し、硬化させる〔図 19 ( c )〕。

20

はんだ層 16 は、はんだペースト層であってもよく、またそれをリフローしたものであってもよい。はんだ層 16 には、錫/鉛共晶はんだが好適に用いられるが、これに限定されず、錫/鉛（共晶を除く）、錫/銀、錫/銅、錫/亜鉛、およびこれらの材料に他の添加元素をさらに加えた合金を用いることができる。

本実施の形態においては、フラックス 15 を柱状バンプ 6 側に塗布していたが、これに代えはんだ層 16 上ないしパッド 14 上に塗布するようにしてもよい。他の実施の形態についても同様である。また、本実施の形態のはんだ付け工程において、半導体素子を所定の圧力で配線基板側へ押圧することが望ましい。これにより、応力が集中するくびれ構造が形成されないようにすることができる。

30

図 20 ( a ) ~ ( c ) は、本発明の半導体装置の製造方法の第 2 の実施の形態を示す工程順の断面図である。本実施の形態は、図 2 に示した半導体素子の実装方法に係る。本実施の形態の、図 19 に示した第 1 の実施の形態と相違する点は、柱状バンプ 6 の上面にキャップ膜 8 が形成されている点である。なお、キャップ膜 8 が薄い金（または金合金）膜あるいはフラックスに溶解する樹脂膜により形成されている場合には、キャップ膜 8 ははんだ溶融時にはんだ内あるいはフラックス内に溶け込むため、はんだリフロー終了後には、図 20 ( b )、( c ) に示されるように、消滅してしまう。

40

図 21 ( a ) ~ ( c ) は、本発明の半導体装置の製造方法の第 3 の実施の形態を示す工程順の断面図である。本実施の形態は、図 4 に示した半導体素子の実装方法に係る。上面のみにはんだメッキ層 9 を形成した柱状バンプ 6 の先端部にフラックス 15 を塗布し〔図 21 ( a )〕、位置決め後、半導体素子を配線基板上に搭載し、リフローを行ってはんだフィレット 11 を形成する〔図 21 ( b )〕。その後の処理は、図 19 に示す第 1 の実施の形態と同様である。

図 22 ( a ) ~ ( c ) は、本発明の半導体装置の製造方法の第 4 の実施の形態を示す工程順の断面図である。本実施の形態は、図 1 に示した半導体素子の実装方法に係る。本実施の形態の図 19 に示した第 1 の実施の形態と相違する点は、フラックスに代えフラックス活性効果を有する熱硬化性樹脂（以下、活性樹脂）を用いてはんだ付けを行っている点で

50

ある。すなわち、半導体素子の柱状バンプ 6 の先端部に活性樹脂 18 を供給し、また配線基板 12 のパッド 14 上にははんだ層 16 を形成しておく〔図 22 (a)〕。位置決め後、半導体素子を配線基板 12 上に搭載し、はんだリフローを行って柱状バンプ 6 をパッド 14 にはんだフィレット 11 を介して接合する〔図 22 (b)〕。そして、活性樹脂 18 を残したままアンダーフィル樹脂 17 を充填し、硬化させる〔図 22 (c)〕。

本実施の形態においては、活性樹脂 18 を柱状バンプ 6 側に塗布していたが、これに代えはんだ層 16 上ないしパッド 14 上に塗布するようにしてもよい。他の実施の形態についても同様である。

図 23 (a) ~ (c) は、本発明の半導体装置の製造方法の第 5 の実施の形態を示す工程順の断面図である。本実施の形態は、図 2 に示した半導体素子の実装方法に係る。本実施の形態の図 20 に示した第 2 の実施の形態と相違する点は、フラックスに代え活性樹脂 18 を用いてはんだ付けを行っている点のみであるので、詳細な説明は省略する。なお、キャップ膜 8 が薄い金（または金合金）膜あるいはフラックスに溶解する樹脂膜により形成されている場合には、キャップ膜 8 ははんだ溶融時にはんだ内あるいは活性樹脂内に溶け込むため、はんだリフロー終了後には、図 23 (b)、(c) に示されるように、消滅してしまう。

10

図 24 (a) ~ (c) は、本発明の半導体装置の製造方法の第 6 の実施の形態を示す工程順の断面図である。本実施の形態は、図 4 に示した半導体素子の実装方法に係る。本実施の形態の図 21 に示した第 3 の実施の形態と相違する点は、フラックスに代え活性樹脂 18 を用いてはんだ付けを行っている点のみであるので、詳細な説明は省略する。

20

#### 【0014】

図 25 (a) ~ (c) は、本発明の半導体装置の製造方法の第 7 の実施の形態を示す工程順の断面図である。本実施の形態は、図 3 に示した半導体素子の実装方法に係る。上面および側面の一部にキャップ膜 8 が形成された柱状バンプ 6 の先端部にフラックス 15 を供給し、また配線基板 12 のパッド 14 上にははんだ層 16 を形成しておく〔図 25 (a)〕。位置決め後、配線基板 12 上に半導体素子を搭載し、はんだリフローを行うと、はんだはキャップ膜 8 に沿って濡れ上がるため、はんだフィレット 11 は柱状バンプ 6 の側面にまで形成される〔図 25 (b)〕。そして、フラックス 15 を洗浄・除去した後、アンダーフィル樹脂 17 を充填し、硬化させる〔図 25 (c)〕。なお、キャップ膜 8 が薄い金（または金合金）膜あるいはフラックスに溶解する樹脂膜により形成されている場合には、キャップ膜 8 ははんだ溶融時にはんだ内あるいはフラックス内に溶け込むため、はんだリフロー終了後には、図 25 (b)、(c) に示されるように、消滅してしまう。

30

図 26 (a) ~ (c) は、本発明の半導体装置の製造方法の第 8 の実施の形態を示す工程順の断面図である。本実施の形態は、図 5 に示した半導体素子の実装方法に係る。本実施の形態は、柱状バンプ 6 の側面の一部にもはんだメッキ層 9 が形成されている点を除いて、図 21 に示した第 3 の実施の形態と同様であるので、詳細な説明は省略する。

図 27 (a) ~ (c) は、本発明の半導体装置の製造方法の第 9 の実施の形態を示す工程順の断面図である。本実施の形態は、図 3 に示した半導体素子の実装方法に係る。本実施の形態の図 25 に示した第 7 の実施の形態と相違する点は、フラックスに代え活性樹脂 18 を用いてはんだ付けを行っている点のみであるので、詳細な説明は省略する。なお、キャップ膜 8 が薄い金（または金合金）膜あるいはフラックスに溶解する樹脂膜により形成されている場合には、キャップ膜 8 ははんだ溶融時にはんだ内あるいは活性樹脂内に溶け込むため、はんだリフロー終了後には、図 27 (b)、(c) に示されるように、消滅してしまう。

40

図 28 (a) ~ (c) は、本発明の半導体装置の製造方法の第 10 の実施の形態を示す工程順の断面図である。本実施の形態は、図 5 に示した半導体素子の実装方法に係る。本実施の形態の図 26 に示した第 8 の実施の形態と相違する点は、フラックスに代え活性樹脂 18 を用いてはんだ付けを行っている点のみであるので、詳細な説明は省略する。

第 7 ~ 第 11 の実施の形態において、フラックスや活性樹脂の酸化膜除去能力および供給量については、これら実施の形態の特徴的な構造である、はんだが柱状バンプの側面の一

50

部まで濡れ上がったフィレット形状を得るため、適宜調整する必要がある。

図29(a)~(c)は、本発明の半導体装置の製造方法の第11の実施の形態を示す工程順の断面図である。本実施の形態において用いられる半導体素子の柱状バンプ6の上面および側面の上部部分は、はんだ付け時にフラックスに溶解する樹脂材料からなるキャップ膜8によって被覆されている。この被覆により、柱状バンプ6の接合部は、大気中においても酸化されることがなく、清浄な状態に維持される。配線基板12のパッド14上に形成されたはんだ層16上にはフラックスを塗布しておく〔図29(a)〕。柱状バンプ6がパッド14上に位置するように半導体素子の位置決めを行った後、配線基板12上に半導体素子を搭載し、はんだリフローを行うと、キャップ膜8が溶解して柱状バンプ6の接合部が露出され、柱状バンプ6はパッド14にはんだ付けされる〔図29(b)〕。フラックス15を洗浄・除去した後、アンダーフィル樹脂17を充填し、硬化させる〔図29(c)〕。

10

本実施の形態においては、フラックス15をはんだ層16に塗布していたが、これに代え柱状バンプ6側に塗布するようにしてもよい。また、フラックスに代えフラックス作用を有する活性樹脂を用いてもよい。

#### 【0015】

第7~第11の実施の形態において、フラックスや活性樹脂の酸化膜除去能力および供給量については、これら実施の形態の特徴的な構造である、はんだが柱状バンプの側面の一部まで濡れ上がったフィレット形状を得るため、適宜調整する必要がある。すなわち、本発明の半導体装置製造プロセスにおいて所要の接合形状を安定して得るために重要なことは、フラックス若しくは活性樹脂が適切な酸化膜の除去能力を持ち、適切な量を供給されているかという点である。酸化膜除去能力が強すぎると濡れさせたくない柱状バンプの根元まではんだが濡れ上がってはんだが柱状バンプを包む形状となり、柱状バンプと接着層、若しくは接着層と密着層の間にはんだが進入して接着強度を低下させ剥離に至る恐れが発生する。また、酸化膜除去能力があまり弱くても銅バンプとはんだの界面で金属接合が安定して行われず接続不良となる。従って、適切な酸化膜除去能力を持つフラックス若しくは活性樹脂の選択、および適切な量を均一に供給することが重要である。

20

しかし、本発明の半導体素子のはんだ付けにおいて、フラックス若しくは活性樹脂は必須ではなく、接合界面やはんだ層表面が十分に清浄に保たれている場合には、これらを用いることなくはんだ付けを行うことも出来る。次の第12、第13の実施の形態はフラックス若しくは活性樹脂を用いないはんだ付け方法に係る。

30

#### 【0016】

図30(a)~(c)は、本発明の半導体装置の製造方法の第12の実施の形態を示す工程順の断面図である。本実施の形態は、図7に示した半導体素子の実装方法に係る。本実施の形態においては、柱状突起6の上部に設けられたはんだメッキ層9の表面に金属10が設けられると共にパッド14上にも金属10が設けられる〔図30(a)〕。これら金属が形成されていることにより、はんだメッキ層9およびパッド14の表面は酸化されることなく清浄な状態に保持される。柱状バンプ6がパッド14上に位置するように半導体素子の位置決めを行った後、配線基板12上に半導体素子を搭載し、はんだリフローを行うと、金属10ははんだ内に溶け込み、柱状バンプ6はパッド14にはんだフィレット11を介して接合される〔図30(b)〕。その後、アンダーフィル樹脂17を充填し、硬化させる〔図30(c)〕。

40

本実施の形態においては、はんだメッキ層9およびパッド14上の双方に金属10が形成されていたが、いずれか一方のみであってもよい。その場合には、保管、搬送、実装の一連の過程は、真空、還元性雰囲気などの非酸化性雰囲気中にて行い、接合部表面が汚染されることのないようにすることが肝要である。

図31(a)~(c)は、本発明の半導体装置の製造方法の第13の実施の形態を示す工程順の断面図である。本実施の形態において用いられる半導体素子の柱状バンプ6の上面および側面の上部部分は、薄い金属10によって被覆されている。また、パッド14上のはんだ層16上にも金属10が形成されている〔図31(a)〕。位置決め後、配線基板

50

12 上に半導体素子を搭載し、はんだリフローを行うと、金属10 ははんだ内に溶け込み、柱状バンプ6 はパッド14 にはんだフィレット11 を介して接合される〔図31(b)〕。その後、アンダーフィル樹脂17 を充填し、硬化させる〔図31(c)〕。

本実施の形態においては、金属10 は、柱状バンプ6 とはんだ層16 上の双方に形成されていたが、いずれか一方のみであってもよい。一方に金属が形成されない場合には、取り扱いは、真空、還元性雰囲気などの非酸化性雰囲気中にて行い、接合部表面が汚染されることのないようにすることが肝要である。

#### 【0017】

図32(a)~(c) は、本発明の半導体装置の製造方法の第14の実施の形態を示す工程順の断面図である。半導体素子および配線基板の表面をアルゴン等の不活性ガスのプラズマ雰囲気に曝して柱状バンプ6 とパッド14 の接合面を清浄化する〔図32(a)〕。位置決め後、配線基板12 上に半導体素子を搭載し、加圧してパッド14 に柱状バンプ6 の先端部を圧着する〔図32(b)〕。このとき、加熱、超音波のいずれかの手段または両方の手段を併用するようにしてもよい。その後、アンダーフィル樹脂17 を充填し、硬化させる〔図32(c)〕。

図33(a)~(c) は、本発明の半導体装置の製造方法の第15の実施の形態を示す工程順の断面図である。本実施の形態では、配線基板のパッド14 上に予め金等からなるキャップ膜8 が形成されている。本実施の形態の、図32に示した第11の実施の形態と相違する点は、パッド14 上にキャップ膜8 が形成されている点のみであるので、詳細な説明は省略する。

本実施の形態では、配線基板のパッド側にのみキャップ膜8 が形成されていたが、逆に柱状バンプ側にのみキャップ膜を形成するようにできる。また、第11、第12の実施の形態のように、少なくとも一方の接合面にキャップ膜が形成されていない場合には、真空または非酸化性雰囲気において接合を行うことがより好ましい。すなわち、プラズマによる清浄化処理から接合を実行するまでの環境を真空または非酸化性雰囲気状態に維持することがより好ましい。

図34(a)~(c) は、本発明の半導体装置の製造方法の第16の実施の形態を示す工程順の断面図である。本実施の形態では、半導体素子に、柱状バンプ6 の上面にキャップ膜8 が形成されているものを用い、また配線基板のパッド14 上にも予めキャップ膜8 を形成しておく。本実施の形態の、図32に示した第11の実施の形態と相違する点は、柱状バンプ6 上およびパッド14 上にキャップ膜8 が形成されている点のみであるので、詳細な説明は省略する(実施例3参照)。

#### 【0018】

##### 【実施例】

次に、本発明の実施例について図面を参照して詳細に説明する。

##### [実施例1]

本発明の実施例1について、半導体素子の製造方法を図9を参照して説明する。まず半導体基板1 上に形成されたアルミニウム合金の配線層上にシリコン酸化膜のカバーコート3 を形成し、配線層先端部に形成された電極2 上のカバーコート除去する。次に、密着層4 としてチタン、接着層5 として銅の膜を順にスパッタリングにより全面に形成する。カバーコート膜の厚さを4.5  $\mu\text{m}$ 、密着層の厚さを60 nm、接着層の厚さを500 nmとした。次に、メッキレジスト膜19 を形成し、電解メッキにより柱状バンプ6 として銅を堆積させる。この時柱状バンプの寸法は、直径約140  $\mu\text{m}$ 、高さ約90  $\mu\text{m}$ とした。その後続けて金メッキを行って柱状バンプ上面に約0.1  $\mu\text{m}$ 厚さのキャップ膜8 を形成し、メッキレジストを剥離した後、銅バンプをマスクとして接着層および密着層の不要な部分をウェットエッチングにより除去し、酸化性雰囲気中で熱処理を行って柱状バンプの側面に濡れ防止膜7 を形成して、銅の柱状バンプ形成が完了する。濡れ防止膜7 はメッキレジスト剥離直後に形成してもよい。

#### 【0019】

次に、銅の柱状バンプを有する半導体素子の配線基板への実装方法を図20を参照して説

10

20

30

40

50

明する。まず、ガラス板等の平滑、平坦なプレート上にスキージングでフラックス15を約40 $\mu\text{m}$ の厚さ均一に塗付し、柱状バンプを押しつけ先端にフラックスを転写させる。フラックスを転写させる方法は、ピン上のフラックスを転写するピン転写法などであってもよく、銅バンプの先端への安定した補給が可能な範囲でその方法は制約されない。この後半導体チップを配線基板に実装するが、配線基板には予めパッド部に錫/鉛共晶はんだペーストを印刷により供給し、リフロー後平板を基板面に平行に押しつけ、はんだ上部を潰して高さが均一になるようにしておく。次に、柱状バンプが配線基板のパッド上に位置するように半導体素子を位置決めした後配線基板上に搭載し、半導体素子を押しつつはんだリフローして柱状バンプ6を配線基板のパッド14に接続する。半導体素子と配線基板の接合形状は、柱状バンプの上面のみにはんだ濡れ性の良好なキャップ膜が形成されており側面には濡れ防止膜が形成されているため、側面へはんだが回り込むことがなく、柱状バンプの上面のみがパッドと接合したものとなる。すなわち、はんだが柱状バンプを濡れ上がって柱状バンプと接着層あるいは接着層と密着層の間にまで到達してその接合強度を低下させることがなく、かつくびれ形状のような応力集中部を作らないため、信頼性の高い構造が形成できる。次に、フラックス15を洗浄・除去した後、アンダーフィル樹脂17を側面より注入し、充填後硬化させ半導体素子の実装が完了する。本実施例では、配線基板にはんだペーストを供給した後一旦溶融、固化させたものにフリップチップを実装していたが、はんだペーストを溶融・固化させずにフリップチップを搭載、接合することも出来る。

10

【0020】

20

[実施例2]

本発明の実施例2について、半導体素子の製造方法を図10を参照して説明する。実施例1の場合と同様に、図10(b)に示すように、電極2上に、厚さ60nmの密着層、厚さ500nmの接着層、直径約140 $\mu\text{m}$ 、高さ約90 $\mu\text{m}$ の柱状バンプ6を形成した後、メッキレジスト膜19に酸素プラズマによるエッチング処理を施し、柱状バンプの上部を約15 $\mu\text{m}$ 露出させ、金メッキを行って約0.1 $\mu\text{m}$ 厚さのキャップ膜8を形成する。その後、メッキレジストを剥離し、柱状バンプをマスクとして接着層および密着層の不要部分をウェットエッチングにより化学的に除去し、酸化性雰囲気中熱処理を行って銅の柱状バンプの側面に濡れ防止膜7を形成する。次に、このようにして形成された柱状バンプを有する半導体素子の配線基板への実装方法を図25を参照して説明する。図25(a)に示すように、配線基板のパッド上に予めはんだ層16を形成しておくと共に、柱状バンプ6の先端部にフラックス15を塗布する。次に、柱状バンプが配線基板のパッド上に位置するように半導体素子を位置決めした後配線基板上に搭載し、半導体素子を押しつつはんだリフローして柱状バンプ6を配線基板のパッド14に接続する。半導体素子と配線基板の接合形状は、柱状バンプの上面と側面の一部にはんだ濡れ性の良好なキャップ膜が形成されおり側面には濡れ防止膜が形成されているため、はんだフィレット11が柱状バンプの上部を包み込むように形成される。そして、はんだが柱状バンプの基部にまで濡れ上がることがない。次に、フラックス15を洗浄・除去した後、アンダーフィル樹脂17を側面より注入し、充填後硬化させ半導体素子の実装が完了する。

30

【0021】

40

[実施例3]

次に、本発明の実施例3として、半導体素子の製造方法を図12を参照して説明する。実施例1の場合と同様に、カバーコートを形成した後、密着層4としてクロム/銅、接着層5として銅を順にスパッタリングして全面に密着層と接着層を形成する。密着層4の厚さを100nm、接着層5の厚さを500nmとした。メッキレジスト膜19を形成し、直径約140 $\mu\text{m}$ 、高さ約90 $\mu\text{m}$ の銅の柱状バンプ6を電解メッキにより形成した後、ドライ法によりエッチング処理を施し、メッキレジストと銅のエッチング速度の差を利用して銅バンプの上部を露出させる。露出させる部分の高さは約15 $\mu\text{m}$ とした。次に、電解メッキにより銅バンプの上に錫96.5重量%/銀3.5重量%の共晶合金のはんだメッキ層9を約15 $\mu\text{m}$ の厚さに形成する。

50

## 【 0 0 2 2 】

この時、はんだメッキ層 9 は柱状バンプの側面上にも形成されるため、後の溶融接続時に電極間ショートが起こらないように膜厚の制御が重要である。次に、メッキレジスト剥離し、余分な密着層および接着層をウェットエッチングで除去した後、酸化性雰囲気にて熱処理を行って柱状バンプ 6 の側面に濡れ防止膜 7 を形成し、プラズマ処理を行ってはんだメッキ層 9 上に形成された酸化膜を除去する。

次に、上記のように形成された半導体素子の配線基板への実装方法を図 2 8 を参照して説明する。銅バンプ上のはんだメッキ層 9 の先端に活性樹脂 1 8 をガラス板等の平滑、平坦なプレート上にスキージングで約 4 0  $\mu\text{m}$  の厚さ均一に塗付し、これに柱状バンプを押しつけ先端に熱硬化性樹脂（活性樹脂 1 8 ）を転写させる。活性樹脂 1 8 を転写させる方法

10

は、ピン転写など柱状バンプの先端への安定した補給が可能な範囲で制約されない。通常はバンプ表面の酸化膜除去のためにフラックスを使用しているが、実装後のフラックス洗浄は、半導体素子と配線基板の狭い隙間を洗浄しなければならないために特別な洗浄装置の導入が必要となり、洗浄時間も長時間を要しコストアップの要因になっている。また、洗浄残渣が残りやすく信頼性低下の一要因となっている。また、今後の微細ピッチ化によって隙間洗浄は益々難しくなることが予想される。本実施例のように活性樹脂を使用すれば、無洗浄化によって、工数および設備投資の削減、製品歩留まりの向上、実装信頼性の向上の面で効果がある。

## 【 0 0 2 3 】

活性樹脂 1 8 を塗布した後、半導体素子を配線基板上に位置決めして搭載し、リフローを行って柱状バンプと配線基板のパッドとを接続する。最後にアンダーフィル樹脂を隙間に充填し、硬化させて半導体素子の実装工程を完了する。

20

ここでは活性樹脂を転写し実装しているが、活性樹脂に変えてフラックスを使用することもできる。また、柱状バンプ上に形成したはんだ層の上に金メッキを薄く施すと接合性はさらに向上し、フラックスを使用しないで接合することもできる。

本実施例においては活性樹脂をバンプ先端に微量転写し、アンダーフィル樹脂を後充填したが、信頼性がアンダーフィル樹脂と同等以上に高い活性樹脂を用いれば、配線基板上に適量の活性樹脂を供給し、半導体チップを基板上に搭載し、リフロー時に樹脂硬化も行うようにして、樹脂注入を行うことなく樹脂充填を実現することもできる。また、実施例 1 ~ 3 において、酸化防止のためにはフラックス成分に可溶性樹脂皮膜をパッド上、はんだ層上、はんだメッキ層上等に設けてもよい。さらに、バンプ先端に転写し接続に使用したフラックスの代わりにフラックス効果を有し、接合時の熱量により硬化して接続後に接続部補強する活性樹脂を使用することも可能である。

30

## 【 0 0 2 4 】

## [ 実施例 4 ]

次に、本発明の第 4 の実施例について、半導体素子の製造方法を図 2 を用いて説明する。まず、半導体基板 1 上全面に酸化シリコンを堆積してカバーコート 3 を形成し、その一部除去してアルミニウム合金製の電極 2 の表面を露出させた後、密着層 4 としてチタン、接着層 5 として銅の膜を順にスパッタリングして密着層と接着層を全面に形成する。カバーコートの厚さを 4 . 5  $\mu\text{m}$ 、密着層の厚さを 6 0 n m、接着層の厚さを 5 0 0 n m とした

40

## 【 0 0 2 5 】

次に、銅バンプを有する半導体素子の配線基板への実装工程を図 3 4 を参照して説明する。本実施例においては、配線基板 1 2 のパッド 1 4 上にもキャップ膜 8 （金メッキ層）が形成されている。半導体素子を配線基板へ搭載する直前に、半導体素子と配線基板とにアルゴンプラズマ洗浄を実施する。この後、半導体素子と配線基板とを位置合わせして半導

50

体素子を配線基板上に搭載し、パンプあたりおよそ5～50gf(0.049～0.49N)の荷重を印加しつつ、350℃に加熱してパンプ-パッド間を接合する。ここではフラックスを使用していないため洗浄する必要が無く、この直後にアンダーフィル樹脂を側面より注入し、充填後樹脂を硬化させる。

【0026】

【発明の効果】

以上説明したように、本発明は、半導体素子上の柱状パンプを少量のはんだを用いて若しくははんだを用いることなく配線基板上のパッドに接続するものである。ソフトエラーの原因となる線量を低減して信頼性の向上を図ることができる。また、柱状パンプのはんだと接合される部位が、柱状パンプの上面若しくは上面と上面近辺のパンプ側面に限定されるため、パンプが高くなってもパンプ径を太くする必要がなく、半導体基板と配線基板間の距離を確保しつつ多ピン化に対応することができる。したがって、本発明によれば、LSIの高密度化が進行してもアンダーフィル樹脂の充填を容易にかつ信頼性高く実行することが可能になる。また、本発明によれば、はんだが柱状パンプの基部にまで濡れ上がって柱状パンプと接着層あるいは接着層と密着層の間の接合強度を低下させることがないので、信頼性向上を図ることができる。

本発明の柱状パンプは、ウェハ段階において電解メッキ法等により形成するものである。はんだボール搭載法に比べ低コストで製造することが可能である。また、フリップチップ実装時に使用するフラックスの代わりにフラックス活性効果を有する熱硬化性樹脂(活性樹脂)を使用する実施例によれば、洗浄工程削減による低コスト化と、洗浄残渣が

【図面の簡単な説明】

【図1】 本発明の半導体素子の第1の実施の形態を示す断面図。

【図2】 本発明の半導体素子の第2の実施の形態を示す断面図。

【図3】 本発明の半導体素子の第3の実施の形態を示す断面図。

【図4】 本発明の半導体素子の第4の実施の形態を示す断面図。

【図5】 本発明の半導体素子の第5の実施の形態を示す断面図。

【図6】 本発明の半導体素子の第6の実施の形態を示す断面図。

【図7】 本発明の半導体素子の第7の実施の形態を示す断面図。

【図8】 本発明の半導体素子の製造方法の第1の実施の形態を示す断面図。

【図9】 本発明の半導体素子の製造方法の第2の実施の形態を示す断面図。

【図10】 本発明の半導体素子の製造方法の第3の実施の形態を示す断面図。

【図11】 本発明の半導体素子の製造方法の第4の実施の形態を示す断面図。

【図12】 本発明の半導体素子の製造方法の第5の実施の形態を示す断面図。

【図13】 本発明の半導体装置の第1の実施の形態を示す断面図。

【図14】 本発明の半導体装置の第2の実施の形態を示す断面図。

【図15】 本発明の半導体装置の第3の実施の形態を示す断面図。

【図16】 本発明の半導体装置の第4の実施の形態を示す断面図。

【図17】 本発明の半導体装置の第5の実施の形態を示す断面図。

【図18】 本発明の半導体装置の第6の実施の形態を示す断面図。

【図19】 本発明の半導体装置の製造方法の第1の実施の形態を示す断面図。

【図20】 本発明の半導体装置の製造方法の第2の実施の形態を示す断面図。

【図21】 本発明の半導体装置の製造方法の第3の実施の形態を示す断面図。

【図22】 本発明の半導体装置の製造方法の第4の実施の形態を示す断面図。

【図23】 本発明の半導体装置の製造方法の第5の実施の形態を示す断面図。

【図24】 本発明の半導体装置の製造方法の第6の実施の形態を示す断面図。

【図25】 本発明の半導体装置の製造方法の第7の実施の形態を示す断面図。

【図26】 本発明の半導体装置の製造方法の第8の実施の形態を示す断面図。

【図27】 本発明の半導体装置の製造方法の第9の実施の形態を示す断面図。

【図28】 本発明の半導体装置の製造方法の第10の実施の形態を示す断面図。

10

20

30

40

50

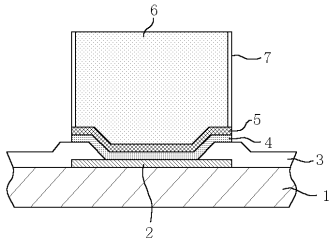


- 【図 29】 本発明の半導体装置の製造方法の第 11 の実施の形態を示す断面図。
- 【図 30】 本発明の半導体装置の製造方法の第 12 の実施の形態を示す断面図。
- 【図 31】 本発明の半導体装置の製造方法の第 13 の実施の形態を示す断面図。
- 【図 32】 本発明の半導体装置の製造方法の第 14 の実施の形態を示す断面図。
- 【図 33】 本発明の半導体装置の製造方法の第 15 の実施の形態を示す断面図。
- 【図 34】 本発明の半導体装置の製造方法の第 16 の実施の形態を示す断面図。
- 【図 35】 半導体素子の従来例を示す断面図。
- 【図 36】 半導体装置の従来例を示す断面図。

【符号の説明】

- |     |           |    |
|-----|-----------|----|
| 1   | 半導体基板     | 10 |
| 2   | 電極        |    |
| 3   | カバーコート    |    |
| 4   | 密着層       |    |
| 5   | 接着層       |    |
| 6   | 柱状バンプ     |    |
| 7   | 濡れ防止膜     |    |
| 8、8 | キャップ膜     |    |
| 9   | はんだメッキ層   |    |
| 10  | 金属        |    |
| 11  | はんだフィレット  | 20 |
| 12  | 配線基板      |    |
| 13  | ソルダーレジスト膜 |    |
| 14  | パッド       |    |
| 15  | フラックス     |    |
| 16  | はんだ層      |    |
| 17  | アンダーフィル樹脂 |    |
| 18  | 活性樹脂      |    |
| 19  | メッキレジスト膜  |    |
| 20  | はんだバンプ    |    |

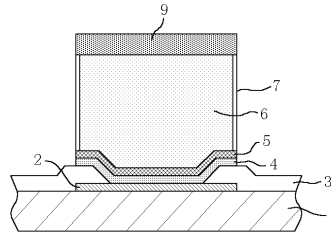
【図1】



- 1 基板
- 2 電極
- 3 カバーコート
- 4 密着層
- 5 接着層
- 6 柱状バンブ
- 7 濡れ防止膜

(図1)

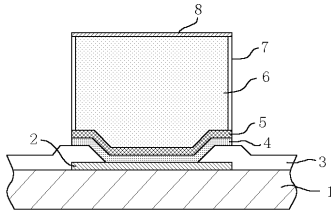
【図4】



- 9 はんだメッキ層

(図4)

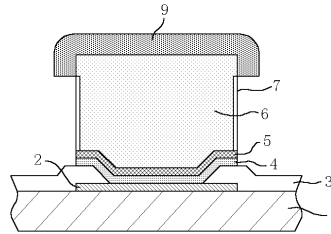
【図2】



- 8 キャップ膜

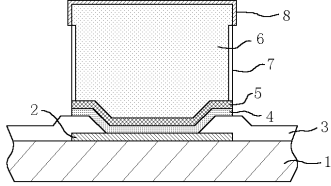
(図2)

【図5】



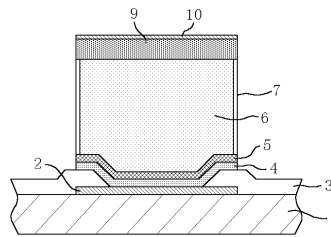
(図5)

【図3】



(図3)

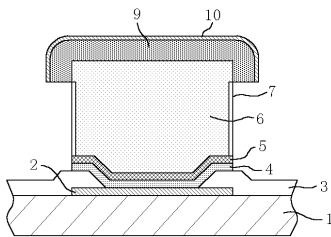
【図6】



- 10 金属層

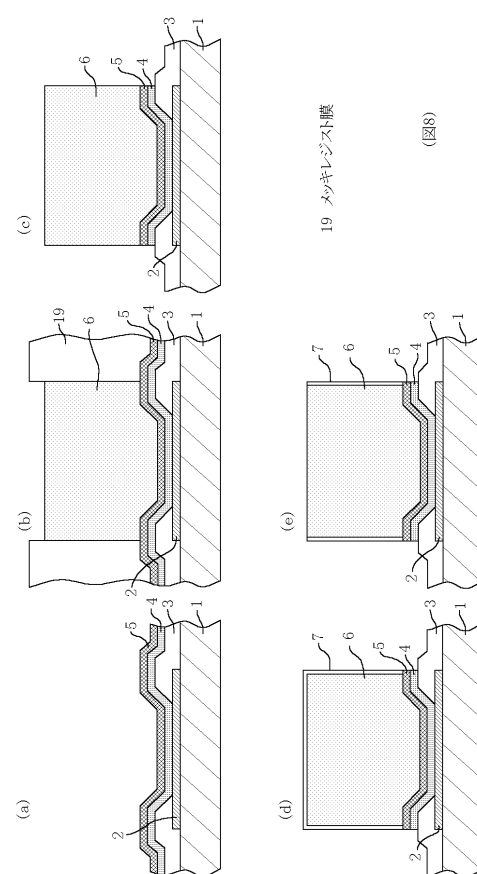
(図6)

【図7】



(図7)

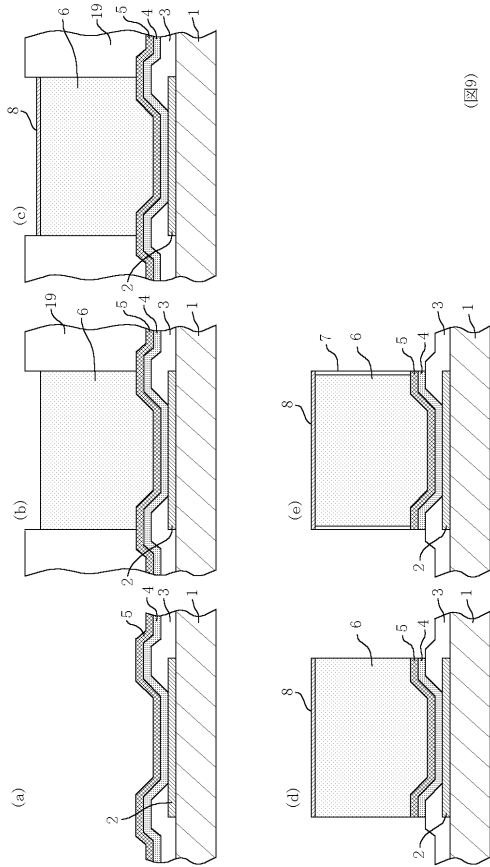
【図8】



- 19 メッキレジスト膜

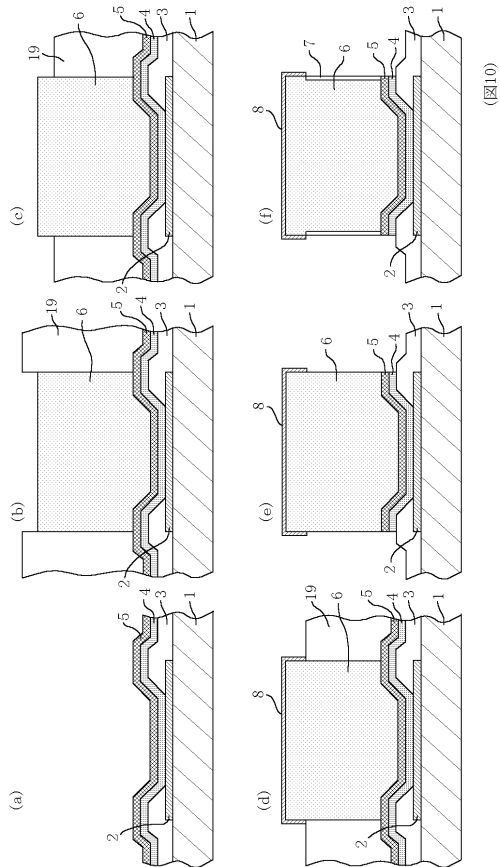
(図8)

【 図 9 】



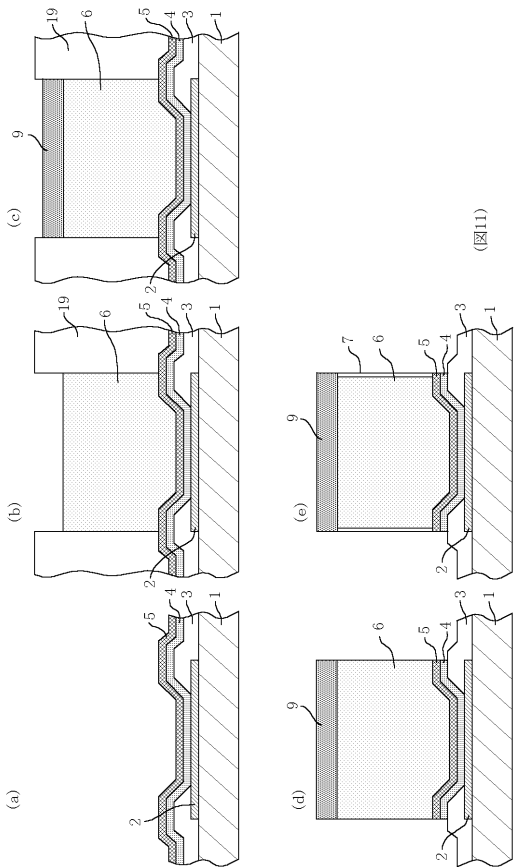
(図9)

【 図 10 】



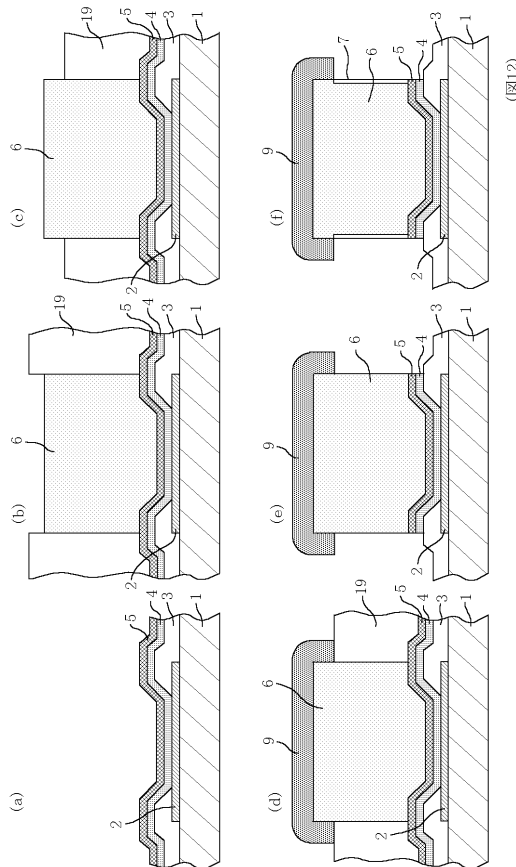
(図10)

【 図 11 】



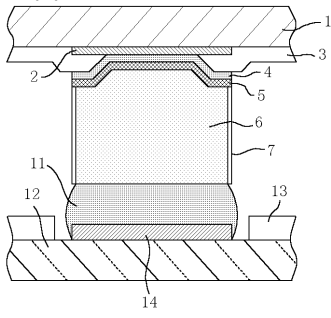
(図11)

【 図 12 】



(図12)

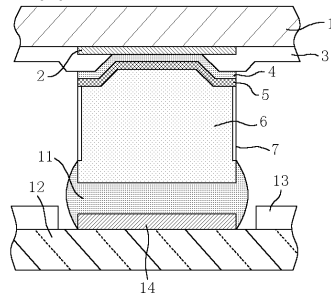
【図13】



11 はんだフィレット  
 12 配線基板  
 13 ソルダーレジスト膜  
 14 パッド

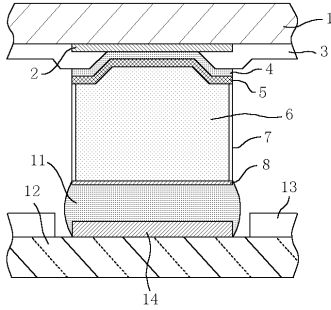
(図13)

【図15】



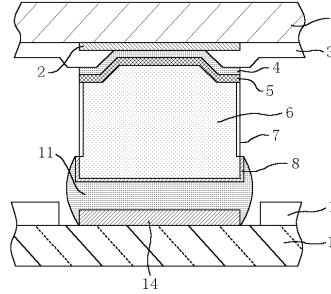
(図15)

【図14】



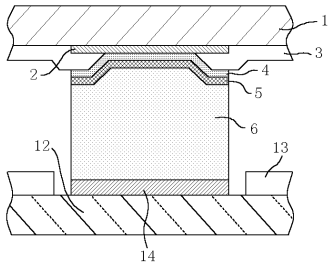
(図14)

【図16】



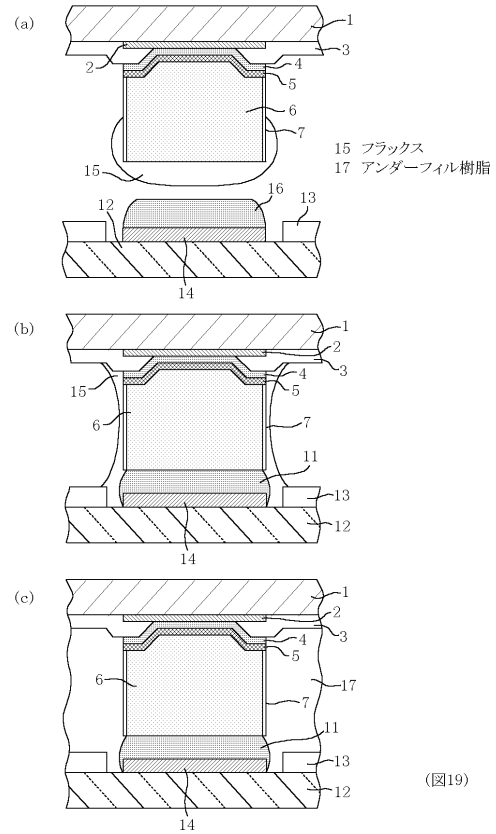
(図16)

【図17】



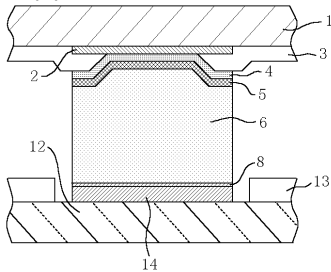
(図17)

【図19】



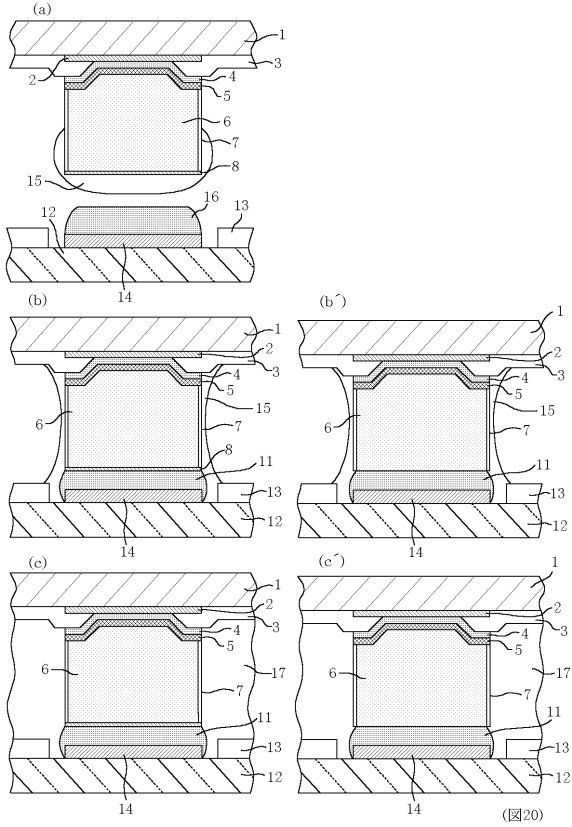
(図19)

【図18】



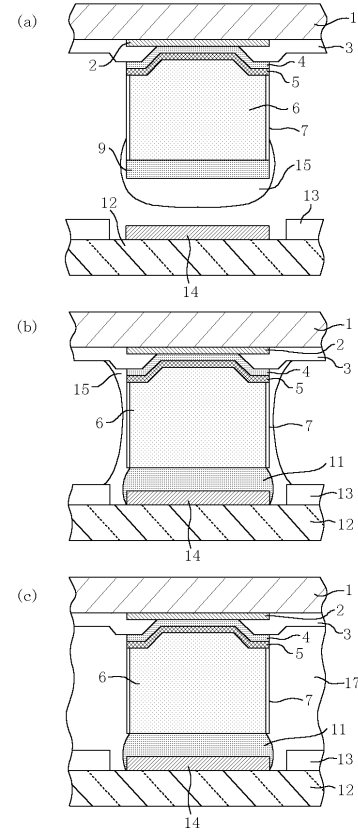
(図18)

【図20】



(図20)

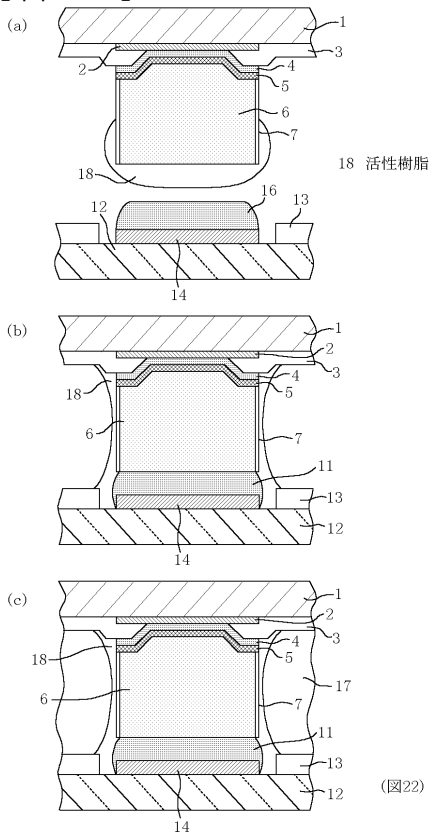
【図21】



15 フラックス

(図21)

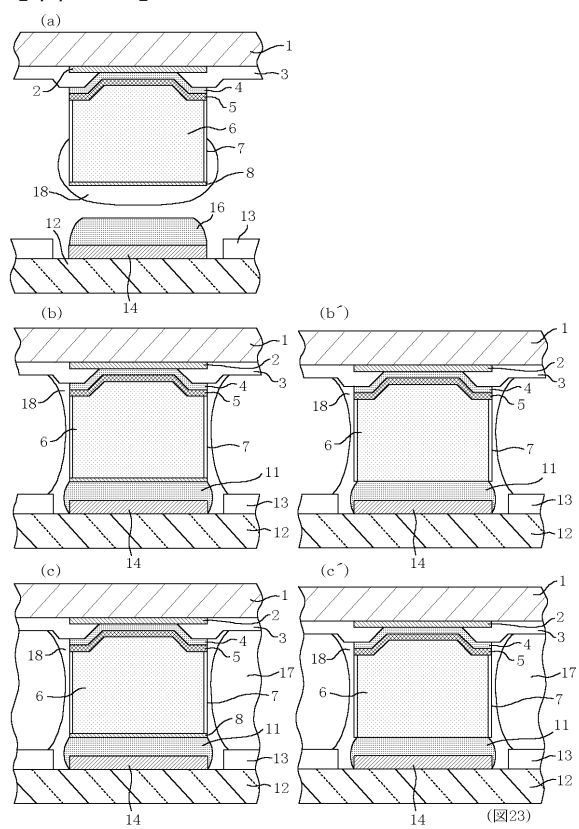
【図22】



18 活性樹脂

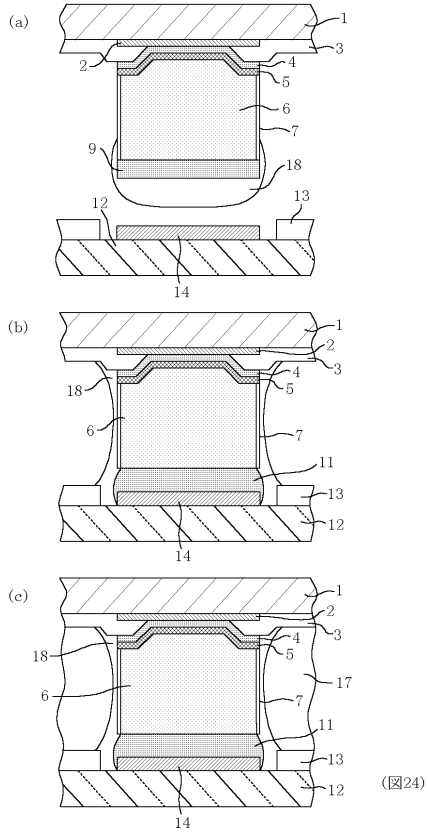
(図22)

【図23】



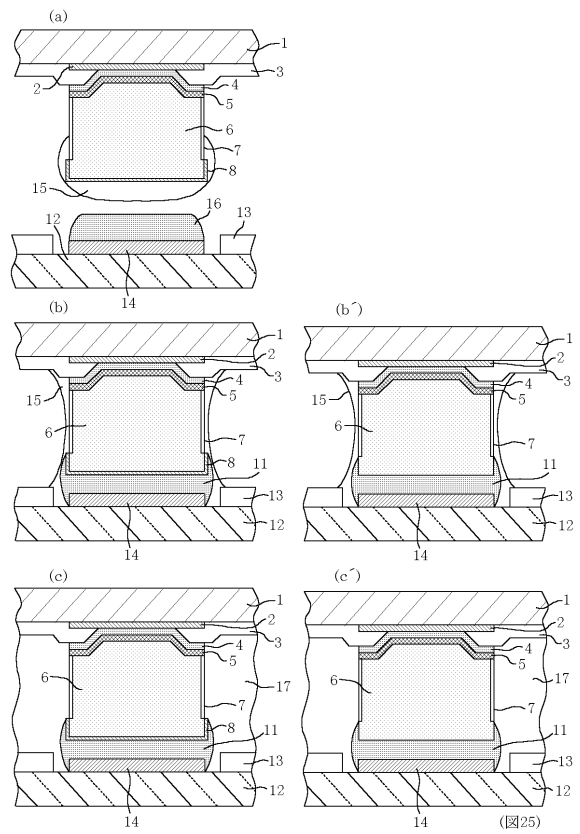
(図23)

【 24 】



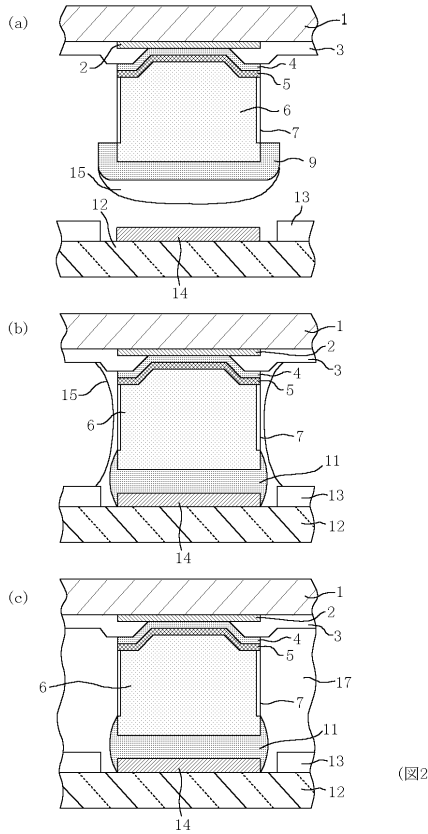
(图24)

【 25 】



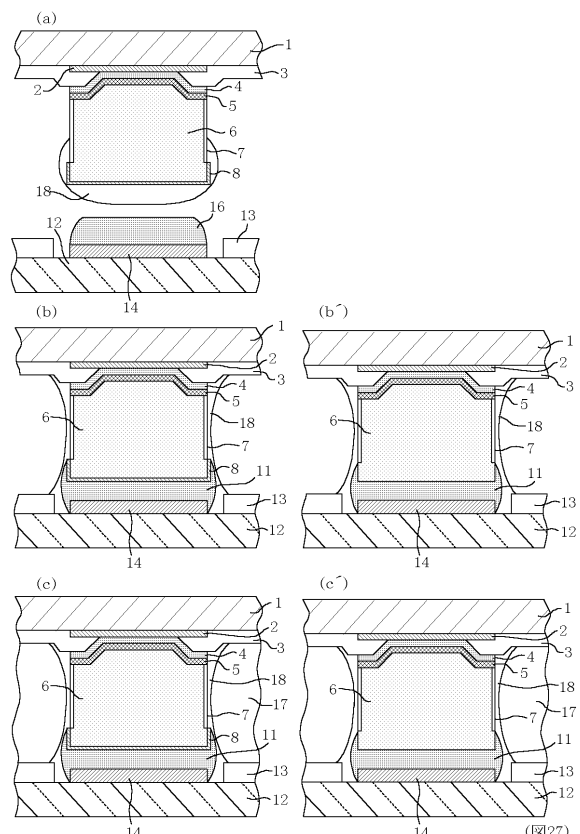
(图25)

【 26 】



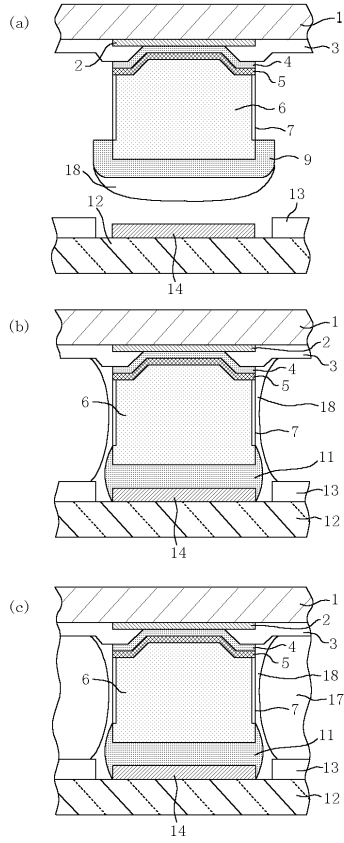
(图26)

【 27 】

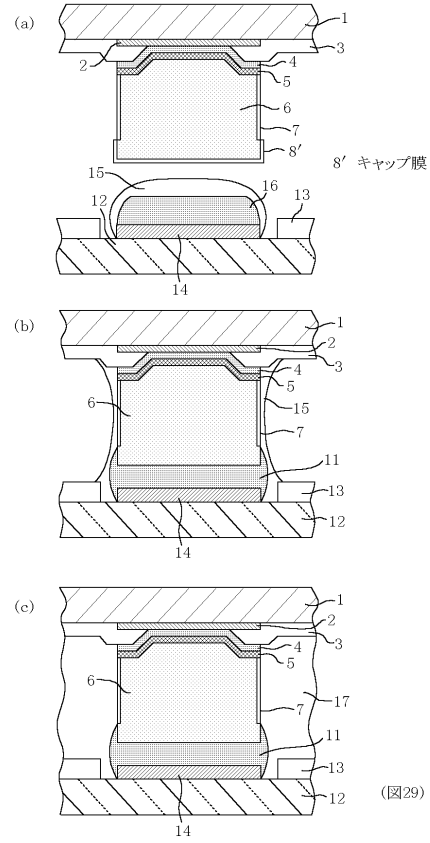


(图27)

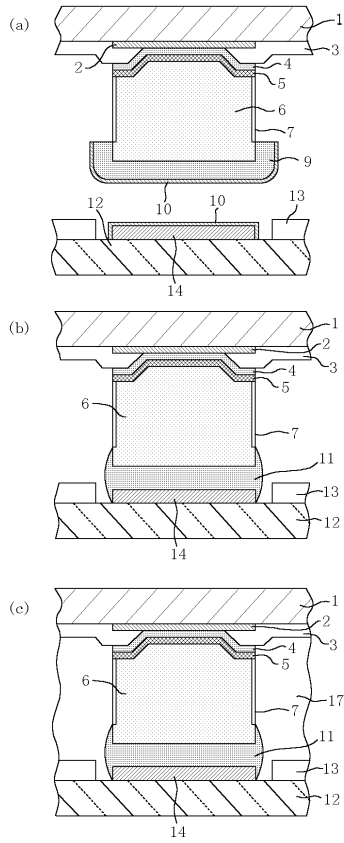
【図28】



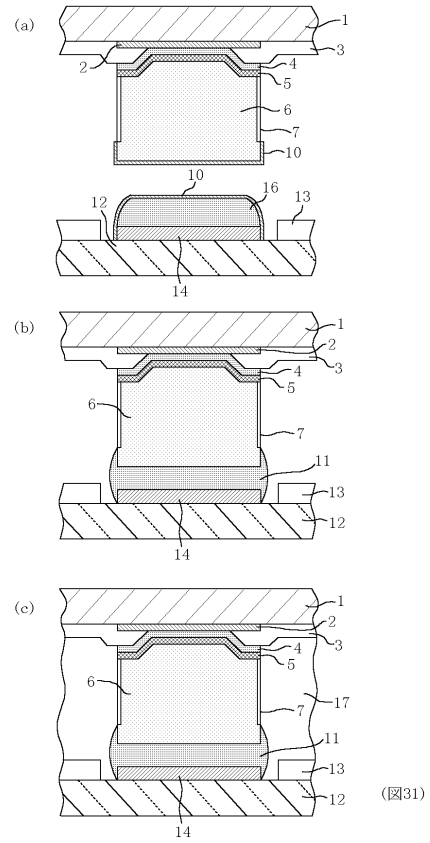
【図29】



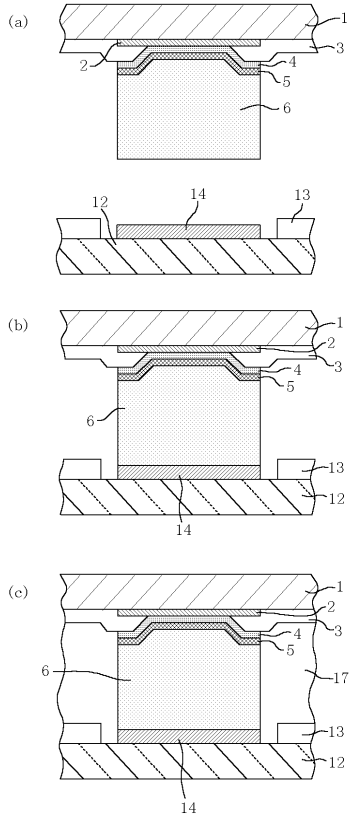
【図30】



【図31】

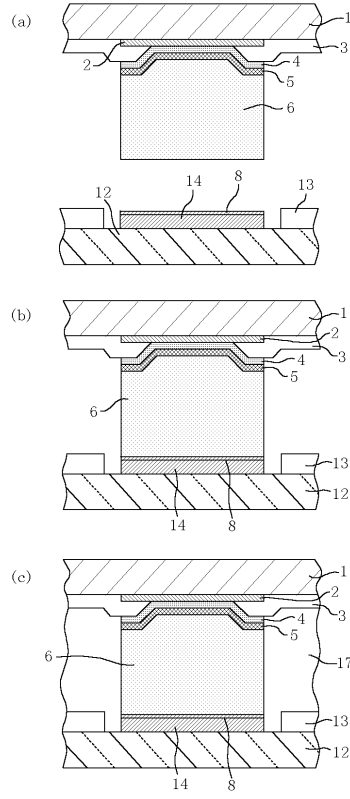


【図32】



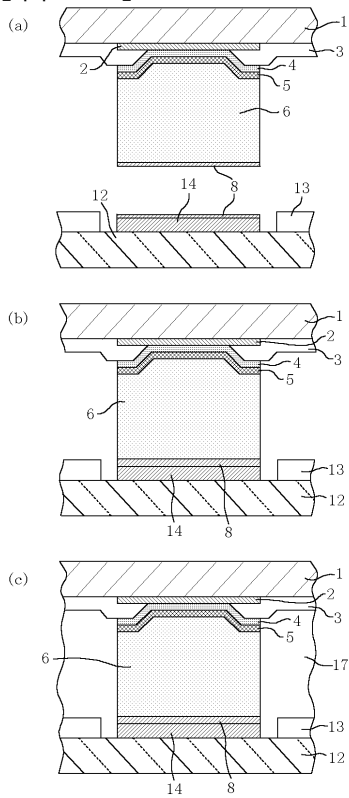
(図32)

【図33】



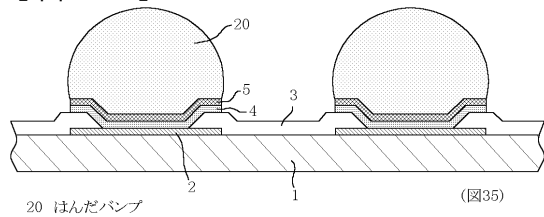
(図33)

【図34】



(図34)

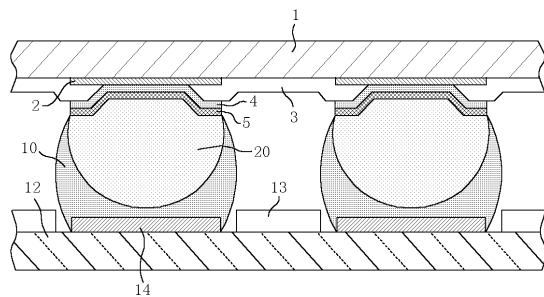
【図35】



20 ほんだポンプ

(図35)

【図36】



(図36)



---

フロントページの続き

- (56)参考文献 特開平05 - 335313 (JP, A)  
特開平08 - 102467 (JP, A)  
特開平01 - 187948 (JP, A)  
特開平02 - 253626 (JP, A)  
特開平11 - 150090 (JP, A)  
特開2000 - 315706 (JP, A)  
特開2000 - 299339 (JP, A)  
特開2001 - 156097 (JP, A)  
特開2000 - 323510 (JP, A)  
特開2001 - 319940 (JP, A)  
特開2001 - 284382 (JP, A)  
特開2000 - 228417 (JP, A)  
特開2000 - 208547 (JP, A)  
特開2001 - 298342 (JP, A)

(58)調査した分野(Int.Cl. , DB名)

H01L 21/60

C25D 7/12