

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号
特許第6319151号
(P6319151)

(45) 発行日 平成30年5月9日(2018.5.9)

(24) 登録日 平成30年4月13日(2018.4.13)

(51) Int.Cl.	F I
HO 1 L 29/78 (2006.01)	HO 1 L 29/78 6 5 7 A
HO 1 L 29/12 (2006.01)	HO 1 L 29/78 6 5 2 T
HO 1 L 29/861 (2006.01)	HO 1 L 29/78 6 5 3 A
HO 1 L 29/868 (2006.01)	HO 1 L 29/78 6 5 2 N
HO 1 L 21/329 (2006.01)	HO 1 L 29/78 6 5 2 G
請求項の数 15 (全 22 頁) 最終頁に続く	

(21) 出願番号	特願2015-59436 (P2015-59436)	(73) 特許権者	000241463
(22) 出願日	平成27年3月23日 (2015.3.23)		豊田合成株式会社
(65) 公開番号	特開2016-181534 (P2016-181534A)		愛知県清須市春日長畑1番地
(43) 公開日	平成28年10月13日 (2016.10.13)	(74) 代理人	110000028
審査請求日	平成29年4月19日 (2017.4.19)		特許業務法人明成国際特許事務所
		(72) 発明者	丹羽 隆樹
			愛知県清須市春日長畑1番地 豊田合成株式会社内
		(72) 発明者	小嶋 正芳
			愛知県清須市春日長畑1番地 豊田合成株式会社内
		(72) 発明者	藤井 隆弘
			愛知県清須市春日長畑1番地 豊田合成株式会社内
		最終頁に続く	

(54) 【発明の名称】 半導体装置および半導体装置の製造方法

(57) 【特許請求の範囲】

【請求項1】

第1導電型の第1窒化物半導体層と、前記第1導電型の第2窒化物半導体層と、第2導電型の第3窒化物半導体層と、前記第1導電型の第4窒化物半導体層と、がこの順に積層された積層体と、

前記第1窒化物半導体層の面であって、前記第2窒化物半導体層と接する面とは反対側の面と接する第1の電極と、を有し、

前記第3窒化物半導体層と、前記第4窒化物半導体層とを貫通し、前記第2窒化物半導体層に達するトレンチが形成され、

前記トレンチに絶縁膜を介して設けられたゲート電極を備える、

縦型MOSトランジスタと、

前記第1の電極と、

前記第3窒化物半導体層の面であって、前記第2窒化物半導体層と接する面とは反対側の面と接する前記第2導電型のオーミック電極と、を有する、

保護素子と、を備える、半導体装置であって、

前記第1導電型の不純物濃度は、前記第1窒化物半導体層に比べて前記第2窒化物半導体層のほうが低く、

前記第1窒化物半導体層は、前記第2窒化物半導体層へ突出する凸部を備え、

前記積層体の積層方向から見たときに、前記凸部の上面は、前記第2導電型のオーミック電極と少なくとも一部が重なる位置に配されており、

前記トレンチの底面が接する部分における前記第 2 窒化物半導体層の厚みは、前記凸部の上面が接する部分における前記第 2 窒化物半導体層の厚みよりも大きい、半導体装置。

【請求項 2】

請求項 1 に記載の半導体装置であって、

前記積層方向から見たときに、前記第 4 窒化物半導体層は、前記凸部の上面と重ならない位置に配されている、半導体装置。

【請求項 3】

請求項 1 または請求項 2 に記載の半導体装置であって、さらに、

前記積層方向から見たときに、前記凸部に対して、前記トレンチが配されている側とは反対側に、前記第 3 窒化物半導体層を貫通し、前記第 2 窒化物半導体層に達する段差部が形成されており、

10

前記凸部の上面が接する部分における前記第 2 窒化物半導体層の厚みは、前記段差部の底面が接する部分における前記第 2 窒化物半導体層の厚み以下である、半導体装置。

【請求項 4】

請求項 3 に記載の半導体装置であって、

前記段差部の底面と前記凸部との距離は、前記段差部の底面が接する部分における前記第 2 窒化物半導体層の厚みよりも大きい、半導体装置。

【請求項 5】

請求項 1 から請求項 4 までのいずれか一項に記載の半導体装置であって、さらに、

前記第 4 窒化物半導体層の面であって、前記第 3 窒化物半導体層と接する面とは反対側の面と接する前記第 1 導電型のオーミック電極を備える、半導体装置。

20

【請求項 6】

請求項 3 又は請求項 4 に従属する請求項 5 に記載の半導体装置であって、さらに、

前記第 1 導電型のオーミック電極と前記第 2 導電型のオーミック電極とを電氣的に接続する第 1 配線を備え、

前記第 1 配線は、絶縁膜を介して前記段差部の側面を覆っている、半導体装置。

【請求項 7】

請求項 1 から請求項 6 までのいずれか一項に記載の半導体装置であって、

前記第 1 窒化物半導体層から前記第 4 窒化物半導体層は、ガリウムを含む窒化物半導体により形成されている、半導体装置。

30

【請求項 8】

請求項 1 から請求項 7 までのいずれか一項に記載の半導体装置であって、

前記第 1 窒化物半導体層は、窒化ガリウムにより形成されている、半導体装置。

【請求項 9】

請求項 8 に記載の半導体装置であって、

前記第 1 窒化物半導体層は、窒化ガリウム基板である、半導体装置。

【請求項 10】

請求項 9 に記載の半導体装置であって、

前記凸部の側面は、前記凸部の上面に対して傾斜している、半導体装置。

【請求項 11】

40

請求項 1 から請求項 9 までのいずれか一項に記載の半導体装置であって、

前記凸部の側面は、a 面または m 面で構成され、前記凸部の上面は、c 面で構成されている、半導体装置。

【請求項 12】

半導体装置の製造方法であって、

第 1 導電型の第 1 窒化物半導体層の面に突出する凸部を形成する工程と、

前記第 1 窒化物半導体層の面であって、前記凸部を備える面に、前記第 1 窒化物半導体層よりも不純物濃度が小さい前記第 1 導電型の第 2 窒化物半導体層と、第 2 導電型の第 3 窒化物半導体層と、をこの順に積層する工程と、

前記第 3 窒化物半導体層を貫通し、前記第 2 窒化物半導体層に達するトレンチを形成す

50

る工程と、

前記第1窒化物半導体層の面であって、前記第2窒化物半導体層と接する面とは反対側の面に、第1の電極を形成する工程と、

積層方向において、前記凸部の上面と少なくとも一部が重なる位置であって、前記第3窒化物半導体層の面であり、前記第2窒化物半導体層と接する面とは反対側の面に、前記第2導電型のオーミック電極を形成する工程と、

前記トレンチに絶縁膜を介してゲート電極を形成する工程と、

前記第3窒化物半導体層の面であって、前記第2窒化物半導体層と接する面とは反対側の面に、前記第1導電型の第4窒化物半導体層を形成する工程と、

前記第4窒化物半導体層にソース電極を形成する工程と、

を有し、

前記第4窒化物半導体層は、前記積層方向において、前記凸部の上面と重ならない位置に配されており、

前記トレンチの底面が接する部分における前記第2窒化物半導体層の厚みは、前記凸部の上面が接する部分における前記第2窒化物半導体層の厚みよりも大きい、

前記第1窒化物半導体層から前記第4窒化物半導体層までの窒化物半導体層と前記ゲート電極と前記第1の電極と前記ソース電極とから形成される縦型MOSトランジスタと、前記第1窒化物半導体層から前記第3窒化物半導体層までの窒化物半導体層と前記第1電極と前記第2導電型のオーミック電極から形成されるPN接合ダイオードである保護素子と、を備える半導体装置の製造方法。

【請求項13】

請求項12に記載の半導体装置の製造方法であって、さらに、

前記凸部の上面と前記トレンチの底面との距離が、前記トレンチの底面が接する部分における前記第2窒化物半導体層の厚みよりも大きい、半導体装置の製造方法。

【請求項14】

請求項12または請求項13に記載の半導体装置の製造方法であって、

前記第1窒化物半導体層から前記第4窒化物半導体層は、ガリウムを含む窒化物半導体により形成されている、半導体装置の製造方法。

【請求項15】

請求項12から請求項14までのいずれか一項に記載の半導体装置の製造方法であって

、

前記第1窒化物半導体層は、窒化ガリウム基板である、半導体装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体装置および半導体装置の製造方法に関する。

【背景技術】

【0002】

半導体装置の耐圧性向上を目的として、縦型MOSFETに保護素子としてのPN接合ダイオードを併設する技術が知られている。この場合、PN接合ダイオードを保護素子として機能させるため、縦型MOSFETのN⁻ドリフト層よりも薄いN⁻層を有するPN接合ダイオードを形成することが好ましい。特許文献1には、保護ダイオードを形成する電極間に挟まれたN⁻層を薄くするため、N⁻層の一部を除去した後、除去した部分にP型層を再成長により形成する技術が開示されている。

【先行技術文献】

【特許文献】

【0003】

【特許文献1】特表2005-520322号公報

【発明の概要】

【発明が解決しようとする課題】

10

20

30

40

50

【 0 0 0 4 】

しかし、半導体として窒化物半導体を用いる場合、特許文献 1 に記載の技術においては、再成長界面に意図しない N 型キャリアが発生することにより、PN 接合ダイオードの耐圧が低下するという課題を発明者らが見出した。そのほか、従来の半導体装置においては、その小型化や、省資源化、製造の容易化、製造の精確さ、作業性の向上等が望まれていた。

【課題を解決するための手段】

【 0 0 0 5 】

本発明は、上記の課題の少なくとも一部を解決するためになされたものであり、以下の形態として実現することができる。

本発明の第 1 の形態は、

第 1 導電型の第 1 窒化物半導体層と、前記第 1 導電型の第 2 窒化物半導体層と、第 2 導電型の第 3 窒化物半導体層と、前記第 1 導電型の第 4 窒化物半導体層と、がこの順に積層された積層体と、

前記第 1 窒化物半導体層の面であって、前記第 2 窒化物半導体層と接する面とは反対側の面と接する第 1 の電極と、を有し、

前記第 3 窒化物半導体層と、前記第 4 窒化物半導体層とを貫通し、前記第 2 窒化物半導体層に達するトレンチが形成され、

前記トレンチに絶縁膜を介して設けられたゲート電極を備える、

縦型 MOS トランジスタと、

前記第 1 の電極と、

前記第 3 窒化物半導体層の面であって、前記第 2 窒化物半導体層と接する面とは反対側の面と接する前記第 2 導電型のオーミック電極と、を有する、

保護素子と、を備える、半導体装置であって、

前記第 1 導電型の不純物濃度は、前記第 1 窒化物半導体層に比べて前記第 2 窒化物半導体層のほうが低く、

前記第 1 窒化物半導体層は、前記第 2 窒化物半導体層へ突出する凸部を備え、

前記積層体の積層方向から見たときに、前記凸部の上面は、前記第 2 導電型のオーミック電極と少なくとも一部が重なる位置に配されており、

前記トレンチの底面が接する部分における前記第 2 窒化物半導体層の厚みは、前記凸部の上面が接する部分における前記第 2 窒化物半導体層の厚みよりも大きい、半導体装置である。

本発明の第 2 の形態は、

半導体装置の製造方法であって、

第 1 導電型の第 1 窒化物半導体層の面に突出する凸部を形成する工程と、

前記第 1 窒化物半導体層の面であって、前記凸部を備える面に、前記第 1 窒化物半導体層よりも不純物濃度が小さい前記第 1 導電型の第 2 窒化物半導体層と、第 2 導電型の第 3 窒化物半導体層と、をこの順に積層する工程と、

前記第 3 窒化物半導体層を貫通し、前記第 2 窒化物半導体層に達するトレンチを形成する工程と、

前記第 1 窒化物半導体層の面であって、前記第 2 窒化物半導体層と接する面とは反対側の面に、第 1 の電極を形成する工程と、

積層方向において、前記凸部の上面と少なくとも一部が重なる位置であって、前記第 3 窒化物半導体層の面であり、前記第 2 窒化物半導体層と接する面とは反対側の面に、前記第 2 導電型のオーミック電極を形成する工程と、

前記トレンチに絶縁膜を介してゲート電極を形成する工程と、

前記第 3 窒化物半導体層の面であって、前記第 2 窒化物半導体層と接する面とは反対側の面に、前記第 1 導電型の第 4 窒化物半導体層を形成する工程と、

前記第 4 窒化物半導体層にソース電極を形成する工程と、を有し、

10

20

30

40

50

前記第4窒化物半導体層は、前記積層方向において、前記凸部の上面と重ならない位置に配されており、

前記トレンチの底面が接する部分における前記第2窒化物半導体層の厚みは、前記凸部の上面が接する部分における前記第2窒化物半導体層の厚みよりも大きい、

前記第1窒化物半導体層から前記第4窒化物半導体層までの窒化物半導体層と前記ゲート電極と前記第1の電極と前記ソース電極とから形成される縦型MOSトランジスタと、前記第1窒化物半導体層から前記第3窒化物半導体層までの窒化物半導体層と前記第1電極と前記第2導電型のオーミック電極から形成されるPN接合ダイオードである保護素子と、を備える半導体装置の製造方法である。また、本発明は以下の形態として実現することもできる。

10

【0006】

(1) 本発明の一形態によれば、半導体装置が提供される。この半導体装置は、第1導電型の第1窒化物半導体層と、前記第1導電型の第2窒化物半導体層と、第2導電型の第3窒化物半導体層と、前記第1導電型の第4窒化物半導体層と、がこの順に積層された積層体と、前記第1窒化物半導体層の面であって、前記第2窒化物半導体層と接する面とは反対側の面と接する第1の電極と、を有し、前記第3窒化物半導体層と、前記第4窒化物半導体層とを貫通し、前記第2窒化物半導体層に達するトレンチが形成された、縦型MOSトランジスタと、前記第1の電極と、前記第3窒化物半導体層の面であって、前記第2窒化物半導体層と接する面とは反対側の面と接する前記第2導電型のオーミック電極と、を有する、保護素子と、を備える、半導体装置であって；前記第1導電型の不純物濃度は、前記第1窒化物半導体層に比べて前記第2窒化物半導体層のほうが低く、前記第1窒化物半導体層は、前記第2窒化物半導体層へ突出する凸部を備え、前記積層体の積層方向から見たときに、前記凸部の上面は、前記第2導電型のオーミック電極と少なくとも一部が重なる位置に配されており、前記トレンチの底面が接する部分における前記第2窒化物半導体層の厚みは、前記凸部の上面が接する部分における前記第2窒化物半導体層の厚みよりも大きい。この形態の半導体装置によれば、第1窒化物半導体層は、前記第2窒化物半導体層へ突出する凸部を備え、トレンチの底面における第2窒化物半導体層の厚みは、凸部の上面における第2窒化物半導体層の厚みよりも大きい。このため、保護素子の耐圧の低下を抑制できる。

20

【0007】

(2) 上記形態の半導体装置において、前記積層方向から見たときに、前記第4窒化物半導体層は、前記凸部の上面と重ならない位置に配されていてもよい。この形態の半導体装置によれば、第4窒化物半導体層から凸部へ電流が流れる前に、保護素子に電流が流れることにより、保護素子の耐圧の低下を抑制できる。

30

【0008】

(3) 上記形態の半導体装置において、さらに、前記積層方向から見たときに、前記凸部に対して、前記トレンチが配されている側とは反対側に、前記第3窒化物半導体層を貫通し、前記第2窒化物半導体層に達する段差部が形成されており、前記凸部の上面が接する部分における前記第2窒化物半導体層の厚みは、前記段差部の底面が接する部分における前記第2窒化物半導体層の厚み以下としてもよい。この形態の半導体装置によれば、段差部と第1の電極との間に電流が流れる前に、保護素子に電流が流れることにより、半導体装置の耐圧破壊を抑制できる。

40

【0009】

(4) 上記形態の半導体装置において、前記段差部の底面と前記凸部との距離は、前記段差部の底面が接する部分における前記第2窒化物半導体層の厚みよりも大きくてもよい。この形態の半導体装置によれば、第1の電極から凸部を介して段差部に電流が流れる前に、保護素子に電流が流れることにより、半導体装置の耐圧破壊を抑制できる。

【0010】

(5) 上記形態の半導体装置において、さらに、前記第4窒化物半導体層の面であって、前記第3窒化物半導体層と接する面とは反対側の面と接する前記第1導電型のオーミック

50

電極を備えてもよい。この形態の半導体装置によれば、第1導電型のオーミック電極が形成されているため、縦型MOSトランジスタのオン抵抗を下げることができる。

【0011】

(6) 上記形態の半導体装置において、さらに、前記第1導電型のオーミック電極と前記第2導電型のオーミック電極とを電氣的に接続する第1配線を備え、前記第1配線は、絶縁膜を介して前記段差部の側面を覆っていてもよい。この形態の半導体装置によれば、第1配線を備えることにより、段差部側面で電界が集中することを抑制でき、その結果、半導体装置の耐圧破壊を抑制できる。

【0012】

(7) 上記形態の半導体装置において、前記第1窒化物半導体層から前記第4窒化物半導体層は、ガリウムを含む窒化物半導体により形成されていてもよい。この形態の半導体装置によれば、保護素子の耐圧の低下を抑制できる。

10

【0013】

(8) 上記形態の半導体装置において、前記第1窒化物半導体層は、窒化ガリウムにより形成されていてもよい。この形態の半導体装置によれば、保護素子の耐圧の低下を抑制できる。

【0014】

(9) 上記形態の半導体装置において、前記第1窒化物半導体層は、窒化ガリウム基板であってもよい。この形態の半導体装置によれば、保護素子の耐圧の低下を抑制できる。

【0015】

20

(10) 上記形態の半導体装置において、前記凸部の側面は、前記凸部の上面に対して傾斜していてもよい。この形態の半導体装置によれば、保護素子の耐圧の低下を抑制できる。

【0016】

(11) 上記形態の半導体装置において、前記凸部の側面は、a面またはm面で構成され、前記凸部の上面は、c面で構成されていてもよい。この形態の半導体装置によれば、保護素子の耐圧の低下を抑制できる。

【0017】

(12) 本発明の一形態によれば、半導体装置の製造方法が提供される。この半導体装置の製造方法は、第1導電型の第1窒化物半導体層の面に突出する凸部を形成する工程と、前記第1窒化物半導体層の面であって、前記凸部を備える面に、前記第1窒化物半導体層よりも不純物濃度が小さい前記第1導電型の第2窒化物半導体層と、第2導電型の第3窒化物半導体層と、をこの順に積層する工程と、前記第3窒化物半導体層を貫通し、前記第2窒化物半導体層に達するトレンチを形成する工程と、前記第1窒化物半導体層の面であって、前記第2窒化物半導体層と接する面とは反対側の面に、第1の電極を形成する工程と、積層方向において、前記凸部の上面と少なくとも一部が重なる位置であって、前記第3窒化物半導体層の面であり、前記第2窒化物半導体層と接する面とは反対側の面に、前記第2導電型のオーミック電極を形成する工程と、を有し；前記トレンチの底面が接する部分における前記第2窒化物半導体層の厚みは、前記凸部の上面が接する部分における前記第2窒化物半導体層の厚みよりも大きい。この形態の半導体装置の製造方法によれば、第1電極と第2導電型のオーミック電極から形成される保護素子の耐圧の低下を抑制できる。

30

40

【0018】

(13) 上記形態の半導体装置の製造方法において、さらに、前記凸部の上面と前記トレンチの底面との距離が、前記トレンチの底面が接する部分における前記第2窒化物半導体層の厚みよりも大きくてもよい。この形態の半導体装置の製造方法によれば、縦型MOSトランジスタのドレイン電流は、トレンチ側方とトレンチ下方の第1窒化物半導体層との間を流れるので、縦型MOSトランジスタの耐圧は、凸部により低下することはない。これにより、保護素子よりも縦型MOSトランジスタの耐圧が下がることは無いので、縦型MOSトランジスタが耐圧破壊することを抑制できる。

50

【 0 0 1 9 】

(1 4) 上記形態の半導体装置の製造方法において、前記第 3 窒化物半導体層の面であって、前記第 2 窒化物半導体層と接する面とは反対側の面に、前記第 1 導電型の第 4 窒化物半導体層を形成する工程を、備え、前記第 4 窒化物半導体層は、前記積層方向において、前記凸部の上面と重ならない位置に配されていてもよい。この形態の半導体装置の製造方法によれば、縦型 MOS トランジスタのドレイン電流は、第 4 窒化物半導体層と、トレンチ下方の第 1 窒化物半導体層との間を流れるので、縦型 MOS トランジスタの耐圧が凸部により低下することはない。保護素子よりも縦型 MOS トランジスタの耐圧が下がることは無いので、縦型 MOS トランジスタが耐圧破壊することを抑制できる。

【 0 0 2 0 】

(1 5) 上記形態の半導体装置の製造方法において、前記第 1 窒化物半導体層から前記第 4 窒化物半導体層は、ガリウムを含む窒化物半導体により形成されていてもよい。この形態の半導体装置の製造方法によれば、第 1 電極と第 2 導電型のオーミック電極から形成される保護素子の耐圧の低下を抑制できる。

【 0 0 2 1 】

(1 6) 上記形態の半導体装置の製造方法において、前記第 1 窒化物半導体層は、窒化ガリウム基板であってもよい。この形態の半導体装置の製造方法によれば、第 1 電極と第 2 導電型のオーミック電極から形成される保護素子の耐圧の低下を抑制できる。

【 0 0 2 2 】

上述した本発明の各形態の有する複数の構成要素はすべてが必須のものではなく、上述の課題の一部又は全部を解決するため、あるいは、本明細書に記載された効果の一部又は全部を達成するために、適宜、前記複数の構成要素の一部の構成要素について、その変更、削除、新たな他の構成要素との差し替え、限定内容の一部削除を行うことが可能である。また、上述の課題の一部又は全部を解決するため、あるいは、本明細書に記載された効果の一部又は全部を達成するために、上述した本発明の一形態に含まれる技術的特徴の一部又は全部を上述した本発明の他の形態に含まれる技術的特徴の一部又は全部と組み合わせて、本発明の独立した一形態とすることも可能である。

【 0 0 2 3 】

本発明は、半導体装置およびその製造方法以外の種々の形態で実現することも可能である。例えば、本願発明は、上記形態の半導体装置が組み込まれた電気機器、上記形態の半導体装置を製造する製造装置などの形態で実現することができる。

【 発明の効果 】

【 0 0 2 4 】

この形態の半導体装置によれば、第 1 窒化物半導体層は、前記第 2 窒化物半導体層へ突出する凸部を備え、トレンチの底面における第 2 窒化物半導体層の厚みは、凸部の上面における第 2 窒化物半導体層の厚みよりも大きいため、保護素子の耐圧の低下を抑制できる。また、この形態の半導体装置の製造方法によれば、第 1 電極と第 2 導電型のオーミック電極から形成される保護素子の耐圧の低下を抑制できる。

【 図面の簡単な説明 】

【 0 0 2 5 】

【 図 1 】 第 1 実施形態における半導体装置 1 0 の構成を模式的に示す断面図。

【 図 2 】 半導体装置 1 0 を + X 軸方向から見た外観図。

【 図 3 】 N 型半導体層 1 2 0 と P 型半導体層 1 3 0 との界面を + X 軸方向から見た概略図。

【 図 4 】 半導体装置 1 0 に備えられた複数の電極 2 5 0 同士を配線 2 8 0 により電氣的に接続した状態において、半導体装置 1 0 を + X 軸方向から見た外観図。

【 図 5 】 本実施形態の半導体装置 1 0 から得られる効果を説明する図。

【 図 6 】 T C A D (Technology CAD) シミュレータにより計算した半導体装置 1 0 の電流密度分布を示す図。

【 図 7 】 半導体装置 1 0 の製造方法を示す工程図。

10

20

30

40

50

【図 8】工程 P 1 0 5 における半導体装置 1 0 の中間製品を示す断面図。

【図 9】基板 1 1 0 上に半導体層 (1 2 0 , 1 3 0 , 1 4 0) を形成させた半導体装置 1 0 の中間製品を示す断面図。

【図 1 0】トレンチ 1 8 4 と段差部 1 8 6 とを形成させた半導体装置 1 0 の中間製品を示す断面図。

【図 1 1】絶縁膜 3 4 0 を形成させた半導体装置 1 0 の中間製品を示す断面図。

【図 1 2】電極 2 3 0、2 4 0、2 5 0 を形成させた半導体装置 1 0 の中間製品を示す断面図。

【図 1 3】第 2 実施形態における半導体装置 1 0 A の構成を模式的に示す図。

【図 1 4】凸部 1 1 5 A を形成する工程を説明する図。

【図 1 5】再成長により凸部 1 1 5 B を形成する工程を説明する図。

【図 1 6】積層方向 (X 軸方向) において、N 型半導体層 1 4 0 C は、凸部 1 1 5 の上面の一部と重なる位置に配されている半導体装置 1 0 C の構成を模式的に示す断面図。

【図 1 7】凸部 1 1 5 D が段差部 1 8 6 の下方においても配置されている半導体装置の構成を模式的に示す断面図。

【発明を実施するための形態】

【 0 0 2 6 】

A . 第 1 実施形態 :

A 1 . 半導体装置 1 0 の構成 :

図 1 は、第 1 実施形態における半導体装置 1 0 の構成を模式的に示す断面図である。半導体装置 1 0 は、縦型 M O S (Metal-Oxide-Semiconductor) トランジスタ 3 0 0 と保護素子 2 0 0 とを備える。縦型 M O S トランジスタ 3 0 0 は、窒化物半導体を用いて形成された G a N 系の半導体装置である。本実施形態では、縦型 M O S トランジスタ 3 0 0 は、トレンチゲート型 M O S F E T (Metal-Oxide-Semiconductor Field Effect Transistor) であり、例えば、電力制御に用いられ、パワーデバイスとも呼ばれる。保護素子 2 0 0 は、P N 接合ダイオードである。本実施形態においては、窒化物半導体として窒化ガリウム (G a N) を用いる。

【 0 0 2 7 】

半導体装置 1 0 は、基板 1 1 0 と、N 型半導体層 1 2 0 と、P 型半導体層 1 3 0 と、N 型半導体層 1 4 0 と、電極 2 1 0、2 3 0、2 4 0、2 5 0 と、配線 2 7 0 と、絶縁膜 3 4 0 とを備える。半導体装置 1 0 は、N P N 型の半導体装置であり、N 型半導体層 1 2 0 と P 型半導体層 1 3 0 と N 型半導体層 1 4 0 とが順に積層された構造を有する。

【 0 0 2 8 】

なお、「基板 1 1 0」は、「半導体層 1 1 0」や「第 1 導電型の第 1 窒化物半導体層 1 1 0」とも呼び、「N 型半導体層 1 2 0」は、「第 1 導電型の第 2 窒化物半導体層 1 2 0」とも呼び、「P 型半導体層 1 3 0」は、「第 2 導電型の第 3 窒化物半導体層 1 3 0」とも呼び、「N 型半導体層 1 4 0」は、「第 1 導電型の第 4 窒化物半導体層 1 4 0」とも呼ぶ。また、「半導体基板 1 1 0 と、N 型半導体層 1 2 0 と、P 型半導体層 1 3 0 と、N 型半導体層 1 4 0 と、がこの順に積層された構造体」を、「積層体 1 0 0」とも呼ぶ。

【 0 0 2 9 】

半導体装置 1 0 の N 型半導体層 1 2 0、P 型半導体層 1 3 0、および N 型半導体層 1 4 0 は、有機金属気相成長法 (M O C V D : Metal Organic Chemical Vapor Deposition) による結晶成長によって形成された半導体層である。

【 0 0 3 0 】

図 1 には、相互に直交する X Y Z 軸が図示されている。図 1 の X Y Z 軸のうち、X 軸は、基板 1 1 0 に対して N 型半導体層 1 2 0 が積層する積層方向に沿った軸である。X 軸に沿った X 軸方向のうち、+ X 軸方向は、基板 1 1 0 から N 型半導体層 1 2 0 に向かう方向であり、- X 軸方向は、+ X 軸方向に対向する方向である。図 1 の X Y Z 軸のうち、Y 軸および Z 軸は、X 軸に直交すると共に相互に直交する軸である。Y 軸に沿った Y 軸方向のうち、+ Y 軸方向は、図 1 の紙面左から紙面右に向かう方向であり、- Y 軸方向は、+ Y

10

20

30

40

50

軸方向に対向する方向である。Z軸に沿ったZ軸方向のうち、+Z軸方向は、図1の紙面手前から紙面奥に向かう方向であり、-Z軸方向は、+Z軸方向に対向する方向である。

【0031】

半導体装置10の基板110は、Y軸およびZ軸によって規定される面方向に沿って広がるN型の半導体層であり、本実施形態においては、N⁺型の半導体層である。基板110は、主に、ガリウム(Ga)を含む窒化物半導体により形成されている。本実施形態において、基板110は、窒化ガリウム(GaN)から主に形成される。基板110は、ゲルマニウム(Ge)、酸素(O)、ケイ素(Si)などのN型不純物をドナーとして含有する。N型の不純物濃度は、基板110に比べてN型半導体層120のほうが低い。なお、窒化ガリウム(GaN)から主に形成されるとは、モル分率において、窒化ガリウム(GaN)を90%以上含有することを示す。

10

【0032】

基板110は、N型半導体層120へ突出する凸部115を備える。凸部115の側面(Y軸方向側の面)は、a面またはm面で構成され、凸部115の上面(+X軸方向側の面)はc面で構成されている。凸部115を備えることにより得られる効果は、後に詳述する。なお、基板110の代わりに、N⁺型半導体層を設け、電極210とN⁺型半導体層との間に基板を設けてもよい。

【0033】

半導体装置10のN型半導体層120は、基板110の+X軸方向側に積層され、Y軸およびZ軸によって規定される面方向に沿って広がる半導体層である。N型半導体層120は、主に、ガリウム(Ga)を含む窒化物半導体により形成されている。本実施形態において、N型半導体層120は、主に、窒化ガリウム(GaN)から形成されている。N型半導体層120は、ケイ素(Si)をドナーとして含有する。N型半導体層120は、「n⁻-GaN」とも呼ばれる。

20

【0034】

半導体装置10のP型半導体層130は、N型半導体層120の+X軸方向側に積層され、Y軸およびZ軸によって規定される面方向に沿って広がる半導体層である。P型半導体層130は、主に、ガリウム(Ga)を含む窒化物半導体により形成されている。本実施形態において、P型半導体層130は、主に、窒化ガリウム(GaN)から形成されている。P型半導体層130は、マグネシウム(Mg)をP型不純物として含有する。P型半導体層130の不純物濃度は、N型半導体層120の不純物濃度よりも高い。P型半導体層130は、「p-GaN」とも呼ばれる。

30

【0035】

半導体装置10のN型半導体層140は、P型半導体層130の+X軸方向側に積層され、Y軸およびZ軸によって規定される面方向に沿って広がる半導体層である。N型半導体層140は、窒化ガリウム(GaN)から主に形成されている。N型半導体層140は、ケイ素(Si)をN型不純物として含有する。N型半導体層140の不純物濃度は、N型半導体層120の不純物濃度よりも高い。N型半導体層140は、「n⁺-GaN」とも呼ばれる。基板110、N型半導体層120、P型半導体層130、N型半導体層140は、ガリウムを含む窒化物半導体により形成されている。

40

【0036】

半導体装置10の凹部182は、+X軸方向側からP型半導体層130が露出した部位である。凹部182は、リセス(recess)とも呼ばれる。

【0037】

半導体装置10のトレンチ184は、ドライエッチングによって形成されている。トレンチ184は、N型半導体層140の+X軸方向側から、P型半導体層130と、N型半導体層140とを貫通し、N型半導体層120まで達する部位である。本実施形態では、トレンチ184は、凹部182の+Y軸方向側に位置する。

【0038】

トレンチ184の表面には、積層体100の+X軸方向側に至るまで、絶縁膜340が

50

形成されている。本実施形態では、絶縁膜 340 は、二酸化ケイ素 (SiO_2) から形成されている。なお、二酸化ケイ素 (SiO_2) に代えて、酸化アルミニウム (Al_2O_3)、酸化ジルコニウム (ZrO_2)、酸化タンタル (Ta_2O_3) を用いてもよい。

【0039】

半導体装置 10 の段差部 186 は、ドライエッチングによって形成されている。段差部 186 は、P 型半導体層 130 を貫通し、N 型半導体層 120 に達する部位である。段差部 186 は、半導体素子を分離するために設けられた素子分離領域である。積層体 100 の積層方向 (X 軸方向) から見たときに、凸部 115 に対してトレンチ 184 が配されている側とは反対側に形成されている。つまり、段差部 186 は、トレンチ 184 の - Y 軸方向側に位置する。

10

【0040】

半導体装置 10 の電極 210 は、基板 110 の面であって、N 型半導体層 120 と接する面とは反対側の面と接するドレイン電極である。つまり、電極 210 は、基板 110 の - X 軸方向側に形成されている。電極 210 は、N 型オーミック電極である。本実施形態では、電極 210 は、チタン (Ti) から形成される層にアルミニウム (Al) から形成される層を積層した後に焼成することによって形成される。なお、「電極 210」は、「第 1 の電極 210」とも呼ぶ。

【0041】

半導体装置 10 の電極 230 は、凹部 182 の内側に露出された P 型半導体層 130 に形成されたボディ電極である。電極 230 は、P 型半導体層 130 の面であって、N 型半導体層 120 と接する面とは反対側の面と接する P 型オーミック電極である。「電極 230」は、「第 2 導電型のオーミック電極 230」とも呼ぶ。本実施形態では、電極 230 は、パラジウム (Pd) から形成される層を積層した後に焼成することによって形成される。

20

【0042】

半導体装置 10 の電極 240 は、凹部 182 とトレンチ 184 との間における N 型半導体層 140 の上 (+ X 軸方向側) に形成されたソース電極である。つまり、電極 240 は、N 型半導体層 140 の面であって、P 型半導体層 130 と接する面とは反対側の面と接する N 型オーミック電極である。本実施形態では、電極 240 は、チタン (Ti) から形成される層にアルミニウム (Al) から形成される層を積層した後に焼成することによって形成される。電極 240 は、オーミック電極であるため、縦型 MOS トランジスタ 300 の ON 抵抗を下げることができる。

30

【0043】

半導体装置 10 の電極 250 は、トレンチ 184 における絶縁膜 340 上に形成されたゲート電極である。本実施形態では、電極 250 は、アルミニウム (Al) から形成される。なお、アルミニウム (Al) に代えて、アルミニウムシリコン (AlSi)、アルミニウムシリコン銅 (AlSiCu) を用いてもよい。

【0044】

半導体装置 10 の配線 270 は、電極 230 と電極 240 とを電気的に接続する配線である。「配線 270」は、「第 1 配線 270」とも呼び、アルミニウム (Al) から形成される。なお、アルミニウム (Al) に代えて、アルミニウムシリコン (AlSi)、アルミニウムシリコン銅 (AlSiCu) を用いてもよい。配線 270 は、絶縁膜 340 を介して段差部 186 の側面 (Y 軸方向側の面) を覆っている。配線 270 により、段差部 186 の側面において電界が集中することを抑制でき、その結果、半導体装置 10 の耐圧破壊を抑制できる。

40

【0045】

縦型 MOS トランジスタ 300 は、積層体 100 と、ドレイン電極である電極 210 と、ゲート電極である電極 250 と、ソース電極である電極 240 と、により形成されている。保護素子 200 は、積層体 100 と、電極 230 と、電極 210 とにより形成されている。保護素子 200 は、縦型 MOS トランジスタ 300 が耐圧破壊することから保護す

50

るために設けられたPN接合ダイオードである。ここで、「耐圧破壊」とは、一度耐圧以上の電圧が印加されると縦型MOSトランジスタ内部が破壊され、元の電流・電圧特性が得られなくなる状態を示す。

【0046】

図2は、半導体装置10を+X軸方向から見た外観図である。図2におけるA-A断面が、図1におけるA-A断面に相当する。半導体装置10は、-Y軸方向側から順に、(i)半導体素子を分離するために用いる素子分離領域と、(ii)保護素子200が形成された領域であるPN接合保護ダイオード形成領域と、(iii)縦型MOSトランジスタ300が形成されたトランジスタ形成領域とを備える。

【0047】

図3は、N型半導体層120とP型半導体層130との界面を+X軸方向から見た概略図である。図2と同様に、図3におけるA-A断面が、図1におけるA-A断面に相当する。凸部115は、段差部186の内周に位置していることがわかる。また、凸部115の内周には、複数のトレンチ184が配されていることが分かる。

【0048】

図4は、半導体装置10に備えられた複数の電極250同士を、配線280により電氣的に接続した状態において、半導体装置10を+X軸方向から見た外観図である。なお、図4では、理解を容易とするため、凸部115の位置を斜線および破線で示している。配線280は、隣接する電極250同士を直線で結ぶように配されている。配線280の下に電極250が形成されているが、配線280により電極250の表面が覆われているため、図4では、電極250の位置を破線で示している。配線280の一部は、開口部285が形成されている。開口部285は、電極240に接続された配線(不図示)を引き出すための領域である。本実施形態において、配線280は、アルミニウム(Al)により形成されている。なお、アルミニウム(Al)に代えて、アルミニウムシリコン(AlSi)、アルミニウムシリコン銅(AlSiCu)を用いてもよい。

【0049】

図1に示すように、凸部115の上面は、積層体100の積層方向(X軸方向)から見たときに、電極230の少なくとも一部が重なる位置に配されている。また、トレンチ184の底面(-X軸方向側の面)が接する部分におけるN型半導体層120の厚みd2は、凸部115の上面(+X軸方向側の面)が接する部分におけるN型半導体層120の厚みd5よりも大きい。このため、縦型MOSトランジスタ300に保護素子200の耐圧よりも高いドレイン電圧が印加された場合、電流は、電極250から電極210へ流れるよりも、電極230から電極210へ多く流れる。そして、保護素子200により、電極230と電極210との間の電圧が、保護素子200の耐圧値となる。その結果、電極240と電極210との電圧についても、保護素子200の耐圧値となり、縦型MOSトランジスタ300が耐圧破壊することを防ぐことができる。このようにすることにより、保護素子200は、縦型MOSトランジスタ300を保護することができる。

【0050】

次に、本実施形態の作用効果について説明する。保護素子200は縦型MOSトランジスタ300よりも耐圧を低く、かつ、耐圧破壊しないように設計する必要がある。このため、保護素子200の厚みd5を、縦型MOSトランジスタ300の厚みd2よりも小さくする必要がある。厚みd5を厚みd2よりも小さくする方法として、N型半導体層120の+X軸方向側の一部を除去した後、除去した部分にP型半導体層を再成長する方法が考えられる。しかし、この方法を用いた場合、再成長界面に意図しないN型キャリアが発生することにより、PN接合ダイオードの耐圧が低下することが発明者らの検討の結果、明らかとなった。一方、本実施形態の半導体装置10によれば、凸部115を形成することにより厚みd5を厚みd2よりも小さくしている。凸部115を備える基板110上にN型半導体層120が形成されているため、基板110とN型半導体層120との界面に意図しないN型キャリアが発生したとしても、N型層(110, 120)の間にN型キャリアが形成されるため、保護素子200の耐圧の低下を抑制できる。なお、厚みd5を厚

10

20

30

40

50

み d_2 よりも小さくする方法として、P型のイオン注入を用いる方法も考えられる。しかし、半導体として窒化物半導体を用いる場合、P型のイオン注入を行うことは困難である。これに対して、本実施形態では、凸部 115 を形成するため、P型のイオン注入を行うことなく厚み d_5 を厚み d_2 よりも小さくすることができる。

【0051】

また、積層方向（X軸方向）から見たときに、N型半導体層 140 は、凸部 115 の上面と重ならない位置に配されている。このため、縦型MOSトランジスタのドレイン電流は、N型半導体層 140 と、トレンチ下方の基板 110 との間を流れるので、縦型MOSトランジスタ 300 の耐圧が凸部 115 により低下することはない。保護素子 200 よりも縦型MOSトランジスタ 300 の耐圧が下がることは無いので、縦型MOSトランジスタ 300 の耐圧破壊を抑制することができる。

10

【0052】

凸部 115 の上面が接する部分におけるN型半導体層 120 の厚み d_5 は、段差部 186 の底面（-X軸方向側の面）が接する部分における厚み d_4 以下である。このため、段差部 186 と電極 210 との間に電流が流れる前に、保護素子 200 に電流が流れる。この結果、半導体装置 10 の耐圧破壊を抑制できる。

【0053】

段差部 186 の底面と凸部 115 との距離 d_3 は、段差部 186 の底面（-X軸方向側の面）が接する部分における厚み d_4 より大きい。このため、段差部 186 と電極 210 との間に段差部 186 を介して電流が流れる前に、保護素子 200 に電流が流れる。この結果、半導体装置 10 の耐圧破壊を抑制できる。

20

【0054】

凸部 115 の上面とトレンチ 184 の底面との距離 d_1 は、トレンチ 184 の底面が接する部分におけるN型半導体層 120 の厚み d_2 よりも大きい。このため、保護素子 200 の耐圧以上の電圧が電極 210 と配線 270 との間に印加された場合、電極 210 から凸部 115 を介してトレンチ 184 へ電流が流れる前に、保護素子 200 に電流が流れる。この結果、半導体装置 10 の耐圧破壊を抑制できる。

【0055】

図5は、本実施形態の半導体装置 10 から得られる効果を説明する図である。図5（A）は、本実施形態の等価回路を示す。本実施形態において、保護素子 200 と縦型MOSトランジスタ 300 と素子分離領域とが、並列に接続されている。縦型MOSトランジスタ 300 のドレイン電極（電極 210）・ソース電極（電極 240）間電圧を電圧 V_{ds} とし、ゲート電極（電極 250）・ソース電極（電極 240）間電圧を電圧 V_{gs} とし、ドレイン電流を電流 I_d とする。

30

【0056】

図5（B）は、電流・電圧特性を示す。一点鎖線 12 は、保護素子 200 や素子分離領域を備えず、縦型MOSトランジスタ 300 のみの場合において、ドレイン電極・ソース電極間に電圧 V_{ds} を印加したときの電流 I_d を示す。ゲート電極・ソース電極間電圧 V_{gs} は 0V である。縦型MOSトランジスタ 300 のみの場合、一点鎖線 12 におけるXで示す点において、半導体装置の耐圧破壊が起こる。耐圧破壊は、不可逆反応であり、一度起こってしまうと、リーク電流が大幅に増加し、元の素子特性には戻らず、素子特性は劣化する。

40

【0057】

実線 11 は、素子分離領域のみの場合に、電圧 V_{ds} を印加したときの電流 I_d を示す。実線 11 におけるXで示す点において、半導体装置の耐圧破壊が起こる。

【0058】

二点鎖線 13 は、保護素子 200 のみの場合に、電圧 V_{ds} を印加したときの電流 I_d を示す。二点鎖線 13 におけるOで示す点において、アバランシェ崩壊により電流が急増するため、これ以上の電圧が印加されることが抑制される。つまり、二点鎖線 13 で示す結果から、保護素子 200 が、定電圧ダイオードとして機能することが分かる。ここで、

50

保護素子200のPN接合界面は、均一で平坦な面により形成されるため、PN接合界面に均等な電界が印加される。この結果、アバランシェ崩壊によるPN接合界面へのダメージが入りにくく、半導体装置の耐圧破壊が起きない。つまり、保護素子200の場合、二点鎖線13におけるOで示す点における電圧 V_{ds} が印加されたとしても、不可逆反応は起きない。なお、Oで示す点における電圧 V_{ds} よりも低い電圧を印加する場合、二点鎖線13に沿った値の電流が流れ、リーク電流は重畳されない。なお、本実施形態の保護素子200の接合は、ショットキー接合ではなく、PN接合である。この理由としては、ショットキー接合に高電圧が印加された場合に金属と半導体との界面が破壊される結果、リーク電流が増加するという不可逆反応が起こる虞があることを挙げることができる。

【0059】

10

図5(C)は、本実施形態の半導体装置10全体に電圧 V_{ds} を印加したときの電流 I_d を示す。なお、図5(A)に示すとおり、保護素子200と縦型MOSトランジスタ300と素子分離領域とは並列に接続されている。

【0060】

図5(C)における破線14で示されるとおり、半導体装置10は保護素子200を備えるため、電圧 V_{ds} は、保護素子200の特性によって決定される電圧以上になることはない。つまり、素子分離領域に係る電圧及び縦型MOSトランジスタ300のドレイン電極・ソース電極間電圧は、素子分離領域や縦型MOSトランジスタ300の耐圧破壊が起きる電圧よりも小さい電圧が印加されるのみである。例えば、本実施形態の半導体装置10の外部から半導体装置10へ、素子分離領域や縦型MOSトランジスタ300の耐

20

圧破壊が起きるほどの高い電圧が印加されたとする。このような場合においても、半導体装置10は保護素子200を備えるため、素子分離領域や縦型MOSトランジスタ300に係る電圧は、保護素子200がアバランシェ崩壊する電圧まで抑制される。このため、半導体装置10の耐圧破壊を抑制できる。

【0061】

図6は、TCAD(Technology CAD)シミュレータにより計算した半導体装置10の電流密度分布を示す図である。図面右上方には、ゲートトレンチの左半分が表示されている。図6の電流密度分布は、ドレイン電極(電極210)・ソース電極(電極240)間電圧 V_{ds} を1200Vとし、ゲート電極(電極250)・ソース電極(電極240)間電圧 V_{gs} を0Vとしたときの分布を示す。凸部115の積層方向(X軸方向)の厚みは2

30

μm とし、凸部115の幅方向(Y軸方向)の厚みは5 μm とした。凸部115を除くN型半導体層120の厚み d_6 (図1参照)は6 μm とした。段差部186の底面が接する部分における厚み d_4 は5 μm とした。

【0062】

図6に示されるとおり、電圧 V_{ds} を1200Vとした場合、凸部115の上面から上方(+X軸方向)に向かってインパクトイオン化により電流が流れることが分かる(色の濃い部分)。また、図6に示されるとおり、縦型MOSトランジスタ300および素子分離領域において電流密度が低く、インパクトイオン化による電流が流れていないことが分かる(色の薄い部分)。この結果から、半導体装置10の耐圧破壊が抑制されていることが分かる。

40

【0063】

A2. 半導体装置10の製造方法:

図7は、半導体装置10の製造方法を示す工程図である。まず、工程P105において、基板110の面に突出する凸部115を形成する。

【0064】

図8は、工程P105における半導体装置10の中間製品を示す断面図である。本実施形態において、工程P105では、まず、製造者は、基板110の上にプラズマCVD(Chemical Vapor Deposition)装置により二酸化ケイ素(SiO_2)の絶縁膜を形成する。次に、製造者は、リソグラフィ法によりパターンニングしたレジストをマスクとしてバッファードフッ酸(BHF: Buffered Hydrogen Fluoride)に浸漬することにより、絶縁膜

50

をエッチングする。その後、製造者は、半導体装置 10 の中間製品を剥離液に浸漬することによりレジストパターンを除去する。図 8 (A) は、基板 110 の上に絶縁膜 510 が形成された半導体装置 10 の中間製品を示す。

【0065】

次に、製造者は、誘導結合方式 (ICP: Inductively Coupled Plasma) を採用したドライエッチング装置により、基板 110 を約 $2\text{ }\mu\text{m}$ ドライエッチングする。図 8 (B) は、ドライエッチングを行った後の半導体装置 10 の中間製品を示す。最後に、製造者は、絶縁膜をバッファードフッ酸に浸漬することにより、絶縁膜を除去する。このようにすることにより、基板 110 の面に突出する凸部 115 が形成される。

【0066】

次に、工程 P110 (図 7) において、基板 110 の上に、N 型半導体層 120 と、P 型半導体層 130 と、N 型半導体層 140 と、をこの順に積層する。本実施形態では、製造者は、基板 110 を MOCVD 炉内に導入し、N 型半導体層 120 の成長する温度 (例えば、 1050) まで加熱する。MOCVD 炉内は、キャリアガスとしての水素 (H) 及び V 族元素としてのアンモニア (NH_3) 雰囲気とする。その後、製造者は、III 族原料としてトリメチルガリウム (TMGa) と N 型不純物としてシラン (SiH_4) を炉内に導入し、ドナー濃度 $1 \times 10^{16} \text{ cm}^{-3}$ 程度の N 型半導体層 120 を約 $6\text{ }\mu\text{m}$ 成長させる。ドナー濃度は、 $1 \times 10^{15} \text{ cm}^{-3}$ から $1 \times 10^{16} \text{ cm}^{-3}$ が好ましく、N 型半導体層 120 の厚みは、 $5\text{ }\mu\text{m}$ から $20\text{ }\mu\text{m}$ が好ましい。

【0067】

次に、製造者は、III 族原料としてトリメチルガリウム (TMGa) と P 型不純物としてビス (シクロペンタジエニル) マグネシウム ($\text{Cp}2\text{Mg}$: bis (cyclopentadienyl) magnesium) を炉内に導入し、マグネシウム (Mg) 濃度 $4 \times 10^{18} \text{ cm}^{-3}$ 程度の P 型半導体層 130 を約 $0.7\text{ }\mu\text{m}$ 成長させる。マグネシウム (Mg) 濃度は、 $1 \times 10^{18} \text{ cm}^{-3}$ 以上が好ましく、P 型半導体層 130 の厚みは、 $0.5\text{ }\mu\text{m}$ から $2\text{ }\mu\text{m}$ が好ましい。

【0068】

次に、本実施形態では、製造者は、III 族原料としてトリメチルガリウム (TMGa) と N 型不純物としてシラン (SiH_4) を炉内に導入し、ドナー濃度 $1 \times 10^{18} \text{ cm}^{-3}$ 程度の N 型半導体層 140 を約 $0.2\text{ }\mu\text{m}$ 成長させる。

【0069】

図 9 は、上記工程 P110 により、基板 110 上に半導体層 (120, 130, 140) を形成させた半導体装置 10 の中間製品を示す断面図である。ここで、再成長界面は、基板 110 と N 型半導体層 120 との界面となる。N 型半導体層 120 と P 型半導体層 130 との界面 (PN 接合界面) が再成長界面とする場合、保護素子 200 の耐圧が低下する虞があるが、半導体装置 10 の再成長界面は N 型の基板 110 と N 型半導体層 120 との界面 (N/N 界面) であるため、保護素子 200 の耐圧の低下を抑制できる。

【0070】

工程 P110 の後、工程 P215 (図 7) において、半導体装置 10 の中間製品にトレンチ 184 と段差部 186 とを形成する。製造者は、まずマスクとなる絶縁膜を積層した後、フォトリソにてパターンニングを行なう。その後、エッチングを行なうことにより、製造者は、トレンチ 184 と段差部 186 とを形成する。

【0071】

図 10 は、トレンチ 184 と段差部 186 とを形成させた半導体装置 10 の中間製品を示す断面図である。本実施形態において、エッチングとして、ドライエッチングを採用する。なお、ドライエッチングの後に、エッチングによるダメージ層を除去するため、ウェットエッチングを行なってもよい。

【0072】

次に、工程 P220 (図 7) において、絶縁膜 340 を形成する。製造者は、まずマスクとなる絶縁膜を積層した後、フォトリソにてパターンニングを行なう。

10

20

30

40

50

【 0 0 7 3 】

図 1 1 は、絶縁膜 3 4 0 を形成させた半導体装置 1 0 の中間製品を示す断面図である。工程 P 2 2 0 によって、絶縁膜 3 4 0 が形成後、パターニングしたレジストをマスクとしてドライエッチングにより一部の絶縁膜 3 4 0 が除去されることにより、凹部 1 8 2 についても形成される。

【 0 0 7 4 】

工程 P 2 4 0 (図 7) において、製造者は、リフトオフ法を用いて電極 2 3 0 、 2 4 0 、 2 5 0 を形成する。

【 0 0 7 5 】

図 1 2 は、電極 2 3 0 、 2 4 0 、 2 5 0 を形成させた半導体装置 1 0 の中間製品を示す断面図である。

10

【 0 0 7 6 】

その後、工程 P 2 5 0 (図 7) において、製造者は、電極 2 3 0 と電極 2 4 0 とを電氣的に接続する配線 2 7 0 を形成する。最後に、製造者は、半導体装置 1 0 の中間製品の - X 側に電極 2 1 0 を形成する (工程 P 2 5 5) 。これらの工程を経て、図 1 に示す半導体装置 1 0 が完成する。

【 0 0 7 7 】

B . 第 2 実施形態 :

図 1 3 は、第 2 実施形態における半導体装置 1 0 A の構成を模式的に示す図である。半導体装置 1 0 A は、半導体装置 1 0 と比較して、凸部の形状が異なるが、それ以外は同じである。半導体装置 1 0 A の凸部 1 1 5 A の側面 (Y 軸方向側の面) は、凸部 1 1 5 A の上面 (+ X 軸方向側の面) に対して傾斜している。本実施形態において、半導体装置 1 0 A の凸部 1 1 5 A の側面 (Y 軸方向側の面) は、テーパ形状である。半導体装置 1 0 A の製造方法は、半導体装置 1 0 の製造方法と比較して、凸部 1 1 5 A を形成する工程 (工程 P 1 0 5) において異なるが、それ以外は同じである。

20

【 0 0 7 8 】

図 1 4 は、凸部 1 1 5 A を形成する工程を説明する図である。まず、製造者は、上面に対して側面が傾斜している形状の絶縁膜 5 1 0 A を形成する。図 1 4 (A) は、基板 1 1 0 の上に絶縁膜 5 1 0 A が形成された半導体装置 1 0 A の中間製品を示す。その後、製造者は、異方性ドライエッチング法によって半導体基板 1 1 0 をエッチングすることにより、凸部 1 1 5 A を形成する。図 1 4 (B) は、凸部 1 1 5 A が形成された半導体装置 1 0 A の中間製品を示す。凸部の側面を凸部の上面に対して傾斜された形状としても、保護素子の耐圧の低下を抑制する効果が得られる。

30

【 0 0 7 9 】

C . 変形例 :

この発明は上記の実施形態に限られるものではなく、その要旨を逸脱しない範囲において種々の形態において実施することが可能であり、例えば次のような変形も可能である。

【 0 0 8 0 】

C 1 . 変形例 1 :

本実施形態において、凸部 1 1 5 はエッチングにより形成したが、本発明はこれに限られない。凸部 1 1 5 の形成方法を、再成長を用いる方法としてもよい。

40

【 0 0 8 1 】

図 1 5 は、再成長により凸部 1 1 5 B を形成する工程を説明する図である。まず、製造者は、凸部 1 1 5 B を形成する部分の基板 1 1 0 が露出するように絶縁膜 5 1 0 B を形成する。図 1 5 (A) は、絶縁膜 5 1 0 B を形成させた半導体装置の中間製品を示す断面図である。次に、製造者は、MOCVD 法によって半導体層 1 1 0 を再成長させる。図 1 5 (B) は、半導体層 1 1 0 を再成長させた半導体装置の中間製品を示す断面図である。最後に、製造者は、絶縁膜 5 1 0 B を除去することにより、凸部 1 1 5 B が形成される。

【 0 0 8 2 】

C 2 . 変形例 2 :

50

本実施形態において、積層体 100 の積層方向 (X 軸方向) において、N 型半導体層 140 は、凸部 115 の上面と重ならない位置に配されている。しかし、本発明はこれに限らない。

【0083】

図 16 は、積層方向 (X 軸方向) において、N 型半導体層 140 C は、凸部 115 の上面の一部と重なる位置に配されている半導体装置 100 の構成を模式的に示す断面図である。N 型半導体層 140 C は、凸部 115 の上面の少なくとも一部と重なる位置に配されていてもよい。

【0084】

C3 . 変形例 3 :

本実施形態において、凸部 115 D は、段差部 186 の下方 (- X 軸方向側) には配置されていない。しかし、本発明はこれに限らない。

【0085】

図 17 は、凸部 115 D が段差部 186 の下方においても配置されている半導体装置の構成を模式的に示す断面図である。凸部 115 D は、段差部 186 の下方に配置されていてもよい。この形態によれば、本実施形態の製造方法と比較して、凸部 115 D の形成が容易となる。

【0086】

C4 . 変形例 4 :

本実施形態において、基板と N 型半導体層との少なくとも一方に含まれるドナーとして、ケイ素 (Si) を用いているが、本発明はこれに限られない。ドナーとして、ゲルマニウム (Ge) や、酸素 (O) を用いてもよい。

【0087】

C5 . 変形例 5 :

本実施形態において、P 型半導体層に含まれるアクセプタとして、マグネシウム (Mg) を用いているが、本発明はこれに限られない。アクセプタとして、亜鉛 (Zn) や、炭素 (C) を用いてもよい。

【0088】

C6 . 変形例 6 :

本実施形態において、電極 230 は、パラジウム (Pd) から形成される。しかし、本発明はこれに限られない。電極 230 は、他の材料により形成されていてもよく、複数層の構成であってもよい。例えば、電極 230 は、ニッケル (Ni)、白金 (Pt)、コバルト (Co) 等の導電性材料の少なくとも 1 つを含む電極であってもよく、ニッケル (Ni) / パラジウム (Pd) 構成や、白金 (Pt) / パラジウム (Pd) 構成 (パラジウムが半導体基板側) のような 2 層構成であってもよい。

【0089】

C7 . 変形例 7 :

本実施形態において、ゲート電極である電極 250 は、アルミニウム (Al) から形成される。しかし、本発明はこれに限られない。電極 250 は、ポリシリコンを用いてもよい。また、電極 250 は、他の材料により形成されていてもよく、複数層の構成であってもよい。例えば、電極 250 は、金 (Au) / ニッケル (Ni) 構成や、アルミニウム (Al) / チタン (Ti) 構成、アルミニウム (Al) / 窒化チタン (TiN) 構成 (それぞれ、ニッケル、チタン、窒化チタンがゲート絶縁膜側) のような 2 層構成であってもよいし、窒化チタン (TiN) / アルミニウム (Al) / 窒化チタン (TiN) 構成のような 3 層構成であってもよい。

【0090】

本発明は、上述の実施形態や変形例に限られるものではなく、その趣旨を逸脱しない範囲において種々の構成で実現することができる。例えば、発明の概要の欄に記載した各形態中の技術的特徴に対応する実施形態、変形例中の技術的特徴は、上述の課題の一部又は全部を解決するために、あるいは、上述の効果の一部又は全部を達成するために、適宜、

10

20

30

40

50

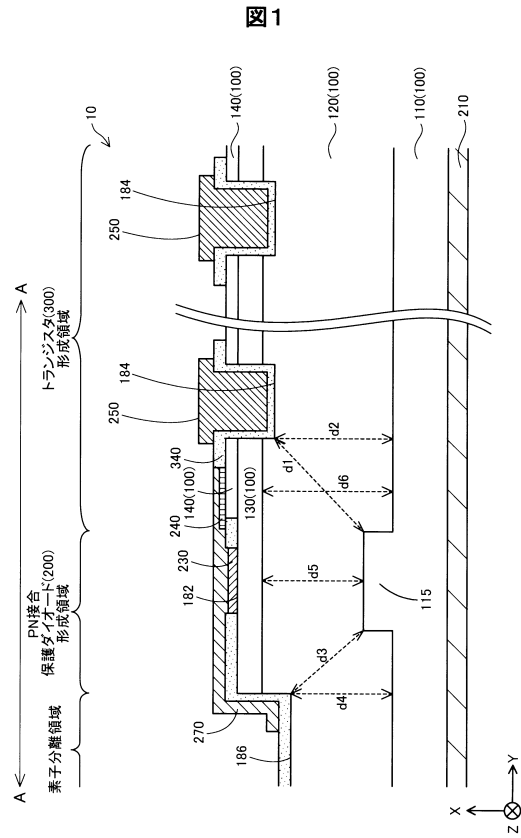
差し替えや、組み合わせを行うことが可能である。また、その技術的特徴が本明細書中に必須なものとして説明されていなければ、適宜、削除することが可能である。

【符号の説明】

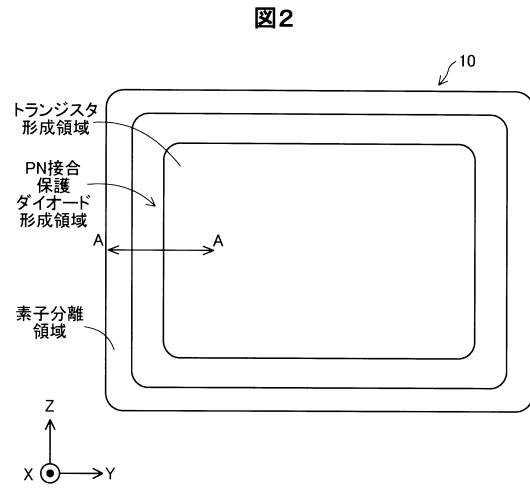
【 0 0 9 1 】

1 0 ... 半導体装置	
1 0 A ... 半導体装置	
1 0 C ... 半導体装置	
1 0 0 ... 積層体	
1 1 0 ... 基板	
1 1 5 ... 凸部	10
1 1 5 A ... 凸部	
1 1 5 B ... 凸部	
1 1 5 D ... 凸部	
1 2 0 ... N型半導体層	
1 3 0 ... P型半導体層	
1 4 0 ... N型半導体層	
1 4 0 C ... N型半導体層	
1 8 2 ... 凹部	
1 8 4 ... トレンチ	
1 8 6 ... 段差部	20
2 0 0 ... 保護素子	
2 1 0 ... 電極	
2 3 0 ... 電極	
2 4 0 ... 電極	
2 5 0 ... 電極	
2 7 0 ... 配線	
2 8 0 ... 配線	
2 8 5 ... 開口部	
3 0 0 ... 縦型M O S トランジスタ	
3 4 0 ... 絶縁膜	30
5 1 0 ... 絶縁膜	
5 1 0 A ... 絶縁膜	
5 1 0 B ... 絶縁膜	
I d ... 電流	
V d s ... 電圧	
V g s ... 電圧	
d 1 ... 距離	
d 3 ... 距離	
1 1 ... 実線	
1 2 ... 一点鎖線	40
1 3 ... 二点鎖線	
1 4 ... 破線	

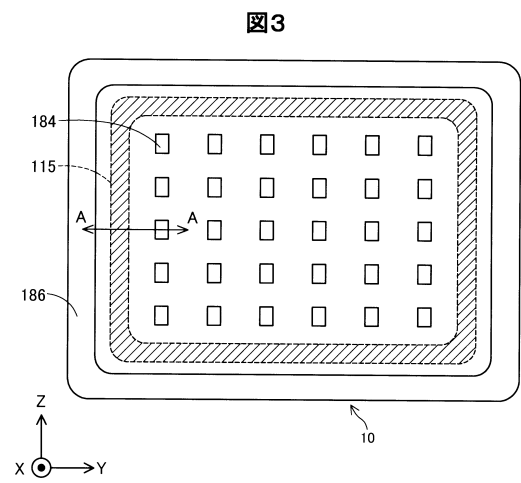
【図 1】



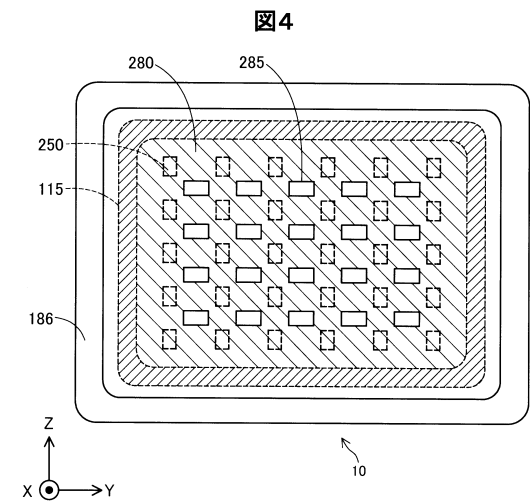
【図 2】



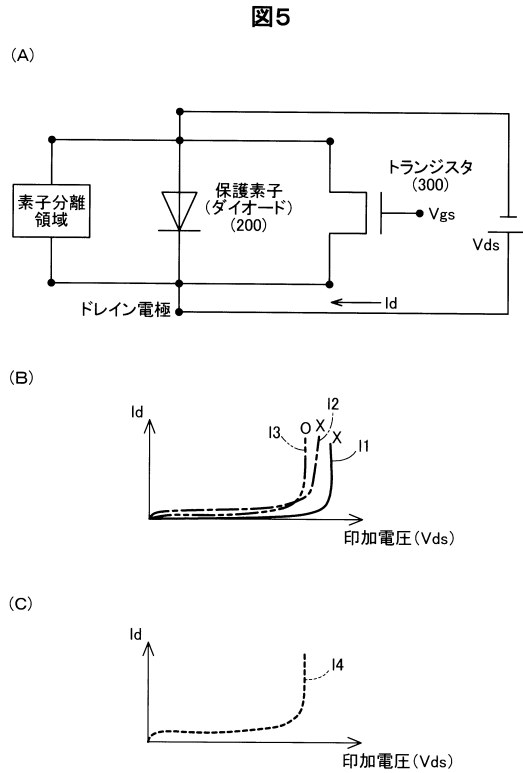
【図 3】



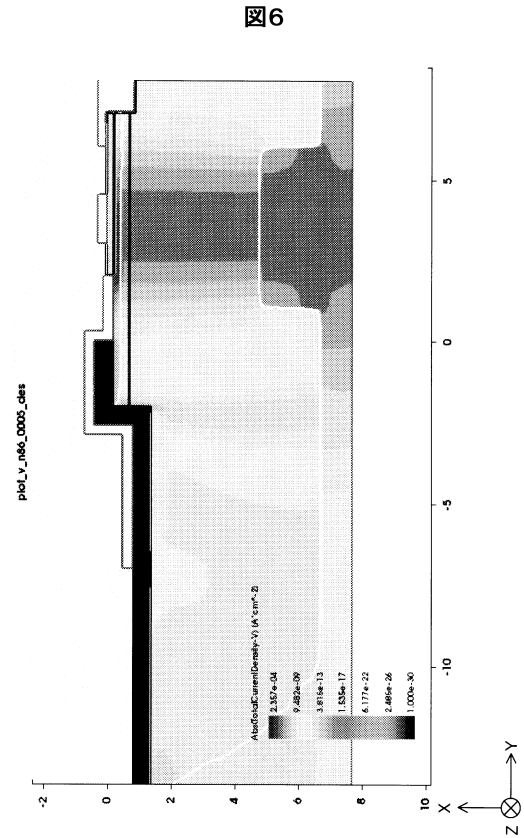
【図 4】



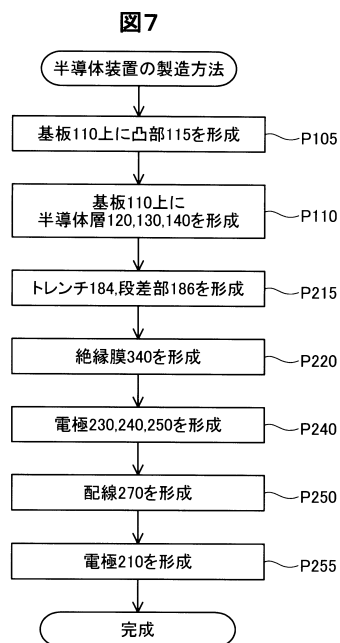
【図 5】



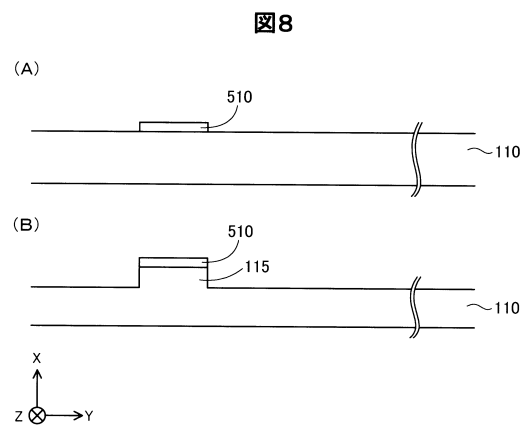
【図 6】



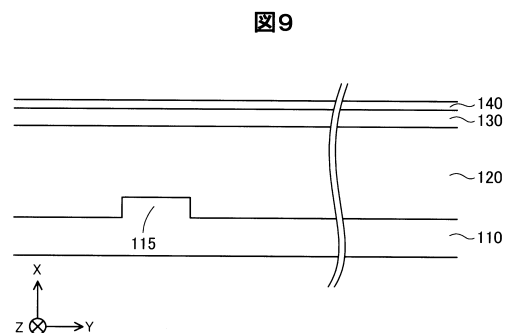
【図 7】



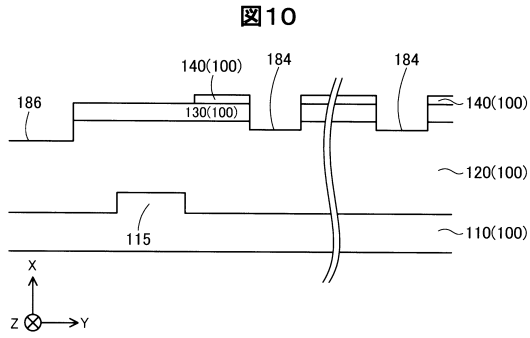
【図 8】



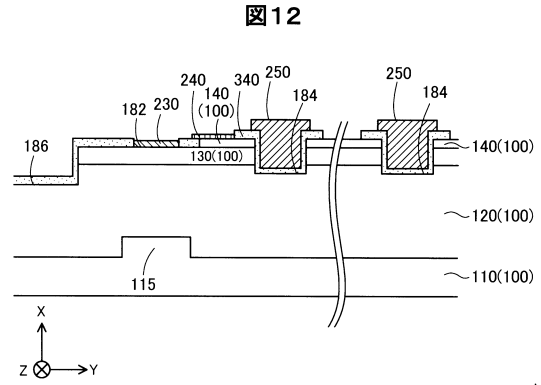
【図 9】



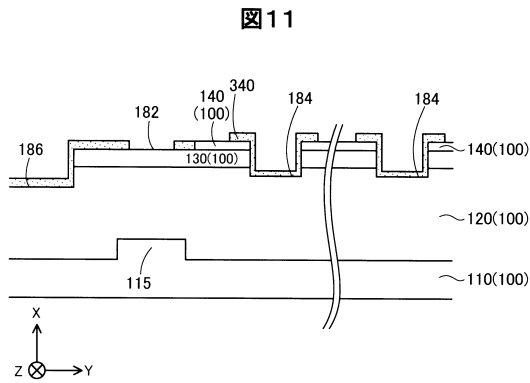
【図 10】



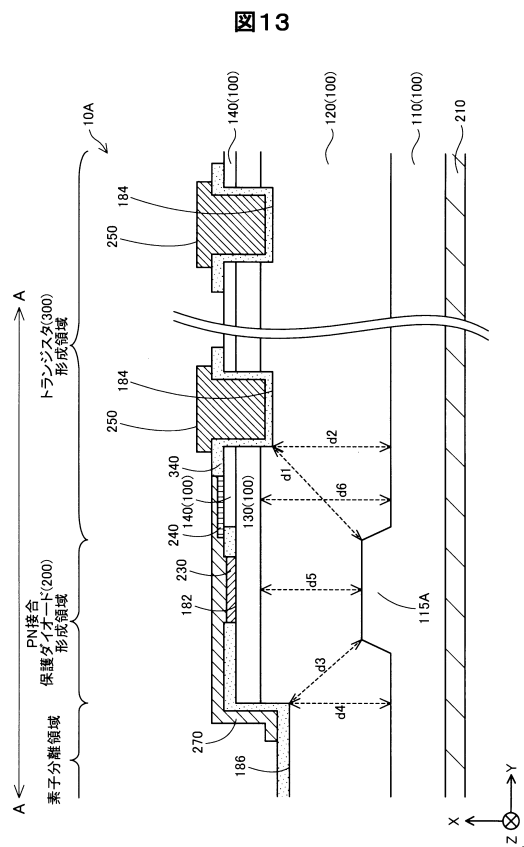
【図 12】



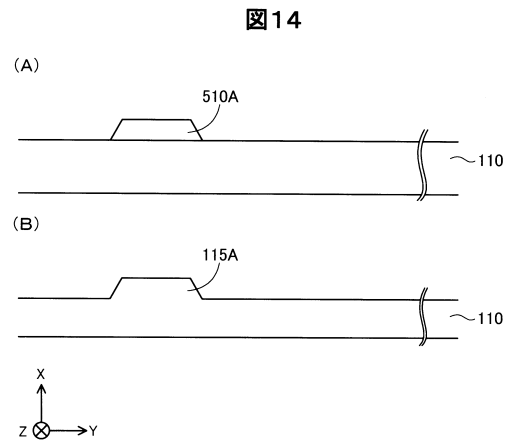
【図 11】



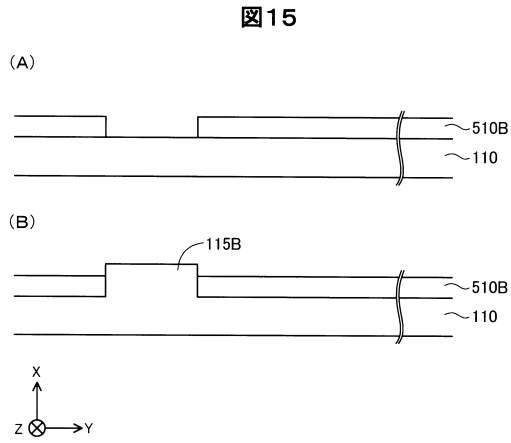
【図 13】



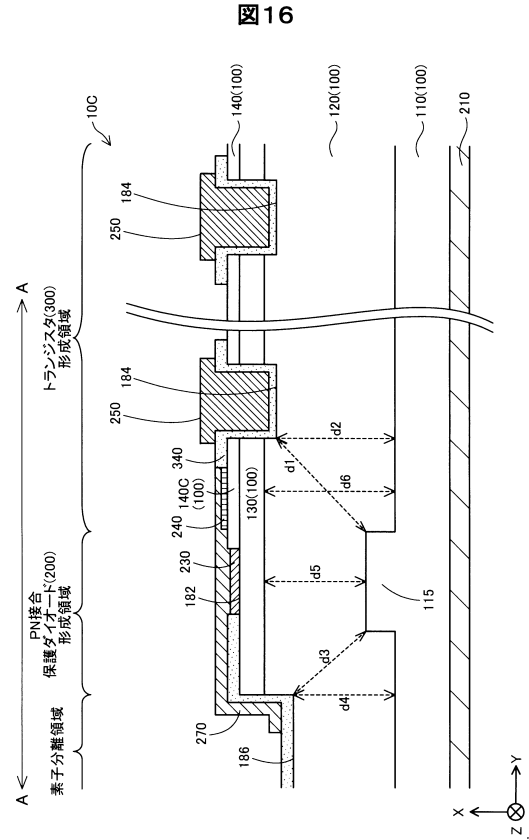
【図 14】



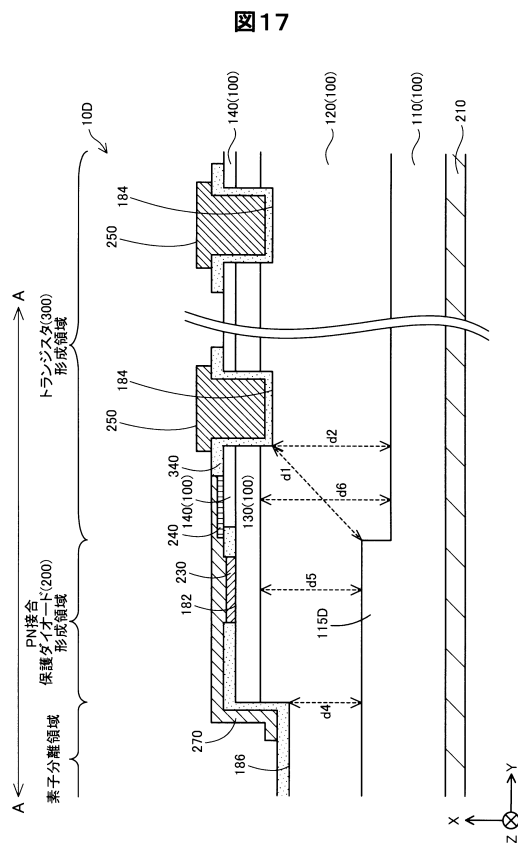
【 図 1 5 】



【 図 1 6 】



【 図 1 7 】



フロントページの続き

(51)Int.Cl.		F I		
H 0 1 L 27/06 (2006.01)		H 0 1 L 29/91		D
H 0 1 L 21/822 (2006.01)		H 0 1 L 29/91		B
H 0 1 L 27/04 (2006.01)		H 0 1 L 29/91		F
		H 0 1 L 27/06	3 1 1 B	
		H 0 1 L 27/04		H

(72)発明者 岡 徹
愛知県清須市春日長畑 1 番地 豊田合成株式会社内

(72)発明者 上野 幸久
愛知県清須市春日長畑 1 番地 豊田合成株式会社内

審査官 早川 朋一

(56)参考文献 特開 2 0 1 4 - 1 9 2 1 9 1 (J P , A)
特表 2 0 0 5 - 5 2 0 3 2 2 (J P , A)
特開平 1 0 - 3 2 1 8 7 7 (J P , A)
特開 2 0 1 0 - 1 1 4 2 4 8 (J P , A)
特開平 0 2 - 0 0 5 4 8 2 (J P , A)
特開 2 0 1 4 - 2 0 9 5 4 0 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)

H 0 1 L 2 9 / 7 8
H 0 1 L 2 1 / 3 3 6
H 0 1 L 2 7 / 0 4
H 0 1 L 2 7 / 0 6 - 2 7 / 0 7