



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I596777 B

(45)公告日：中華民國 106 (2017) 年 08 月 21 日

(21)申請案號：098135271

(22)申請日：中華民國 98 (2009) 年 10 月 19 日

(51)Int. Cl. : H01L29/786 (2006.01)

H01L21/336 (2006.01)

(30)優先權：2008/10/24 日本

2008-274515

(71)申請人：半導體能源研究所股份有限公司 (日本) SEMICONDUCTOR ENERGY
LABORATORY CO., LTD. (JP)

日本

(72)發明人：須澤英臣 SUZAWA, HIDEOMI (JP)；笹川慎也 SASAGAWA, SHINYA (JP)；村岡
大河 MURAOKA, TAIGA (JP)

(74)代理人：林志剛

(56)參考文獻：

US 2001/0040648A1

US 2008/0176364A1

審查人員：黃泰淵

申請專利範圍項數：21 項 圖式數：30 共 131 頁

(54)名稱

半導體裝置製造方法

METHOD FOR MANUFACTURING SEMICONDUCTOR DEVICE

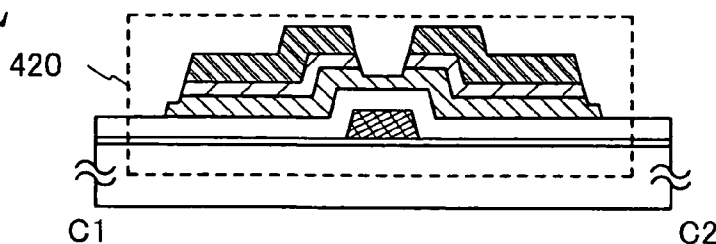
(57)摘要

在具有通道蝕刻結構的反交錯型薄膜電晶體的半導體裝置的製造方法中，使用由利用光透射過其而具有多個強度的曝光掩模的多色調掩模所形成的掩模層對氧化物半導體膜以及導電膜進行蝕刻。作為蝕刻製程，採用使用蝕刻氣體的乾蝕刻。

In a method for manufacturing a semiconductor device including a channel-etched inverted-staggered thin film transistor, an oxide semiconductor film and a conductive film are etched using a mask layer formed with the use of a multi-tone mask which is a light-exposure mask through which light is transmitted so as to have a plurality of intensities. The etching step is performed by dry etching in which an etching gas is used.

指定代表圖：

圖 1E



符號簡單說明：

420 . . . 薄膜電晶體

C1, C2 . . . 線

775806

發明專利說明書

(本申請書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：98135271

※申請日：98 年 10 月 19 日

※IPC 分類：H01L 29/786 (2006.01)
H01L 21/336 (2006.01)

一、發明名稱：(中文／英文)

半導體裝置製造方法

Method for manufacturing semiconductor device

二、中文發明摘要：

在具有通道蝕刻結構的反交錯型薄膜電晶體的半導體裝置的製造方法中，使用由利用光透射過其而具有多個強度的曝光掩模的多色調掩模所形成的掩模層對氧化物半導體膜以及導電膜進行蝕刻。作為蝕刻製程，採用使用蝕刻氣體的乾蝕刻。

三、英文發明摘要：

In a method for manufacturing a semiconductor device including a channel-etched inverted-staggered thin film transistor, an oxide semiconductor film and a conductive film are etched using a mask layer formed with the use of a multi-tone mask which is a light-exposure mask through which light is transmitted so as to have a plurality of intensities. The etching step is performed by dry etching in which an etching gas is used.

四、指定代表圖：

(一) 本案指定代表圖為：第(1E)圖。

(二) 本代表圖之元件符號簡單說明：

420：薄膜電晶體

C1，C2：線

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：無

六、發明說明：

【發明所屬之技術領域】

本發明關於一種使用氧化物半導體的半導體裝置及其製造方法。

【先前技術】

以液晶顯示裝置為代表的形成在玻璃基板等的平板上的薄膜電晶體使用非晶矽、多晶矽製造。使用非晶矽的薄膜電晶體具有如下特性：雖然其場效應遷移率低，但是可以對應於玻璃基板的大面積化。另一方面，使用結晶矽的薄膜電晶體具有如下特性：雖然其場效應遷移率高，但是需要進行雷射退火等的晶化製程，因此其不一定適合於玻璃基板的大面積化。

另一方面，使用氧化物半導體製造薄膜電晶體，並將其應用於電子裝置和光裝置的技術受到注目。例如，專利文獻 1 及專利文獻 2 公開作為氧化物半導體膜使用氧化鋅、In-Ga-Zn-O 類氧化物半導體來製造薄膜電晶體，並將其用於影像顯示裝置的開關元件等的技術。

[專利文獻 1]日本專利申請公開 2007-123861 號公報

[專利文獻 2]日本專利申請公開 2007-96055 號公報

【發明內容】

在氧化物半導體中設置有通道形成區的薄膜電晶體可以實現比使用非晶矽的薄膜電晶體更高的場效應遷移率。

作為氧化物半導體膜，可以利用濺射法等在 300℃ 或更低的溫度下形成，其製造製程比使用多晶矽的薄膜電晶體簡單。

使用上述氧化物半導體在玻璃基板、塑膠基板等上形成薄膜電晶體，並可以期待將其應用於液晶顯示器、電致發光顯示器或電子紙等。

另外，當製造薄膜電晶體時，採用使用多個曝光掩模(也稱作光掩模)，並且藉由光刻製程形成疊層結構的方法。但是，光刻製程是包括多個製程的製程，其是對製造成本、成品率及生產率等形成較大影響的主要原因之一。其中，設計或製造成本高的曝光掩模數的縮減是重要課題。

鑒於上述問題，本發明的目的之一在於藉由縮減曝光掩模數而將光刻製程簡化來以低成本且高生產率地製造半導體裝置。

在反交錯型薄膜電晶體的半導體裝置的製造方法中，使用掩模層進行蝕刻製程，該掩模層由用作透過的光變成多個強度的曝光掩模的多級灰度掩模形成。

使用多級灰度掩模形成的掩模層成為具有多個膜厚的形狀，並且藉由進行蝕刻可以進一步改變其形狀，所以可以用於加工為不同的圖案的多個蝕刻製程。因此，使用一個多級灰度掩模可以形成對應於至少兩種或更多的不同的圖案的掩模層。由此，可以縮減曝光掩模數且可以縮減對應的光刻製程，所以可以實現製程的簡化。

在反交錯型薄膜電晶體的製造製程中，進行將半導體

膜以及導電膜加工為島狀的蝕刻製程(第一蝕刻製程)，以及將導電膜和半導體膜蝕刻加工成源極電極層、漏電極層以及具有凹部的半導體層的蝕刻製程(第二蝕刻製程)。採用利用蝕刻氣體的乾蝕刻進行該第一蝕刻製程以及第二蝕刻製程。

作為蝕刻氣體，較佳採用含有氯的氣體(氯類氣體，例如 Cl_2 、 BCl_3 、 SiCl_4 等)。還可以採用對上述氣體中加入了氧或稀有氣體(例如 Ar 等)的蝕刻氣體。

作為本說明書中所使用的氧化物半導體，形成由 $\text{InMO}_3(\text{ZnO})_m (m>0)$ 表示的薄膜，來製造將該薄膜作為半導體層的薄膜電晶體。另外，作為 M，其表示選自鎵(Ga)、鐵(Fe)、鎳(Ni)、錳(Mn)或鈷(Co)中的一種金屬元素或多種金屬元素。例如，作為 M，除了包含 Ga 之外，還有 Ga 和 Ni 或 Ga 和 Fe 等包含 Ga 以外的上述元素的情況。另外，在上述氧化物半導體中，除了包含作為 M 的金屬元素之外，作為雜質元素有時包含 Fe、Ni 以及其他過渡金屬或該過渡金屬的氧化物。在本說明書中也將該薄膜稱為 In-Ga-Zn-O 類非單晶膜。

作為 In-Ga-Zn-O 類非單晶膜的結晶結構，由於在利用濺射法進行成膜後，以 200°C 至 500°C ，典型的是 300°C 至 400°C 進行 10 分至 100 分的加熱處理，在 XRD(X 線分析)的分析中觀察為非晶結構。另外，當薄膜電晶體的電特性在閘極電壓為 $\pm 20\text{V}$ 時，可以製造導通截止比為 10^9 或更多，遷移率為 10 或更多的 In-Ga-Zn-O 類非單晶膜。

作為本說明書所公開的發明的結構的一個方式的半導體裝置的製造方法，包括如下步驟：在具有絕緣表面的基板上形成閘極電極層；在閘極電極層上層疊閘極絕緣層、氧化物半導體膜以及導電膜；在閘極絕緣層、氧化物半導體膜以及導電膜上形成第一掩模層；使用第一掩模層藉由第一蝕刻製程對氧化物半導體膜以及導電膜進行蝕刻，以形成氧化物半導體層以及導電層；對第一掩模層進行灰化以形成第二掩模層；以及，使用第二掩模層藉由第二蝕刻製程對氧化物半導體層以及導電層進行蝕刻，以形成具有凹部的氧化物半導體層、源極電極層以及漏電極層，其中，第一掩模層使用透過的光成為多個強度的曝光掩模形成，並且，第一蝕刻製程以及第二蝕刻製程使用利用蝕刻氣體的乾蝕刻，並且，在具有凹部的氧化物半導體層中，具有其厚度薄於與源極電極層或漏電極層重疊的區域的厚度的區域。

作為本說明書所公開的發明的結構的另一方式的半導體裝置的製造方法，包括如下步驟：在具有絕緣表面的基板上形成閘極電極層；在閘極電極層上層疊閘極絕緣層、第一氧化物半導體膜、第二氧化物半導體膜以及導電膜；在閘極絕緣層、第一氧化物半導體膜、第二氧化物半導體膜以及導電膜上形成第一掩模層；使用第一掩模層藉由第一蝕刻製程對第一氧化物半導體膜、第二氧化物半導體膜以及導電膜進行蝕刻，以形成第一氧化物半導體層、第二氧化物半導體層以及導電層；對第一掩模層進行灰化以形

成第二掩模層；以及，使用第二掩模層藉由第二蝕刻製程對第一氧化物半導體層、第二氧化物半導體層以及導電層進行蝕刻，以形成具有凹部的氧化物半導體層、源極區、汲區、源極電極層以及漏電極層，其中，第一掩模層使用透過的光成為多個強度的曝光掩模形成，並且，第一蝕刻製程以及第二蝕刻製程使用利用蝕刻氣體的乾蝕刻，並且，在具有凹部的氧化物半導體層中，具有其厚度薄於與源極區或汲區重疊的區域的厚度的區域。

本說明書所公開的半導體裝置的製造方法解決上述課題中的至少一個。

另外，較佳用作薄膜電晶體的源極區和汲區的第二氧化物半導體膜比用作通道形成區的第一氧化物半導體膜的厚度薄，並且，具有更高的導電率(導電率)。

第二氧化物半導體膜顯示 n 型導電型，用作源極區及汲區。

另外，第一氧化物半導體膜具有非晶結構，第二氧化物半導體膜有時在非晶結構中包含晶粒(奈米晶體)。該第二氧化物半導體膜中的晶粒(奈米晶體)的直徑為 1nm 至 10nm，典型的為 2nm 至 4nm 左右。

可以使用 In-Ga-Zn-O 類非單晶膜作為用作源極區及汲區(n^+ 層)的第二氧化物半導體膜。

還可以形成覆蓋薄膜電晶體，並且與包括通道形成區的氧化物半導體層接觸的絕緣膜。

另外，因為薄膜電晶體容易由於靜電等發生損壞，所

以作為閘極線或源極極電極線，較佳在同一基板上設置驅動電路保護用的保護電路。作為保護電路，較佳由使用氧化物半導體的非線性元件構成。

另外，為了方便起見附加第一、第二等序數詞，但其並不表示製程順序或層疊順序。另外，在本說明書中不表示用來特定發明的事項的固有名詞。

另外，作為具有驅動電路的顯示裝置，除了液晶顯示裝置之外，還可以舉出使用發光元件的發光顯示裝置或者使用電泳顯示裝置的也被稱為電子紙的顯示裝置。

在使用有發光元件的發光顯示裝置中，在像素部中具有多個薄膜電晶體，在像素部中還有具有將某個薄膜電晶體的閘極電極與其他的電晶體的源極電極佈線或汲極電極佈線連接的部分。另外，在使用發光元件的發光顯示裝置的驅動電路中，具有將薄膜電晶體的閘極電極與該薄膜電晶體的源極電極佈線或汲極電極佈線連接的部分。

另外，在本說明書中的半導體裝置是指能夠藉由利用半導體特性而工作的所有裝置，電光裝置、半導體電路以及電子設備都是半導體裝置。

藉由縮減曝光掩模數而將光刻製程簡化，可以以低成本且高生產率地製造具有可靠性的半導體裝置。

【實施方式】

下面，參照附圖對實施例進行詳細說明。但是，其不局限於以下的說明，所屬技術領域的普通技術人員可以很

容易地理解一個事實就是，其方式及詳細內容在不脫離其宗旨及其範圍的情況下可以被變換為各種各樣的形式。因此，其不應該被解釋為僅限定在以下所示的實施例所記載的內容中。在以下說明的結構中，在不同附圖中使用相同的附圖標記來表示相同的部分或具有相同功能的部分，而省略重複說明。

實施例 1

參照圖 1A 至圖 2A2 說明實施例 1 的半導體裝置的製造方法。

圖 2A1 是實施例 1 的半導體裝置所具有的薄膜電晶體 420 的平面圖，圖 2A2 是沿著圖 2A1 的線 C1-C2 的截面圖。薄膜電晶體 420 是反交錯性薄膜電晶體，且包括閘極電極層 401、閘極絕緣層 402、半導體層 403、用作源極區或汲區的 n^+ 層 404a、404b 以及源極電極層或漏電極層 405a、405b。

圖 1A 至 1E 相當於示出薄膜電晶體 420 的製造製程的截面圖。

在圖 1A 中，在設置有成爲基底膜的絕緣膜 407 的基板 400 上設置閘極電極層 401。絕緣膜 407 具有防止從基板 400 的雜質元素的擴散的功能，可以由選自氮化矽膜、氧化矽膜、氮氧化矽膜或氧氮化矽膜中的一種或多種膜的疊層結構形成。在實施例 1 中，使用氧化矽膜（膜厚度 100nm）。至於閘極電極層 401 的材料，可以藉由使用鉬、

鈦、鉻、鉭、鎢、鋁、銅、鈳或鈳等的金屬材料或以這些金屬材料為主要成分的合金材料以單層或疊層來形成。

例如，作為閘極電極層 401 的雙層疊層結構，較佳採用：在鋁層上層疊鉬層的雙層疊層結構；在銅層上層疊鉬層的雙層疊層結構；或者在銅層上層疊氮化鈦層或氮化鉭層的雙層疊層結構。作為三層疊層結構，較佳採用以下疊層：鎢層或氮化鎢層、鋁和矽的合金或鋁和鈦的合金、氮化鈦層或鈦層。

在閘極電極層 401 上依次層疊閘極絕緣層 402、第一氧化物半導體膜 431、第二氧化物半導體膜 432 以及導電膜 433。

藉由利用 CVD 法或濺射法等並使用氧化矽層、氮化矽層、氧氮化矽層或氮氧化矽層的單層或疊層，可以形成閘極絕緣層 402。另外，作為閘極絕緣層 402，還可以藉由使用有機矽烷氣體的 CVD 法而形成氧化矽層。作為有機矽烷氣體，可以使用含有矽的化合物，如正矽酸乙酯 (TEOS：化學式為 $\text{Si}(\text{OC}_2\text{H}_5)_4$)、四甲基矽烷 (TMS：化學式為 $\text{Si}(\text{CH}_3)_4$)、四甲基環四矽氧烷 (TMCTS)、八甲基環四矽氧烷 (OMCTS)、六甲基二矽氮烷 (HMDS)、三乙氧基矽烷 (化學式為 $\text{SiH}(\text{OC}_2\text{H}_5)_3$)、三(二甲氨基)矽烷 (化學式為 $\text{SiH}(\text{N}(\text{CH}_3)_2)_3$) 等。

另外，在利用濺射法形成第一氧化物半導體膜 431 之前，較佳進行引入氬氣體生成電漿的反濺射 (reverse sputter)，來去除附著在閘極絕緣層 402 的表面的塵埃

。反濺射是指不向靶側施加電壓，而在氬氣氛下對基板側使用 RF 電源施加電壓產生電漿來對表面進行改性的方法。另外，還可以使用氮、氬等來代替氬氣氛。此外，還可以在氬氣氛中添加了氧、氫、 N_2O 等的氣氛下進行。另外，還可以在氬氣氛中添加 Cl_2 、 CF_4 等的氣氛下進行。

另外，較佳利用電漿處理對第二氧化物半導體膜 432 與導電膜 433 的接觸區域進行改性。在實施例 1 中，在形成導電膜 433 之前，在氬氣氛下對第二氧化物半導體膜 432(實施例 1 中的 In-Ga-Zn-O 類非單晶膜)進行電漿處理。

還可以使用氮、氬等代替氬氣氛來形成電漿處理。另外，還可以在氬氣氛中添加了氧、氫、 N_2O 等的氣氛下進行。另外，還可以在氬氣氛中添加 Cl_2 、 CF_4 等的氣氛下進行。

在實施例 1 中，使用 In-Ga-Zn-O 類非單晶膜作為第一氧化物半導體膜 431 及第二氧化物半導體膜 432。第一氧化物半導體膜 431 與第二氧化物半導體膜 432 在不同的條件下形成，第二氧化物半導體膜 432 是導電率更高、電阻更低的氧化物半導體膜。例如，作為第二氧化物半導體膜 432，由利用濺射法在將氬氣體流量設定為 40sccm 的條件下形成的氧化物半導體膜而形成。第二氧化物半導體膜 432 具有 n 型導電型，且活化能(ΔE)為 0.01eV 至 0.1eV。另外，在實施例 1 中，第二氧化物半導體膜 432 為 In-Ga-Zn-O 類非單晶膜，其至少含有非晶成分。第二

氧化物半導體膜 432 有時在非晶結構中含有晶粒(奈米晶體)。該第二氧化物半導體膜 432 中的晶粒(奈米晶體)的直徑為 1nm 至 10nm，典型的為 2nm 至 4nm 左右。

藉由設置成為 n^+ 層的第二氧化物半導體膜 432，使為金屬層的導電膜 433 與成為通道形成區的第一氧化物半導體膜 431 之間良好接合，與肖特基接合相比在熱方面上也可以具有穩定工作。另外，為了供給通道的載流子(源極電極一側)、或穩定地吸收通道的載流子(汲極電極一側)或者不在與佈線之間的介面產生電阻成分，積極地設置 n^+ 層是有效的。另外藉由低電阻化，即使在高汲極電極電壓下也可以保持良好的遷移率。

可以在不接觸大氣的情況下連續地形成閘極絕緣層 402、第一氧化物半導體膜 431、第二氧化物半導體膜 432 以及導電膜 433。藉由不接觸於大氣地連續成膜，可以不被大氣成分或浮游在大氣中的污染雜質元素污染地形成各疊層介面。因此，可以降低薄膜電晶體的特性偏移。

在閘極絕緣層 402、第一氧化物半導體膜 431、第二氧化物半導體膜 432 以及導電膜 433 上形成掩模 434。

在實施例 1 中，示出使用高級灰度掩模進行曝光以形成掩模 434 的例子。為了形成掩模 434 形成抗蝕劑。抗蝕劑可以使用正型抗蝕劑或負型抗蝕劑。這裏，示出使用正型抗蝕劑。

接著，作為曝光掩模使用多級灰度掩模 59，對抗蝕劑照射光，來對抗蝕劑進行曝光。

這裏，參照圖 30A 至 30D 對使用了多級灰度掩模 59 的曝光進行說明。

多級灰度掩模是指能夠設定三個曝光水準的掩模，該三個曝光水準為曝光部分、中間曝光部分以及未曝光部分。並且其是透過的光成為多個強度的曝光掩模。藉由進行一次的曝光及顯影步驟，可以形成具有多個(典型為兩種)厚度的區域的抗蝕劑掩模。因此，藉由使用多級灰度掩模，可以縮減曝光掩模數。

作為多級灰度掩模的代表例子，有圖 30A 所示的灰色調掩模 59a 以及圖 30C 所示的半色調掩模 59b。

如圖 30A 所示，灰色調掩模 59a 由形成在透光基板 63 以及其上的遮光部 64 及繞射光柵 65 構成。在遮光部 64 中，透光度為 0%。另一方面，繞射光柵 65 可以藉由將狹縫、點、網眼等的光的透過部的間隔設定為用於曝光的光的解析度限度以下的間隔來控制光的透過率。另外，週期性狹縫、點、網眼或非週期性狹縫、點、網眼都可以用於繞射光柵 65。

作為透光基板 63，可以使用石英等的透光基板。遮光部 64 及繞射光柵 65 可以使用鉻、氧化鉻等的吸收光的遮光材料形成。

在遮光部 64 中，透光度 66 為 0%，而在沒有設置遮光部 64 以及繞射光柵 65 的區域透光度 66 為 100%。另外，在繞射光柵 65 中，可以將透過率調整為 10%至 70%。另外，繞射光柵 65 中的光的透過率可以藉由調整繞射光

柵的狹縫、點或網眼的間隔及間距而調整。

如圖 30C 所示，半色調掩模 59b 由具有透光性的基板 63、形成在其上的半透過部 68 及遮光部 67 構成。可以將 MoSiN、MoSi、MoSiO、MoSiON、CrSi 等用於半透過部 68。遮光部 67 可以使用鉻或氧化鉻等的吸收光的遮光材料形成。

將光照射到半色調掩模 59b 的情況下，如圖 30D 所示，在遮光部 67 中，光透光率 69 為 0%，而在不設置有遮光部 67 及半透過部 68 的區域中，光透光率 69 為 100%。另外，在半透過部 68 中，可以將透光度調整為 10% 至 70% 的範圍內。半透過部 68 中的光透光率可以根據半透過部 68 的材料而調整。

藉由使用多級灰度掩模進行曝光之後進行顯影，可以形成如圖 1B 所示具有膜厚不同的區域的掩模 434。

接下來，使用掩模 434 進行第一蝕刻製程，對第一氧化物半導體膜 431、第二氧化物半導體膜 432 以及導電膜 433 進行蝕刻而加工成島狀。其結果，可以形成第一氧化物半導體層 435、第二氧化物半導體層 436 以及導電層 437(參照圖 1B)。

接下來，對掩模 434 進行灰化。其結果，掩模的面積縮小，厚度變薄。此時，厚度薄的區域的掩模的抗蝕劑(與閘極電極層 401 的一部分重疊的區域)被去除，可以形成被分離的掩模 438(參照圖 1C)。

使用掩模 438 對第一氧化物半導體層 435、第二氧化

物半導體層 436 以及導電層 437 進行第二蝕刻製程，而形成半導體層 403、 n^+ 層 404a、404b 以及源極電極層或汲極電極層 405a、405b(參照圖 1D)。另外，半導體層 403 僅有一部分被蝕刻，而成爲具有槽部(凹部)的半導體層，並在端部中，一部分被蝕刻而呈露出的形狀。

在實施例 1 中，採用利用蝕刻氣體的乾蝕刻進行該第一蝕刻製程和第二蝕刻製程。

作爲蝕刻氣體，較佳採用含有氯的氣體(氯類氣體，例如氯(Cl_2)、氯化硼(BCl_3)、氯化矽(SiCl_4)、四氯化碳(CCl_4)等)。藉由使用含有氯的氣體進行蝕刻，與使用不含有氯的氣體的情況相比，可以減少蝕刻的面內不均勻。

另外，還可以使用含有氟的氣體(氟類氣體，例如氟化甲烷(CF_4)、六氟化硫(SF_6)、三氟化氮(NF_3)、三氟甲烷(CHF_3)等)、溴化氫(HBr)、氧(O_2)、或對上述氣體添加了氦(He)或氬(Ar)等的稀有氣體的氣體等。

作爲乾蝕刻法，可以使用平行平板型 RIE(反應性離子蝕刻)法或 ICP(感應耦合電漿)蝕刻法。適當地調節蝕刻條件(施加到線圈形電極層的電力量、施加到基板一側的電極的電力量、基板一側的電極溫度等)，以便蝕刻爲所希望加工的形狀。

在實施例 1 中，藉由 ICP 蝕刻法，使用 Cl_2 和 O_2 ，在以下蝕刻條件下進行蝕刻：施加到線圈形電極層的電力量爲 1500W、施加到基板一側的電極的電力量爲 200W、壓力爲 1.5Pa、基板溫度爲 -10°C 。

另外，還可以使用 ICP 蝕刻法，作為蝕刻氣體使用 Cl_2 (流量 100 sccm)，在以下蝕刻條件下進行蝕刻：施加到線圈形電極層的電力量為 2000W、施加到基板一側的電極的電力量為 600W、壓力為 1.5Pa、基板溫度為 -10°C 。

當使用上述條件進行為 In-Ga-Zn-O 類非單晶膜的第一氧化物半導體膜 431 以及第二氧化物半導體膜 432 的蝕刻製程時，可以將半導體層 403 的端部形成為 5 度以下的低錐形角，提高層疊的膜的覆蓋性。另外，在蝕刻處理中，可以藉由測定電漿的發光強度，來監視對應於氧化物半導體膜中的各原子的波長以判斷蝕刻的終點(end point)。藉由使用該方法，可以控制蝕刻，以便減少半導體層下的閘極絕緣層的膜減薄、以及氧化物半導體膜的蝕刻殘留。

藉由對氯類氣體(Cl_2)添加氧氣體(O_2)(較佳的是將蝕刻氣體中的氧氣體的含量設定為 15 體積%或更多)來進行蝕刻，當使用氧氮化矽膜作為閘極絕緣層 402 時，可以提高與用作第一氧化物半導體層 435、第二氧化物半導體層 436 的 In-Ga-Zn-O 類非單晶膜的選擇比，所以可以進一步選擇性地僅對第一氧化物半導體膜 431、第二氧化物半導體膜 432 進行蝕刻，從而可以充分地減少對閘極絕緣層 402 的損傷。

藉由利用第一蝕刻製程對第一氧化物半導體膜 431、第二氧化物半導體膜 432 以及導電膜 433 進行乾蝕刻，第一氧化物半導體膜 431、第二氧化物半導體膜 432 以及導電膜 433 被各異向性蝕刻，從而掩模 434 的端部與第一氧

化物半導體層 435、第二氧化物半導體層 436 以及導電層 437 的端部一致，而成為連續的形狀。

同樣地，藉由利用第二蝕刻製程對第一氧化物半導體層 435、第二氧化物半導體層 436 以及導電層 437 進行乾蝕刻，第一氧化物半導體層 435、第二氧化物半導體層 436 以及導電層 437 被各異向性蝕刻，從而掩模 438 的端部與半導體層 403 的凹部以及端部、 n^+ 層 404a、404b、源極電極層或汲極電極層 405a、405b 的端部一致，而成為連續的形狀。

另外，在實施例 1 中，雖然示出半導體層 403、 n^+ 層 404a、404b、源極電極層或汲極電極層 405a、405b 的端部以相同的錐形角連續地層疊的形狀，但是根據蝕刻條件或氧化物半導體以及導電材料，蝕刻速度不同，所以也存在其分別具有不同錐形角或不連續的端部形狀的情況。

在這之後，去除掩模 438。

另外，作為源極電極層或汲極電極層 405a、405b 的材料，較佳使用比半導體層 403 蝕刻速度快的材料。這是由於以下緣故：當藉由乾蝕刻一次性地對源極電極層或汲極電極層 405a、405b 和半導體層 403 進行蝕刻的情況下，可以藉由使半導體層 403 的蝕刻速度小於源極電極層或汲極電極層 405a、405b 的蝕刻速度，而抑制半導體層 403 被過度蝕刻。其結果，可以抑制半導體層 403 的消失。

然後，在 200℃ 至 600℃，典型的是 300℃ 至 500℃ 的溫度下進行熱處理，即可。這裏，在氮氣氛下以 350℃ 進

行一個小時的熱處理。藉由該熱處理，進行構成半導體層 403 以及 n^+ 層 404a、404b 的 In-Ga-Zn-O 類氧化物半導體的原子級的重新排列。該熱處理(也包括光退火等)，在可以將阻礙 n^+ 層 404a、404b 中的載流子的遷移的應變釋放這一點上，十分重要。此外，至於進行上述熱處理的時序，只要是在形成第一氧化物半導體膜 431 以及第二氧化物半導體膜 432 之後，就沒有特別的限定。

另外，還可以對露出的半導體層 403 的凹部進行氧自由基處理。可以藉由進行氧自由基處理將以半導體層 403 為通道形成區的薄膜電晶體設定為常關(normally-off)。另外，可以藉由進行自由基處理修復對半導體層 403 進行蝕刻時的損傷。自由基處理較佳在 O_2 、 N_2O 或包含氧的 N_2 、He、Ar 等的氣氛下進行。另外，還可以在上述氣氛中添加了 Cl_2 、 CF_4 的氣氛下進行。另外，較佳在不對基板一側施加偏壓的情況下進行自由基處理。

藉由上述製程，可以製造圖 1E 所示的反交錯型薄膜電晶體 420。

如實施例 1 所示，藉由採用使用多級灰度掩模形成的具有多種(典型的是兩種)厚度的區域的抗蝕劑掩模，可以縮減抗蝕劑掩模數，而可以謀求製程的簡化以及低成本化。由此，可以以低成本且高生產率地製造具有可靠性的半導體裝置。

實施例 2

這裏，參照圖 3A 至圖 4A2 示出在實施例 1 中，具有源極電極層及汲極電極層與半導體層接觸的結構的薄膜電晶體的半導體裝置的例子。

圖 4A1 是包括實施例 2 的半導體裝置的薄膜電晶體 460 的平面圖，圖 4A2 是沿著圖 4A1 的線 D1-D2 的截面圖。薄膜電晶體 460 是反交錯性薄膜電晶體，且包括閘極電極層 451、閘極絕緣層 452、半導體層 453 以及源極電極層或汲極電極層 455a、455b。

圖 3A 至 3E 相當於示出薄膜電晶體 460 的製造製程的截面圖。

在圖 3A 中，在設置有絕緣膜 457 的基板 450 上設置閘極電極層 451。在實施例 2 中，使用氧化矽膜(膜厚度 100nm)作為絕緣膜 457。在閘極電極層 451 上依次層疊閘極絕緣層 452、氧化物半導體膜 481 以及導電膜 483。

較佳藉由電漿處理對氧化物半導體膜 481 與導電膜 483 的接觸區域進行改性。在實施例 2 中，在形成導電膜 483 之前，在氬氣氛下對氧化物半導體膜 481(實施例 2 中的 In-Ga-Zn-O 類非單晶膜)進行電漿處理。

還可以使用氮、氦等代替氬氣氛來形成電漿處理。另外，還可以在氬氣氛中添加了氧、氫、 N_2O 等的氣氛下進行。另外，還可以在氬氣氛中添加 Cl_2 、 CF_4 等的氣氛下進行。

可以在不接觸大氣的情況下連續地形成閘極絕緣層 452、氧化物半導體膜 481 以及導電膜 483。藉由不接觸於

大氣地連續成膜，可以不被大氣成分或浮游在大氣中的污染雜質元素污染地形成各疊層介面。因此，可以降低薄膜電晶體的特性偏移。

在閘極絕緣層 452、氧化物半導體膜 481 以及導電膜 483 上形成掩模 484。

在實施例 2 中，示出使用多級灰度(高級灰度)掩模進行曝光以形成掩模 484 的例子。可以與實施例 1 的掩模 434 同樣地形成掩模 484。

藉由使用透過的光成為多個強度的多級灰度掩模進行曝光之後進行顯影，可以形成如圖 3B 所示的具有膜厚不同的區域的掩模 484。藉由使用多級灰度掩模，可以縮減曝光掩模數。

接下來，使用掩模 484 進行第一蝕刻製程，對氧化物半導體膜 481 以及導電膜 483 進行蝕刻而加工成島狀。其結果，可以形成氧化物半導體層 485 以及導電層 487(參照圖 3B)。

接下來，對掩模 484 進行灰化。其結果，掩模的面積縮小，厚度變薄。此時，厚度薄的區域的掩模的抗蝕劑(與閘極電極層 451 的一部分重疊的區域)被去除，可以形成被分離的掩模 488(參照圖 3C)。

使用掩模 488 對氧化物半導體層 485 以及導電層 487 進行第二蝕刻製程，而形成半導體層 453 以及源極電極層或汲極電極層 455a、455b(參照圖 3D)。另外，半導體層 453 僅有一部分被蝕刻，而成為具有槽部(凹部)的半導體

層，並在端部中，一部分被蝕刻而呈露出的形狀。

在實施例 2 中，採用利用蝕刻氣體的乾蝕刻進行該第一蝕刻製程和第二蝕刻製程。

作為蝕刻氣體，較佳採用含有氯的氣體(氯類氣體，例如氯(Cl_2)、氯化硼(BCl_3)、氯化矽(SiCl_4)、四氯化碳(CCl_4)等)。藉由使用含有氯的氣體進行蝕刻，與使用不含氯的氣體的情況相比，可以減少蝕刻的面內不均勻。

另外，還可以使用含有氟的氣體(氟類氣體，例如氟化甲烷(CF_4)、六氟化硫(SF_6)、三氟化氮(NF_3)、三氟甲烷(CHF_3)等)、溴化氫(HBr)、氧(O_2)、或對上述氣體添加了氦(He)或氬(Ar)等的稀有氣體的氣體等。

作為乾蝕刻法，可以使用平行平板型 RIE(反應性離子蝕刻)法或 ICP(感應耦合電漿)蝕刻法。適當地調節蝕刻條件(施加到線圈形電極層的電力量、施加到基板一側的電極的電力量、基板一側的電極溫度等)，以便蝕刻為所希望加工的形狀。

在實施例 2 中，藉由 ICP 蝕刻法，使用 Cl_2 和 O_2 ，在以下蝕刻條件下進行蝕刻：施加到線圈形電極層的電力量為 1500W、施加到基板一側的電極的電力量為 200W、壓力為 1.5Pa、基板溫度為 -10°C 。

藉由對氯類氣體(Cl_2)添加氧氣體(O_2)(較佳為 15 體積%或更多)來進行蝕刻，當使用氧氮化矽膜作為閘極絕緣層 452 時，可以提高與用作氧化物半導體層 485 的 In-Ga-Zn-O 類非單晶膜的選擇比，所以可以進一步僅對氧化物半導體

膜 481 進行選擇性地蝕刻。

藉由利用第一蝕刻製程對氧化物半導體膜 481 以及導電膜 483 進行乾蝕刻，氧化物半導體膜 481 以及導電膜 483 被各異向性蝕刻，從而掩模 484 的端部與氧化物半導體層 485 以及導電層 487 的端部一致，而成為連續的形狀。

同樣地，藉由利用第二蝕刻製程對氧化物半導體層 485 以及導電層 487 進行乾蝕刻，氧化物半導體層 485 以及導電層 487 被各異向性蝕刻，從而掩模 488 的端部與半導體層 453 的凹部以及端部、源極電極層或汲極電極層 455a、455b 的端部一致，而成為連續的形狀。

另外，在實施例 2 中，雖然示出半導體層 453、源極電極層或汲極電極層 455a、455b 的端部以相同的錐形角連續地層疊的形狀，但是根據蝕刻條件或氧化物半導體層以及導電層的材料，蝕刻速度不同，所以也存在其分別具有不同錐形角或不連續的端部形狀的情況。

在這之後，去除掩模 488。

藉由上述製程，可以製造圖 3E 所示的反交錯型薄膜電晶體 460。

如實施例 2 所示，藉由採用使用多級灰度掩模形成的具有多種(典型的是兩種)厚度的區域的抗蝕劑掩模，可以縮減抗蝕劑掩模數，而可以謀求製程的簡化以及低成本化。由此，可以以低成本且高生產率地製造半導體裝置。

實施例 3

在實施例 3 中，參照圖 5A 至圖 12 對包括薄膜電晶體的顯示裝置的製造製程進行說明。

在圖 5A 中，作為具有透光性的基板 100，可以使用以康寧公司製造的 #7059 玻璃或 #1737 玻璃等為代表的鋁硼矽酸鹽玻璃或鋁硼矽酸鹽玻璃等的玻璃基板。

接著，在將導電層形成在基板 100 的整個面上之後，進行第一光刻製程形成抗蝕劑掩模，並且藉由蝕刻去除不需要的部分來形成佈線及電極（包括閘極電極層 101 的閘極佈線、電容佈線 108 以及第一端子 121）。在此，進行蝕刻，以將至少閘極電極層 101 的端部形成為錐形。圖 5A 示出該步驟的截面圖。另外，該步驟的俯視圖相當於圖 7。

作為包括閘極電極層 101 的閘極佈線和電容佈線 108、端子部的第一端子 121，作為耐熱性導電材料，較佳使用選自鈦 (Ti)、鉭 (Ta)、鎢 (W)、鉬 (Mo)、鉻 (Cr)、釹 (Nd)、銦 (Sc) 中的元素、以上述元素為成分的合金、組合上述元素的合金膜或者以上述元素為成分的氮化物形成。此外，當使用鋁 (Al) 或銅 (Cu) 等的低電阻導電材料形成時，當僅採用 Al 單體時有耐熱性低及容易腐蝕等問題，所以較佳與上述耐熱性導電材料組合來形成。

接著，在閘極電極層 101 的整個面上形成閘極絕緣層 102。閘極絕緣層 102 利用濺射法等並以 50nm 至 250nm 的膜厚度形成。

例如，藉由濺射法並以 100nm 的厚度形成氧化矽膜作為閘極絕緣層 102。當然，閘極絕緣層 102 不局限於這種氧化矽膜，也可以使用由氧氮化矽膜、氮化矽膜、氧化鋁膜、氧化鉬膜等的其他絕緣膜構成的單層或疊層。

另外，在形成氧化物半導體膜之前，較佳進行引入氬氣體生成電漿的反濺射(reverse sputter)，來去除附著在閘極絕緣層的表面上的塵埃。另外，還可以使用氮、氬等來代替氬氣氛。此外，還可以在氬氣氛中添加了氧、氬、 N_2O 等的氣氛下進行。另外，還可以在氬氣氛中添加 Cl_2 、 CF_4 等的氣氛下進行。

接下來，在閘極絕緣層 102 上形成第一氧化物半導體膜 109(在實施例 3 中第一 In-Ga-Zn-O 類非單晶膜)。在電漿處理後，不暴露於大氣地形成第一 In-Ga-Zn-O 類非單晶膜，在不使閘極絕緣層與半導體膜的介面附著塵屑或水分一點上是有效的。這裏，使用直徑為 8 英尺的包含 In、Ga 及 Zn 的氧化物半導體靶($In_2O_3 : Ga_2O_3 : ZnO = 1 : 1 : 1$)，基板與靶之間的距離設定為 170mm、壓力 0.4Pa、直流(DC)電源 0.5kW、在氬或氧氣氛下進行成膜。另外，藉由使用脈衝直流(DC)電源可以減少塵屑而使膜的厚度分佈均勻，所以是較佳的。將第一 In-Ga-Zn-O 類非單晶膜的厚度設定為 5nm 至 200nm。在實施例 3 中，將第一 In-Ga-Zn-O 類非單晶膜的厚度設定為 100nm。

接下來，不暴露於大氣地利用濺射法形成第二氧化物半導體膜 111(實施例 3 的第二 In-Ga-Zn-O 類非單晶膜)。

這裏，使用 $\text{In}_2\text{O}_3:\text{Ga}_2\text{O}_3:\text{ZnO}=1:1:1$ 的靶，並在如下成膜條件下進行濺射成膜：壓力 0.4Pa ；功率 500W ；成膜溫度為室溫；所引入的氬氣體流量為 40sccm 。雖然意圖性地使用 $\text{In}_2\text{O}_3:\text{Ga}_2\text{O}_3:\text{ZnO}=1:1:1$ 的靶，但有時在剛成膜後形成有包含尺寸為 1nm 至 10nm 的晶粒的 In-Ga-Zn-O 類非單晶膜。另外，可以說藉由適當地調整靶材的成分比、成膜壓力 (0.1Pa 至 2.0Pa)、電力 (250W 至 3000W ：8 英寸 ϕ)、溫度 (室溫至 100°C)、反應性濺射的成膜條件等，可以調整晶粒的有無及晶粒的密度，還可以將直徑尺寸調整為 1nm 至 10nm 的範圍內。第二 In-Ga-Zn-O 類非單晶膜的厚度為 5nm 至 20nm 。當然，當在膜中包括晶粒時，所包括的晶粒的尺寸不超過膜的厚度。在實施例 3 中，將第二 In-Ga-Zn-O 類非單晶膜的厚度設定為 5nm 。

第一 In-Ga-Zn-O 類非單晶膜的成膜條件與第二 In-Ga-Zn-O 類非單晶膜的成膜條件不同。例如，採用以下條件：與第二 In-Ga-Zn-O 類非單晶膜的成膜條件中的氧氣體流量和氬氣體流量的比相比，第一 In-Ga-Zn-O 類非單晶膜的成膜條件中的氧氣體流量所占的比率更多。具體地，第二 In-Ga-Zn-O 類非單晶膜的成膜條件設定為稀有氣體 (氬或氦等) 氣氛下 (或氧氣體 10% 或更少、氬氣體 90% 或更多)，第一 In-Ga-Zn-O 類非單晶膜的成膜條件設定為氧氣氛下 (或氧氣體的流量與氬氣體的流量相等或大於氬氣體的流量)。

至於第二 In-Ga-Zn-O 類非單晶膜的成膜，可以使用

與之前進行了反濺射的反應室同一反應室，也可以在與之前進行了反濺射的反應室不同的反應室中進行成膜。

濺射法包括如下方法：作為濺射電源使用高頻電源的 RF 濺射法、DC 濺射法以及以脈衝方式施加偏壓的脈衝 DC 濺射法。RF 濺射法主要用於形成絕緣膜，而 DC 濺射法主要用於形成金屬膜。

另外，也有可以設置材料不同的多個靶的多元濺射裝置。多元濺射裝置既可以在同一反應室中層疊形成不同的材料膜，又可以在同一反應室中同時對多種材料進行放電而進行成膜。

另外，也有使用磁控管濺射法的濺射裝置和使用 ECR 濺射法的濺射裝置：在使用磁控管濺射法的濺射裝置中，在反應室內部具備磁鐵機構；而在使用 ECR 濺射法的濺射裝置中，不使用輝光放電而利用使用微波產生的電漿。

另外，作為使用濺射法的成膜方法，還有反應濺射法、偏壓濺射法：在反應濺射法中，當進行成膜時使靶物質和濺射氣體成分起化學反應而形成這些化合物薄膜；而在偏壓濺射法中，當進行成膜時對基板也施加電壓。

接下來，利用濺射法或真空蒸鍍法在第一氧化物半導體膜 109 以及第二氧化物半導體膜 111 上形成由金屬材料構成的導電膜 132。圖 5B 示出該步驟中的截面圖。

作為導電膜 132 的材料，可以舉出選自 Al、Cr、Ta、Ti、Mo、W 中的元素或以上述元素為成分的合金、組合上述元素的合金膜等。另外，在進行 200℃ 至 600℃ 的熱

處理的情況下，較佳使導電膜具有承受該熱處理的耐熱性。當僅採用 Al 單質時耐熱性很低並有容易腐蝕等問題，所以與耐熱導電材料組合來形成導電膜。作為與 Al 組合的耐熱導電材料，使用選自鈦 (Ti)、鉭 (Ta)、鎢 (W)、鉬 (Mo)、鉻 (Cr)、釹 (Nd)、Sc(釷)中的元素、以上述元素為成分的合金、組合上述元素的合金膜或者以上述元素為成分的氮化物，而形成導電膜。

在此，作為導電膜 132 使用鈦膜的單層結構。另外，導電膜 132 還可以採用雙層結構，例如在鋁膜上層疊鈦膜。此外，導電膜 132 還可以採用三層結構，例如如下三層結構：Ti 膜，在該 Ti 膜上層疊包含 Nd 的鋁 (Al-Nd) 膜，並且在其上形成 Ti 膜。導電膜 132 還可以採用包含矽的鋁膜的單層結構。

接著，進行第二光刻製程形成抗蝕劑掩模的掩模 133。在實施例 3 中，示出使用多級灰度 (高級灰度) 掩模進行曝光以形成掩模 133 的例子。可以與實施例 1 的掩模 434 同樣地形成掩模 133。

藉由使用透過的光成為多個強度的多級灰度掩模進行曝光之後進行顯影，可以形成如圖 5C 所示的具有膜厚不同的區域的掩模 133。藉由使用多級灰度掩模，可以縮減曝光掩模數。

接下來，使用掩模 133 進行第一蝕刻製程，對第一 In-Ga-Zn-O 類非單晶膜的第一氧化物半導體膜 109 以及第二 In-Ga-Zn-O 類非單晶膜的第二氧化物半導體膜 111 以

及導電膜 132 進行蝕刻而加工成島狀。其結果，可以形成第一氧化物半導體層 134、第二氧化物半導體層 135 以及導電層 136(參照圖 5C)。另外，圖 8 相當於該步驟中的俯視圖。

接下來，對掩模 133 進行灰化。其結果，掩模的面積縮小，厚度變薄。此時，厚度薄的區域的掩模的抗蝕劑(與閘極電極層 101 的一部分重疊的區域)被去除，可以形成被分離的掩模 131(參照圖 6A)。

使用掩模 131 對第一氧化物半導體層 134、第二氧化物半導體層 135 以及導電層 136 進行第二蝕刻製程，而形成半導體層 103、源極區及汲區的 n^+ 層 104a、104b 以及源極電極層或汲極電極層 105a、105b。另外，半導體層 103 僅有一部分被蝕刻，而成爲具有槽部(凹部)的半導體層，並在端部中，一部分被蝕刻而呈露出的形狀。

在實施例 3 中，採用利用蝕刻氣體的乾蝕刻進行該第一蝕刻製程和第二蝕刻製程。

作爲蝕刻氣體，較佳採用含有氯的氣體(氯類氣體，例如氯(Cl_2)、氯化硼(BCl_3)、氯化矽(SiCl_4)、四氯化碳(CCl_4)等)。藉由使用含有氯的氣體進行蝕刻，與使用不含有氯的氣體的情況相比，可以減少蝕刻的面內不均勻。

另外，還可以使用含有氟的氣體(氟類氣體，例如氟化甲烷(CF_4)、六氟化硫(SF_6)、三氟化氮(NF_3)、三氟甲烷(CHF_3)等)、溴化氫(HBr)、氧(O_2)、或對上述氣體添加了氦(He)或氬(Ar)等的稀有氣體的氣體等。

作為乾蝕刻法，可以使用平行平板型 RIE(反應性離子蝕刻)法或 ICP(感應耦合電漿)蝕刻法。適當地調節蝕刻條件(施加到線圈形電極層的電力量、施加到基板一側的電極的電力量、基板一側的電極溫度等)，以便蝕刻為所希望加工的形狀。

在實施例 3 中，藉由 ICP 蝕刻法，使用 Cl_2 和 O_2 ，在以下蝕刻條件下進行蝕刻：施加到線圈形電極層的電力量為 1500W、施加到基板一側的電極的電力量為 200W、壓力為 1.5Pa、基板溫度為 -10°C 。

藉由對氯類氣體(Cl_2)添加氧氣體(O_2)(較佳為 15 體積%或更多)來進行蝕刻，當使用氧氮化矽膜作為閘極絕緣層 102 時，可以提高與用作第一氧化物半導體層 134、第二氧化物半導體層 135 的 In-Ga-Zn-O 類非單晶膜的選擇比，所以可以進一步僅對氧化物半導體膜進行選擇性地蝕刻。

藉由利用第一蝕刻製程對第一氧化物半導體膜 109、第二氧化物半導體膜 111 以及導電膜 132 進行乾蝕刻，第一氧化物半導體膜 109、第二氧化物半導體膜 111 以及導電膜 132 被各異向性蝕刻，從而掩模 133 的端部與第一氧化物半導體層 134、第二氧化物半導體層 135 以及導電層 136 的端部一致，而成為連續的形狀。

同樣地，藉由利用第二蝕刻製程對第一氧化物半導體層 134、第二氧化物半導體層 135 以及導電層 136 進行乾蝕刻，第一氧化物半導體層 134、第二氧化物半導體層

135 以及導電層 136 被各異向性蝕刻，從而掩模 131 的端部與半導體層 103 的凹部以及端部、 n^+ 層 104a、104b、源極電極層或汲極電極層 105a、105b 的端部一致，而成為連續的形狀。

接下來，較佳以 200°C 至 600°C ，典型的是 300°C 至 500°C 進行熱處理。在此放置在爐中，在氮氣氛下以 350°C 進行一個小時的熱處理。藉由該熱處理，進行 In-Ga-Zn-O 類非單晶膜的原子級的重新排列。由於借助於該熱處理而釋放阻礙載流子遷移的應變，所以在此的熱處理(還包括光退火)是重要的。另外，進行熱處理的時序只要在形成第二 In-Ga-Zn-O 類非單晶膜之後，就沒有特別的限制，例如也可以在形成像素電極之後進行。

再者，還可以對露出的半導體層 103 的通道形成區進行氧自由基處理。可以藉由進行氧自由基處理將薄膜電晶體設定為常關(normally-off)。另外，可以藉由進行自由基處理修復對半導體層 103 進行蝕刻時的損傷。自由基處理較佳在 O_2 、 N_2O 、或包含氧的 N_2 、He、Ar 氣氛下進行。另外，還可以在上述氣氛中添加了 Cl_2 、 CF_4 的氣氛下進行。另外，較佳在無偏壓下進行自由基處理。

藉由上述製程可以製造將半導體層 103 作為通道形成區的薄膜電晶體 170。圖 6A 示出該步驟的截面圖。另外，圖 9 相當於該步驟的俯視圖。

另外，在第二蝕刻製程中，在端子部中留有與半導體層 103 相同材料的端子層 124、與 n^+ 層 104a、104b 相同

材料的端子 123 以及與源極電極層或汲極電極層 105a、105b 相同材料的第二端子 122。另外，第二端子 122 與源極電極佈線(包括源極電極層或汲極電極層 105a、105b 的佈線)電連接。

另外，由於可以藉由使用利用多級灰度掩模而形成的具有多種(典型的是兩種)厚度的區域的抗蝕劑掩模，可以減少抗蝕劑掩模數，從而可以謀求製程的簡化以及低成本化。

接下來，去除掩模 131，形成覆蓋薄膜電晶體 170 的保護絕緣層 107。保護絕緣層 107 可以使用利用濺射法等形成的氮化矽膜、氧化矽膜、氧氮化矽膜、氧化鋁膜或氧化鉬膜等。

接著，進行第三光刻製程，形成抗蝕劑掩模，藉由閘極絕緣層 102 以及保護絕緣層 107 的蝕刻形成到達汲極電極層 105b 的接觸孔 125。另外，藉由該蝕刻還形成到達第二端子 122 的接觸孔 127 以及到達第一端子 121 的接觸孔 126。圖 6B 示出該步驟中的截面圖。

接下來，去除抗蝕劑掩模，然後進行透明導電膜的成膜。作為透明導電膜的材料，利用濺射法或真空蒸鍍法等使用氧化銦(In_2O_3)、氧化銦-氧化錫合金(縮寫為 $\text{In}_2\text{O}_3\text{-SnO}_2$ 、ITO)來形成。使用鹽酸類的溶液進行上述材料的蝕刻處理。但是，因為 ITO 的蝕刻尤其容易產生殘渣，所以也可以使用氧化銦-氧化鋅合金($\text{In}_2\text{O}_3\text{-ZnO}$)，以改善蝕刻加工性。

接著，進行第四光刻製程，形成抗蝕劑掩模，藉由蝕刻去除不需要的部分，而形成像素電極層 110。

另外，在該第四光刻製程中，以在電容部中的閘極絕緣層 102 及保護絕緣層 107 為電媒體，並由電容佈線 108 和像素電極層 110 形成儲存電容。

另外，在該第四光刻製程中，使用抗蝕劑掩模覆蓋第一端子和第二端子並將形成在端子部的透明導電膜 128、129 殘留。透明導電膜 128、129 成為用於與 FPC 連接的電極或佈線。形成在第一端子 121 上的透明導電膜 128 成為用作閘極佈線的輸入端子的連接用端子電極。形成在第二端子 122 上的透明導電膜 129 是用作源極電極佈線的輸入端子的連接用端子電極。

接著，去除抗蝕劑掩模，圖 6C 示出該步驟中的截面圖。另外，圖 10 相當於該步驟的俯視圖。

另外，圖 11A1 和 11A2 分別示出該步驟的閘極佈線端子部的俯視圖和截面圖。圖 11A1 相當於沿著圖 11A2 中的 E1-E2 線的截面圖。在圖 11A1 中，形成在保護絕緣膜 154 上的透明導電膜 155 是用作輸入端子的連接用端子電極。另外，在圖 11A1 中，在端子部中，由與閘極佈線相同材料形成的第一端子 151 與由與源極電極佈線相同材料形成的連接電極層 153 隔著閘極絕緣層 152、半導體層 157 以及 n^+ 層 158 重疊，並藉由透明導電膜 155 導通。另外，圖 6C 所示的透明導電膜 128 與第一端子 121 所接觸的部分，對應於圖 11A1 的透明導電膜 155 與第一端子

151 所接觸的部分。

另外，圖 11B1 和 11B2 分別示出與圖 6C 所示的源極電極佈線端子部相異的源極電極佈線端子部的俯視圖和截面圖。另外，圖 11B1 相當於沿著圖 11B2 中的 F1-F2 線的截面圖。在圖 11B1 中，形成在保護絕緣膜 154 上的透明導電膜 155 是用作輸入端子的連接用端子電極。另外，在圖 11B1 中，在端子部中，由與閘極佈線相同材料形成的電極層 156，在與源極電極佈線電連接的第二端子 150 的下方隔著閘極絕緣層 152、半導體層 157 以及 n^+ 層 158 重疊。電極層 156 不與第二端子 150 電連接，藉由將電極層 156 設定為與第二端子 150 不同的電位，例如浮置、GND、0V 等，可以形成防止雜波的電容或防止靜電的電容。另外，第二端子 150 藉由保護絕緣膜 154 與透明導電膜 155 電連接。

對應於像素密度設置多個閘極佈線、源極電極佈線以及電容佈線。另外，在端子部中，排列多個與閘極佈線同電位的第一端子、與源極電極佈線同電位的第二端子、與電容佈線同電位的第三端子等而配置。各個端子的數目，可以分別設定為任意的數目，實施者可以適當地作出決定。

如此藉由四次的光刻製程，使用四個光掩模，可以完成具有底閘極型的 n 通道型薄膜電晶體的薄膜電晶體 170 的像素薄膜電晶體部以及儲存電容。並且，藉由將上述像素薄膜電晶體部和儲存電容分別對應於每個像素以矩陣狀

配置而形成像素部，可以形成用來製造主動矩陣型的顯示裝置的一個基板。在本說明書中，為了方便將該基板稱為主動矩陣基板。

當製造主動矩陣型的液晶顯示裝置時，在主動矩陣基板與設置有對置電極的對置基板之間設置液晶層，將主動矩陣基板與對置基板固定。另外，將與設置在對置基板上的對置電極電連接的共同電極設置在主動矩陣基板上，並將與共同電極電連接的第四端子設置在端子部。該第四端子是用來將共同電極設定為固定電位，例如設定為 GND、0V 等的端子。

另外，本發明的一個方式不局限於圖 10 的像素結構，圖 12 示出與圖 10 不同的俯視圖的例子。圖 12 中不設置電容佈線，而是像素電極與相鄰的像素的閘極佈線隔著保護絕緣膜以及閘極絕緣層重疊的儲存電容的例子，此時，可以省略電容佈線以及與電容佈線連接的第三端子。另外，在圖 12 中，與圖 10 相同的部分使用相同的附圖標記進行說明。

在主動矩陣型的液晶顯示裝置中，藉由驅動配置為矩陣狀的像素電極，在畫面上形成顯示圖案。具體地藉由對選擇的像素電極以及對應於該像素電極的對置電極之間施加電壓，配置在像素電極與對置電極之間的液晶層進行光學調製，該光學調製作為顯示圖案被觀察者確認。

當液晶顯示裝置顯示動態影像時，由於液晶分子本身回應較慢，所以存在出現餘像或出現動態影像模糊的問題

。爲了改善液晶顯示裝置的動態影像特性，有被稱爲插黑的驅動技術，該插黑是指每隔一個圖框地進行整個畫面的黑色顯示的技術。

另外，還有一種被稱爲倍速驅動的驅動技術，該倍速驅動是指藉由將垂直同步頻率設定爲通常的 1.5 倍或更多(較佳爲 2 倍或更多)來改善動態影像特性。

另外，爲了改善液晶顯示裝置的動態影像特性，還有一種作爲背光燈，使用多個 LED(發光二極體)光源或多個 EL 光源等構成面光源，將構成面光源的各個光源獨立地在一個圖框週期內進行間歇發光驅動的驅動技術。作爲面光源，可以使用三種以上的 LED 或白色發光 LED。由於可以獨立地控制多個 LED，所以可以使 LED 的發光時序配合液晶層的光學調製的切換時序同步進行。由於該驅動技術可以將 LED 部分地關斷，所以尤其是當顯示一個畫面中的黑色顯示區域的比率高的映射時，可以實現低耗電量。

藉由組合上述驅動技術，可以比現有液晶顯示裝置進一步改善液晶顯示裝置的動態影像特性等的顯示特性。

藉由本實施例得到的 n 通道型電晶體，將 In-Ga-Zn-O 類非單晶膜用作通道形成區，並具有良好的動態特性，所以可以組合這些驅動技術。

另外，當製造發光顯示裝置時，由於將有機發光元件的一個電極(也稱爲陰極)設定爲低電源電位，例如 GND、0V 等，所以在端子部設置有用來將陰極設定爲低電源電

位，例如 GND、0V 等的第四端子。另外，當製造發光顯示裝置時，在源極電極佈線和閘極佈線的基礎上還設置電源供給線。所以，在端子部中設置與電源供給線電連接的第五端子。

如實施例 3 所示，藉由形成使用氧化物半導體的薄膜電晶體，可以降低製造成本。

如實施例 3 所示，藉由採用使用多級灰度掩模形成的具有多種(典型的是兩種)厚度的區域的抗蝕劑掩模，可以縮減抗蝕劑掩模數，而可以謀求製程的簡化以及低成本化。由此，可以以低成本且高生產率地製造具有可靠性的半導體裝置。

本實施例可以與其他的實施例所記載的結構適當地組合而實施。

實施例 4

下面，在實施例 4 中說明在半導體裝置的一個例子的顯示裝置中，在同一基板上至少製造設置在驅動電路的一部分的薄膜電晶體以及設置在像素部的薄膜電晶體的例子。

根據實施例 1 至實施例 3 形成配置在像素部中的薄膜電晶體。此外，因為實施例 1 至或實施例 3 所示的薄膜電晶體是 n 通道型 TFT，所以將驅動電路中的可以由 n 通道型 TFT 構成的驅動電路的一部分形成在與像素部的薄膜電晶體同一基板上。

圖 14A 示出半導體裝置的一個例子的主動矩陣型液晶顯示裝置的方塊圖的一例。圖 14A 所示的顯示裝置在基板 5300 上包括：具有多個具備顯示元件的像素的像素部 5301；選擇各像素的掃描線驅動電路 5302；以及控制對被選擇了的像素的視頻信號輸入的信號線驅動電路 5303。

像素部 5301 藉由從信號線驅動電路 5303 在行方向上延伸地配置的多個信號線 $S1-Sm$ (未圖示) 與信號線驅動電路 5303 連接，並且藉由從掃描線驅動電路 5302 在列方向上延伸地配置的多個掃描線 $G1-Gn$ (未圖示) 與掃描線驅動電路 5302 連接，並具有對應於信號線 $S1-Sm$ 以及掃描線 $G1-Gn$ 配置為矩陣形的多個像素 (未圖示)。並且，各個像素與信號線 Sj (信號線 $S1-Sm$ 中任一個)、掃描線 Gi (掃描線 $G1-Gn$ 中任一個) 連接。

此外，實施例 1 至實施例 3 所示的薄膜電晶體是 n 通道型 TFT，參照圖 15 說明由 n 通道型 TFT 構成的信號線驅動電路。

圖 15 所示的信號線驅動電路包括：驅動器 IC5601；開關群 5602_1 至 5602_M；第一佈線 5611；第二佈線 5612；第三佈線 5613；以及佈線 5621_1 至 5621_M。開關群 5602_1 至 5602_M 分別包括第一薄膜電晶體 5603a、第二薄膜電晶體 5603b 以及第三薄膜電晶體 5603c。

驅動器 IC5601 連接到第一佈線 5611、第二佈線 5612、第三佈線 5613 及佈線 5621_1 至 5621_M。而且，開關群 5602_1 至 5602_M 分別連接到第一佈線 5611、第二佈

線 5612、第三佈線 5613 及分別對應於開關群 5602_1 至 5602_M 的佈線 5621_1 至 5621_M。而且，佈線 5621_1 至 5621_M 分別藉由第一薄膜電晶體 5603a、第二薄膜電晶體 5603b 及第三薄膜電晶體 5603c 連接到三個信號線。例如，第 J 行的佈線 5621_J(佈線 5621_1 至佈線 5621_M 中任一個)分別藉由開關群 5602_J 所具有的第一薄膜電晶體 5603a、第二薄膜電晶體 5603b 及第三薄膜電晶體 5603c 連接到信號線 Sj-1、信號線 Sj、信號線 Sj+1。

另外，對第一佈線 5611、第二佈線 5612、第三佈線 5613 分別輸入信號。

另外，驅動器 IC5601 較佳形成在單晶基板上。再者，開關群 5602_1 至 5602_M 較佳形成在與像素部同一基板上。因此，較佳藉由 FPC 等連接驅動器 IC5601 和開關群 5602_1 至 5602_M。

接著，參照圖 16 的時序圖說明圖 15 所示的信號線驅動電路的工作。另外，圖 16 的時序圖示出選擇第 i 列掃描線 Gi 時的時序圖。再者，第 i 列掃描線 Gi 的選擇期間被分割為第一子選擇期間 T1、第二子選擇期間 T2 及第三子選擇期間 T3。而且，圖 15 的信號線驅動電路在其他列的掃描線被選擇的情況下也進行與圖 16 相同的工作。

另外，圖 16 的時序圖示出第 J 行佈線 5621_J 分別藉由第一薄膜電晶體 5603a、第二薄膜電晶體 5603b 及第三薄膜電晶體 5603c 連接到信號線 Sj-1、信號線 Sj、信號線 Sj+1 的情況。

另外，圖 16 的時序圖示出第 i 列掃描線 G_i 被選擇的時序、第一薄膜電晶體 5603a 的導通·截止的時序 5703a、第二薄膜電晶體 5603b 的導通·截止的時序 5703b、第三薄膜電晶體 5603c 的導通·截止的時序 5703c 及輸入到第 J 行佈線 5621_J 的信號 5721_J。

另外，在第一子選擇期間 T_1 、第二子選擇期間 T_2 及第三子選擇期間 T_3 中，對佈線 5621₁ 至佈線 5621_M 分別輸入不同的視頻信號。例如，在第一子選擇期間 T_1 中輸入到佈線 5621_J 的視頻信號輸入到信號線 S_{j-1} ，在第二子選擇期間 T_2 中輸入到佈線 5621_J 的視頻信號輸入到信號線 S_j ，在第三子選擇期間 T_3 中輸入到佈線 5621_J 的視頻信號輸入到信號線 S_{j+1} 。再者，在第一子選擇期間 T_1 、第二子選擇期間 T_2 及第三子選擇期間 T_3 中輸入到佈線 5621_J 的視頻信號分別為 $Data_{j-1}$ 、 $Data_j$ 、 $Data_{j+1}$ 。

如圖 16 所示，在第一子選擇期間 T_1 中，第一薄膜電晶體 5603a 導通，而第二薄膜電晶體 5603b 及第三薄膜電晶體 5603c 截止。此時，輸入到佈線 5621_J 的 $Data_{j-1}$ 藉由第一薄膜電晶體 5603a 輸入到信號線 S_{j-1} 。在第二子選擇期間 T_2 中，第二薄膜電晶體 5603b 導通，而第一薄膜電晶體 5603a 及第三薄膜電晶體 5603c 截止。此時，輸入到佈線 5621_J 的 $Data_j$ 藉由第二薄膜電晶體 5603b 輸入到信號線 S_j 。在第三子選擇期間 T_3 中，第三薄膜電晶體 5603c 導通，而第一薄膜電晶體 5603a 及第二薄膜電晶

體 5603b 截止。此時，輸入到佈線 5621_J 的 Data_{j+1} 藉由第三薄膜電晶體 5603c 輸入到信號線 S_{j+1}。

據此，圖 15 的信號線驅動電路藉由將一個閘極選擇期間分割為三個而可以在一個閘極選擇期間中將視頻信號從一個佈線 5621 輸入到三個信號線。因此，圖 15 的信號線驅動電路可以將形成有驅動器 IC5601 的基板和形成有像素部的基板的連接數設定為信號線數的大約 1/3。藉由將連接數設定為大約 1/3，圖 15 的信號線驅動電路可以提高可靠性、成品率等。

另外，只要能夠如圖 15 所示，將一個閘極選擇期間分割為多個子選擇期間，並在多個子選擇期間的每一個中從某一個佈線分別將視頻信號輸入到多個信號線，就不限制薄膜電晶體的配置、數量及驅動方法等。

例如，當在三個或更多的子選擇期間的每一個期間中從一個佈線將視頻信號分別輸入到三個或更多的信號線時，追加薄膜電晶體及用於控制薄膜電晶體的佈線，即可。但是，當將一個閘極選擇期間分割為四個或更多的子選擇期間時，子選擇期間變短。因此，較佳將一個閘極選擇期間分割為兩個或三個子選擇期間。

作為另一個例子，也可以如圖 17 的時序圖所示，將一個選擇期間分割為預充電期間 T_p、第一子選擇期間 T₁、第二子選擇期間 T₂、第三子選擇期間 T₃。再者，圖 17 的時序圖示出選擇第 i 列掃描線 G_i 的時序、第一薄膜電晶體 5603a 的導通·截止的時序 5803a、第二薄膜電晶體

5603b 的導通·截止的時序 5803b、第三薄膜電晶體 5603c 的導通·截止的時序 5803c 以及輸入到第 J 行佈線 5621_J 的信號 5821_J。如圖 17 所示，在預充電期間 T_p 中，第一薄膜電晶體 5603a、第二薄膜電晶體 5603b 及第三薄膜電晶體 5603c 導通。此時，輸入到佈線 5621_J 的預充電電壓 V_p 藉由第一薄膜電晶體 5603a、第二薄膜電晶體 5603b 及第三薄膜電晶體 5603c 分別輸入到信號線 S_{j-1} 、信號線 S_j 、信號線 S_{j+1} 。在第二子選擇期間 T_2 中，第二薄膜電晶體 5603b 導通，第一薄膜電晶體 5603a 及第三薄膜電晶體 5603c 截止。此時，輸入到佈線 5621_J 的 $Data_j$ 藉由第二薄膜電晶體 5603b 輸入到信號線 S_j 。在第三子選擇期間 T_3 中，第三薄膜電晶體 5603c 導通，第一薄膜電晶體 5603a 及第二薄膜電晶體 5603b 截止。此時，輸入到佈線 5621_J 的 $Data_{j+1}$ 藉由第三薄膜電晶體 5603c 輸入到信號線 S_{j+1} 。

據此，因為應用圖 17 的時序圖的圖 15 的信號線驅動電路可以藉由在子選擇期間之前提供預充電選擇期間來對信號線進行預充電，所以可以高速地進行對像素的視頻信號的寫入。另外，在圖 17 中，使用相同的附圖標記來表示與圖 16 相同的部分，而省略對於相同的部分或具有相同的功能的部分的詳細說明。

此外，說明掃描線驅動電路的結構。掃描線驅動電路包括移位暫存器、緩衝器。此外，根據情況，還可以包括位準轉移器。在掃描線驅動電路中，藉由對移位暫存器輸入時脈信號(CLK)及起始脈衝信號(SP)，生成選擇信號。所生成的選擇信號在緩衝器中被緩衝放大，並供給到對應的掃描線。掃描線連接有一條線用的像素的電晶體的閘極電極。而且，由於需要將一條線用的像素的電晶體一齊導通，因此使用能夠產生大電流的緩衝器。

參照圖 18 和圖 19 說明用於掃描線驅動電路的一部分的移位暫存器的一個方式。

圖 18 示出移位暫存器的電路結構。圖 18 所示的移位暫存器由觸發器 5701_1 至 5701_n 多個觸發器構成。此外，輸入第一時脈信號、第二時脈信號、起始脈衝信號、重定信號來進行工作。

說明圖 18 的移位暫存器的連接關係。在圖 18 的移位暫存器的第 i 級觸發器 5701_i(觸發器 5701_1 至 5701_n 中任一個)中，圖 19 所示的第一佈線 5501 連接到第七佈線 5717_{i-1}，圖 19 所示的第二佈線 5502 連接到第七佈線 5717_{i+1}，圖 19 所示的第三佈線 5503 連接到第七佈線 5717_i，並且圖 19 所示的第六佈線 5506 連接到第五佈線 5715。

此外，在奇數級的觸發器中圖 19 所示的第四佈線 5504 連接到第二佈線 5712，在偶數級的觸發器中其連接到第三佈線 5713，並且圖 19 所示的第五佈線 5505 連接到

第四佈線 5714。

但是，第一級觸發器 5701_1 的圖 19 所示的第一佈線 5501 連接到第一佈線 5711，而第 n 級觸發器 5701_n 的圖 19 所示的第二佈線 5502 連接到第六佈線 5716。

另外，第一佈線 5711、第二佈線 5712、第三佈線 5713、第六佈線 5716 也可以分別稱為第一信號線、第二信號線、第三信號線、第四信號線。再者，第四佈線 5714、第五佈線 5715 也可以分別稱為第一電源線、第二電源線。

接著，圖 19 示出圖 18 所示的觸發器的詳細結構。圖 19 所示的觸發器包括第一薄膜電晶體 5571、第二薄膜電晶體 5572、第三薄膜電晶體 5573、第四薄膜電晶體 5574、第五薄膜電晶體 5575、第六薄膜電晶體 5576、第七薄膜電晶體 5577 以及第八薄膜電晶體 5578。另外，第一薄膜電晶體 5571、第二薄膜電晶體 5572、第三薄膜電晶體 5573、第四薄膜電晶體 5574、第五薄膜電晶體 5575、第六薄膜電晶體 5576、第七薄膜電晶體 5577 以及第八薄膜電晶體 5578 是 n 通道型電晶體，並且當閘極-源極電極間電壓 (V_{gs}) 超過臨界值電壓 (V_{th}) 時它們成為導通狀態。

接著，下面示出圖 19 所示的觸發器的連接結構。

第一薄膜電晶體 5571 的第一電極(源極電極及汲極電極中的一方)連接到第四佈線 5504，並且第一薄膜電晶體 5571 的第二電極(源極電極及汲極電極中的另一方)連接到第三佈線 5503。

第二薄膜電晶體 5572 的第一電極連接到第六佈線 5506，並且第二薄膜電晶體 5572 的第二電極連接到第三佈線 5503。

第三薄膜電晶體 5573 的第一電極連接到第五佈線 5505，第三薄膜電晶體 5573 的第二電極連接到第二薄膜電晶體 5572 的閘極電極，並且第三薄膜電晶體 5573 的閘極電極連接到第五佈線 5505。

第四薄膜電晶體 5574 的第一電極連接到第六佈線 5506，第四薄膜電晶體 5574 的第二電極連接到第二薄膜電晶體 5572 的閘極電極，並且第四薄膜電晶體 5574 的閘極電極連接到第一薄膜電晶體 5571 的閘極電極。

第五薄膜電晶體 5575 的第一電極連接到第五佈線 5505，第五薄膜電晶體 5575 的第二電極連接到第一薄膜電晶體 5571 的閘極電極，並且第五薄膜電晶體 5575 的閘極電極連接到第一佈線 5501。

第六薄膜電晶體 5576 的第一電極連接到第六佈線 5506，第六薄膜電晶體 5576 的第二電極連接到第一薄膜電晶體 5571 的閘極電極，並且第六薄膜電晶體 5576 的閘極電極連接到第二薄膜電晶體 5572 的閘極電極。

第七薄膜電晶體 5577 的第一電極連接到第六佈線 5506，第七薄膜電晶體 5577 的第二電極連接到第一薄膜電晶體 5571 的閘極電極，並且第七薄膜電晶體 5577 的閘極電極連接到第二佈線 5502。第八薄膜電晶體 5578 的第一電極連接到第六佈線 5506，第八薄膜電晶體 5578 的第

二電極連接到第二薄膜電晶體 5572 的閘極電極，並且第八薄膜電晶體 5578 的閘極電極連接到第一佈線 5501。

另外，以第一薄膜電晶體 5571 的閘極電極、第四薄膜電晶體 5574 的閘極電極、第五薄膜電晶體 5575 的第二電極、第六薄膜電晶體 5576 的第二電極以及第七薄膜電晶體 5577 的第二電極的連接部分為節點 5543。再者，以第二薄膜電晶體 5572 的閘極電極、第三薄膜電晶體 5573 的第二電極、第四薄膜電晶體 5574 的第二電極、第六薄膜電晶體 5576 的閘極電極及第八薄膜電晶體 5578 的第二電極的連接部作為節點 5544。

另外，第一佈線 5501、第二佈線 5502、第三佈線 5503 以及第四佈線 5504 也可以分別稱為第一信號線、第二信號線、第三信號線、第四信號線。再者，第五佈線 5505、第六佈線 5506 也可以分別稱為第一電源線、第二電源線。

此外，也可以僅使用實施例 1 所示的 n 通道型 TFT 製造信號線驅動電路及掃描線驅動電路。因為實施例 1 所示的 n 通道型 TFT 的電晶體遷移率大，所以可以提高驅動電路的驅動頻率。另外，實施例 1 所示的 n 通道型 TFT 為 In-Ga-Zn-O 類非單晶膜，利用源極區或汲區減少寄生電容，因此頻率特性(稱為 f 特性)高。例如，由於可以使使用實施例 6 所示的 n 通道型 TFT 的掃描線驅動電路進行高速工作，因此可以提高圖框頻率或實現黑屏插入等。

再者，藉由增大掃描線驅動電路的電晶體的通道寬度

，或配置多個掃描線驅動電路等，可以實現更高的圖框頻率。在配置多個掃描線驅動電路的情況下，藉由將用於驅動偶數列的掃描線的掃描線驅動電路配置在一側，並將用於驅動奇數列的掃描線的掃描線驅動電路配置在其相反一側，可以實現圖框頻率的提高。另外，藉由多個掃描線驅動電路向同一掃描線輸出信號，有利於顯示裝置的大型化。

此外，在製造半導體裝置的一個例子的主動矩陣型發光顯示裝置的情況下，因為至少在一個像素中配置多個薄膜電晶體，因此較佳配置多個掃描線驅動電路。圖 14B 示出主動矩陣型發光顯示裝置的方塊圖的一例。

圖 14B 所示的發光顯示裝置在基板 5400 上包括：具有多個具備顯示元件的像素的像素部 5401；選擇各像素的第一掃描線驅動電路 5402 及第二掃描線驅動電路 5404；以及控制對被選擇的像素的視頻信號的輸入的信號線驅動電路 5403。

在輸入數位視頻信號到圖 14B 所示的發光顯示裝置的像素的情況下，藉由切換電晶體的導通和截止，像素處於發光或非發光狀態。因此，可以採用區域灰度法或時間灰度法進行灰度級顯示。面積灰度法是一種驅動法，其中藉由將一個像素分割為多個子像素並根據視頻信號分別驅動各子像素，來進行灰度級顯示。此外，時間灰度法是一種驅動法，其中藉由控制像素發光的期間，來進行灰度級顯示。

因為發光元件的回應速度比液晶元件等高，所以與液晶元件相比適合於時間灰度法。在具體地採用時間灰度法進行顯示的情況下，將一個圖框週期分割為多個子圖框週期。然後，根據視頻信號，在各子圖框週期中使像素的發光元件處於發光或非發光狀態。藉由將一個圖框週期分割為多個子圖框週期，可以利用視頻信號控制在一個圖框週期中像素實際上發光的期間的總長度，並可以顯示灰度級。

另外，在圖 14B 所示的發光顯示裝置中示出一種例子，其中當在一個像素中配置兩個開關 TFT 時，使用第一掃描線驅動電路 5402 生成輸入到一個開關 TFT 的閘極佈線的第一掃描線的信號，而使用第二掃描線驅動電路 5404 生成輸入到另一個開關 TFT 的閘極佈線的第二掃描線的信號。但是，也可以共同使用一個掃描線驅動電路生成輸入到第一掃描線的信號和輸入到第二掃描線的信號。此外，例如根據一個像素所具有的開關 TFT 的數量，可能會在各像素中設置多個用來控制開關元件的工作的掃描線。在此情況下，既可以使用一個掃描線驅動電路生成輸入到多個掃描線的所有信號，也可以使用多個掃描線驅動電路分別生成輸入到多個第一掃描線的所有信號。

此外，在發光顯示裝置中也可以將驅動電路中的能夠由 n 通道型 TFT 構成的驅動電路的一部分形成在與像素部的薄膜電晶體同一基板上。另外，也可以僅使用實施例 1 至實施例 3 所示的 n 通道型 TFT 製造信號線驅動電路及掃

描線驅動電路。

此外，上述驅動電路除了液晶顯示裝置及發光顯示裝置以外還可以用於利用與開關元件電連接的元件來驅動電子墨水的電子紙。電子紙也稱為電泳顯示裝置(電泳顯示器)，並具有如下優點：與紙相同的易讀性、耗電量比其他的顯示裝置小、可形成為薄且輕的形狀。

作為電泳顯示器可考慮各種方式。電泳顯示器是如下裝置，即在溶劑或溶質中分散有多個包含具有正電荷的第一粒子和具有負電荷的第二粒子的微囊，並且藉由對微囊施加電場使微囊中的粒子互相向相反方向移動，以僅顯示集合在一方的粒子的顏色。另外，第一粒子或第二粒子包含染料，且在沒有電場時不移動。此外，第一粒子和第二粒子的顏色不同(包含無色)。

像這樣，電泳顯示器是利用所謂的介電電泳效應的顯示器。在該介電電泳效應中，介電常數高的物質移動到高電場區。電泳顯示器不需要液晶顯示裝置所需的偏光板和對置基板，從而可以使其厚度和重量減少一半。

將在溶劑中分散有上述微囊的溶液稱作電子墨水，該電子墨水可以印刷到玻璃、塑膠、布、紙等的表面上。另外，還可以藉由使用彩色濾光片或具有色素的粒子來進行彩色顯示。

此外，藉由在主動矩陣基板上適當地設置多個上述微囊以使微囊夾在兩個電極之間，而完成主動矩陣型顯示裝置，藉由對微囊施加電場可以進行顯示。例如，可以使用

根據實施例 1 至實施例 3 的薄膜電晶體而得的主動矩陣基板。

此外，作為微囊中的第一粒子及第二粒子，採用選自導電體材料、絕緣體材料、半導體材料、磁性材料、液晶材料、鐵電性材料、電致發光材料、電致變色材料、磁泳材料中的一種或這些材料的組合材料即可。

藉由上述製程，可以製造作為半導體裝置可靠性高的顯示裝置。

實施例 4 可以與其他的實施例所記載的結構適當地組合而實施。

實施例 5

可以藉由製造薄膜電晶體並將該薄膜晶體管用於像素部及驅動電路來製造具有顯示功能的半導體裝置(也稱為顯示裝置)。此外，可以將薄膜電晶體的驅動電路的一部分或整體一體形成在與像素部同一基板上，來形成系統型面板(system-on-panel)。

顯示裝置包括顯示元件。作為顯示元件，可以使用液晶元件(也稱為液晶顯示元件)、發光元件(也稱為發光顯示元件)。在發光元件的範圍內包括利用電流或電壓控制亮度的元件，具體而言，包括無機 EL(Electro Luminescence；電致發光)元件、有機 EL 元件等。此外，也可以應用電子墨水等的對比度因電作用而變化的顯示媒體。

此外，顯示裝置包括密封有顯示元件的面板和在該面

板中安裝有包括控制器的 IC 等的模組。再者，關於在製造該顯示裝置的過程中相當於顯示元件完成之前的一個方式的元件基板，該元件基板在多個像素中分別具備用於將電流供給到顯示元件的單元。具體而言，元件基板既可以是只形成有顯示元件的像素電極的狀態，又可以是形成成為像素電極的導電膜之後且藉由蝕刻形成像素電極之前的狀態，或其他任何方式。

另外，本說明書中的顯示裝置是指影像顯示裝置、顯示裝置、或光源(包括照明裝置)。另外，顯示裝置還包括安裝有連接器諸如 FPC(Flexible Printed Circuit; 軟性印刷電路)、TAB(Tape Automated Bonding; 載帶自動鍵合)帶或 TCP(Tape Carrier Package; 載帶封裝)的模組；將印刷線路板設置於 TAB 帶或 TCP 端部的模組；藉由 COG(Chip On Glass; 玻璃上晶片)方式將 IC(積體電路)直接安裝到顯示元件上的模組。

在實施例 5 中，參照圖 22A1 至 22B 說明相當於半導體裝置的一個方式的液晶顯示面板的外觀及截面。圖 22A1 和 22A2 是一種面板的俯視圖，其中利用密封材料 4005 將形成在第一基板 4001 上的作為半導體層包含實施例 1 所示的 In-Ga-Zn-O 類非單晶膜的可靠性高的薄膜電晶體 4010、4011 及液晶元件 4013 密封在與第二基板 4006 之間。圖 22B 相當於沿著圖 22A1 和 22A2 的 M-N 的截面圖。

以圍繞設置在第一基板 4001 上的像素部 4002 和掃描

線驅動電路 4004 的方式設置有密封材料 4005。此外，在像素部 4002 和掃描線驅動電路 4004 上設置有第二基板 4006。因此，像素部 4002 和掃描線驅動電路 4004 與液晶層 4008 一起由第一基板 4001、密封材料 4005 和第二基板 4006 密封。此外，在第一基板 4001 上的與由密封材料 4005 圍繞的區域不同的區域中安裝有信號線驅動電路 4003，該信號線驅動電路 4003 使用單晶半導體膜或多晶半導體膜形成在另外準備的基板上。

另外，對於另外形成的驅動電路的連接方法沒有特別的限制，而可以採用 COG 方法、引線鍵合方法或 TAB 方法等。圖 22A1 是藉由 COG 方法安裝信號線驅動電路 4003 的例子，而圖 22A2 是藉由 TAB 方法安裝信號線驅動電路 4003 的例子。

此外，設置在第一基板 4001 上的像素部 4002 和掃描線驅動電路 4004 包括多個薄膜電晶體。在圖 22B 中例示像素部 4002 所包括的薄膜電晶體 4010 和掃描線驅動電路 4004 所包括的薄膜電晶體 4011。薄膜電晶體 4010、4011 上設置有絕緣層 4020、4021。

薄膜電晶體 4010、4011 可以使用作為半導體層包含 In-Ga-Zn-O 類非單晶膜的可靠性高的實施例 3 所示的薄膜電晶體。另外還可以使用實施例 1 或實施例 2 所示的薄膜電晶體。在實施例 5 中，薄膜電晶體 4010、4011 是 n 通道型薄膜電晶體。

此外，液晶元件 4013 所具有的像素電極層 4030 與薄

膜電晶體 4010 電連接。而且，液晶元件 4013 的對置電極層 4031 形成在第二基板 4006 上。像素電極層 4030、對置電極層 4031 和液晶層 4008 重疊的部分相當於液晶元件 4013。另外，像素電極層 4030、對置電極層 4031 分別設置有用作取向膜的絕緣層 4032、4033，且隔著絕緣層 4032、4033 夾有液晶層 4008。

另外，作為第一基板 4001、第二基板 4006，可以使用玻璃、金屬(典型的是不銹鋼)、陶瓷、塑膠。作為塑膠，可以使用 FRP(Fiberglass-Reinforced Plastics；纖維增強塑膠)板、PVF(聚氟乙烯)薄膜、聚酯薄膜或丙烯酸樹脂薄膜。此外，還可以使用具有將鋁箔夾在 PVF 薄膜或聚酯薄膜之間的結構的薄片。

此外，附圖標記 4035 表示藉由對絕緣膜選擇性地進行蝕刻而獲得的柱狀間隔物，並且它是為控制像素電極層 4030 和對置電極層 4031 之間的距離(單元間隙)而設置的。另外，還可以使用球狀間隔物。另外，對置電極層 4031 與與薄膜電晶體 4010 設置在同一基板上的共同電位線電連接。使用共同連接部，可以藉由配置在一對基板間的導電粒子，使對置電極層 4031 與共同電位線電連接。另外，導電粒子包含在密封材料 4005 中。

另外，還可以使用不使用取向膜的顯示為藍相的液晶。藍相是液晶相的一種，是指當使膽甾相液晶的溫度上升時即將從膽甾相轉變到均質相之前出現的相。由於藍相只出現在較窄的溫度範圍內，所以為了改善溫度範圍而將混

含有 5 重量 % 或更多的手性試劑的液晶組成物用於液晶層 4008。包含顯示為藍相的液晶和手性試劑的液晶組成物的回應速度短，即為 $10\mu\text{s}$ 至 $100\mu\text{s}$ ，並且由於其具有光學各向同性而不需要取向處理從而視角依賴小。

另外，雖然實施例 5 為用於透過型液晶顯示裝置的例子，但是還可以用於反射型液晶顯示裝置或半透過型液晶顯示裝置。

另外，雖然在實施例 5 的液晶顯示裝置中示出在基板的外側(可見一側)設置偏光板，並在內側依次設置著色層、用於顯示元件的電極層的例子，但是也可以在基板的內側設置偏光板。另外，偏光板和著色層的疊層結構也不局限於實施例 5 的結構，只要根據偏光板和著色層的材料或製造製程條件適當地設定即可。另外，還可以設置用作黑矩陣的遮光膜。

另外，在實施例 5 中，使用用作保護膜或平坦化絕緣膜的絕緣層(絕緣層 4020、絕緣層 4021)覆蓋藉由實施例 3 得到的薄膜電晶體，以降低薄膜電晶體的表面凹凸並提高薄膜電晶體的可靠性。另外，因為保護膜用來防止懸浮在大氣中的有機物、金屬物、水蒸氣等的污染雜質的侵入，所以較佳採用緻密的膜。使用濺射法並利用氧化矽膜、氮化矽膜、氧氮化矽膜、氮氧化矽膜、氧化鋁膜、氮化鋁膜、氧氮化鋁膜或氮氧化鋁膜的單層或疊層而形成保護膜，即可。雖然在實施例 5 中示出使用濺射法來形成保護膜的例子，但是並不局限於此而可以使用各種方法形成。

這裏，作為保護膜形成疊層結構的絕緣層 4020。在此，使用濺射法形成氧化矽膜作為絕緣層 4020 的第一層。當使用氧化矽膜作為保護膜時，有防止用作源極電極層和汲極電極層的鋁膜的小丘的效果。

另外，形成絕緣層作為保護膜的第二層。在此，使用濺射法形成氮化矽膜作為絕緣層 4020 的第二層。當使用氮化矽膜作為保護膜時，可以抑制鈉等的可動離子侵入到半導體區中而 TFT 的電特性變化。

另外，也可以在形成保護膜之後進行半導體層的退火 (300℃ 至 400℃)。

另外，形成絕緣層 4021 作為平坦化絕緣膜。作為絕緣膜 4021，可以使用具有耐熱性的有機材料如聚醯亞胺、丙烯酸樹脂、苯並環丁烯、聚醯胺或環氧樹脂等。另外，除了上述有機材料之外，還可以使用低介電常數材料 (low-k 材料)、矽氧烷基樹脂、PSG(磷矽玻璃)、BPSG(硼磷矽玻璃)等。另外，也可以藉由層疊多個由這些材料形成的絕緣膜，來形成絕緣層 4021。

另外，矽氧烷基樹脂相當於以矽氧烷基材料為起始材料而形成的包含 Si-O-Si 鍵的樹脂。矽氧烷基樹脂還可以使用有機基 (例如烷基或芳基) 或氟基作為取代基。此外，有機基也可以包括氟基。

至於絕緣膜 4021 的形成方法並沒有特別的限制，可以根據其材料利用濺射法、SOG 法、旋塗、浸漬、噴塗、液滴噴射法 (噴墨法、絲網印刷、膠版印刷等)、刮刀、輥

塗機、簾塗機、刮刀塗布機等來形成。在使用材料液形成絕緣層 4021 的情況下，也可以在進行焙燒的製程中同時進行半導體層的退火(300℃至 400℃)。藉由兼作絕緣層 4021 的焙燒製程和半導體層的退火，可以高效地製造半導體裝置。

作為像素電極層 4030、對置電極層 4031，可以使用具有透光性的導電材料諸如包含氧化鎢的氧化銦、包含氧化鎢的氧化銦鋅、包含氧化鈦的氧化銦、包含氧化鈦的氧化銦錫、氧化銦錫(下面表示為 ITO)、氧化銦鋅、添加有氧化矽的氧化銦錫等。

此外，可以使用包含導電高分子(也稱為導電聚合物)的導電組成物形成像素電極層 4030、對置電極層 4031。使用導電組成物形成的像素電極的薄層電阻優選為 10000 ohm/square 或更少，並且其波長為 550nm 時的透光率優選為 70%或更多。另外，導電組成物所包含的導電高分子的電阻率優選為 $0.1 \Omega \cdot \text{cm}$ 或更少。

作為導電高分子，可以使用所謂的 π 電子共軛類導電高分子。例如，可以舉出聚苯胺或其衍生物、聚吡咯或其衍生物、聚噻吩或其衍生物、或者上述材料中的兩種或更多的共聚物等。

另外，供給到另外形成的信號線驅動電路 4003、掃描線驅動電路 4004 或像素部 4002 的各種信號及電位是從 FPC4018 供給的。

在實施例 5 中，連接端子 4015 由與液晶元件 4013 所

具有的像素電極層 4030 相同的導電膜形成，並且佈線 4016 由與薄膜電晶體 4010、4011 的閘極電極層相同的導電膜形成。另外，連接端子電極 4015 以及端子電極 4016 形成在 n^+ 層 4025 以及半導體層 4026 上。

連接端子 4015 藉由各向異性導電膜 4019 電連接到 FPC4018 所具有的端子。

此外，雖然在圖 22A1、22A2 以及 22C 中示出另外形成信號線驅動電路 4003 並將其安裝在第一基板 4001 的例子，但是實施例 5 不局限於該結構。既可以另外形成掃描線驅動電路而安裝，又可以另外僅形成信號線驅動電路的一部分或掃描線驅動電路的一部分而安裝。

圖 23 示出使用根據本說明書所公開的半導體裝置的製造方法製造的 TFT 基板 2600 來構成用作半導體裝置的液晶顯示模組的一個例子。

圖 23 是液晶顯示模組的一個例子，利用密封材料 2602 固定 TFT 基板 2600 和對置基板 2601，並在其間設置包括 TFT 等的像素部 2603、包括液晶層的顯示元件 2604、著色層 2605 來形成顯示區。在進行彩色顯示時需要著色層 2605，並且當採用 RGB 方式時，對應於各像素設置有分別對應於紅色、綠色、藍色的著色層。在 TFT 基板 2600 和對置基板 2601 的外側配置有偏光板 2606、偏光板 2607、漫射片 2613。光源由冷陰極管 2610 和反射板 2611 構成，電路基板 2612 利用軟性線路板 2609 與 TFT 基板 2600 的佈線電路部 2608 連接，且其中組裝有控制電路及

電源電路等的外部電路。此外，還可以在偏光板和液晶層之間夾有相位差板的狀態下進行層疊。

液晶顯示模組可以採用 TN(扭曲向列；Twisted Nematic)模式、IPS(平面內轉換；In-Plane-Switching)模式、FFS(邊緣電場轉換；Fringe Field Switching)模式、MVA(多疇垂直取向；Multi-domain Vertical Alignment)模式、PVA(垂直取向構型；Patterned Vertical Alignment)模式、ASM(軸對稱排列微單元；Axially Symmetric aligned Micro-cell)模式、OCB(光學補償彎曲；Optically Compensated Birefringence)模式、FLC(鐵電性液晶；Ferroelectric Liquid Crystal)模式、AFLC(反鐵電性液晶；Anti Ferroelectric Liquid Crystal)模式等。

藉由上述製程，可以製造可靠性高的液晶顯示面板作為半導體裝置。

本實施例 5 可以與其他實施例所記載的結構適當地組合而實施。

實施例 6

在實施例 6 中，作為半導體裝置示出電子紙的例子。

在圖 13 中，作為半導體裝置的例子示出主動矩陣型電子紙。可以與實施例 3 所示的薄膜電晶體同樣地製造用於半導體裝置的薄膜電晶體 581，並且該薄膜電晶體 581 是作為半導體層包含 In-Ga-Zn-O 類非單晶膜的可靠性高的薄膜電晶體。此外，也可以應用實施例 1 或實施例 2 所

示的薄膜電晶體作為實施例的薄膜電晶體 581。

圖 13 的電子紙是採用扭轉球顯示方式的顯示裝置的例子。扭轉球顯示方式是指一種方法，其中將一個半球表面為黑色而另一半球表面為白色的球形粒子配置在用於顯示元件的電極層的第一電極層及第二電極層之間，並在第一電極層及第二電極層之間產生電位差來控制球形粒子的方向，以進行顯示。

設置在基板 580 上的薄膜電晶體 581 是底閘極結構的薄膜電晶體，並藉由源極電極層或汲極電極層與第一電極層 587 在形成在絕緣層 583、絕緣層 584 以及絕緣層 585 中的開口互相接觸而電連接。在第一電極層 587 和第二電極層 588 之間設置有球形粒子 589，該球形粒子 589 具有黑色區 590a 和白色區 590b，其周圍包括充滿了液體的空洞 594，並且球形粒子 589 的周圍充滿了樹脂等的填充材料 595(參照圖 13)。在實施例 6 中，第一電極層 587 相當於像素電極，第二電極層 588 相當於共同電極。設置在基板 596 上的第二電極層 588 與與薄膜電晶體 581 設置在同一基板 580 上的共同電位線電連接。使用共同連接部，可以藉由配置在一對基板間的導電粒子，使第二電極層 588 與共同電位線電連接。

此外，還可以使用電泳元件來代替扭轉球。使用直徑為 $10\mu\text{m}$ 至 $200\mu\text{m}$ 左右的微囊，該微囊中封入有透明液體、帶有正電的白色微粒以及帶有負電的黑色微粒。當對於設置在第一電極層和第二電極層之間的微囊由第一電極層

和第二電極層施加電場時，白色微粒和黑色微粒移動到相反方向，從而可以顯示白色或黑色。應用這種原理的顯示元件就是電泳顯示元件，一般地被稱為電子紙。電泳顯示元件具有比液晶顯示元件高的反射率，因而不需要輔助燈。此外，其耗電量低，並且在昏暗的地方也能夠辨別顯示部。另外，即使不給顯示部供應電源，也能夠保持顯示過一次的影像，因此，即使使具有顯示功能的半導體裝置(簡單地稱為顯示裝置，或稱為具備顯示裝置的半導體裝置)遠離電波發射源，也能夠儲存顯示過的影像。

藉由上述製程，可以製造可靠性高的電子紙作為半導體裝置。

實施例 6 可以與其他實施例所記載的結構適當地組合而實施。

實施例 7

在實施例 7 中，示出發光顯示裝置的例子作為半導體裝置。在此，示出利用電致發光的發光元件作為顯示裝置所具有的顯示元件。對利用電致發光的發光元件根據其發光材料是有機化合物還是無機化合物來進行區別，一般來說，前者被稱為有機 EL 元件，而後者被稱為無機 EL 元件。

在有機 EL 元件中，藉由對發光元件施加電壓，電子和電洞從一對置電極分別注入到包含發光有機化合物的層，以產生電流。然後，由於這些載流子(電子和電洞)重新

結合，發光有機化合物達到激發態，並且當該激發態恢復到基態時，獲得發光。根據這種機理，該發光元件被稱為電流激發型發光元件。

根據其元件的結構，將無機 EL 元件分類為分散型無機 EL 元件和薄膜型無機 EL 元件。分散型無機 EL 元件包括在粘合劑中分散有發光材料的粒子的發光層，且其發光機理是利用供體能級和受體能級的供體-受體重新結合型發光。薄膜型無機 EL 元件具有由電媒體層夾住發光層並還利用電極夾住該發光層的結構，且其發光機理是利用金屬離子的內層電子躍遷的定域型發光。另外，在此使用有機 EL 元件作為發光元件而進行說明。

圖 20 示出可以使用數位時間灰度級驅動的像素結構的一個例子作為半導體裝置的例子。

對可以使用數位時間灰度級驅動的像素的結構以及像素的工作進行說明。這裏示出在一個像素中使用兩個將氧化物半導體層(In-Ga-Zn-O 類非單晶膜)用作通道形成區的 n 通道型的電晶體的例子。

像素 6400 包括開關用電晶體 6401、驅動用電晶體 6402、發光元件 6404 以及電容元件 6403。在開關用電晶體 6401 中，柵極與掃描線 6406 連接，第一電極(源極電極以及汲極電極中的一方)與信號線 6405 連接，第二電極(源極電極以及汲極電極的另一方)與驅動用電晶體 6402 的閘極連接。在驅動用電晶體 6402 中，閘極藉由電容元件 6403 與電源線 6407 連接，第一電極與電源線 6407 連接，

第二電極與發光元件 6404 的第一電極(像素電極)連接。發光元件 6404 的第二電極相當於共同電極 6408。共同電極 6408 與形成在同一基板上的共同電位線電連接。

另外，將發光元件 6404 的第二電極(共同電極 6408)設定為低電源電位。另外，低電源電位是指，以電源線 6407 所設定的高點源電位為基準滿足低電源電位<高電源電位的電位，作為低電源電位例如可以設定為 GND、0V 等。將該高電源電位與低電源電位的電位差施加到發光元件 6404 上，為了使發光元件 6404 產生流過以使發光元件 6404 發光，以高電源電位與低電源電位的電位差為發光元件 6404 的正向臨界值電壓以上的方式分別設定其電位。

另外，還可以使用驅動用電晶體 6402 的閘極電容代替電容元件 6403 而省略電容元件 6403。至於驅動用電晶體 6402 的閘極電容，可以在通道形成區與閘極電極之間形成電容。

這裏，在採用電壓輸入電壓驅動方式的情況下，對驅動用電晶體 6402 的閘極輸入能夠使驅動用電晶體 6402 充分成為導通或截止的兩個狀態的視頻信號。即，驅動用電晶體 6402 在線形區域進行工作。由於驅動用電晶體 6402 在線形區域進行工作，將比電源線 6407 的電壓高的電壓施加到驅動用電晶體 6402 的閘極上。另外，對信號線 6405 施加(電源線電壓+驅動用電晶體 6402 的 V_{th})或更多的電壓。

另外，當進行模擬灰度級驅動而代替數位時間灰度級

驅動時，藉由使信號的輸入不同，可以使用與圖 20 相同的像素結構。

當進行模擬灰度級驅動時，對驅動用電晶體 6402 的閘極施加發光元件 6404 的正向電壓+驅動用電晶體 6402 的 V_{th} 或更多的電壓。發光元件 6404 的正向電壓是指，設定為所希望的亮度時的電壓，至少包含正向臨界值電壓。另外，藉由輸入使驅動用電晶體 6402 在飽和區域工作的視頻信號，可以在發光元件 6402 中產生電流。為了使驅動用電晶體 6402 在飽和區域進行工作，將電源線 6407 的電位設定為高於驅動用電晶體 6402 的閘極電位。藉由將視頻信號設定為類比方式，可以在發光元件 6404 中產生根據視頻信號的電流，而進行模擬灰度級驅動。

另外，圖 20 所示的像素結構不局限於此。例如，還可以對圖 20 所示的像素添加開關、電阻元件、電容元件、電晶體或邏輯電路等。

接著，參照圖 21A 至 21C 說明發光元件的結構。在此，以驅動 TFT 是 n 型的情況為例子來說明像素的截面結構。可以與實施例 3 所示的薄膜電晶體同樣地製造用於圖 21A、21B 和 21C 的半導體裝置的驅動 TFT 的 TFT7001、7011、7021，並且這些 TFT 是包括實施例 3 所示的作為半導體層包括 In-Ga-Zn-O 類非單晶膜的可靠性高的薄膜電晶體。此外，也可以應用實施例 1 或實施例 2 所示的薄膜電晶體管用作 TFT7001、7011、7021。

為了取出發光，發光元件的陽極或陰極的至少一方是

透明的即可。而且，在基板上形成薄膜電晶體及發光元件，並且有如下結構的發光元件，即從與基板相反的面取出發光的頂部發射、從基板一側的面取出發光的底部發射以及從基板一側及與基板相反的面取出發光的雙面發射。像素結構可以應用於任何發射結構的發光元件。

參照圖 21A 說明頂部發射結構的發光元件。

在圖 21A 中示出當驅動 TFT 的 TFT7001 為 n 型且從發光元件 7002 發射的光穿過到陽極 7005 一側時的像素的截面圖。在圖 21A 中，發光元件 7002 的陰極 7003 和驅動 TFT 的 TFT7001 電連接，在陰極 7003 上按順序層疊有發光層 7004、陽極 7005。至於陰極 7003，只要是功函數小且反射光的導電膜，就可以使用各種材料。例如，較佳採用 Ca、Al、CaF、MgAg、AlLi 等。而且，發光層 7004 可以由單層或多層的疊層構成。在由多層構成時，在陰極 7003 上按順序層疊電子注入層、電子傳輸層、發光層、電洞傳輸層、電洞注入層。另外，不需要設置所有這種層。使用透過光的具有透光性的導電材料形成陽極 7005，例如也可以使用具有透光性的導電膜例如包含氧化鎢的氧化銦、包含氧化鎢的氧化銦鋅、包含氧化鈦的氧化銦、包含氧化鈦的氧化銦錫、氧化銦錫(下面，表示為 ITO)、氧化銦鋅、添加有氧化矽的氧化銦錫等。

由陰極 7003 及陽極 7005 夾有發光層 7004 的區域相當於發光元件 7002。在圖 21A 所示的像素中，從發光元件 7002 發射的光如箭頭所示那樣發射到陽極 7005 一側。

接著，參照圖 21B 說明底部發射結構的發光元件。示出在驅動 TFT7011 是 n 型，且從發光元件 7012 發射的光發射到陰極 7013 一側的情況下的像素的截面圖。在圖 21B 中，在與驅動 TFT7011 電連接的具有透光性的導電膜 7017 上形成有發光元件 7012 的陰極 7013，在陰極 7013 上按順序層疊有發光層 7014、陽極 7015。另外，在陽極 7015 具有透光性的情況下，也可以覆蓋陽極上地形成有用來反射光或遮光的遮罩膜 7016。與圖 21A 的情況同樣地，至於陰極 7013，只要是功函數小的導電材料，就可以使用各種材料。但是，將其厚度設定為透過光的程度（較佳為 5nm 至 30nm 左右）。例如，可以將膜厚度為 20nm 的鋁膜用作陰極 7013。而且，與圖 21A 同樣地，發光層 7014 可以由單層或多個層的疊層構成。陽極 7015 不需要透過光，但是可以與圖 21A 同樣地使用具有透光性的導電材料形成。並且，雖然遮罩膜 7016 例如可以使用反射光的金屬等，但是不局限於金屬膜。例如，也可以使用添加有黑色的顏料的樹脂等。

由陰極 7013 及陽極 7015 夾有發光層 7014 的區域相當於發光元件 7012。在圖 21B 所示的像素中，從發光元件 7012 發射的光如箭頭所示那樣發射到陰極 7013 一側。

接著，參照圖 21C 說明雙面發射結構的發光元件。在圖 21C 中，在與驅動 TFT7021 電連接的具有透光性的導電膜 7027 上形成有發光元件 7022 的陰極 7023，在陰極 7023 上按順序層疊有發光層 7024、陽極 7025。與圖 21A

的情況同樣地，至於陰極 7023，只要是功函數小的導電材料，就可以使用各種材料。但是，將其厚度設定為透過光的程度。例如，可以將膜厚度為 20nm 的 Al 用作陰極 7023。而且，與圖 21A 同樣地，發光層 7024 可以由單層或多個層的疊層構成。陽極 7025 可以與圖 21A 同樣地使用透過光的具有透光性的導電材料形成。

陰極 7023、發光層 7024 和陽極 7025 重疊的部分相當於發光元件 7022。在圖 21C 所示的像素中，從發光元件 7022 發射的光如箭頭所示那樣發射到陽極 7025 一側和陰極 7023 一側的雙方。

另外，雖然在此描述了有機 EL 元件作為發光元件，但是也可以設置無機 EL 元件作為發光元件。

另外，在實施例 7 中示出了控制發光元件的驅動的薄膜電晶體(驅動 TFT)和發光元件電連接的例子，但是也可以採用在驅動 TFT 和發光元件之間連接有電流控制 TFT 的結構。

另外，實施例 7 所示的半導體裝置不局限於圖 21A 至 21C 所示的結構而可以根據本說明書所公開的技術思想進行各種變形。

接著，參照圖 24A 和 24B 說明相當於半導體裝置的一個方式的發光顯示面板(也稱為發光面板)的外觀及截面。圖 24A 是一種面板的俯視圖，其中利用密封材料將形成在第一基板上的薄膜電晶體及發光元件密封在與第二基板之間。圖 24B 相當於沿著圖 24A 的 H-I 的截面圖。

以圍繞設置在第一基板 4501 上的像素部 4502、信號線驅動電路 4503a、4503b 及掃描線驅動電路 4504a、4504b 的方式設置有密封材料 4505。此外，在像素部 4502、信號線驅動電路 4503a、4503b 及掃描線驅動電路 4504a、4504b 上設置有第二基板 4506。因此，像素部 4502、信號線驅動電路 4503a、4503b 以及掃描線驅動電路 4504a、4504b 與填料 4507 一起由第一基板 4501、密封材料 4505 和第二基板 4506 密封。像這樣爲了不暴露於大氣，較佳由氣密性高且脫氣少的保護薄膜(貼合薄膜、紫外線硬化樹脂薄膜等)或覆蓋材料來進行封裝(密封)。

此外，設置在第一基板 4501 上的像素部 4502、信號線驅動電路 4503a、4503b 及掃描線驅動電路 4504a、4504b 包括多個薄膜電晶體。在圖 24B 中，例示包括在像素部 4502 中的薄膜電晶體 4510 和包括在信號線驅動電路 4503a 中的薄膜電晶體 4509。

薄膜電晶體 4509、4510 可以使用作爲半導體層包含 In-Ga-Zn-O 類非單晶膜的可靠性高的實施例 3 所示的薄膜電晶體。此外還可以使用實施例 1 或實施例 2 所示的薄膜電晶體。在實施例 7 中，薄膜電晶體 4509、4510 是 n 通道型薄膜電晶體。

此外，附圖標記 4511 相當於發光元件，發光元件 4511 所具有的作爲像素電極的第一電極層 4517 與薄膜電晶體 4510 的源電極層或汲極電極層電連接。另外，雖然發光元件 4511 的結構爲第一電極層 4517、電致發光層

4512 和第二電極層 4513 的疊層結構，但其不局限於實施例 7 所示的結構。可以根據從發光元件 4511 取出的光的方向等適當地改變發光元件 4511 的結構。

分隔壁 4520 使用有機樹脂膜、無機絕緣膜或有機聚矽氧烷而形成。特別較佳的是，以如下條件形成分隔壁 4520：使用感光性的材料，並在第一電極層 4517 上形成開口部，且使該開口部的側壁成為具有連續曲率的傾斜面。

電致發光層 4512 既可以由單層構成，又可以由多層的疊層構成。

為了不使氧、氫、水分、二氧化碳等侵入到發光元件 4511，可以在第二電極層 4513 以及分隔壁 4520 上形成保護膜。可以形成氮化矽膜、氮氧化矽膜、DLC 膜等作為保護膜。

另外，供給到信號線驅動電路 4503a、4503b、掃描線驅動電路 4504a、4504b、或像素部 4502 的各種信號及電位是從 FPC4518a、4518b 供給的。

在實施例 7 中，連接端子電子 4515 由與發光元件 4511 所具有的第一電極層 4517 相同的導電膜形成，端子電極 4516 由與薄膜電晶體 4509、4510 所具有的源極電極層和汲極電極層相同的導電膜形成。另外，連接端子電極 4515 以及端子電極 4516 形成在 n^+ 層 4525 以及半導體層 4526 上。

連接端子電極 4515 藉由各向異性導電膜 4519 電連接

到 FPC4518a 所具有的端子。

位於從發光元件 4511 的取出光的方向上的第二基板 4506 需要具有透光性。在此情況下，使用如玻璃板、塑膠板、聚酯薄膜或丙烯酸薄膜等的具有透光性的材料。

此外，作為填料 4507，除了氮及氬等的惰性氣體之外，還可以使用紫外線固化樹脂或熱固化樹脂。可以使用 PVC(聚氯乙烯)、丙烯酸樹脂、聚醯亞胺、環氧樹脂、矽酮樹脂、PVB(聚乙烯醇縮丁醛)、或 EVA(乙烯-醋酸乙烯酯)等。在實施例 7 中，作為填料 4507 使用氮。

另外，若有需要，也可以在發光元件的射出面上適當地設置諸如偏光板、圓偏光板(包括橢圓偏光板)、相位差板($\lambda/4$ 片、 $\lambda/2$ 片)、彩色濾光片等的光學薄膜。另外，也可以在偏光板或圓偏光板上設置抗反射膜。例如，可以進行抗眩光處理，該處理利用表面的凹凸來擴散反射光並降低眩光。

信號線驅動電路 4503a、4503b 及掃描線驅動電路 4504a、4504b 也可以作為在另行準備的基板上由單晶半導體膜或多晶半導體膜形成的驅動電路而安裝。此外，也可以另外僅形成信號線驅動電路或其一部分、或者掃描線驅動電路或其一部分而安裝。實施例 7 不局限於圖 24A 和 24B 的結構。

藉由上述製程，可以製造可靠性高的發光顯示裝置(顯示面板)作為半導體裝置。

實施例 7 可以與其他實施例所記載的結構適當地組合

而實施。

實施例 8

半導體裝置的可以應用於電子紙。電子紙可以用於用來顯示資訊的各種領域的電子設備。例如，可以將電子紙應用於電子書(e-書)、海報、電車等的交通工具的車內廣告、信用卡等的各種卡片中的顯示等。圖 25A 和 25B 以及圖 26 示出電子設備的一個例子。

圖 25A 示出使用電子紙製造的海報 2631。在廣告媒體是紙的印刷物的情況下用手進行廣告的交換，但是如果使用本說明書所公開的電子紙，則可以在短時間內改變廣告的顯示內容。此外，顯示不會打亂而可以獲得穩定的影像。另外，海報也可以採用以無線的方式收發資訊的結構。

此外，圖 25B 示出電車等的交通工具的車內廣告 2632。在廣告媒體是紙的印刷物的情況下用手進行廣告的交換，但是如果使用本說明書所公開的電子紙，則可以在短時間內不需要許多人手地改變廣告的顯示內容。此外，顯示不會打亂而可以獲得穩定的影像。另外，車內廣告也可以採用以無線的方式收發資訊的結構。

另外，圖 26 示出電子書 2700 的一個例子。例如，電子書 2700 由兩個框體，即框體 2701 及框體 2703 構成。框體 2701 及框體 2703 由軸部 2711 形成為一體，且可以以該軸部 2711 為軸進行開閉動作。藉由採用這種結構，

可以進行如紙的書籍那樣的動作。

框體 2701 組裝有顯示部 2705，而框體 2703 組裝有顯示部 2707。顯示部 2705 及顯示部 2707 的結構既可以是顯示連屏畫面的結構，又可以是顯示不同的畫面的結構。藉由採用顯示不同的畫面的結構，例如在右邊的顯示部(圖 26 中的顯示部 2705)中可以顯示文章，而在左邊的顯示部(圖 26 中的顯示部 2707)中可以顯示影像。

此外，在圖 26 中示出框體 2701 具備操作部等的例子。例如，在框體 2701 中，具備電源 2721、操作鍵 2723、揚聲器 2725 等。利用操作鍵 2723 可以翻頁。另外，也可以採用在與框體的顯示部同一面上具備鍵盤、定位裝置等的結構。另外，也可以採用在框體的背面或側面具備外部連接用端子(耳機端子、USB 端子或可與 AC 轉接器及 USB 電纜等的各種電纜連接的端子等)、記錄媒體插入部等的結構。再者，電子書 2700 也可以具有電子詞典的功能。

此外，電子書 2700 也可以採用以無線的方式收發資訊的結構。還可以採用以無線的方式從電子書伺服器購買所希望的書籍資料等，然後下載的結構。

實施例 9

本說明書所公開的半導體裝置可以應用於各種電子設備(包括遊戲機)。作為電子設備，例如可以舉出電視裝置(也稱為電視或電視接收機)、用於電腦等的監視器、數位相機、數位攝像機、數位相框、移動電話機(也稱為移動

電話、移動電話裝置)、可攜式遊戲機、可攜式資訊終端、聲音再現裝置、彈珠機等的大型遊戲機等。

圖 27A 示出電視裝置 9600 的一個例子。在電視裝置 9600 中，框體 9601 組裝有顯示部 9603。利用顯示部 9603 可以顯示映射。此外，在此示出利用支架 9605 支撐框體 9601 的結構。

可以藉由利用框體 9601 所具備的操作開關、另外提供的遙控操作機 9610 進行電視裝置 9600 的操作。藉由利用遙控操作機 9610 所具備的操作鍵 9609，可以進行頻道及音量的操作，並可以對在顯示部 9603 上顯示的映射進行操作。此外，也可以採用在遙控操作機 9610 中設置顯示從該遙控操作機 9610 輸出的資訊的顯示部 9607 的結構。

另外，電視裝置 9600 採用具備接收機及數據機等的結構。可以藉由利用接收機接收一般的電視廣播。再者，藉由數據機連接到有線或無線方式的通信網路，從而也可以進行單向(從發送者到接收者)或雙向(在發送者和接收者之間或在接收者之間等)的資訊通信。

圖 27B 示出數位相框 9700 的一個例子。例如，在數位相框 9700 中，框體 9701 組裝有顯示部 9703。顯示部 9703 可以顯示各種影像，例如藉由顯示使用數位相機等拍攝的影像資料，可以發揮與一般的相框同樣的功能。

另外，數位相框 9700 採用具備操作部、外部連接用端子(USB 端子、可以與 USB 電纜等的各種電纜連接的端

子等)、記錄媒體插入部等的結構。這種結構也可以組裝到與顯示部同一個面，但是藉由將其設置在側面或背面上來提高設計性，所以是較佳的。例如，可以對數位相框的記錄媒體插入部插入儲存有使用數位相機拍攝的影像資料的記憶體並提取影像資料，然後可以將所提取的影像資料顯示於顯示部 9703。

此外，數位相框 9700 也可以採用以無線的方式收發資訊的結構。還可以採用以無線的方式提取所希望的影像資料並進行顯示的結構。

圖 28A 示出一種可攜式遊戲機，其由框體 9881 和框體 9891 的兩個框體構成，並且藉由連接部 9893 可以開閉地連接。框體 9881 安裝有顯示部 9882，並且框體 9891 安裝有顯示部 9883。另外，圖 28A 所示的可攜式遊戲機還具備揚聲器部 9884、記錄媒體插入部 9886、LED 燈 9890、輸入單元(操作鍵 9885、連接端子 9887、感測器 9888(包括測定如下因素的功能：力量、位移、位置、速度、加速度、角速度、轉動數、距離、光、液、磁、溫度、化學物質、聲音、時間、硬度、電場、電流、電壓、電力、輻射線、流量、濕度、傾斜度、振動、氣味或紅外線)以及麥克風 9889)等。當然，可攜式遊戲機的結構不局限於上述結構，只要採用至少具備本說明書所公開的半導體裝置的結構即可，且可以採用適當地設置有其他附屬設備的結構。圖 28A 所示的可攜式遊戲機具有如下功能：讀出儲存在記錄媒體中的程式或資料並將其顯示在顯示部上；以及

藉由與其他可攜式遊戲機進行無線通信而實現資訊共用。另外，圖 28A 所示的可攜式遊戲機所具有的功能不局限於此，而可以具有各種各樣的功能。

圖 28B 示出大型遊戲機的一種的自動賭博機 9900 的一個例子。在自動賭博機 9900 的框體 9901 中安裝有顯示部 9903。另外，自動賭博機 9900 還具備如起動杆或停止開關等的操作單元、投幣口、揚聲器等。當然，自動賭博機 9900 的結構不局限於此，只要採用至少具備本說明書所公開的半導體裝置的結構即可，且可以採用適當地設置有其他附屬設備的結構。因此，可以採用適當地設置有其他附屬設備的結構。

圖 29A 示出移動電話機 1000 的一個例子。移動電話機 1000 除了安裝在框體 1001 的顯示部 1002 之外還具備操作按鈕 1003、外部連接埠 1004、揚聲器 1005、麥克風 1006 等。

圖 29A 所示的移動電話機 1000 可以用手指等觸摸顯示部 1002 來輸入資訊。此外，可以用手指等觸摸顯示部 1002 來打電話或進行電子郵件的輸入等的操作。

顯示部 1002 的畫面主要有三個模式。第一是以影像的顯示為主的顯示模式，第二是以文字等的資訊的輸入為主的輸入模式，第三是顯示模式和輸入模式的兩個模式混合的顯示+輸入模式。

例如，在打電話或製作電子郵件的情況下，將顯示部 1002 設定為以文字輸入為主的文字輸入模式，並進行在畫

面上顯示的文字的輸入操作，即可。在此情況下，較佳的是，在顯示部 1002 的畫面的大部分中顯示鍵盤或號碼按鈕。

此外，藉由在移動電話機 1000 的內部設置具有陀螺儀和加速度感測器等檢測傾斜度的感測器的檢測裝置，來判斷移動電話機 1000 的方向(豎向還是橫向)，從而可以對顯示部 1002 的畫面顯示進行自動切換。

藉由觸摸顯示部 1002 或對框體 1001 的操作按鈕 1003 進行操作，切換畫面模式。還可以根據顯示在顯示部 1002 上的影像種類切換畫面模式。例如，當顯示在顯示部上的視頻信號為動態影像的資料時，將畫面模式切換成顯示模式，而當顯示在顯示部上的視頻信號為文字資料時，將畫面模式切換成輸入模式。

另外，當在輸入模式中藉由檢測出顯示部 1002 的光感測器所檢測的信號得知在一定期間中沒有顯示部 1002 的觸摸操作輸入時，也可以以將畫面模式從輸入模式切換成顯示模式的方式來進行控制。

還可以將顯示部 1002 用作影像感測器。例如，藉由用手掌或手指觸摸顯示部 1002，來拍攝掌紋、指紋等，而可以進行個人識別。此外，藉由在顯示部中使用發射近紅外光的背光燈或發射近紅外光的感測光源，也可以拍攝手指靜脈、手掌靜脈等。

圖 29B 也是移動電話機的一個例子。圖 29B 的移動電話機，在框體 9411 中具有包括顯示部 9412 以及操作鈕

9413 的顯示裝置 9410，在框體 9401 中具有包括操作鈕 9402、外部輸入端子 9403、麥克 9404、揚聲器 9405 以及來電話時發光的發光部 9406 的通信裝置 9400，具有顯示功能的顯示裝置 9410 與具有電話功能的通信裝置 9400 可以沿著箭頭所指的兩個方向分離。所以可以將顯示裝置 9410 和通信裝置 9400 的短軸互相連接，或將顯示裝置 9410 和通信裝置 9400 的長軸互相連接。另外，當僅需要顯示功能時，可以將通信裝置 9400 和顯示裝置 9410 分開而單獨使用顯示裝置 9410。通信裝置 9400 和顯示裝置 9410 可以藉由無線通信或有線通信來進行影像或輸入資訊的接收，並分別具有可進行充電的電池。

本說明書根據 2008 年 10 月 24 日在日本專利局受理的日本專利申請編號 2008-274515 而製作，所述申請內容包括在本說明書中。

【圖式簡單說明】

在附圖中：

圖 1A 至 1E 是說明半導體裝置的製造方法的圖；

圖 2A1 和 2A2 是說明半導體裝置的圖；

圖 3A 至 3E 是說明半導體裝置的製造方法的圖；

圖 4A1 和 4A2 是說明半導體裝置的圖；

圖 5A 至 5C 是說明半導體裝置的製造方法的圖；

圖 6A 至 6C 是說明半導體裝置的製造方法的圖；

圖 7 是說明半導體裝置的製造方法的圖；

圖 8 是說明半導體裝置的製造方法的圖；

圖 9 是說明半導體裝置的製造方法的圖；

圖 10 是說明半導體裝置的圖；

圖 11A1、11A2、11B1 和 11B2 是說明半導體裝置的圖；

圖 12 是說明半導體裝置的圖；

圖 13 是說明半導體裝置的圖；

圖 14A 和 14B 是說明半導體裝置的方塊圖的圖；

圖 15 是說明信號線驅動電路的結構的圖；

圖 16 是說明信號線驅動電路的工作的時序圖；

圖 17 是說明信號線驅動電路的工作的時序圖；

圖 18 是說明移位暫存器的結構的圖；

圖 19 是說明圖 18 所示的觸發器的連接結構的圖；

圖 20 是說明半導體裝置的像素等效電路的圖；

圖 21A 至 21C 是說明半導體裝置的圖；

圖 22A1、22A2 和 22B 是說明半導體裝置的圖；

圖 23 是說明半導體裝置的圖；

圖 24A 和 24B 是說明半導體裝置的圖；

圖 25A 和 25B 是說明電子紙的使用方式的例子的圖；

圖 26 是示出電子書的一例的外觀圖；

圖 27A 和 27B 是示出電視裝置及數位相框的例子的外觀圖；

圖 28A 和 28B 是示出遊戲機的例子的外觀圖；

圖 29A 和 29B 是示出移動電話機的一例的外觀圖；

圖 30A 至 30D 是說明多級灰度掩模的圖。

【主要元件符號說明】

59：多級灰度掩模

63：透光基板

64：遮光部

65：繞射光柵

66：透光度

67：遮光部

68：半透過部

69：透光度

100：基板

101：閘極電極層

102：閘極絕緣層

103：半導體層

105：氧化物半導體層

107：保護絕緣層

108：電容佈線

109：氧化物半導體膜

110：像素電極層

111：氧化物半導體膜

120：連接電極

121：端子

122：端子

123：端 子

124：端 子 層

125：接 觸 孔

126：接 觸 孔

127：接 觸 孔

128：透 明 導 電 膜

129：透 明 導 電 膜

131：掩 模

132：導 電 膜

133：掩 模

134：氧 化 物 半 導 體 層

135：氧 化 物 半 導 體 層

136：導 電 層

150：端 子

151：端 子

152：閘 極 絕 緣 層

153：連 接 電 極 層

154：保 護 絕 緣 膜

155：透 明 導 電 膜

156：電 極 層

170：薄 膜 電 晶 體

400：基 板

401：閘 極 電 極 層

402：閘 極 絕 緣 層

403：半 導 體 層

407：絕 緣 膜

420：薄 膜 電 晶 體

431：氧 化 物 半 導 體 膜

432：氧 化 物 半 導 體 膜

433：導 電 膜

434：掩 模

435：氧 化 物 半 導 體 層

436：氧 化 物 半 導 體 層

437：導 電 層

438：掩 模

450：基 板

451：閘 極 電 極 層

452：閘 極 絕 緣 層

453：半 導 體 層

457：絕 緣 膜

460：薄 膜 電 晶 體

481：氧 化 物 半 導 體 膜

483：導 電 膜

484：掩 模

485：氧 化 物 半 導 體 層

487：導 電 層

488：掩 模

581：薄 膜 電 晶 體

- 585：絕緣層
- 587：電極層
- 588：電極層
- 589：球形粒子
- 594：空洞
- 595：填充材料
- 59a：灰色調掩模
- 59b：半色調掩模
- 1000：移動電話機
- 1001：框體
- 1002：顯示部
- 1003：操作按鈕
- 1004：外部連接埠
- 1005：揚聲器
- 1006：麥克風
- 104a： n^+ 層
- 104b： n^+ 層
- 105a：源極電極層或汲極電極層
- 105b：源極電極層或汲極電極層
- 2600：TFT基板
- 2601：對置基板
- 2602：密封材料
- 2603：像素部
- 2604：顯示元件

2605：著色層

2606：偏光板

2607：偏光板

2608：佈線電路部

2609：軟性線路板

2610：冷陰極管

2611：反射板

2612：電路基板

2613：漫射片

2631：海報

2632：車內廣告

2700：電子書

2701：框體

2703：框體

2705：顯示部

2707：顯示部

2711：軸部

2721：電源

2723：操作鍵

2725：揚聲器

4001：基板

4002：像素部

4003：信號線驅動電路

4004：掃描線驅動電路

4005：密封材料

4006：基板

4008：液晶層

4010：薄膜電晶體

4011：薄膜電晶體

4013：液晶元件

4015：連接端子電極

4016：端子電極

4018：FPC

4019：各向異性導電膜

4020：絕緣層

4021：絕緣層

4030：像素電極層

4031：對置電極層

4032：絕緣層

404a： n^+ 層

405a：源極電極層或汲極電極層

405b：源極電極層或汲極電極層

4501：基板

4502：像素部

4505：密封材料

4506：基板

4507：填料

4509：薄膜電晶體

- 4510：薄膜電晶體
- 4511：發光元件
- 4512：電致發光層
- 4513：電極層
- 4515：連接端子電極
- 4516：端子電極
- 4517：電極層
- 4519：各向異性導電膜
- 4520：分隔壁
- 455a：源極電極層或汲極電極層
- 455b：源極電極層或汲極電極層
- 5300：基板
- 5301：像素部
- 5302：掃描線驅動電路
- 5303：信號線驅動電路
- 5400：基板
- 5401：像素部
- 5402：掃描線驅動電路
- 5403：信號線驅動電路
- 5404：掃描線驅動電路
- 5501：佈線
- 5502：佈線
- 5503：佈線
- 5504：佈線

5505：佈線

5506：佈線

5543：節點

5544：節點

5571：薄膜電晶體

5572：薄膜電晶體

5573：薄膜電晶體

5574：薄膜電晶體

5575：薄膜電晶體

5576：薄膜電晶體

5577：薄膜電晶體

5578：薄膜電晶體

5601：驅動器 IC

5602：開關群

5611：佈線

5612：佈線

5613：佈線

5621：佈線

5701：觸發器

5711：佈線

5712：佈線

5713：佈線

5714：佈線

5715：佈線

5716：佈線

5717：佈線

5721：信號

5821：信號

590a：黑色區

590b：白色區

6400：像素

6401：開關用電晶體

6402：驅動用電晶體

6403：電容元件

6404：發光元件

6405：信號線

6406：掃描線

6407：電源線

6408：共同電極

7001：TFT

7002：發光元件

7003：陰極

7004：發光層

7005：陽極

7011：驅動用TFT

7012：發光元件

7013：陰極

7014：發光層

7015：陽極

7016：遮罩膜

7017：導電膜

7021：驅動用 TFT

7022：發光元件

7023：陰極

7024：發光層

7025：陽極

7027：導電膜

9400：通信裝置

9401：框體

9402：操作鈕

9403：外部輸入端子

9404：麥克

9405：揚聲器

9406：發光部

9410：顯示裝置

9411：框體

9412：顯示部

9413：操作鈕

9600：電視裝置

9601：框體

9603：顯示部

9605：支架

9607：顯示部

9609：操作鍵

9610：遙控操作機

9700：數位相框

9701：框體

9703：顯示部

9881：框體

9882：顯示部

9883：顯示部

9884：揚聲器部

9885：入力手段

9886：記錄媒體插入部

9887：連接端子

9888：感測器

9889：麥克風

9890：LED燈

9891：框體

9893：連接部

9900：自動賭博機

9901：框體：

9903：顯示部

4503a：信號線驅動電路

4504a：掃描線驅動電路

4518a：FPC

5603a：薄膜電晶體

5603b：薄膜電晶體

5603c：薄膜電晶體

5703a：時序

5703b：時序

5703c：時序

5803a：時序

5803b：時序

5803c：時序

七、申請專利範圍：

1. 一種半導體裝置的製造方法，包括如下步驟：

在具有絕緣表面的基板上形成閘極電極層；

在該閘極電極層上層疊閘極絕緣層、氧化物半導體膜以及導電膜；

在該閘極絕緣層、該氧化物半導體膜以及該導電膜上形成第一掩模層；

進行使用該第一掩模層對該氧化物半導體膜以及該導電膜蝕刻的第一蝕刻，以形成氧化物半導體層以及導電層；

對該第一掩模層進行灰化以形成第二掩模層；以及

進行使用該第二掩模層對該氧化物半導體層以及該導電層蝕刻的第二蝕刻，以形成具有凹部的氧化物半導體層、源極電極層以及汲極電極層，

其中，該第一掩模層係使用曝光掩模來予以形成，

其中，該第一蝕刻以及該第二蝕刻係分別使用蝕刻氣體來予以乾蝕刻，

其中該具有該凹部的氧化物半導體層包括一具有其厚度較薄於與該源極電極層或該汲極電極層重疊的區域的厚度的區域，

其中該半導體裝置包含：

端子，由與該閘極電極層相同的材料形成且與該閘極電極層在相同的平面上；

連接電極層，由與該源極電極層相同的材料形成

且與該源極電極層在相同的平面上；以及

透明導電層，在該連接電極層上且與該連接電極層接觸並且在該端子上且與該端子接觸，

其中，該氧化物半導體層的第三部分延伸超越該連接電極層的外側邊緣，

其中，該氧化物半導體層的該第三部分比該氧化物半導體層的第四部分薄，該第四部分在該連接電極層之下，並且

其中，該透明導電層包含因該連接電極層的該外側邊緣造成的第一階，因該氧化物半導體層的該第三部分的邊緣造成的第二階，以及因該閘極絕緣層中的開口造成的第三階。

2.一種半導體裝置的製造方法，包括如下步驟：

在具有絕緣表面的基板上形成閘極電極層；

在該閘極電極層上層疊閘極絕緣層、第一氧化物半導體膜、第二氧化物半導體膜以及導電膜；

在該閘極絕緣層、該第一氧化物半導體膜、該第二氧化物半導體膜以及該導電膜上形成第一掩模層；

使用該第一掩模層對該第一氧化物半導體膜、該第二氧化物半導體膜以及該導電膜進行第一蝕刻，以形成第一氧化物半導體層、第二氧化物半導體層以及導電層；

對該第一掩模層進行灰化以形成第二掩模層；以及

使用該第二掩模層對該第一氧化物半導體層、該第二氧化物半導體層以及該導電層進行第二蝕刻，以形成具有

凹部的氧化物半導體層、源極區、汲極區、源極電極層以及汲極電極層，

其中，該第一掩模層係使用曝光掩模來予以形成，

其中，該第一蝕刻以及該第二蝕刻係分別使用蝕刻氣體來予以乾蝕刻，

其中該具有該凹部的氧化物半導體層包括一具有其厚度較薄於與該源極區或該汲極區重疊的區域的厚度的區域，

其中該半導體裝置包含：

端子，由與該閘極電極層相同的材料形成且與該閘極電極層在相同的平面上；

連接電極層，由與該源極電極層相同的材料形成且與該源極電極層在相同的平面上；以及

透明導電層，在該連接電極層上且與該連接電極層接觸並且在該端子上且與該端子接觸，

其中，該氧化物半導體層的第三部分延伸超越該連接電極層的外側邊緣，

其中，該氧化物半導體層的該第三部分比該氧化物半導體層的第四部分薄，該第四部分在該連接電極層之下，並且

其中，該透明導電層包含因該連接電極層的該外側邊緣造成的第一階，因該氧化物半導體層的該第三部分的邊緣造成的第二階，以及因該閘極絕緣層中的開口造成的第三階。

3.如申請專利範圍第 2 項的半導體裝置的製造方法，其中該第一氧化物半導體膜的導電率低於該第二氧化物半導體膜的導電率。

4.一種半導體裝置的製造方法，包括如下步驟：

在具有絕緣表面的基板上形成閘極電極層；

在該閘極電極層上層疊閘極絕緣層、氧化物半導體膜以及導電膜；

在該閘極絕緣層、該氧化物半導體膜以及該導電膜上形成第一掩模層；

進行使用該第一掩模層對該氧化物半導體膜以及該導電膜蝕刻的第一蝕刻，以形成氧化物半導體層以及導電層；

對該第一掩模層進行灰化以形成第二掩模層；以及

進行使用該第二掩模層對該氧化物半導體層以及該導電層蝕刻的第二蝕刻，以形成具有凹部的氧化物半導體層、源極電極層以及汲極電極層，

對具有該凹部的該氧化物半導體層進行氧自由基處理，

其中，該第一掩模層係使用曝光掩模來予以形成，

其中，該第一蝕刻以及該第二蝕刻係分別使用蝕刻氣體來予以乾蝕刻，

其中，該具有該凹部的氧化物半導體層包括一具有其厚度較薄於與該源極電極層或該汲極電極層重疊的區域的厚度的區域，

其中該半導體裝置包含：

端子，由與該閘極電極層相同的材料形成且與該

閘極電極層在相同的平面上；

連接電極層，由與該源極電極層相同的材料形成且與該源極電極層在相同的平面上；以及

透明導電層，在該連接電極層上且與該連接電極層接觸並且在該端子上且與該端子接觸，

其中，該氧化物半導體層的第三部分延伸超越該連接電極層的外側邊緣，

其中，該氧化物半導體層的該第三部分比該氧化物半導體層的第四部分薄，該第四部分在該連接電極層之下，並且

其中，該透明導電層包含因該連接電極層的該外側邊緣造成的第一階，因該氧化物半導體層的該第三部分的邊緣造成的第二階，以及因該閘極絕緣層中的開口造成的第三階。

5.如申請專利範圍第 4 項的半導體裝置的製造方法，其中該氧自由基處理係在 O_2 或 N_2O 的氣氛下進行。

6.如申請專利範圍第 4 項的半導體裝置的製造方法，其中該氧自由基處理係在不對該基板側施加偏壓的情況下進行。

7.如申請專利範圍第 1、2 或 4 項的半導體裝置的製造方法，

其中，該氧化物半導體層的第一部分延伸超出該源極電極層及該汲極電極層的外側邊緣，並且

其中，該氧化物半導體層的該等第一部分係較薄於該

該氧化物半導體層的第二部分，該等第二部分係在該源極電極層及該汲極電極層之下。

8.如申請專利範圍第 1、2 或 4 項的半導體裝置的製造方法，其中該蝕刻氣體含有氯。

9.如申請專利範圍第 8 項的半導體裝置的製造方法，其中該蝕刻氣體還含有氧。

10.如申請專利範圍第 1 或 4 項的半導體裝置的製造方法，其中該氧化物半導體膜含有銦、鎵及鋅。

11.如申請專利範圍第 2 項的半導體裝置的製造方法，其中該第一氧化物半導體膜以及該第二氧化物半導體膜含有銦、鎵及鋅。

12.如申請專利範圍第 1、2 或 4 項的半導體裝置的製造方法，其中該曝光掩模使用半色調掩模或灰色調掩模。

13.一種半導體裝置，包括：

閘極電極層，在基板之上；

閘極絕緣層，在該閘極電極層之上；

氧化物半導體層，在夾有該閘極絕緣層的該閘極電極層之上，該氧化物半導體層包含銦；

源極電極層，在該氧化物半導體層之上；以及

汲極電極層，在該氧化物半導體層之上，

端子，由與該閘極電極層相同的材料形成且與該閘極電極層在相同的平面上；

連接電極層，由與該源極電極層相同的材料形成且與該源極電極層在相同的平面上；以及

透明導電層，在該連接電極層上且與該連接電極層接觸並且在該端子上且與該端子接觸，

其中，在該源極電極層與該汲極電極層之間的該氧化物半導體層的上表面被蝕刻，使得該氧化物半導體層的一部分較薄於在該源極電極層及該汲極電極層之下的該氧化物半導體層的部分，

其中，該氧化物半導體層的第一部分延伸超出該源極電極層及該汲極電極層的外側邊緣，

其中，該氧化物半導體層的該等第一部分係較薄於該該氧化物半導體層的第二部分，該等第二部分係在該源極電極層及該汲極電極層之下，

其中，該氧化物半導體層的第三部分延伸超越該連接電極層的外側邊緣，

其中，該氧化物半導體層的該第三部分比該氧化物半導體層的第四部分薄，該第四部分在該連接電極層之下，並且

其中，該透明導電層包含因該連接電極層的該外側邊緣造成的第一階，因該氧化物半導體層的該第三部分的邊緣造成的第二階，以及因該閘極絕緣層中的開口造成的第三階。

14. 一種半導體裝置，包括：

閘極電極層，在基板之上；

閘極絕緣層，在該閘極電極層之上；

氧化物半導體層，在夾有該閘極絕緣層的該閘極電極

層之上，該氧化物半導體層包含銦；

源極電極層，在該氧化物半導體層之上；以及

汲極電極層，在該氧化物半導體層之上，

氧化矽膜，在該源極電極層及該汲極電極層之上，

氮化矽膜，在該氧化矽膜之上，

樹脂層，在該氮化矽膜之上，

像素電極層，在該樹脂層之上，

端子，由與該閘極電極層相同的材料形成且與該閘極電極層在相同的平面上；

連接電極層，由與該源極電極層相同的材料形成且與該源極電極層在相同的平面上；以及

透明導電層，在該連接電極層上且與該連接電極層接觸並且在該端子上且與該端子接觸，

其中，在該源極電極層與該汲極電極層之間的該氧化物半導體層的上表面被蝕刻，使得該氧化物半導體層的一部分較薄於在該源極電極層及該汲極電極層之下的該氧化物半導體層的部分，

其中，該氧化物半導體層的第一部分延伸超出該源極電極層及該汲極電極層的外側邊緣，

其中，該氧化物半導體層的該等第一部分係較薄於該該氧化物半導體層的第二部分，該等第二部分係在該源極電極層及該汲極電極層之下，

其中，該氧化物半導體層的第三部分延伸超越該連接電極層的外側邊緣，

其中，該氧化物半導體層的該第三部分比該氧化物半導體層的第四部分薄，該第四部分在該連接電極層之下，並且

其中，該透明導電層包含因該連接電極層的該外側邊緣造成的第一階，因該氧化物半導體層的該第三部分的邊緣造成的第二階，以及因該閘極絕緣層中的開口造成的第三階。

15.一種半導體裝置，包括：

閘極電極層，在基板之上；

閘極絕緣層，在該閘極電極層之上；

氧化物半導體層，在夾有該閘極絕緣層的該閘極電極層之上，該氧化物半導體層包含銮；

源極電極層，在該氧化物半導體層之上；以及

汲極電極層，在該氧化物半導體層之上，

氧化矽膜，在該源極電極層及該汲極電極層之上，

氮化矽膜，在該氧化矽膜之上，

樹脂層，在該氮化矽膜之上，

像素電極層，在該樹脂層之上，

端子，由與該閘極電極層相同的材料形成且與該閘極電極層在相同的平面上；

連接電極層，由與該源極電極層相同的材料形成且與該源極電極層在相同的平面上；以及

透明導電層，在該連接電極層上且與該連接電極層接觸並且在該端子上且與該端子接觸，

其中，在該源極電極層與該汲極電極層之間的該氧化物半導體層的上表面被蝕刻，使得該氧化物半導體層的一部分較薄於在該源極電極層及該汲極電極層之下的該氧化物半導體層的部分，

其中，該氧化物半導體層的第一部分延伸超出該源極電極層及該汲極電極層的外側邊緣，

其中，該氧化物半導體層的該等第一部分係較薄於該該氧化物半導體層的第二部分，該等第二部分係在該源極電極層及該汲極電極層之下，

其中，該氧化物半導體層的第三部分延伸超越該連接電極層的外側邊緣，

其中，該氧化物半導體層的該第三部分比該氧化物半導體層的第四部分薄，該第四部分在該連接電極層之下，

其中，該透明導電層包含因該連接電極層的該外側邊緣造成的第一階，因該氧化物半導體層的該第三部分的邊緣造成的第二階，以及因該閘極絕緣層中的開口造成的第三階，並且

其中，該氧化矽膜與該閘極絕緣層相接觸。

16.如申請專利範圍第 13、14 或 15 項的半導體裝置，其中該氧化物半導體膜還包括銻及鋅。

17.如申請專利範圍第 13、14 或 15 項的半導體裝置，其中該氧化物半導體層係與該源極電極層及該汲極電極層直接接觸。

18.如申請專利範圍第 13、14 或 15 項的半導體裝

置，其中該氧化物半導體層具有非晶結構。

19.一種液晶顯示裝置，包含如申請專利範圍第 14 或 15 項之半導體裝置。

20.一種電致發光顯示裝置，包含如申請專利範圍第 14 或 15 項之半導體裝置。

21.如申請專利範圍第 14 或 15 項之半導體裝置，其中該樹脂層包含選自由聚醯亞胺、丙烯酸樹脂、苯並環丁烯、聚醯胺及環氧樹脂所組成的群組的至少一者。

圖 1A

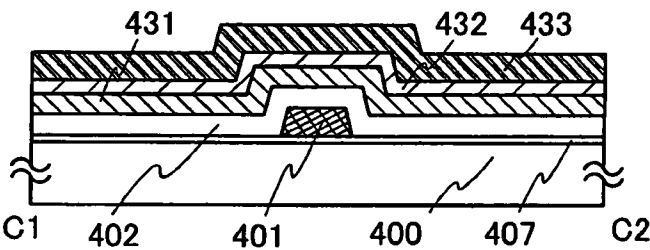


圖 1B

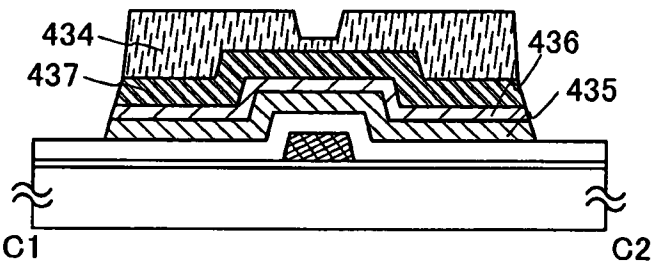


圖 1C

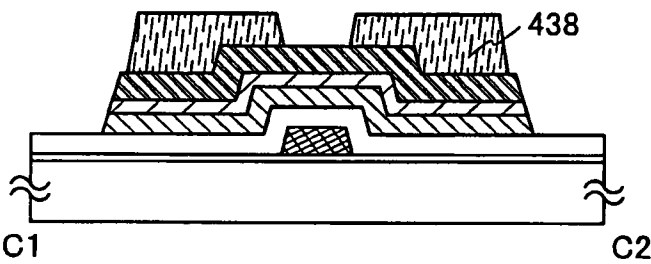


圖 1D

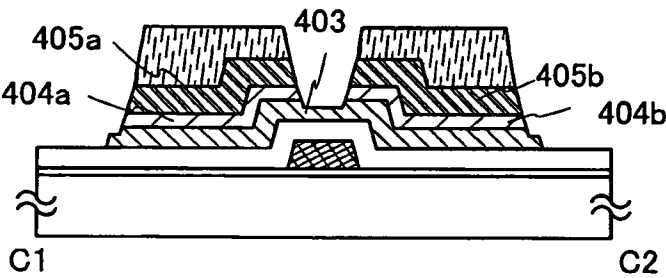


圖 1E

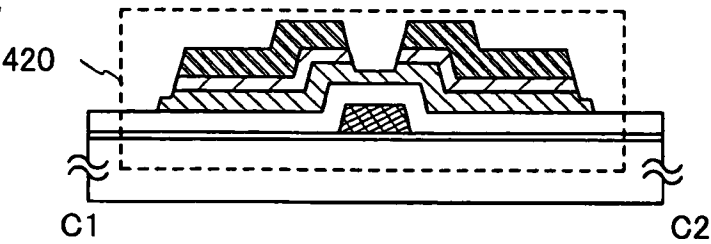


圖 2A1

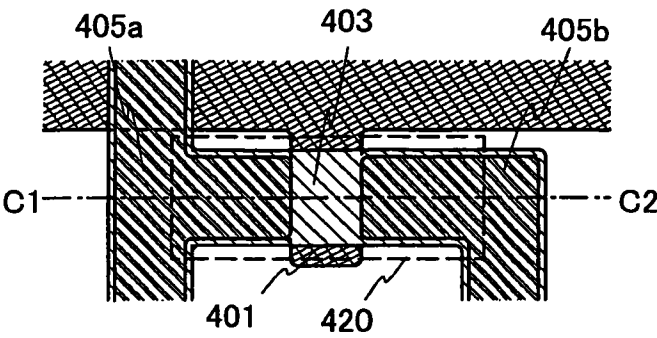


圖 2A2

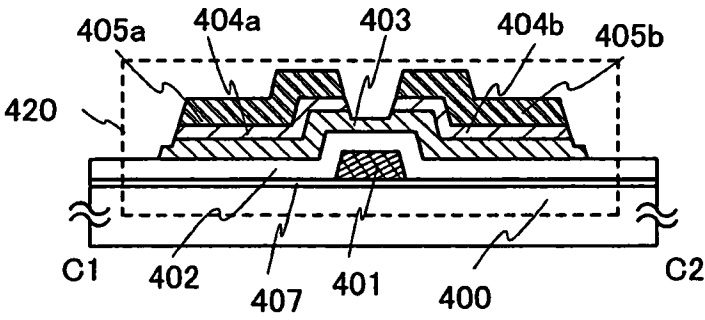


圖 3A

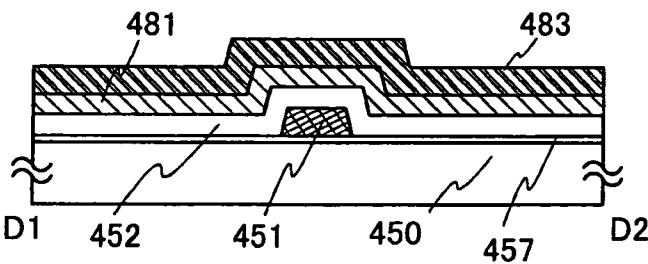


圖 3B

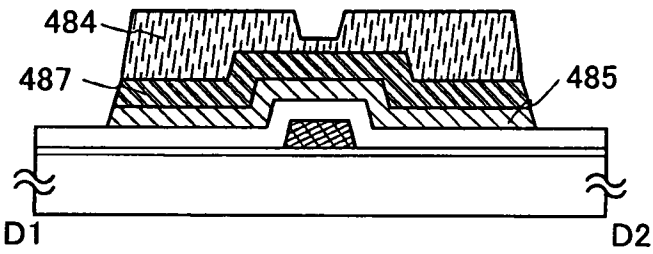


圖 3C

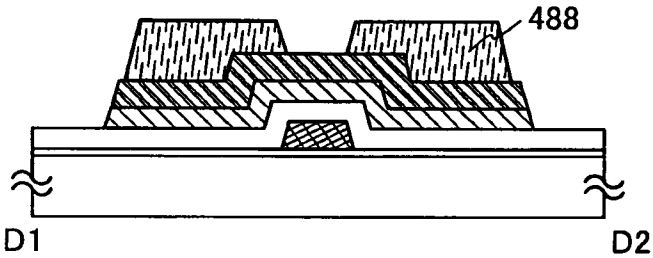


圖 3D

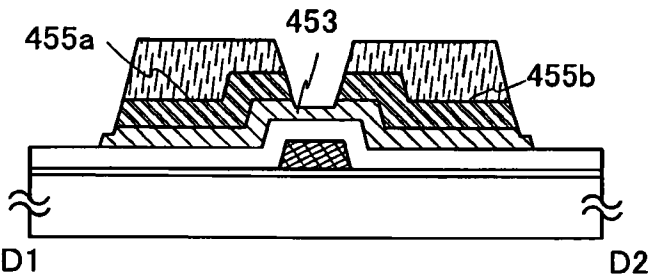


圖 3E

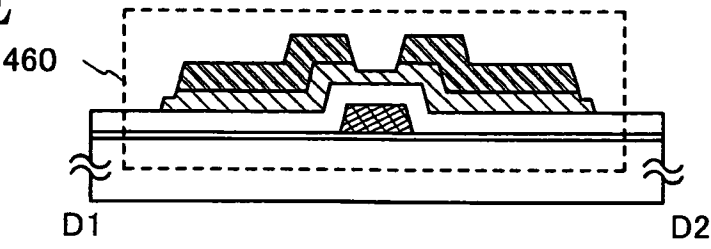


圖 4A1

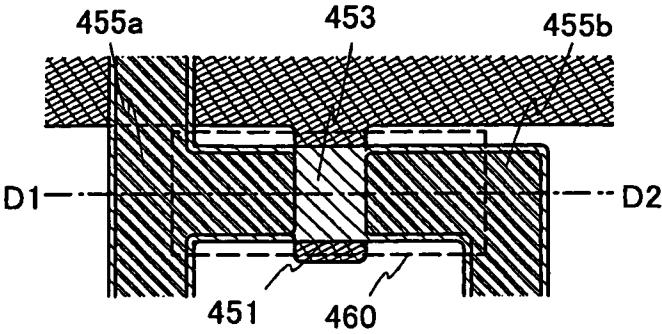
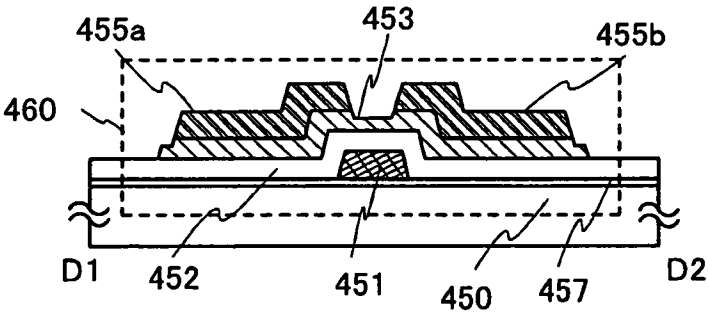


圖 4A2



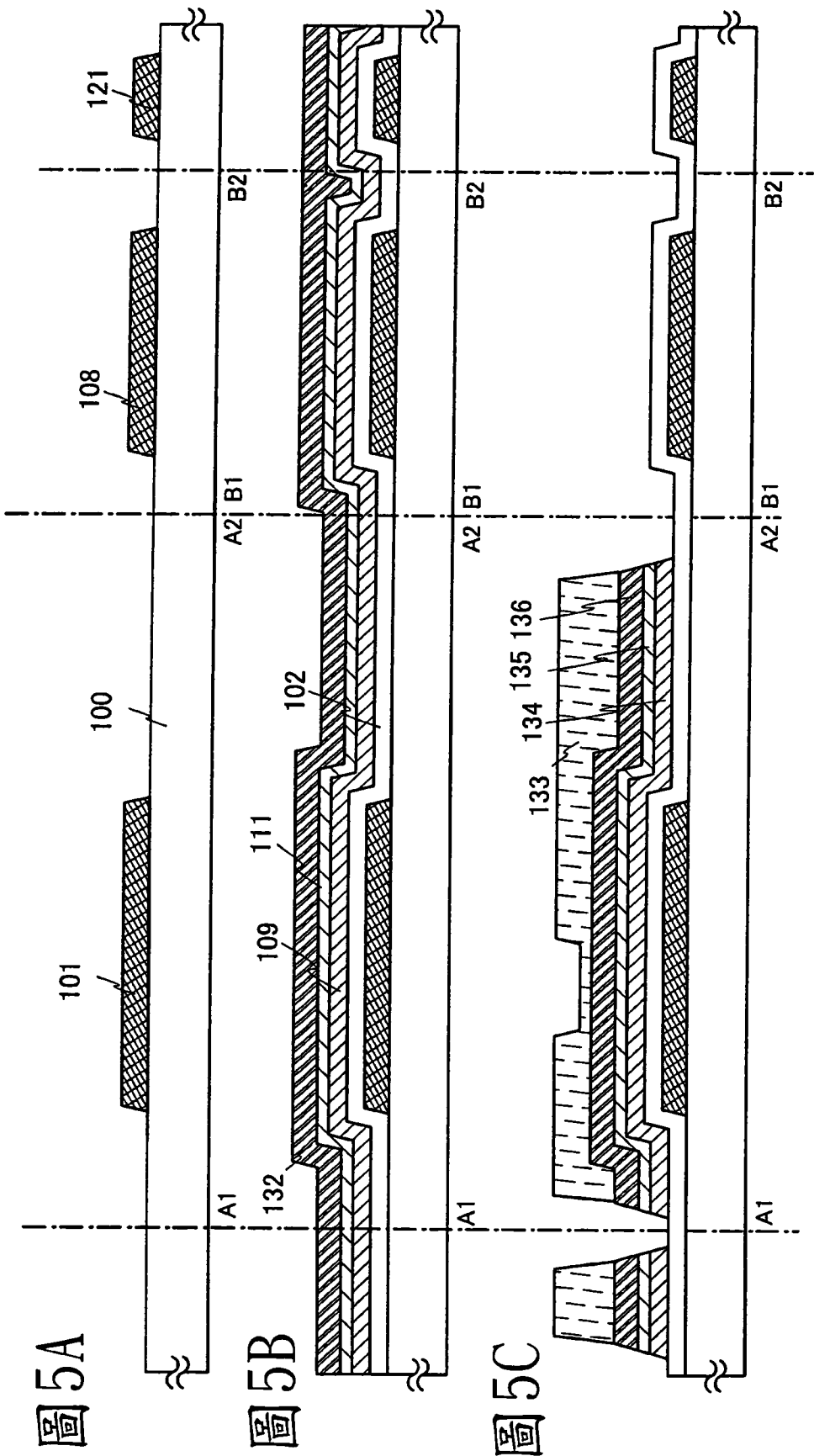


圖6A

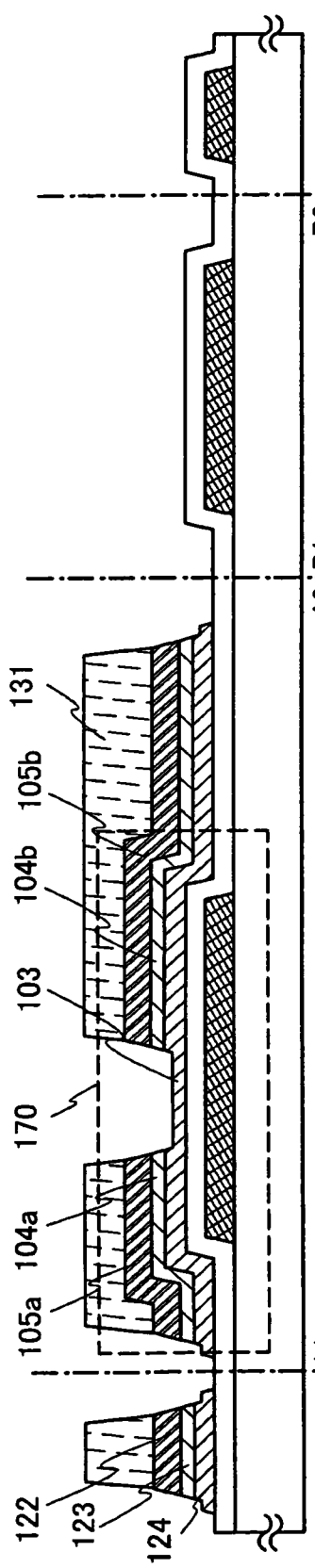


圖6B

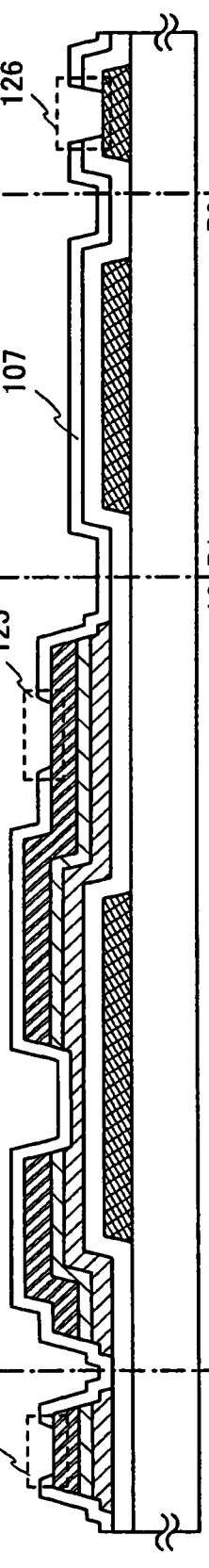


圖6C

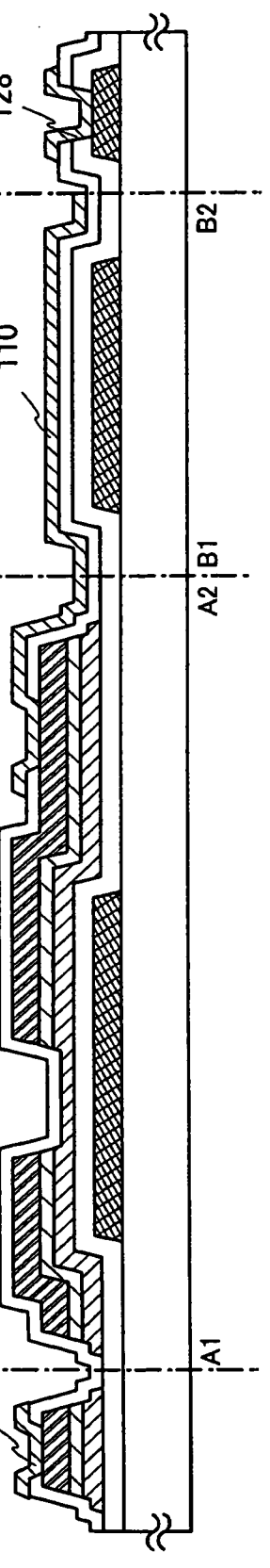


圖 7

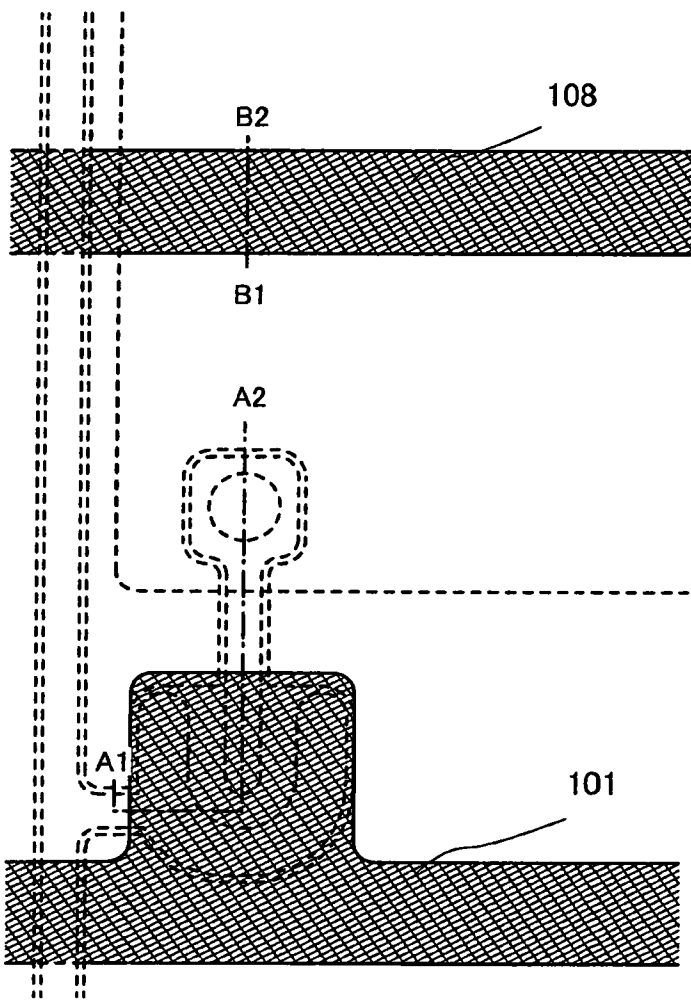


圖 8

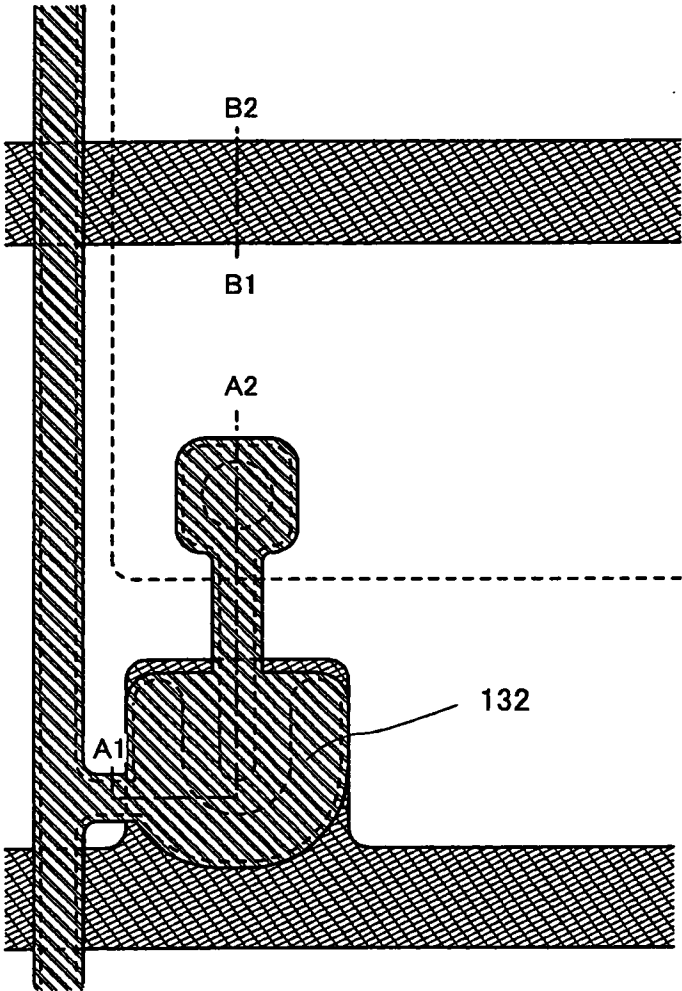


圖9

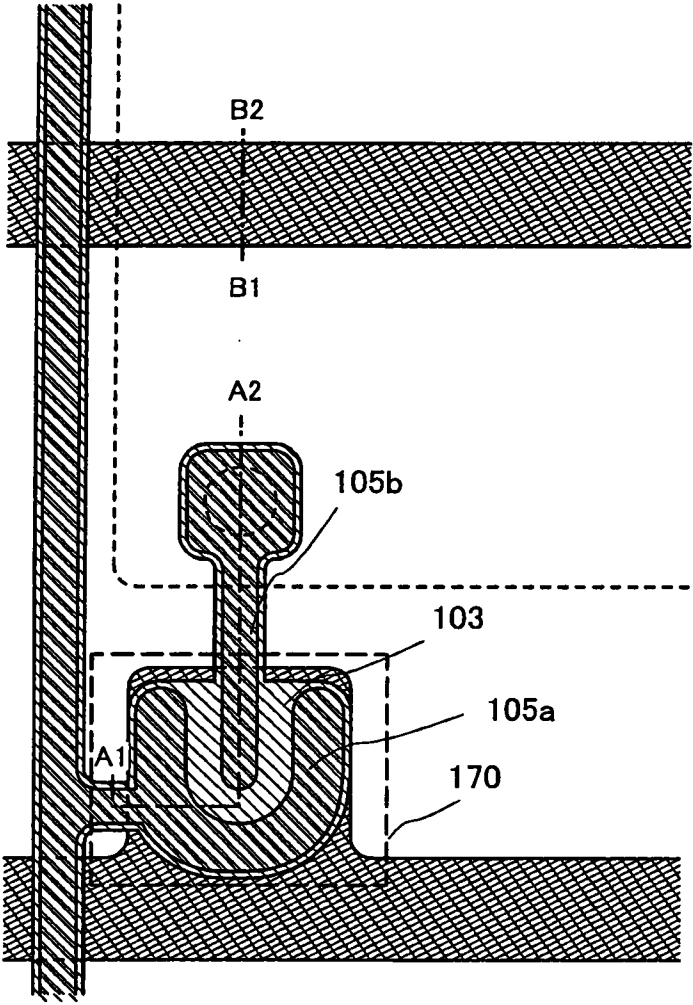


圖 10

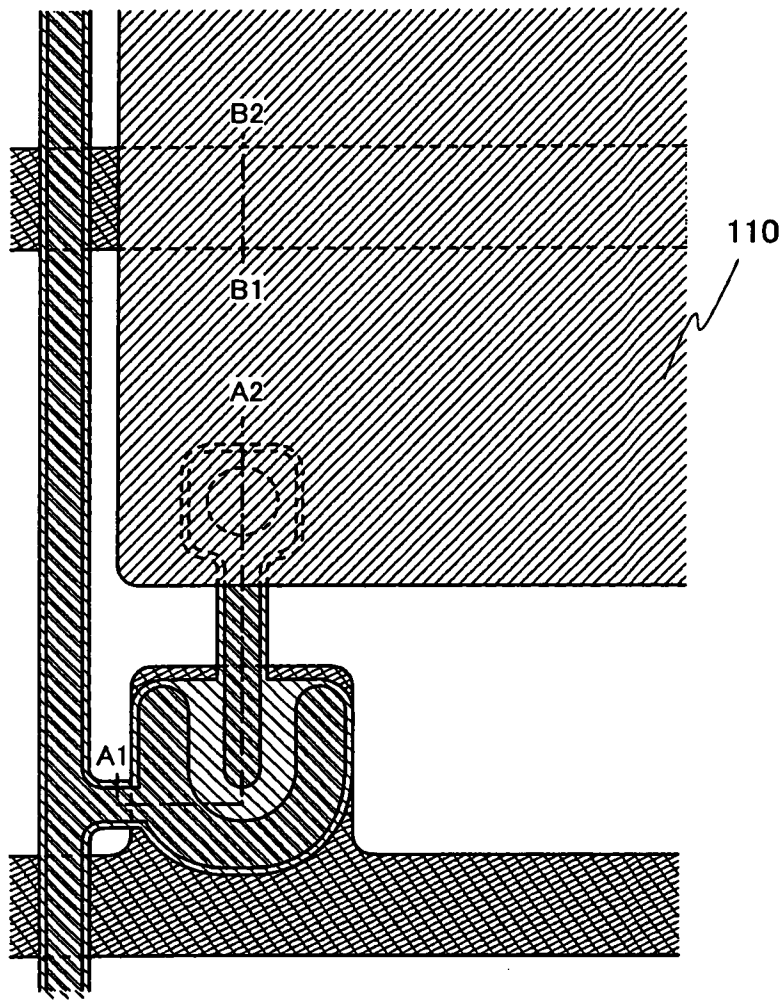


圖11A1

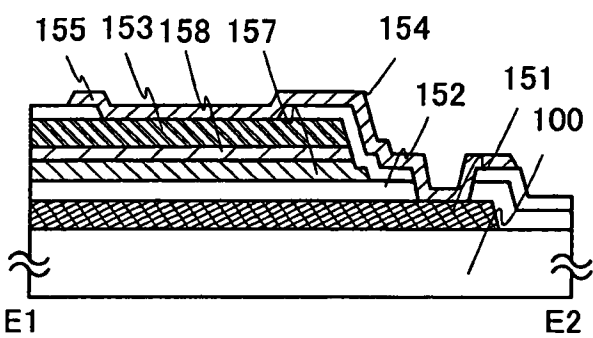


圖11A2

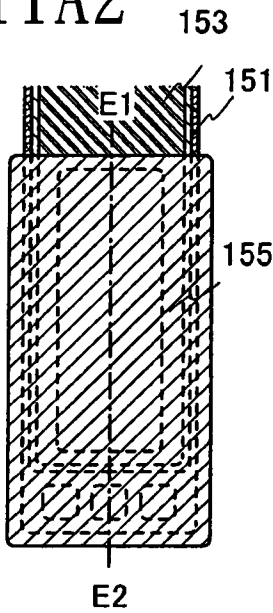


圖11B1

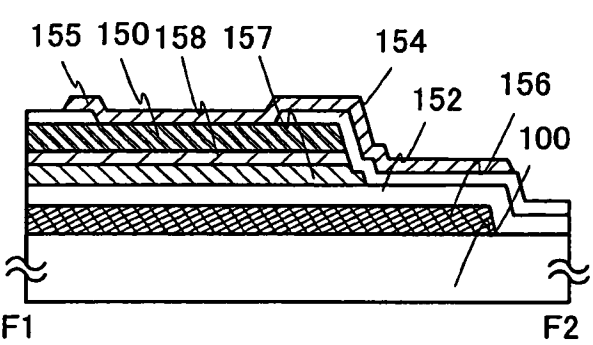


圖11B2

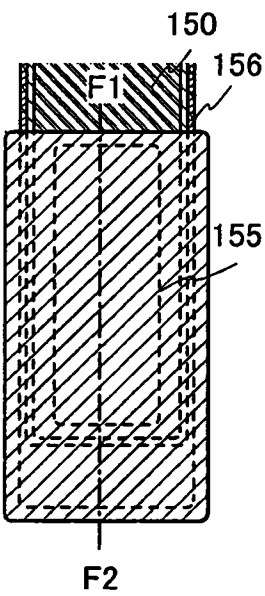


圖12

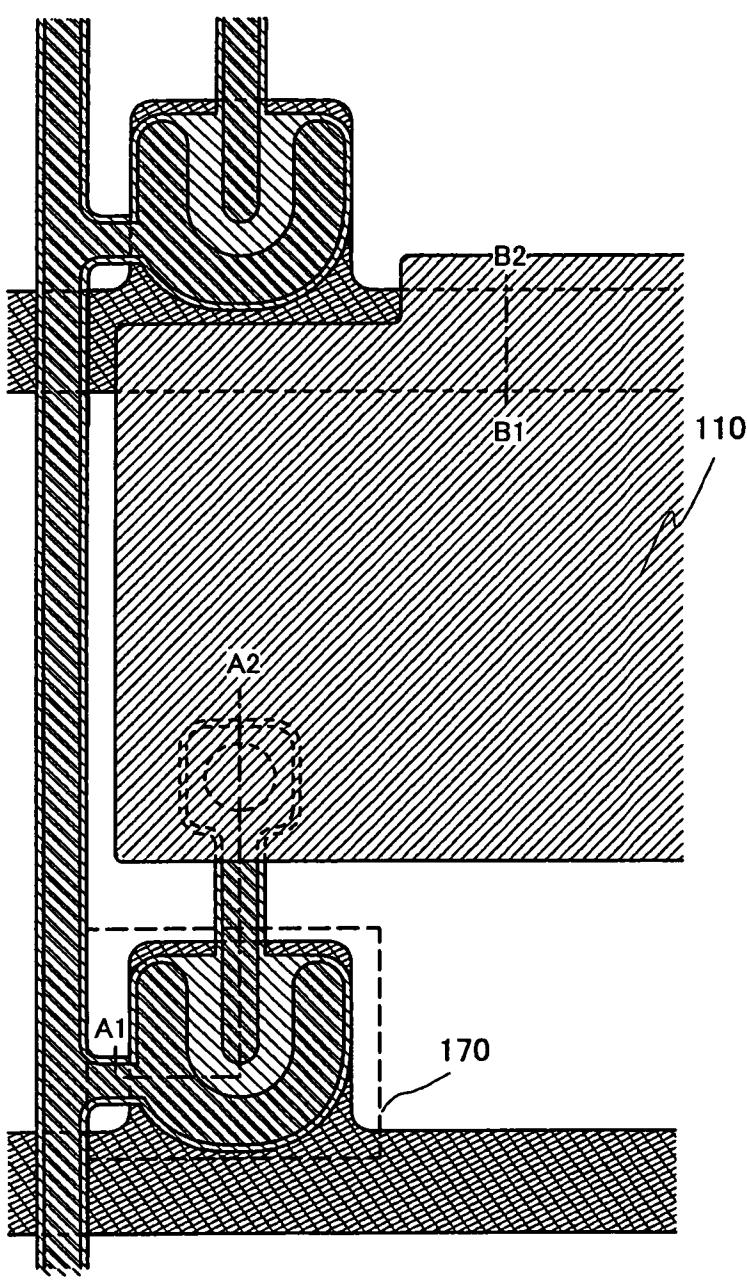


圖13

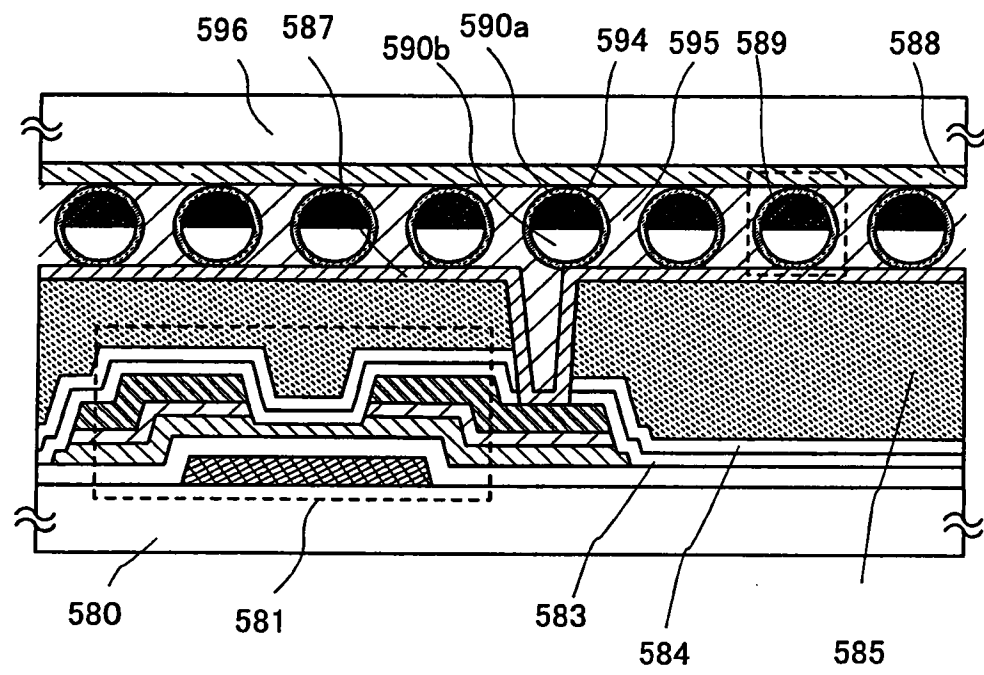


圖 14A

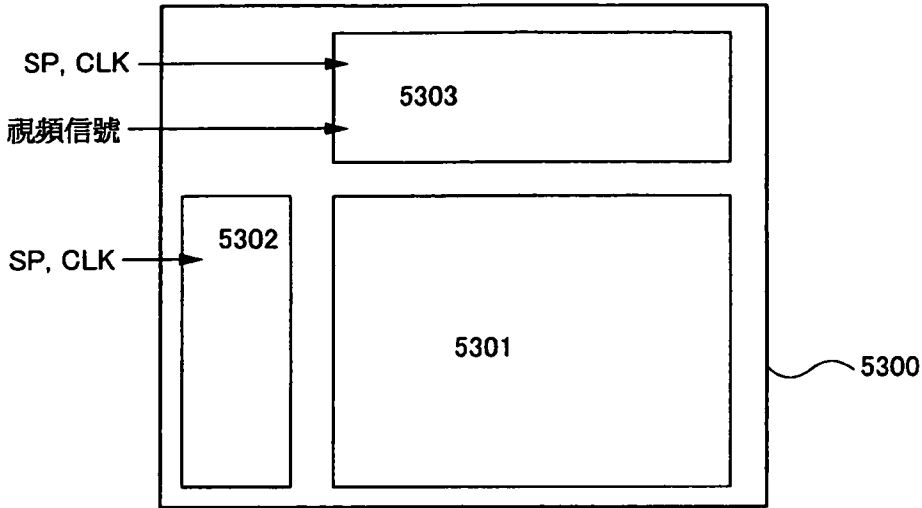


圖 14B

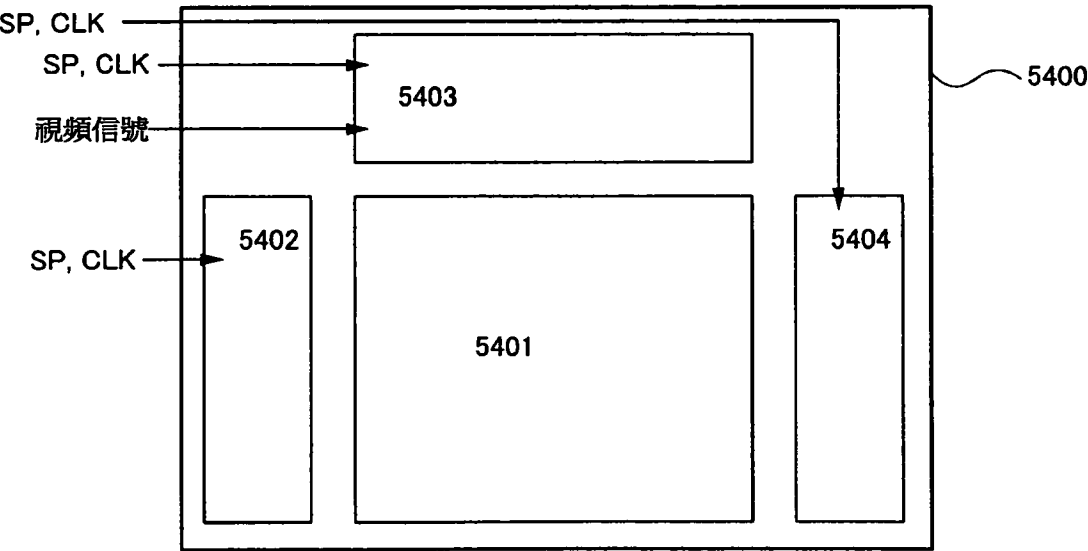


圖15

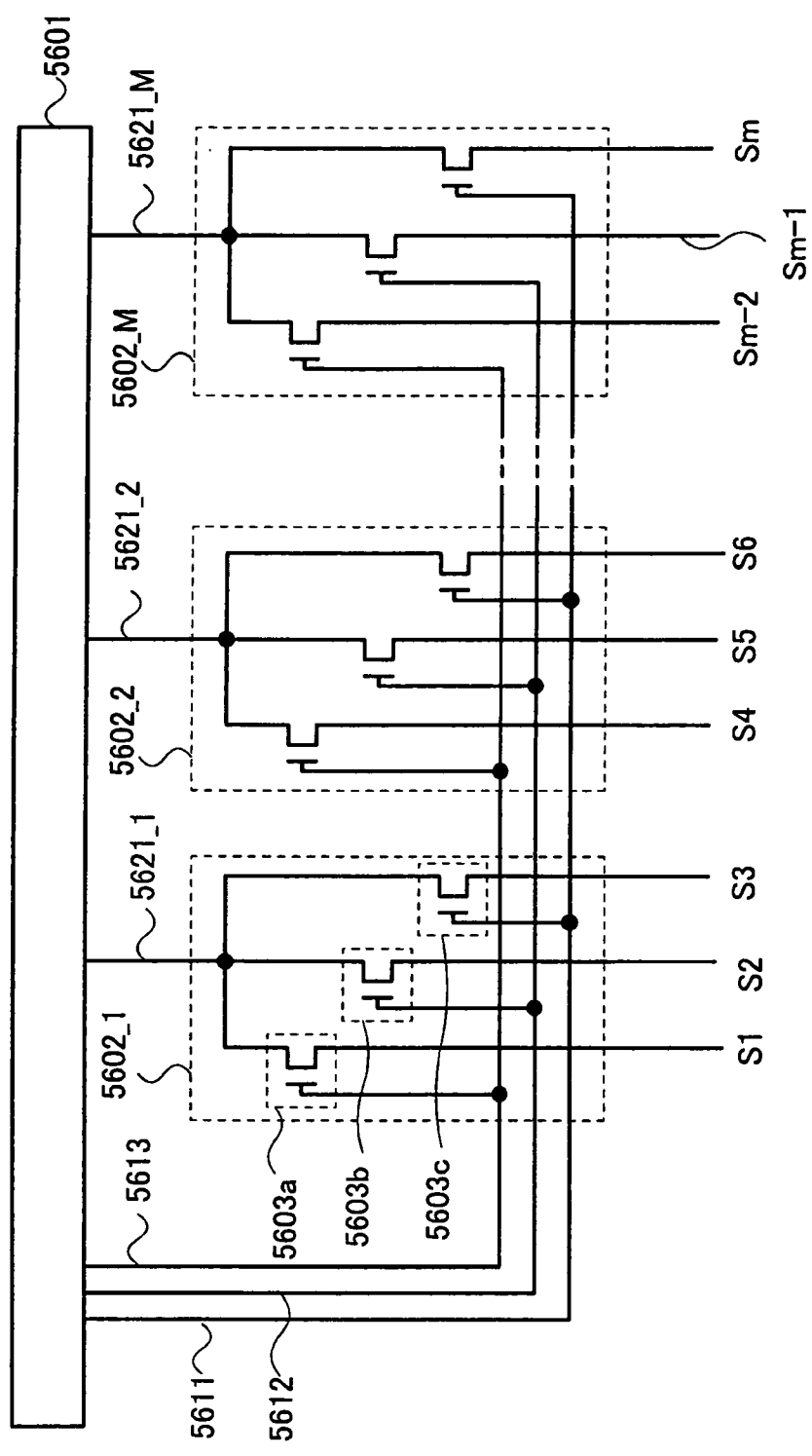


圖16

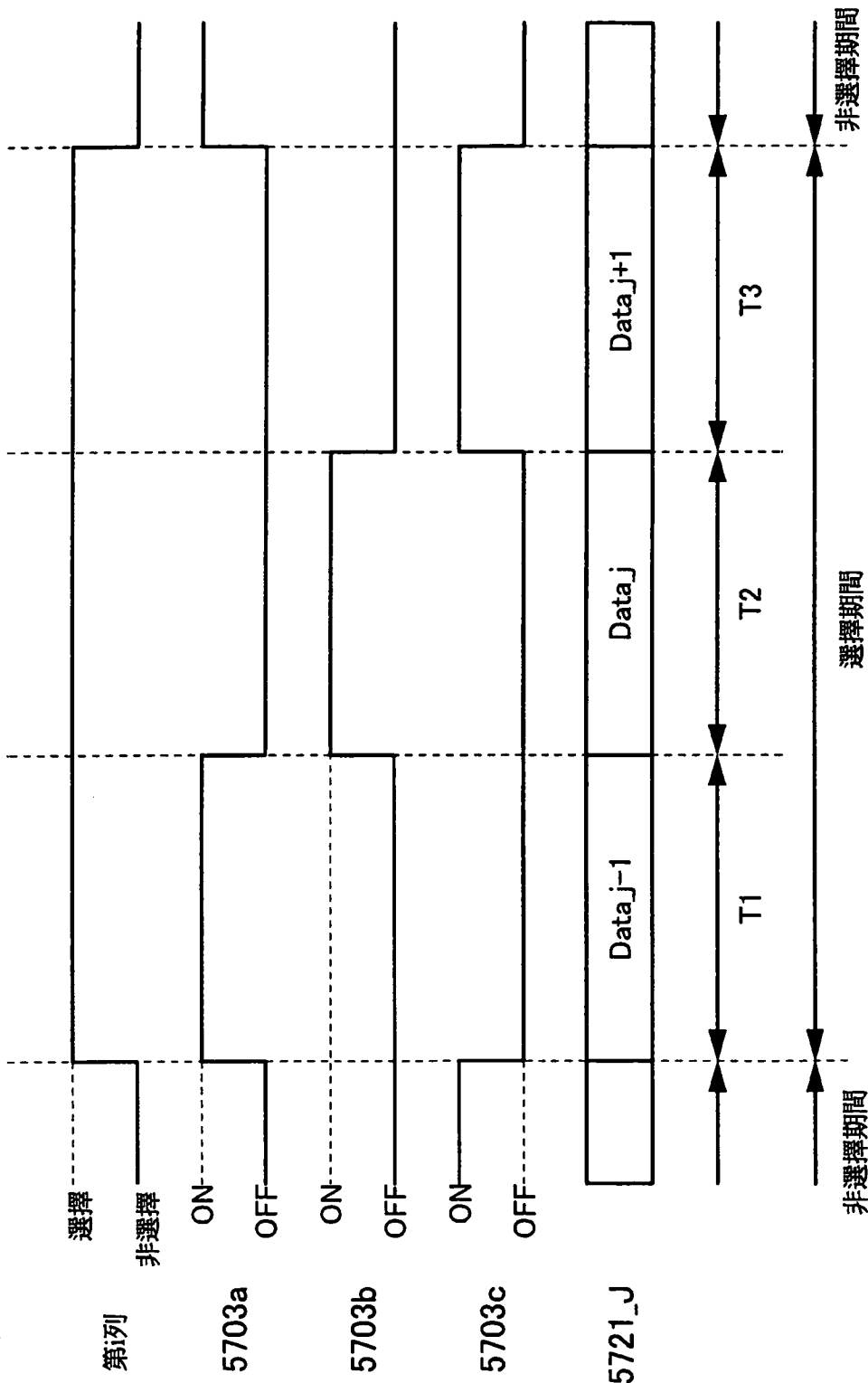


圖17

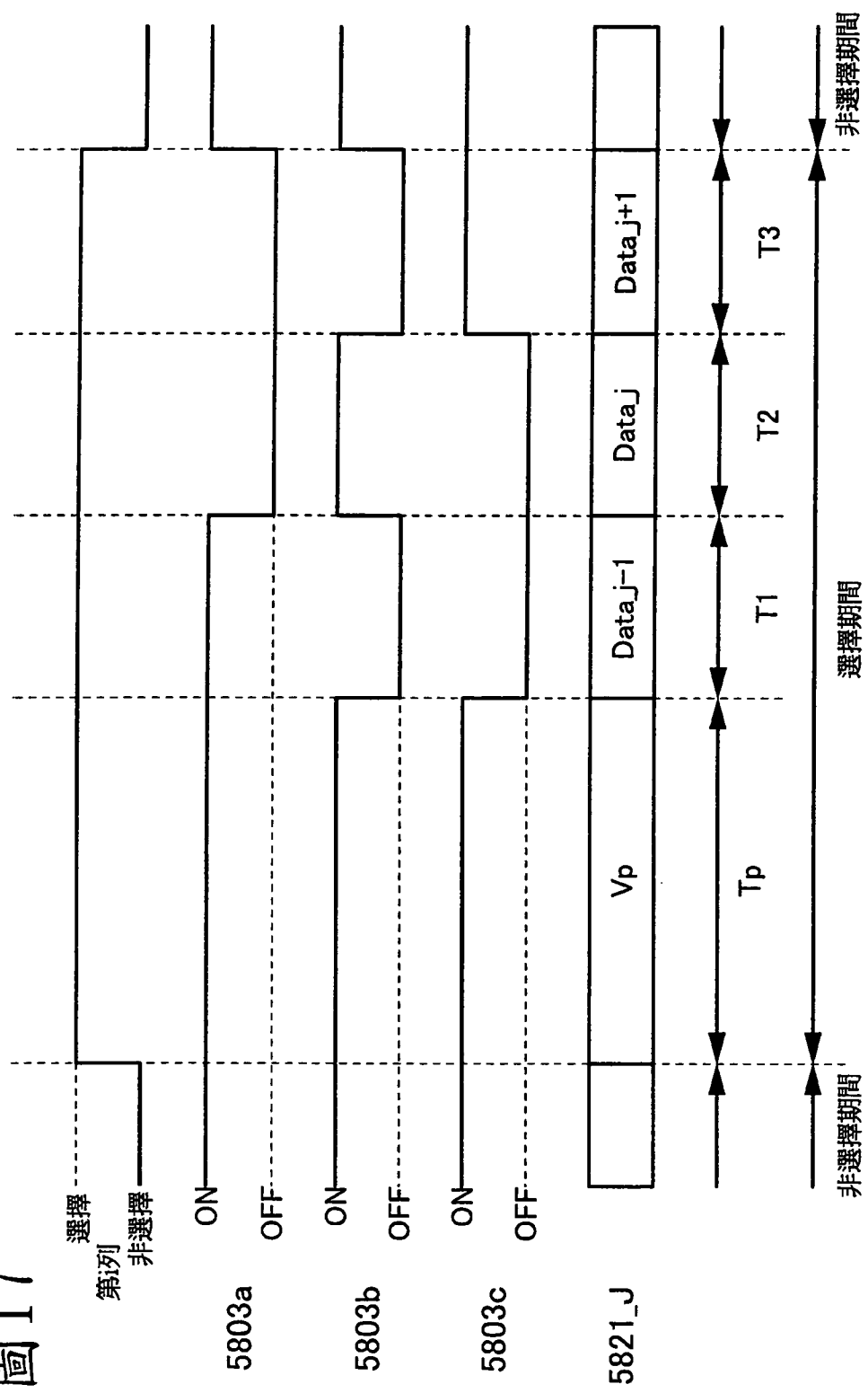


圖18

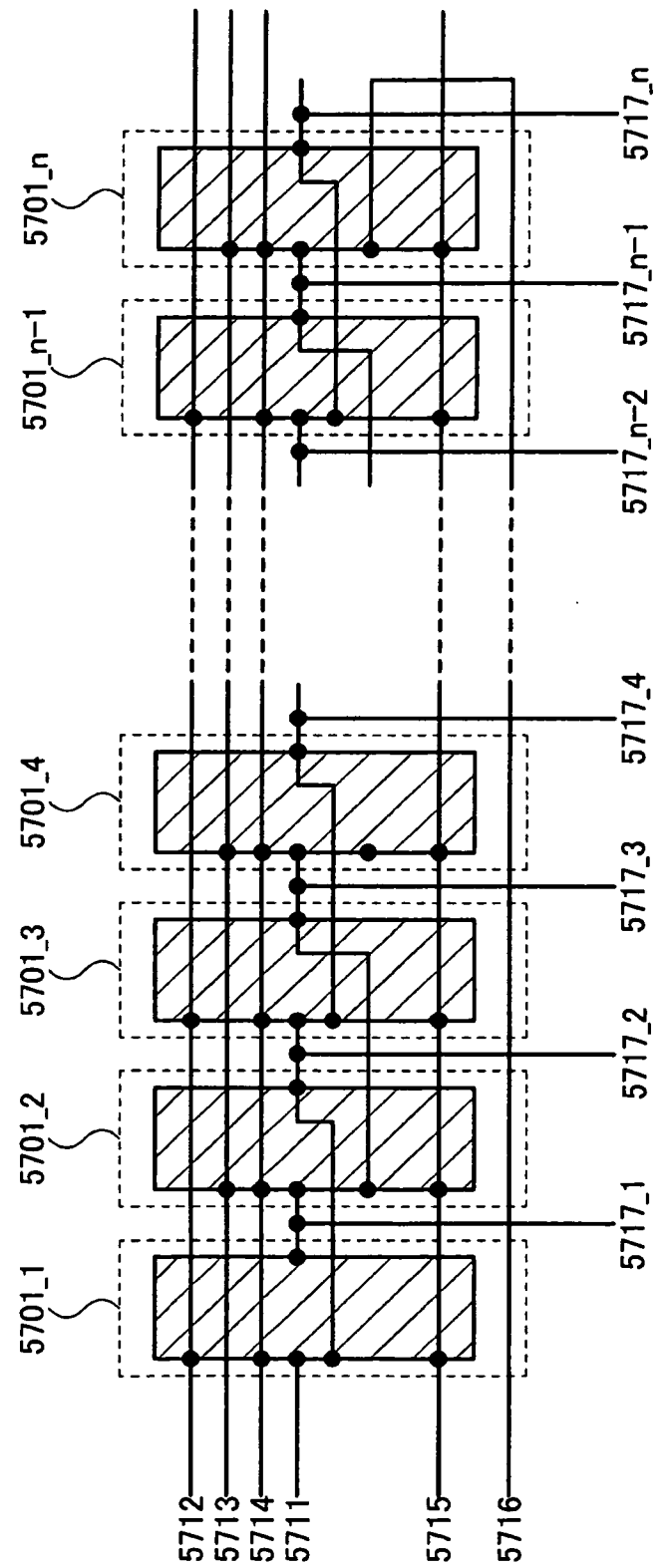


圖 20

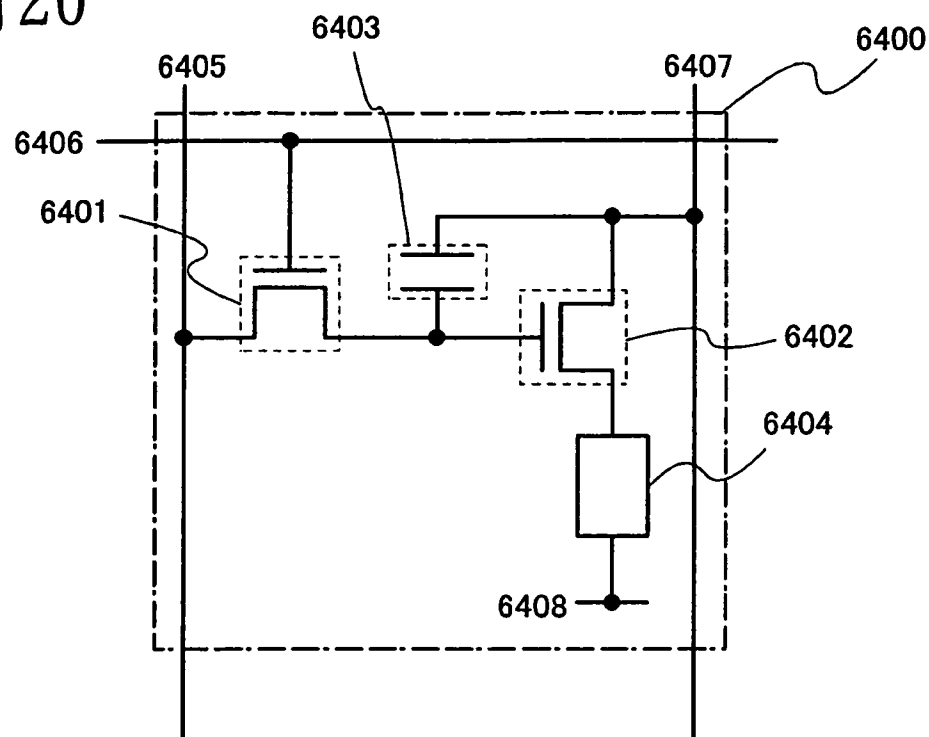


圖 21A

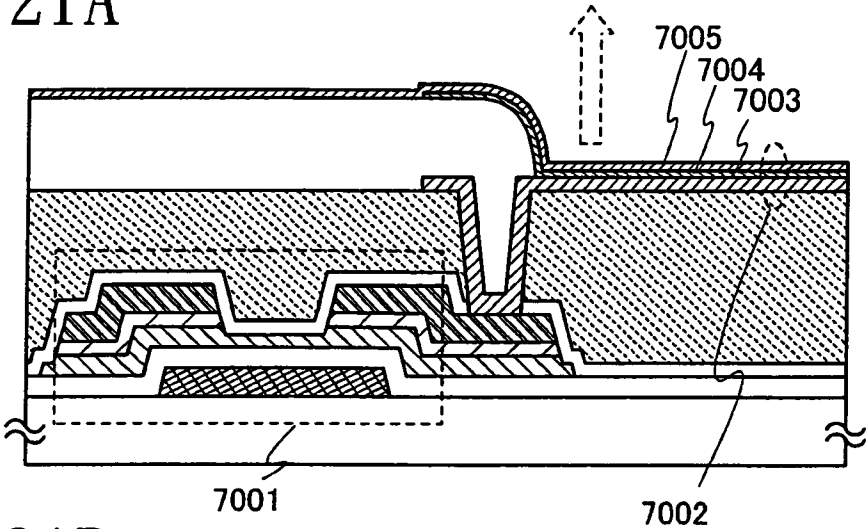


圖 21B

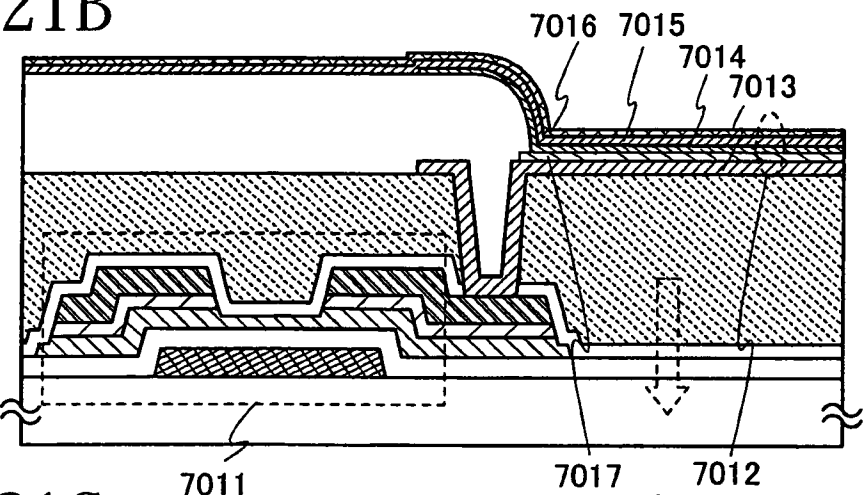


圖 21C

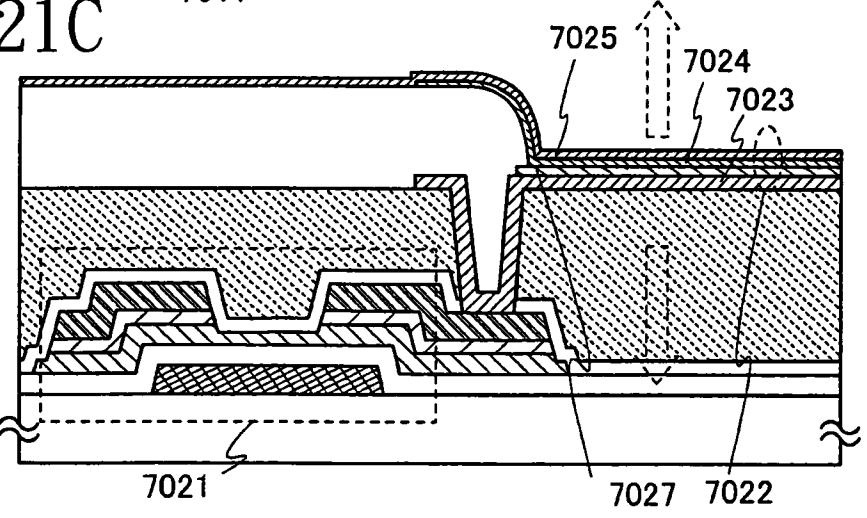


圖22A1

圖22A2

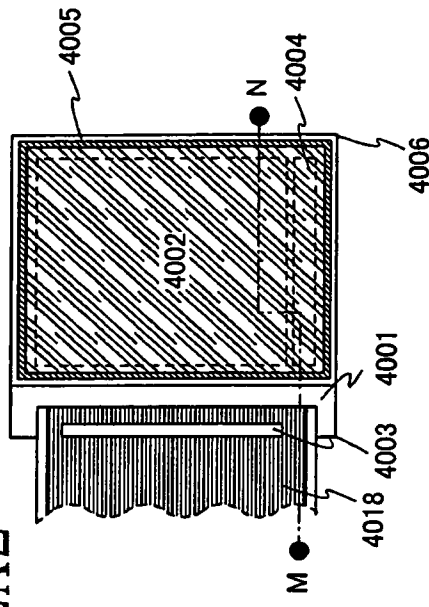
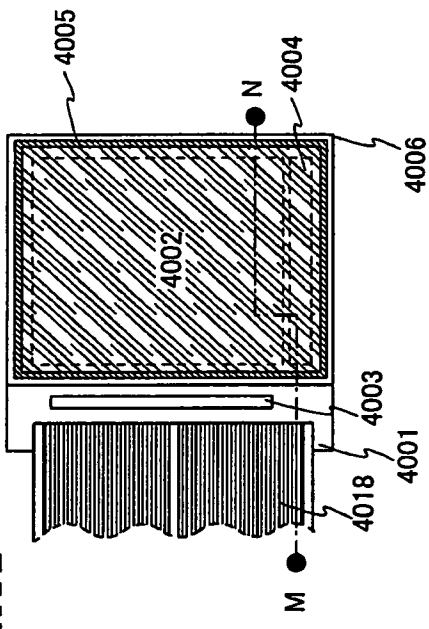


圖22B

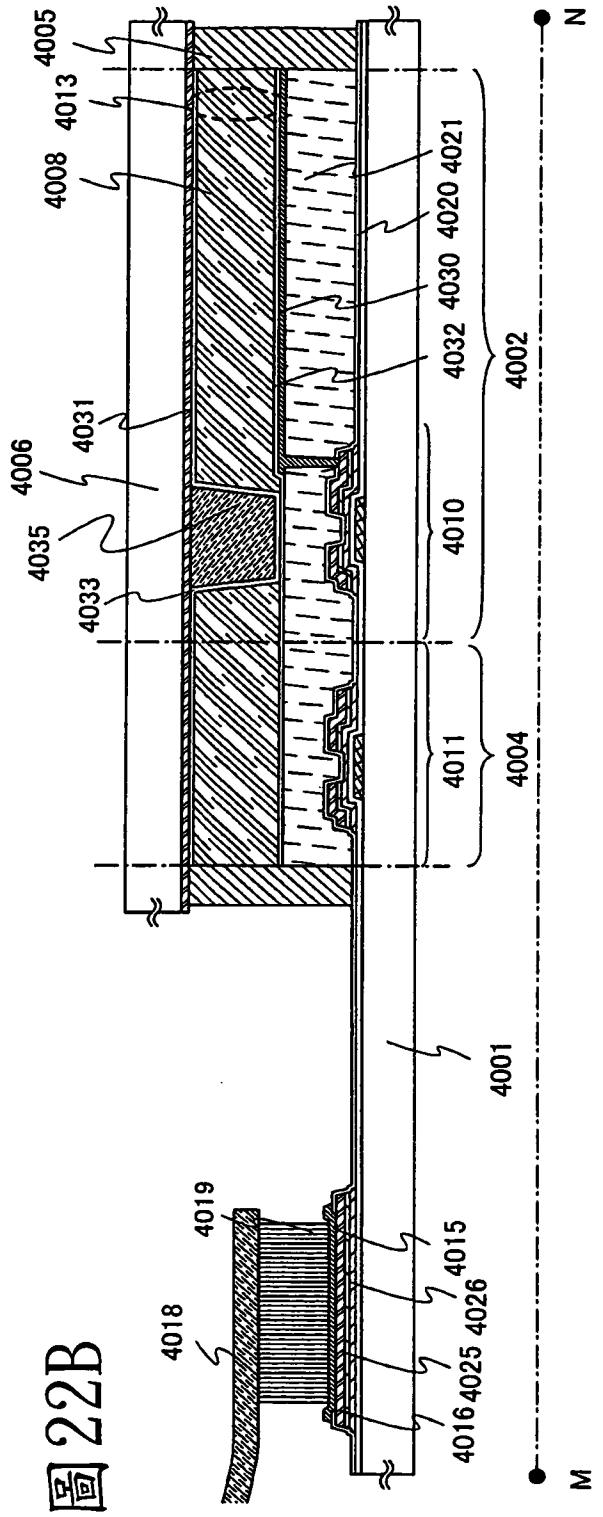


圖23

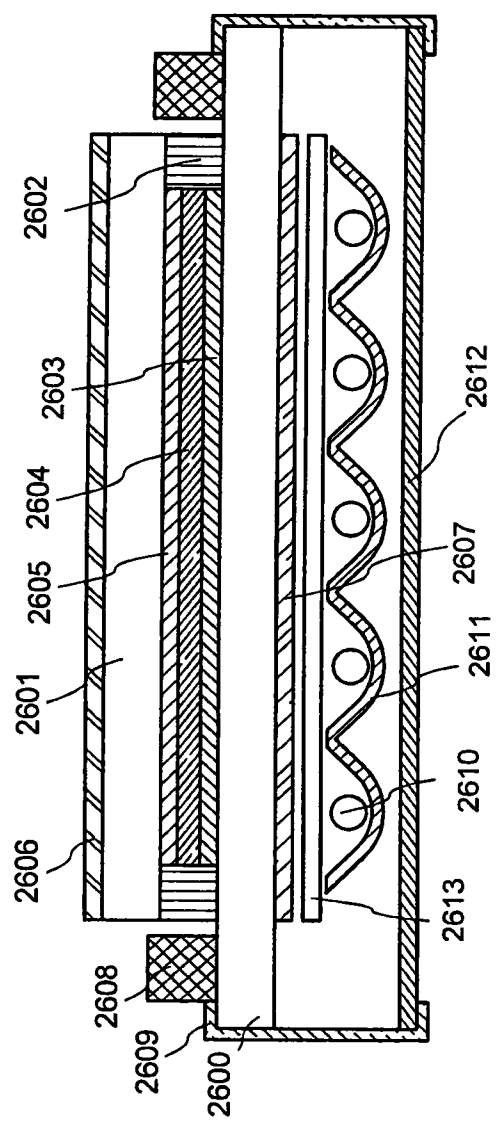


圖24A

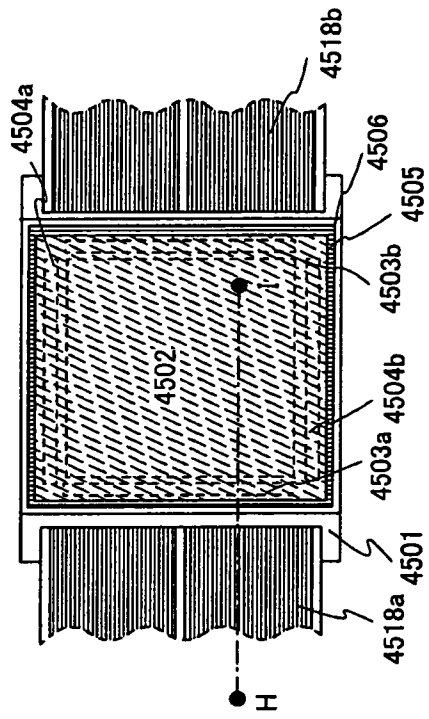


圖24B

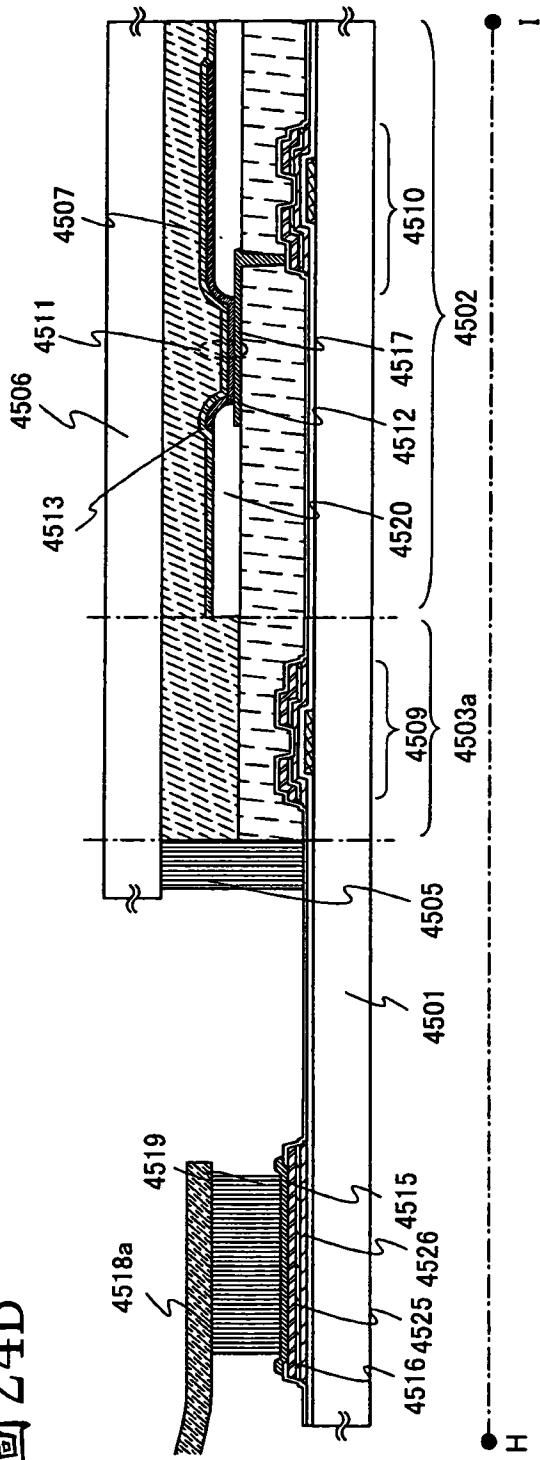


圖 25A

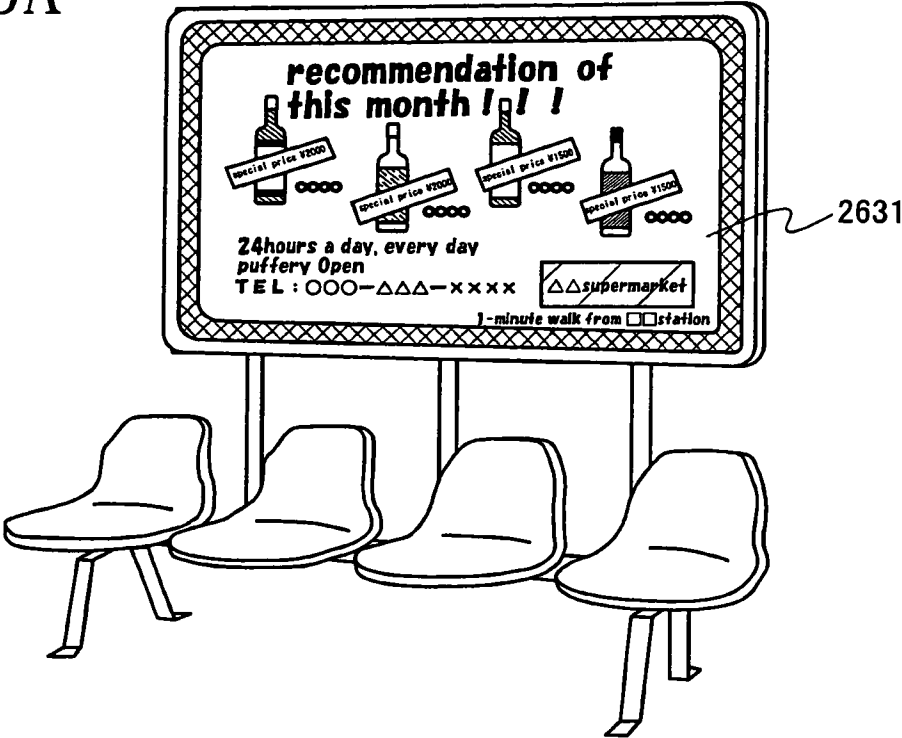


圖 25B

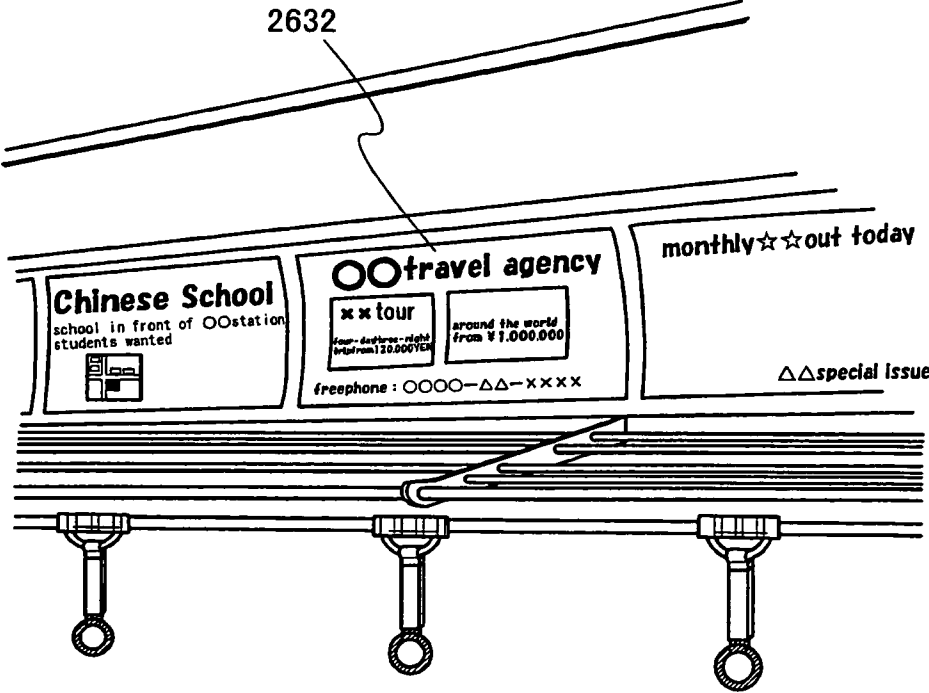


圖 26

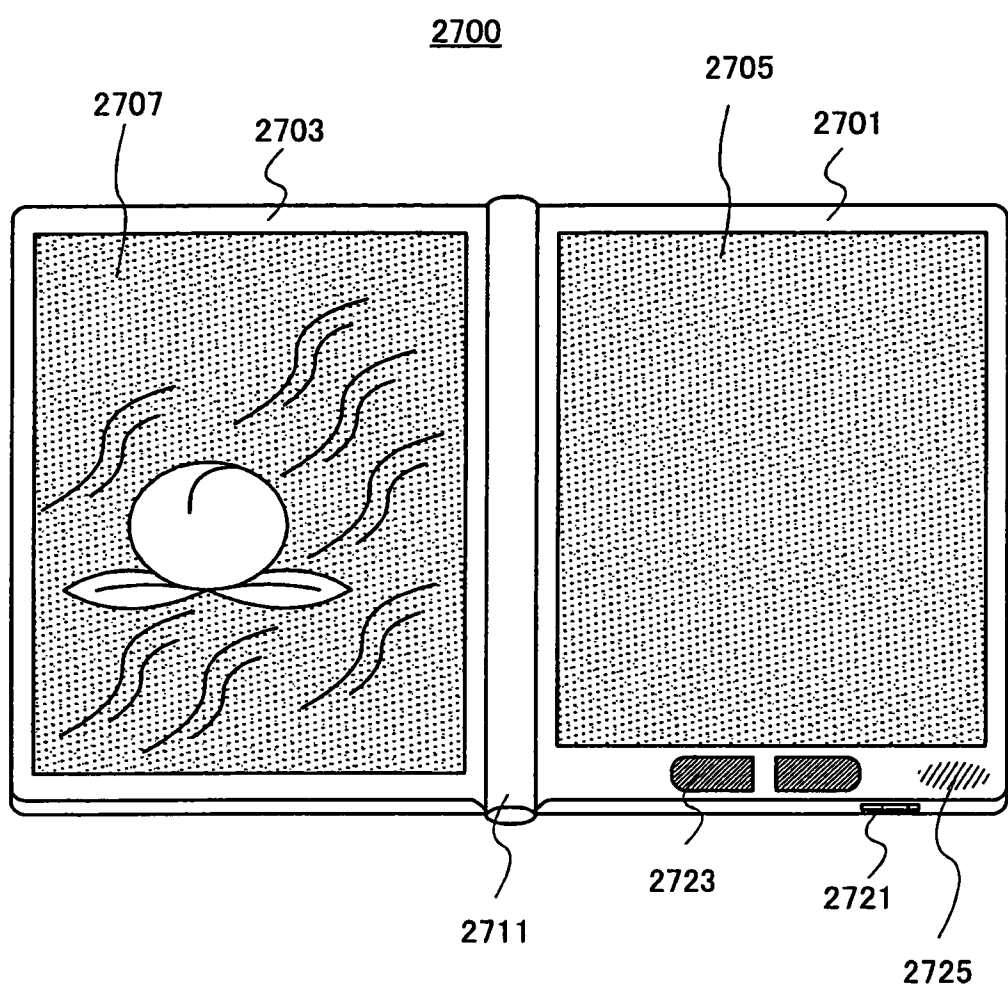


圖 27A

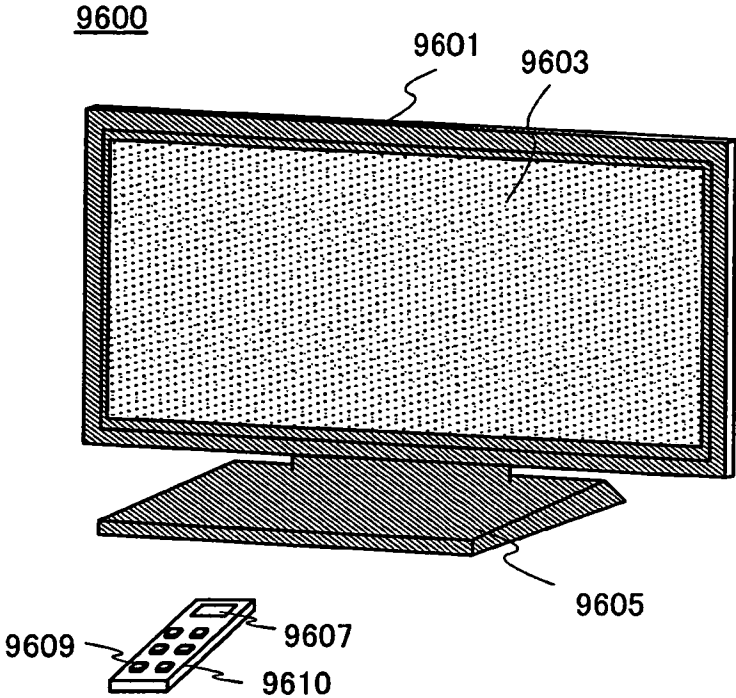


圖 27B

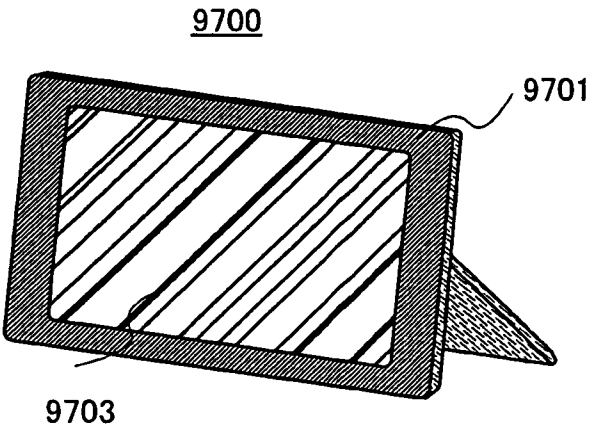


圖 28A

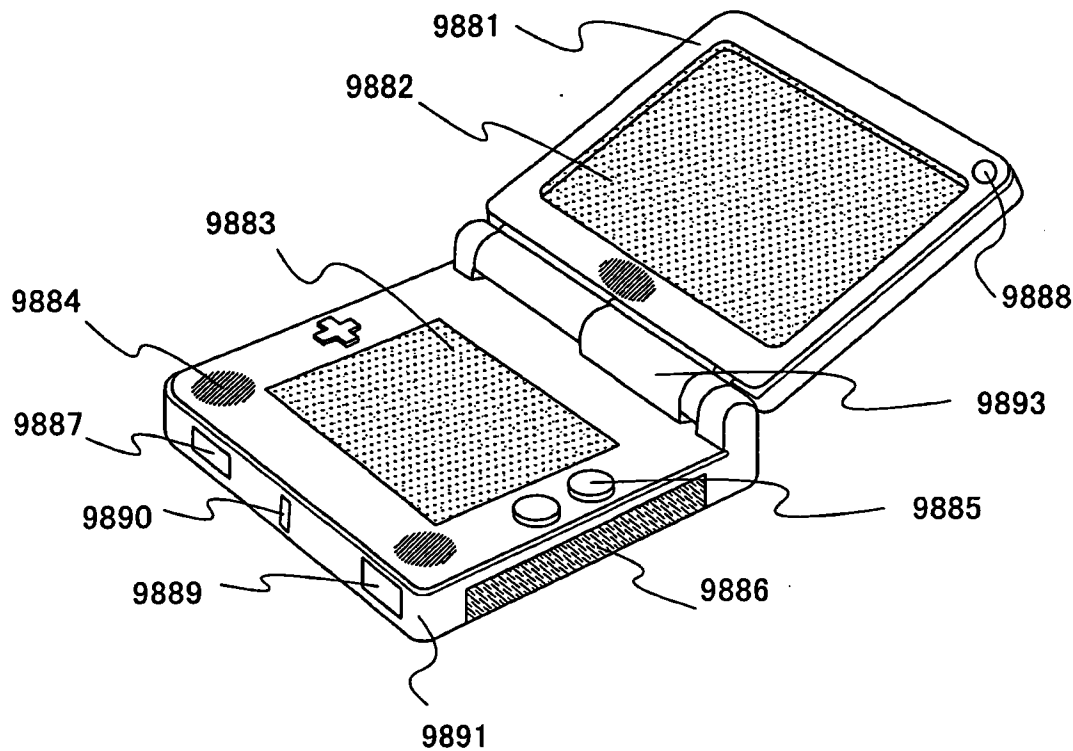


圖 28B

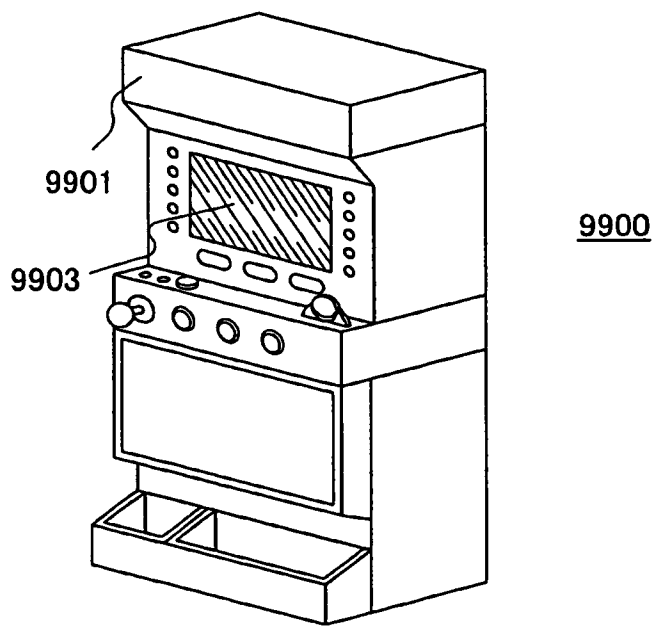


圖 29A

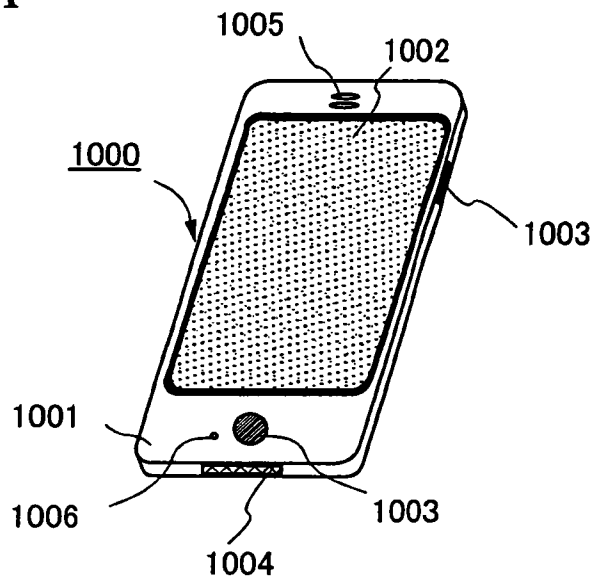


圖 29B

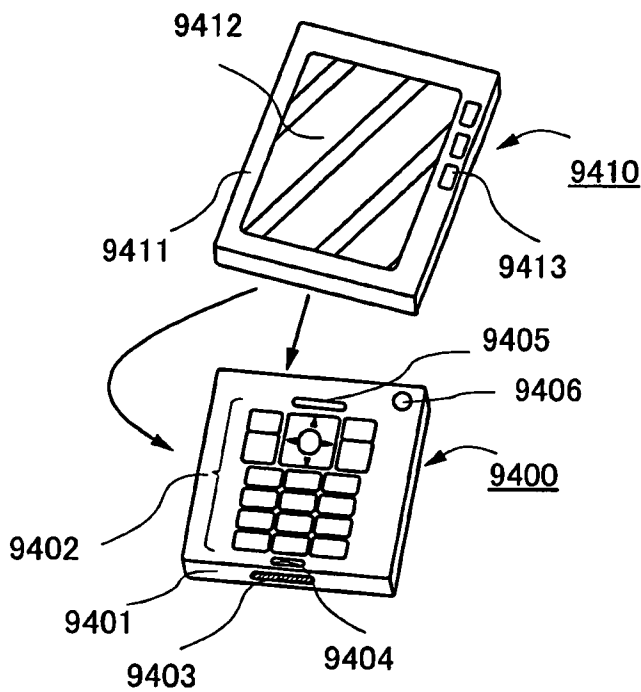


圖 30A

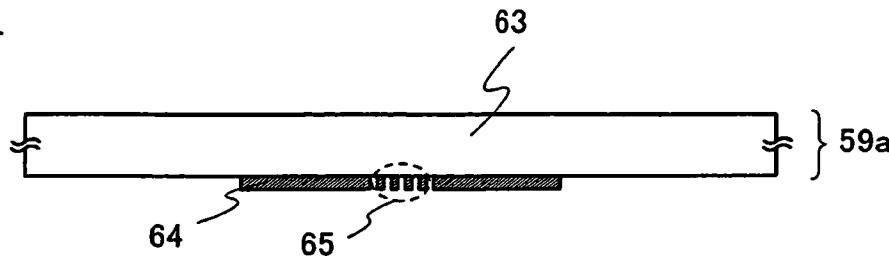


圖 30B

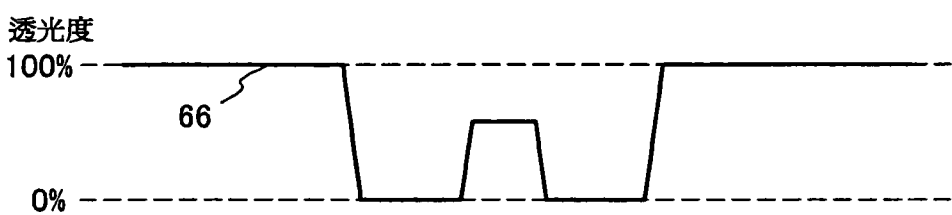


圖 30C

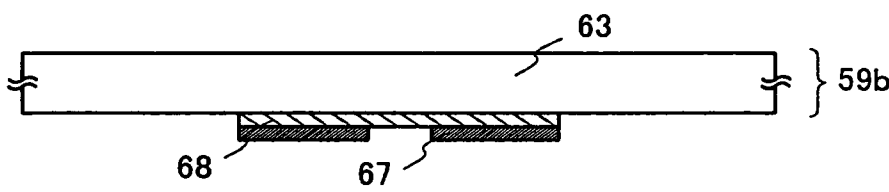


圖 30D

