

發明專利說明書

公告本

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：94126664

※申請日期：94.8.8

※IPC 分類：H01L 29/378, 29/25, 29/45
H01L 29/35

一、發明名稱：(中文/英文)

用於以氮為主之電晶體的帽蓋層和或鈍化層，電晶體結構與其製造方法

CAP LAYERS AND/OR PASSIVATION LAYERS FOR NITRIDE-BASED TRANSISTORS, TRANSISTOR STRUCTURES AND METHODS OF FABRICATING SAME

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

美商克立公司

CREE, INC.

代表人：(中文/英文)

查爾斯 M 史華波達

SWOBODA, CHARLES M.

住居所或營業所地址：(中文/英文)

美國北卡羅萊納州德罕市斯里康路4600號

4600 SILICON DRIVE, DURHAM, NC 27703, U. S. A.

國籍：(中文/英文)

美國 U.S.A.

三、發明人：(共 3 人)

姓 名：(中文/英文)

1. 亞當 威廉 塞斯勒
SAXLER, ADAM WILLIAM
2. 史考特 夏帕
SHEPPARD, SCOTT
3. 理查 彼得 史密斯
SMITH, RICHARD PETER

國 籍：(中文/英文)

1. 美國 U.S.A.
2. 美國 U.S.A.
3. 美國 U.S.A.

四、聲明事項：

☐ 主張專利法第二十二條第二項 ☐ 第一款或 ☐ 第二款規定之事實，其事實發生日期為： 年 月 日。

☒ 申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

☒ 有主張專利法第二十七條第一項國際優先權：

1. 美國；2004年11月23日；10/996,249

2.

☐ 無主張專利法第二十七條第一項國際優先權：

1.

2.

☐ 主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

☐ 主張專利法第三十條生物材料：

☐ 須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

☐ 不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

五、中文發明摘要：

本發明提供高電子游動率的電晶體，係包括一以非均勻鋁濃度之AlGa_N為主的帽蓋層具有一在相鄰到一遠離阻障層之帽蓋層的表面處很高的鋁濃度，其中該帽蓋層是在該阻障層上。高電子游動率的電晶體包括一帽蓋層，該帽蓋層具有一摻雜區，該摻雜區相鄰到一遠離阻障層之帽蓋層的表面處，其中該帽蓋層是在該阻障層上。提供用於寬能隙半導體裝置的石墨BN鈍化層結構。提供用於第III族氮化物半導體裝置的SiC鈍化層結構。也提供鈍化結構的氧退火處理。也提供沒有凹陷區的歐姆接觸區。

六、英文發明摘要：

七、指定代表圖：

(一)本案指定代表圖為：第 (1A) 圖。

(二)本代表圖之元件符號簡單說明：

10	基板
20	通道層
22	阻障層
24	帽蓋層
25	外部表面
30	歐姆接觸區
32	閘極接觸區
36	凹陷區

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)

九、發明說明：

【發明所屬之技術領域】

本發明係有關於半導體裝置，尤其是結合以氮化物為主之主動層的電晶體。

【先前技術】

比如矽(Si)與砷化鎵(GaAs)的材料在用於低功率以及(如果是Si)低頻應用的半導體裝置中，已經發現到很廣泛的應用。然而更加熟悉的是，這些半導體材料可能非常不適用於較高功率及/或高頻的應用，因為有非常低的能隙(室溫下對Si是1.12 eV而對GaAs是1.42)及/或非常小的崩潰電壓。

鑑於Si與GaAs所展現出的困難，對於高功率、高溫及/或高頻應用與裝置的興趣已經轉移到寬能隙半導體材料，比如碳化矽(室溫下對阿爾發SiC是2.996 eV)與第III族氮化物(比如室溫下對GaN是3.36 eV)。通常，與砷化鎵以及矽比較起來，這些材料具有較高電場崩潰強度與較高電子飽和速度。

對高功率及/或高頻應用具特殊興趣的裝置是高電子游動率電晶體(HEMT)，在某方面來說是已知的調變摻雜場效電晶體(MODFET)。這些裝置可以提供在許多情況下的操作優點，因為二維電子氣(2DEG)是在二具有不同能隙之半導體材料的異質接面上形成，而且較小能隙的材料具有較高的電子親合力。該2DEG是一在未摻雜("未特定摻雜")且較小能隙材料中的累積層，而且能包含很高的

片電子濃度，例如超過 10^{13} 載子/cm²。此外，一開始在較寬能隙半導體中的電子會傳送到2DEG，因降低的離子化雜質散射而有高電子游動率。

該高載子濃度與高載子游動率的結合能帶給HEMT非常大的傳導，並且比起金屬半導體場效電晶體(MESFET)，可以提供很強的性能優點給高頻應用。

在氮化鎵/氮化鋁鎵(GaN/AlGaIn)材料系統中製造出來的高電子游動率電晶體，因為結合材料特性而具有產生大量RF功率的潛力，包括上述高崩潰電場、寬能隙、大傳導帶補偏，及/或高飽和電子漂移速度。2DEG內電子的主要部分是由於AlGaIn的極化。GaN/AlGaIn系統內的HEMT已經被揭露過。美國專利編號第5,192,987案與第5,296,395案描述AlGaIn/GaN的HEMT結構以及製造方法。Sheppard等人的美國專利編號第6,316,793案，一般是已讓與並在此合併當作參考資料，該專利案描述一HEMT，該HEMT具有一半絕緣碳化矽基板、一在該基板上的氮化鋁緩衝層、一在該緩衝層上的絕緣氮化鎵層、一在該氮化鎵層上的氮化鋁鎵阻障層、與一在該氮化鋁鎵主動結構上的鈍化層。

【發明內容】

本發明的一些實施例提供第III族氮化物高電子游動率電晶體，以及製造第III族氮化物高電子游動率電晶體的方法，該電晶體包括一以第III族氮化物為主的通道層、一在該通道層上以第III族氮化物為主的阻障層、以及一

在該阻障層上以非均勻組成AlGa_{1-x}N為主的帽蓋層。比起該以AlGa_{1-x}N為主之帽蓋層內區域出現的Al濃度，該以非均勻組成AlGa_{1-x}N為主的帽蓋層在相鄰到遠離阻障層之該帽蓋層表面上，具有較高的Al濃度。具貫穿過該帽蓋層之閘極凹陷區的本發明特定實施例中，較高的Al濃度延伸到該帽蓋層內約30 Å至1000 Å。該帽蓋層上具閘極的本發明特定實施例中，較高的Al濃度延伸到該帽蓋層內約2.5 Å至100 Å。

在本發明的另一實施例中，以AlGa_{1-x}N為主的帽蓋層包括一在該帽蓋層表面上的Al_xGa_{1-x}N第一區，其中 $x \leq 1$ ，以及一在該以AlGa_{1-x}N為主之帽蓋層內的Al_yGa_{1-y}N第二區，其中 $y < 1$ 且 $y < x$ 。x的數值可以從約0.2到約1，而y的數值可以從約0.15到約0.3。在本發明的特定實施例中，可以選取x與y之間的差及/或帽蓋層的厚度來防止第二2DEG在帽蓋層內形成。在本發明的其它實施例中，其中閘極是凹陷貫穿過帽蓋層但沒有接觸到帽蓋層，可以選取x與y之間的差及/或帽蓋層的厚度來防止第二2DEG在帽蓋層內形成。

在本發明的其它實施例中，以AlGa_{1-x}N為主的帽蓋層進一步包括一Al_zGa_{1-z}N第三區，在阻障層與以AlGa_{1-x}N為主的帽蓋層之間的界面上，其中 $z \leq 1$ 且 $z \neq y$ 。在某些實施例中， $z > y$ 。在其它實施例中， $z > x$ 。在另外的實施例中， $z \leq x$ 。

在本發明的特定實施例中，該通道層包括一Ga_{1-x}N層，

該阻障層包括一 AlGa_N層，而該帽蓋層包括一 AlGa_N層。

本發明有些實施例提供第III族氮化物高電子游動率電晶體以及製造第III族氮化物高電子游動率電晶體的方法，該電晶體包括一以第III族氮化物為主的通道層、一在該通道層上以第III族氮化物為主的阻障層，以及一在該阻障層上以 GaN 為主的帽蓋層。該以 GaN 為主的帽蓋層具有一摻雜區，相鄰到該帽蓋層的表面並遠離該阻障層。

在某些實施例中，該摻雜區是被 n 型雜質摻雜過的區域。在沒有閘極凹陷區的本發明特定實施例中，該摻雜區延伸到該帽蓋層內約 2.5 Å 至約 50 Å。在有閘極凹陷區的本發明特定實施例中，該摻雜區延伸到該帽蓋層內約 20 Å 至約 5000 Å。該摻雜區可以提供約 10^{18} 至約 10^{21} cm⁻³ 的摻雜濃度。該 n 型雜質可以是 Si、Ge 或 O。在本發明的特定實施例中，該摻雜區可以是一個或多個突變摻雜區，在該帽蓋層的界面上或接近該帽蓋層的界面處，例如，具有約 10^{11} 至約 10^{15} cm⁻² 的摻雜濃度。在本發明的特定實施例中，該雜質是 O，延伸到該帽蓋層內約 20 Å。

在其它實施例中，該摻雜區是被 p 型雜質摻雜過的區域。在沒有閘極凹陷區的本發明特定實施例中，該摻雜區延伸到該帽蓋層內約 2.5 Å 至約 50 Å。在有閘極凹陷區的本發明特定實施例中，該摻雜區延伸到該帽蓋層內約 30 Å 至約 5000 Å。該摻雜區可以提供約 10^{16} 至約 10^{22} cm⁻³

的摻雜濃度。該p型雜質可以是Mg、B、Zn、Ca或C。在本發明的特定實施例中，該摻雜區可以是一個或多個突變摻雜區，在該帽蓋層的界面上或接近該帽蓋層的界面處，例如，具有約 10^{11} 至約 10^{15} cm⁻²的摻雜濃度。

在其它實施例中，該摻雜區是被深度雜質摻雜過的區域。在沒有閘極凹陷區的本發明特定實施例中，該摻雜區延伸到該帽蓋層內約2.5 Å至約100 Å。在有閘極凹陷區的本發明特定實施例中，該摻雜區延伸到該帽蓋層內約30 Å至約5000 Å。該摻雜區可以提供約 10^{16} 至約 10^{22} cm⁻³的摻雜濃度。該深度雜質可以是Fe、C、V、Cr、Mn、Ni、Co或其它稀土元素。

在本發明的其它實施例中，該摻雜區是第一摻雜區，而該帽蓋層進一步包括一第二摻雜區。該第二摻雜區具有一摻雜濃度，小於第一摻雜區的摻雜濃度。該第二摻雜區可以是該帽蓋層未在第一摻雜區的殘留部分。

在特定的實施例中，該通道層包括一GaN層，該阻障層包括一AlGaN層，而該帽蓋層包括一GaN層或AlGaN層。

本發明的某些實施例提供用以鈍化寬能隙半導體裝置表面的方法，包括在至少一部分寬能隙半導體裝置的寬能隙半導體材料區域上，形成一石墨及/或非定形BN層。也提供相對應的結構。

在本發明另外實施例中，寬能隙半導體裝置是第III族氮化物的半導體裝置。例如，該寬能隙半導體裝置可以

是一以 GaN 為主的半導體裝置。此外，該寬能隙半導體裝置可以是第 III 族氮化物的高電子游動率電晶體。

在本發明另外實施例中，形成石墨及/或非定形 BN 層是在小於該寬能隙半導體裝置內寬能隙半導體材料之分解溫度的溫度下進行。形成石墨及/或非定形 BN 層可以在小於約 1100°C 的溫度下進行，在某些實施例中是小於約 1000°C 的溫度，而且在特定實施例中是小於約 900°C 的溫度。而且，該 BN 層可以形成非單晶。該石墨及/或非定形 BN 層可以形成厚度約 3 Å 至約 1 μm。

本發明的某些實施例提供對第 III 族氮化物半導體裝置的表面進行鈍化處理的方法，藉在至少一部分第 III 族氮化物半導體裝置的第 III 族氮化物半導體材料區域上形成一 SiC 層。也提供相對應的結構。

在某些實施例中，第 III 族氮化物半導體裝置可以是一以 GaN 為主的半導體裝置。在另外的實施例中，第 III 族氮化物半導體裝置可以是一第 III 族氮化物高電子游動率電晶體。

在本發明另外實施例中，形成 SiC 層是在小於該第 III 族氮化物半導體裝置內第 III 族氮化物半導體材料之分解溫度的溫度下進行。例如，形成 SiC 層是在小於約 1100°C 的溫度下進行，在某些實施例中是小於約 1000°C 的溫度，而且在特定實施例中是小於約 900°C 的溫度。而且，該 SiC 層可以形成非單晶。在特定實施例中，形成 SiC 層包括形成一 3C 的 SiC 層。該 SiC 層可以形成厚度約 3 Å 至約 1

μm。

本發明另外實施例包括提供給寬能隙半導體裝置用的鈍化結構，比如第III族氮化物半導體裝置，包括於含氧環境下直接在第III族氮化物層上，對鈍化層進行退火處理。例如，該鈍化層可以是SiN、BN、MgN及/或SiC。在另外的實施例中，鈍化層包括SiO₂、MgO、Al₂O₃、Sc₂O₃及/或AlN。

該退火處理可以在約100°C至約1000°C的溫度下進行一段約10秒至約1小時的時間。該含氧環境可以只是氧、N₂中的氧、比如氫氣之另一惰性氣體中的氧、乾空氣中的氧、CO、CO₂、NO、NO₂及/或臭氧。該退火處理可以在某一溫度下進行一段時間，該時間還不足以將鈍化層底下的結構氧化掉但卻足夠從鈍化層中去除掉至少某些氫。某些碳也可以從鈍化層中去除掉。

本發明的另外實施例提供製造出給第III族氮化物半導體裝置用之鈍化結構的方法，藉直接在至少一部分II族氮化物半導體裝置的第III族氮化物半導體材料區表面上形成鈍化層，並對D₂及/或D₂O鈍化層進行退火處理。在某些實施例中，鈍化層包括BN及/或SiC。在其它實施例中，鈍化層包括SiO₂、MgO、Al₂O₃、Sc₂O₃及/或AlN。

該退火處理可以在某一溫度下進行一段時間，該時間還不足以將鈍化層底下的結構氧化掉，但卻足夠從鈍化層中去除掉至少某些氫，或用重氫交換某些氫。此外，第III族氮化物半導體材料可以是以GaN為主的材料。

本發明的另外實施例提供第III族氮化物高電子游動率電晶體以及製造第III族氮化物高電子游動率電晶體的方法，該電晶體包括一以第III族氮化物為主的通道層、一在該通道層上以第III族氮化物為主的阻障層以及一在該阻障層上的AlN帽蓋層。該電晶體可以進一步包括一凹陷到該AlN帽蓋層內的閘極接觸區。在該等實施例中，AlN帽蓋層具有約5至約5000 Å的厚度。在本發明的某些實施例中，AlN層可以不接觸到底層、可以是非單晶、可以是非現場形成及/或可以藉較低品質形成處理來形成，比如用PVD而非CVD。該電晶體也可以包括一閘極接觸區，在該AlN帽蓋層上且並不凹陷到該Al帽蓋層內。在該等實施例中，該AlN帽蓋層具有約2 Å至約20 Å的厚度。此外，該通道層可以是GaN層，而且該阻障層可以是AlGaN層。

本發明另外實施例提供第III族氮化物高電子游動率電晶體以及製造第III族氮化物高電子游動率電晶體的方法，該電晶體包括一以第III族氮化物為主的通道層、一在該通道層上以第III族氮化物為主的阻障層、一在該阻障層上的保護層、一在該阻障層上的閘極接觸區以及數個該保護層上的歐姆接觸區。在本發明的該等實施例中，該保護層包括BN或MgN。在另外的實施例中，該保護層包括多層，比如一層SiN與一層AlN。在本發明的特定實施例中，該保護層具有約1 Å至約10 Å的厚度。在某些實施例中，該保護層具有約單一層的厚度。

在本發明的另外實施例中，該閘極接觸區是在該保護層上。而且，該等歐姆接觸區可以直接在該保護層上。該保護層可以在現場與形成阻障層時一起形成。

也可以依據本發明的某些實施例，提供不同組合及/或次級組合的帽蓋層、鈍化層、保護層及/或鈍化層的退火處理。

【實施方式】

現在將更完整的參閱所附圖式來說明本發明，其中會顯示出本發明的實施例。然而，該發明不應該被解釋成受限於在此所提出的實施例。而是，提供這些實施例，使得該說明書所揭示的內容會是完全的且完整的，並且對於熟知該技術領域的人士來說，將完全涵蓋本發明的範圍。在圖式中，薄層與區域的厚度會為了清楚起見而被誇大。相類似的參考數號在全篇說明書中是指相類似的單元。如同在此所使用的，用詞"及/或"是包括一個或多個相關條列項目中的任何一個以及其所有的結合。

在此所使用到的術語只是為了說明特定實施例的目的，並不是要限制本發明。如同在此所使用到的，單數的形式是要用來包括複數的形式，除非文章中有清楚的指出來。將會進一步了解到，"包括"及/或"包含"的用詞，使用於本說明書中時，是要詳述所提出之特點、完整的內容、步驟、操作、單元及/或組件，而不是要排除掉出現或加入一個或多個其它特點、完整的內容、步驟、操作、單元、組件及/或其群組。

將會了解到，當比如薄層、區域或基板被指為是在另一單元之上或延伸到其上時，則可以直接是在其它單元或所出現之交替單元上面，或延伸到其它單元或所出現之交替單元上面。相對的，當某一單元被指出是在另一單元的"直接上面"或"直接延伸到其上面"時，便沒有交替的單元出現。也將會了解到，當某一單元被指出是"連接"或"耦合"到另一單元時，則可以是直接連接或耦合到其它單元，或可以出現交替的單元。相對的，當某一單元被指出是"直接連接"或"直接耦合"到另一單元，則沒有出現交替的單元。相類似的參考數號在全篇說明書中是指相類似的單元。

將會了解到，雖然第一、第二等的用詞在此可以使用，以說明不同的單元、組件、區域、薄層及/或區段，但是這些單元、組件、區域、薄層及/或區段不應該被這些用詞限制住。這些用詞只是用來區別某一單元、組件、區域、薄層或區段與另一單元、組件、區域、薄層或區段。因此，在不偏離本發明所教導的內容下，第一單元、組件、區域、薄層或區段可以被稱作第二單元、組件、區域、薄層或區段。

此外，相對性的用詞，比如"下部"或"底部"以及"上部"或"頂部"，在此都可以用來說明某一單元對另一單元的關係，如圖式所示。將會了解到，該等相對用詞是要包括除了圖式中所畫出的方位以外，還有該裝置的不同方位。例如，如果圖式中的裝置翻轉過來，在其它單元

的"底部"側邊上所描述的單元便定位在其它單元的"上部"側邊上。因此，示範性的用詞"下部"可以包括"下部"與"上部"的方位，視圖式中的特定方位而定。相類似的，如果其中一圖式中的裝置被翻轉過來，則被描述成"底下"或"其下"其它單元的單元，會定位成在其它單元"之上"。因此，"底下"或"其下"的示範性用詞可以包括其上或其下。此外，"外部"的用詞可以用來指離基板最遠的表面及/或薄層。

本發明的實施例在此可以參閱剖示圖來做說明，該等示意圖都是本發明理想化實施例的示意圖。如此，例如因製造技術及/或容忍度而與圖式中的形狀發生變動，其結果都是在預期之中。因此，本發明的實施例不應該解釋成受限於此所提之區域的特定形狀，而是例如，要包括因製造所引起的形狀上的偏差。例如，顯示成矩形的蝕刻區域通常具有尖頭狀的、磨成圓角的或彎曲的特徵。因此，圖式中所顯示的區域在本質上都是示意性的，而且其形狀都不是要顯示出裝置區域的精確形狀，並且不是要限制本發明的範圍。

除非有其它的定義，否則在此所使用的所有用詞(包括技術性的與科學性的用詞)都具有如一般熟知該技術領域之人士所了解到的相同意義。進一步將了解到，比如那些常用字典中所定義出來的用詞，應該解釋成具有相關技術文章中相一致的意義，並且將不會以理想化或過度正式的方式來做解釋，除非在此有被定義過。

熟知該技術領域的人士也將了解到，對安置成"相鄰"到另一部分之結構或部分的參考，可以具有數個覆蓋住該相鄰部分或位於該相鄰部分底下的部分。

本發明的實施例可以特別適合使用於以氮化物為主的裝置內，比如以第III族氮化物為主的HEMT。如同在此所使用到的，該用詞"第III族氮化物"是指氮與週期表第III族元素之間所形成的那些半導體化合物，通常是鋁(Al)、鎵(Ga)及/或銦(In)。該用詞也是指三元或四元的化合物，比如AlGa_N與AlInGa_N。如同熟知該技術領域的人士所了解到的，第III族元素能結合氮形成二元(比如Ga_N)、三元(比如AlGa_N、AlIn_N)與四元(比如AlInGa_N)的化合物。這些化合物都具有經驗化學式，其中一莫耳的氮是結合總量為一莫耳的第III族元素。因此，常用如Al_xGa_{1-x}N的化學式來描述，其中 $0 \leq x \leq 1$ 。

例如，使用本發明實施例用以製造以Ga_N為主之HEMT的適合結構與技術，已經被描述於一般被讓與的美國專利編號第6,316,793案以及美國專利申請編號第2002/0066908A1案，於2001年六月12日提出申請，並於2002年七月6日公開，"ALUMINUM GALLIUM NITRIDE/GALLIUM NITRIDE HIGH ELECTRON MOBILITY TRANSISTORS HAVING A GATE CONTACT ON A GALLIUM NITRIDE BASED CAP SEGMENT AND METHODS OF FABRICATING SAME"，美國專利申請編號第2002/0167023A1案，由Smorchkova等人發明而於2002年11月14日公開，標題為"GROUP-III

NITRIDE BASED HIGH ELECTRON MOBILITY TRANSISTOR (HEMT) WITH BARRIER/SPACER LAYER"，美國專利申請序號第10/617,843案，於2003年7月11日提出申請，標題為"NITRIDE BASED TRANSISTOR AND METHODS OF FABRICATION THEREOF USING NON-ETCHED CONTACT RECESSES"，美國專利申請序號第10/772,882案，於2004年2月5日提出申請，標題為"NITRIDE HETEROJUNCTION TRANSISTORS HAVING CHARGE-TRANSFER INDUCED ENERGY BARRIERS AND METHODS OF FABRICATING THE SAME"，美國專利申請序號第10/897,726案，於2004年六月23日提出申請，標題為"METHODS OF FABRICATING NITRIDE BASED TRANSISTOR WITH A CAP LAYER AND A RECESSED GATE"，美國專利申請序號第10/849,617案，於2004年五月20日提出申請，標題為"METHODS OF FABRICATING NITRIDE-BASED TRANSISTORS HAVING REGROWN OHMIC CONTACT REGIONS AND ITRIDE-BASED TRANSISTORS HAVING REGROWN OHMIC CONTACT REGIONS"，美國專利申請序號第10/849,589案，於2004年五月20日提出申請，標題為"SEMICONDUCTOR DEVICES HAVING A HYBRID CHANNEL LAYER, CURRENT APERTURE TRANSISTORS AND METHODS OF FABRICATING SAME"以及美國專利申請編號第2003/0020092案，於2002年七月23日提出申請並於2003年一月30日公開，標題為"INSULATING GATE

ALGAN/GAN HEMT"，其所揭示的內容在此以參考的方式完全合併在一起。

本發明的某些實施例提供具AlGa_{0.3}N帽蓋層且以氮化物為主的HEMT，與該AlGa_{0.3}N帽蓋層的其它區域比較起來，該AlGa_{0.3}N帽蓋層具有較高的AlGa_{0.3}N濃度，比如遠離阻障層的表面。因此，該裝置可以具有一高濃度Al的薄層，當作該裝置的外部表面。對包括在外部表面上均勻Al濃度或降低Al濃度的傳統裝置進行處理及/或裝置操作時，這種薄層能改善該裝置的強度。例如，在表面上增加Al濃度不會對高溫下的蝕刻或其它化學反應太敏感，因為與Ga-N鍵比較起來有較強的Al-N鍵。

在本發明的特定實施例中，提供在阻障層上具AlN帽蓋層而以氮化物為主的HEMT。因此，該裝置有一高Al濃度的薄層，當作該裝置的外部表面，如上所述，能改善對傳統裝置進行處理及或裝置操作時該裝置的強度。

在本發明的另外實施例中，該以氮化物為主之帽蓋層的外部表面被n型、p型或深度雜質摻雜過，使得帽蓋層在遠離阻障層的帽蓋層表面上，比起帽蓋層的其它區域，具有較高的雜質濃度。帽蓋層可以是以Ga_{0.3}N為主的帽蓋層。在該裝置外部表面上的雜質會聚集在帽蓋層的錯位中，進而降低沿著錯位的閘極漏電。該雜質在錯位上比起在本體晶體中，具有不同特性。例如，總體晶體內的淺雜質在錯位中可以具有深度雜質的特性。因此，對n型、p型或深度雜質的參考是指雜質在總體晶體內而

非在錯位中的特性。這在p型或深度雜質時尤其如此。

本發明的另外實施例提供一石墨及/或非定形BN鈍化層給寬能隙半導體裝置用。如在此所使用到的，寬能隙半導體裝置是指包括能隙大於2.5 eV之半導體材料的裝置。石墨及/或非定形BN尤其適用於以GaN為主的裝置，因為B是可溶於Al、Ga與In中，而且In與N在該等材料中都有出現。所以，B與N都不是以GaN為主之結構中的雜質。相反的，Si是GaN中的雜質。因此，石墨及/或非定形BN鈍化層的形成會降低因Si遷移而對GaN層的不預期摻雜之可能性。此外，與如SiN或SiO_x的傳統鈍化物材料比較起來，該石墨及/或非定形BN鈍化層會降低陷阱程度、不同陷阱能量、不同蝕刻敏感度及/或改善退火行為。

本發明的另外實施例提供一SiC鈍化層給第III族氮化物裝置用。與如SiN或SiO_x的傳統鈍化物材料比較起來，該SiC鈍化層會降低陷阱程度、不同陷阱能量、不同蝕刻敏感度及/或改善退火行為。參考SiN、SiON、SiO_x、MgO與相類似的材料都是指化學計量及/或非化學計量的材料。

依本發明某些實施例的典型裝置是以示意圖方式顯示於圖1A至圖6中。因此，雖然本發明的實施例在此是參考凹陷閘極結構或非凹陷閘極結構來做說明，但是本發明的其它實施例可以包括或不包括閘極凹陷區。因此，本發明的實施例應該不能解釋成受限於在此所述之特定

的典型實施例，而是可以包括任何具有在此所述之帽蓋層及/或鈍化層的適當結構。

轉到圖1A與1B，本發明提供一基板10，其上可以形成以氮化物為主的裝置。在本發明的特定實施例中，該基板10可以是一半絕緣碳化矽(SiC)基板，例如可以是4H多型物的碳化矽。其它碳化矽的可能多型物包括3C、6H與15R多型物。該"半絕緣"的用詞是以說明的方式來使用，而非絕對的方式。在發明的特定實施例中，碳化矽總體晶體在室溫下具有等於或高於約 $1 \times 10^5 \text{ } \Omega\text{-cm}$ 的電阻係數。

選擇性的緩衝層、聚核層及/或轉移層(未顯示)都是在該基板10上。例如，可以提供AlN緩衝層，以便在碳化矽基板與該裝置的剩餘部分之間，提供適合的晶體結構轉移。此外，也可以提供如所述的應變平衡轉移層，例如在一般被讓與的美國專利申請編號第2003/0102482A1案，於2002年七月19日提出申請，並於2003年六月5日公開，標題為"STRAIN BALANCED NITRIDE HETEROJUNCTION TRANSISTORS AND METHODS OF FABRICATING STRAIN BALANCED NITRIDE HETEROJUNCTION TRANSISTORS"，或美國專利申請編號第2004/0012015 A1案，於2002年七月9日提出申請，並於2004年一月22日公開，標題為"STRAIN COMPENSATED SEMICONDUCTOR STRUCTURES AND METHODS OF FABRICATING STRAIN COMPENSATED SEMICONDUCTOR STRUCTURES"，其所揭示的內容在此

以參考的方式完全合併在一起。

例如，適合SiC基板是由本發明的受讓人N.C. Durham的Cree公司所製造，而且用以製造的方法是描述於，例如，美國專利編號Re. 34,861；4,946,547；5,200,022；以及6,218,680中所說明的用以製造的方法，其所揭示的內容在此以參考的方式完全合併在一起。相類似的，用以磊晶成長出第III族氮化物的技術已經在例如美國專利編號Re. 5,210,051；5,393,993；5,523,589；以及5,592,501中說明過，其所揭示的內容在此以參考的方式完全合併在一起。

雖然碳化矽可以被使用來當作基板材料，但是本發明的實施例可以使用任何適當的材料，比如藍寶石、氮化鋁、氮化鋁鎵、氮化鎵、矽、GaAs、LGO、ZnO、LAO、InP以及相類似的材料。在某些實施例中，也可以形成適當的緩衝層。

回到圖1A與1B，通道層20是在基板10上。通道層20可以使用如上所述的緩衝層、轉移層、及/或聚核層而沉積在基板10上。通道層20可以是處在擠壓應變下。此外，通道層及/或緩衝層及/或轉移層，都可用MOCVD或熟知該技術領域之人士所已知的其它技術而沉積出來，比如MBE或HVPE。

在本發明的某些實施例中，通道層20是第III族氮化物，比如 $\text{Al}_x\text{Ga}_{1-x}\text{N}$ ，其中 $0 \leq x < 1$ ，假設在通道層與阻障層的界面處，該通道層20之傳導帶邊緣的能量小於阻障

層 22 之傳導帶邊緣的能量。在本發明的某些實施例中， $x=0$ 是表示通道層 20 為 GaN。通道層 20 也可以是其它的第 III 族氮化物，比如 InGaN、AlInGaN 或其它類似的材料。通道層 20 可以是未摻雜("非有意的摻雜")，而且可以成長到厚度大於約 20 Å。通道層 20 也可以是多層結構，比如超晶格或結合 GaN、AlGaIn 或其它類似的材料。

阻障層 22 是在通道層 20 上。通道層 20 可以具有小於阻障層 22 能隙的能隙，而且通道層 20 也可以具有比阻障層 22 還大的電子親合力。阻障層 22 可以沉積在通道層 20 上。在本發明的某些實施例中，阻障層 22 是 AlN、AlInN、AlGaIn 或 AlInGaIn，厚度在約 0.1 nm 與約 40 nm 之間。依據本發明實施例的薄層實例已被說明於美國專利申請編號第 2002/0167023A1 案，由 Smorchkova 等人發明，標題為 "GROUP-III NITRIDE BASED HIGH ELECTRON MOBILITY TRANSISTOR (HEMT) WITH BARRIER/SPACER LAYER"，其所揭示的內容在此以參考的方式完全合併在一起。在本發明的特定實施例中，阻障層 22 足夠厚且具有足夠高的 Al 組成，並且摻雜而藉極化效應，在通道層 20 與阻障層 22 的界面處感應出重要的載子濃度。而且，阻障層 22 必須厚到足以降低或極小化通道內因離子化雜質或沉積在阻障層 22 與帽蓋層 24 界面處之缺陷的電子散射。

阻障層 22 可以是第 III 族氮化物，並具有大於通道層 20 的能隙，以及比通道層 20 還小的電子親合力。所以在本

發明的某些實施例中，例如，阻障層22可以是約0.1 nm至約40 nm厚，但並不是厚到會造成斷裂或本質缺陷的形成。在本發明的某些實施例中，阻障層22是未摻雜或用n型雜質摻雜到濃度小於約 10^{19} cm^{-3} 。在本發明的某些實施例中，阻障層22可以是 $\text{Al}_x\text{Ga}_{1-x}\text{N}$ ，其中 $0 \leq x < 1$ 。在特定的實施例中，鋁濃度是約25%。然而，在本發明的其它實施例中，阻障層22包括 AlGaIn ，具有約5%至約100%的鋁濃度。在本發明的特定實施例中，鋁濃度比約10%還大。

圖1A也顯示出在阻障層22上的帽蓋層24，在凹陷區36內具有貫穿帽蓋層24的閘極32。圖1B也顯示出在阻障層22上的帽蓋層24'，在帽蓋層24'上具有閘極32。在本發明的某些實施例中，帽蓋層24、24'都是非均勻組成的 AlGaIn 層。帽蓋層24、24'將該裝置的頂部(外部)表面以物理方式移開通道，會降低表面效應。帽蓋層24、24'可以在阻障層22上全面形成，並且可以磊晶方式成長出來及/或藉沉積來形成。通常，帽蓋層24、24'可以具有厚度約2 nm至約500 nm。

在本發明的某些實施例中，帽蓋層24、24'可以是漸變的 AlGaIn 層。帽蓋層24、24'具有遠離阻障層22的外部表面25，其中在相鄰到表面之帽蓋層24、24'內的鋁含量是大於在帽蓋層24、24'之內部區域中的帽蓋層24、24'之鋁含量。例如，帽蓋層24、24'可以在表面25中具有第一Al含量，以及在帽蓋層24、24'之內部區域中具有第二鋁含

量，其中第一含量大於第二含量。帽蓋層 24、24'可以在帽蓋層 24、24'以及阻障層 22之間具有第三 Al 含量。該第三含量可以大於、小於或等於第一含量。在本發明的特定實施例中，AlGa_N帽蓋層 24、24'包括在表面 25上具有第一區的 Al_xGa_{1-x}N，其中 $x \leq 1$ ，以及在帽蓋層 24、24'之內部區域中具有第二區的 Al_yGa_{1-y}N，其中 $y < x$ 。在某些實施例中， x 是約 0.3 至約 1。在其它實施例中， y 是約 0 至約 0.9。在特定實施例中，AlGa_N帽蓋層包括在阻障層 22 以及 AlGa_N帽蓋層 24、24'之界面上的第三區的 Al_zGa_{1-z}N，其中 $z \leq 1$ 且 $z \neq y$ 。此外， z 是大於 y 。例如，在本發明的某些實施例中，可以提供 AlN 層來當作阻障層，或相鄰到阻障層的一部分帽蓋層。在這種情形下，帽蓋層 24、24'可以包括漸變的 Al 濃度，從 z 至 y 以及從 y 至 x 。在具有凹陷貫穿過帽蓋層 24 的閘極的本發明的特定實施例中，較高的 Al 濃度會延伸進入帽蓋層內約 30 Å 至約 1000 Å。在帽蓋層 24'具有閘極的本發明的特定實施例中，較高的 Al 濃度會延伸進入帽蓋層內約 2.5 Å 至約 100 Å。

可以藉傳統的磊晶成長技術提供帽蓋層 24、24'，其中在帽蓋層 24、24'的成長終了期間提供較高的 Al 濃度。所以，例如，可以藉具增加 Al 源的 MOCVD 成長，在成長之前以及期間，提供帽蓋層 24、24'。

如圖 1A 與 1B 中進一步所示，歐姆接觸區 30 是在阻障層 22 上。已定義圖案之光罩與蝕刻處理可以用來曝露出底下的阻障層 22。在本發明的某些實施例中，該蝕刻處理

可以是低損壞蝕刻處理。在本發明的某些實施例中，該蝕刻處理是具強鹼的濕蝕刻處理，比如具UV照明的KOH。在其它實施例中，該蝕刻處理是乾蝕刻處理。給第III族氮化物用的低損壞蝕刻處理技術的實例，包括除了反應性離子蝕刻以外的蝕刻技術，比如感應性耦合電漿，使用 Cl_2 、 BCl_3 、 CCl_2F_2 及/或其它氮化物或電子旋子共振(ECR)及/或對電漿不具直流成份的向下流電漿蝕刻。如圖1A與1B中進一步所示，歐姆接觸區被定義出圖案，以提供歐姆接觸材料圖案，在退火時提供歐姆接觸區30。雖然圖1A與1B所示的是凹陷區，但是在本發明的某些實施例中，歐姆接觸區30不需要是凹陷的。

如圖1A所示，也可以提供貫穿帽蓋層24的閘極凹陷區，以曝露出一部分的阻障層22。在本發明的某些實施例中，形成凹陷區36，延伸到阻障層22內。該凹陷區36可以延伸到阻障層22內，例如，調節該裝置的性能特性，比如臨界電壓、頻率性能等等。可以用光罩以及如上述的蝕刻處理，來形成該凹陷區。在特定的實施例中，其中歐姆接觸區30提供源極與汲極接觸區，該凹陷區可以在該源極與汲極接觸區之間做彌補，使得與汲極接觸區比較起來，該凹陷區以及後續的閘極接觸區32會較靠近源極接觸區。

在凹陷區內形成閘極接觸區32，並接觸到已曝露部分的阻障層22。該閘極接觸區可以是"T"閘極，如圖1A所示，並且可以使用傳統的製造技術來製造。也可以在帽

蓋層 24" 上形成閘極接觸區 32，如圖 1B 所示，並且可以使用傳統的製造技術來製造。適合的閘極材料可以取決於阻障層的組成，然而在某些實施例中，可以使用對以氮化物為主的半導體材料能製造出蕭基接觸區的傳統材料，比如 Ni、Pt、NiSi_x、Cu、Pd、Cr、W 及 / 或 WSiN。

也可以在圖 1A 與 1B 的結構上，提供傳統的鈍化層或如下所述的 BN 鈍化層。例如，SiN 層與在某些實施例中的非常薄之 SiN 層都可以在現場形成。也可以使用 MgN 鈍化層，如美國專利編號第 6,498,111 案，標題為 "FABRICATION OF SEMICONDUCTOR MATERIALS AND DEVICES WITH CONTROLLED ELECTRICITY"，其所揭示的內容在此以參考的方式完全合併在一起。選擇性的，可以在氧環境中，對包括鈍化層的結構進行退火處理，以便從該薄層中去除掉氫，並改變表面狀態及 / 或將氧到表面中。如果進行氧退火處理，則該退火處理所進行的方式並不會大幅氧化掉鈍化層與底下第 III 族氮化物之間的薄層。例如在本發明的某些實施例中，該退火處理是可以在溫度約 100°C 至約 1000°C 下進行一段約 10 秒至約 1 小時的時間。該含氧環境可以只是氧、N₂ 中的氧、如氫之另一惰性氣體中的氧，乾空氣中的氧、CO、CO₂、NO、NO₂ 及 / 或臭氧。用來提供含氧環境的氣體可以不含氫，以便不會讓氫結合到鈍化層。替代的方式或其它的方式是，可以在 D₂ 或 D₂O 下進行退火處理。

可以使用如專利申請案中所討論的技術，來製造出依

據本發明實施例的電晶體，該等專利在此以參考方式合併在一起，包括如說明於美國專利申請序號第10/849617案，在2004年五月20日提出，標題為"METHODS OF FABRICATING NITRIDE-BASED TRANSISTORS HAVING REGROWN OHMIC CONTACT REGIONS AND NITRIDE-BASED TRANSISTORS HAVING REGROWN OHMIC CONTACT REGIONS"，以及美國專利申請序號第10/897,726案，在2004年六月23日提出，標題為"METHODS OF FABRICATING NITRIDE-BASED TRANSISTORS WITH A CAP LAYER AND A RECESSED GATE"，其所揭示的內容在此以參考的方式完全合併在一起。

圖2A與2B顯示出依據本發明另外的實施例具一帽蓋層34、34'的高電子游動率電晶體。可以如同上述參考圖1A與1B所討論的，提供該基板10、通道層20、阻障層22、歐姆接觸區30與閘極接觸區32。如圖2A與2B所看到的，帽蓋層34、34'包括一摻雜區40，接近帽蓋層34、34'的外部表面，或在帽蓋層34、34'的外部表面上。帽蓋層34、34'可以是以GaN為主的帽蓋層，比如GaN層及/或AlGaN層，例如在該等專利案與專利申請案中所描述的，在此以參考的方式合併起來。在本發明的某些實施例中，該摻雜區40是用p型雜質進行摻雜處理，比如Mg、Be、Zn、Ca及/或C。在本發明的其它實施例中，該摻雜區40是用n型雜質進行摻雜處理，比如Si、Ge及/或O。在本發明的另外實施例中，該摻雜區40是用深度雜質進行摻雜

處理，比如Fe、C、V、Cr、Mn、Ni及/或Co。該雜質可以在帽蓋層34、34'的沉積或成長期間結合到帽蓋層34內，或可以後續進行佈植處理，例如使用離子佈植。在本發明的某些實施例中，帽蓋層34具有結合並貫穿過帽蓋層34、34'的雜質。在這種情形下，可以藉一具有比帽蓋層34、34'之剩餘部分的雜質濃度還高之雜質濃度的區域，提供該摻雜區40。共摻雜第III族氮化物材料的技術，例如，是描述於美國專利申請序號第10/752,970案中，在2004年一月7日提出且標題為"CO-DOPING FOR FERMI LEVEL CONTROL IN SEMI-INSULATING GROUP III NITRIDES"，其所揭示的內容在此以參考的方式完全合併在一起。

在本發明的實施例中，其中該雜質是n型雜質，該n型雜質可以是Si、Ge或O。在沒有閘極凹陷區的本發明特定實施例中，摻雜區40會延伸到帽蓋層34內約2.5 Å至約50 Å。在有閘極凹陷區的本發明特定實施例中，摻雜區40會延伸到帽蓋層34'內約20 Å至約5000 Å。利用n型雜質，在沒有閘極凹陷區之實施例中的摻雜區40可以提供約 10^{18} 至約 10^{21} cm⁻³的雜質濃度，並且如果有閘極凹陷區，則可以摻雜得比 10^{21} cm⁻³還重。在本發明的特定實施例中，在帽蓋層34、34'上或接近帽蓋層34、34'處，摻雜區40可以是一個或多個突變摻雜區，並且例如可以具有約 10^{11} 至約 10^{15} cm⁻²的雜質濃度。如同在此所使用的，如果是在表面約5 Å的範圍內，則突變摻雜區是在表面

上，如果是在表面約 50 Å 的範圍內，則是接近該表面。在本發明的特定實施例中，該雜質是 O，延伸到帽蓋層 34、34' 內約 20 Å。可以使用 N 型雜質來從表面狀態過篩通道區，以及將表面能階標訂到可預測且所需的位準上，以降低及/或極小化補捉效應。摻雜的程度必須足夠高，以便在沒有凹陷閘極的實施例中是主要的"表面"狀態，但是不能高到足以提供過剩的漏電流路徑。

在其它實施例中，摻雜區 40 是用 p 型雜質進行摻雜的區域。在沒有凹陷閘極的本發明特定實施例中，摻雜區 40 延伸到帽蓋層 34 內約 2.5 Å 至約 100 Å。在有凹陷閘極的本發明特定實施例中，摻雜區 40 延伸到帽蓋層 34' 內約 30 Å 至約 5000 Å。利用 p 型雜質，摻雜區 40 可以提供約 10^{16} 至約 10^{22} cm^{-3} 的雜質濃度。該 p 型雜質可以是 Mg、Be、Zn、Ca 及/或 C。在本發明的特定實施例中，在帽蓋層表面上或接近帽蓋層表面處，該摻雜區可以是一個或多個突變摻雜區，並且例如可以具有約 10^{11} 至約 10^{15} cm^{-2} 的雜質濃度。P 型雜質可以用來從表面狀態過篩通道區，以及將表面能階標訂到可預測且所需的位準上，以降低及/或極小化補捉效應並降低漏電流。摻雜程度必須足夠高，以便在沒有凹陷閘極的實施例中降低漏電流，並且是主要的"表面"狀態，但是不能高到足以藉變成導電層而提供加入缺陷或漏電流路徑。然而例如，在有凹陷閘極的本發明特定實施例中，如圖 2B 所示，如果絕緣區，比如 SiN 層或間隙層，是在帽蓋層 34' 與閘極接觸區 32 之間，

則可以提供高摻雜程度的p型雜質，使得帽蓋層34'可以當作導電層。

此外，在本發明的某些實施例中，摻雜區40可以用p型雜質進行摻雜處理，以便在摻雜區與帽蓋層34之間提供p-n接面，並且直接在摻雜區40上提供閘極接觸區32，以便提供接面HEMT(JHEMT)。在這種形下，摻雜區40不會延伸到歐姆接觸區30，可以藉如SiN層或間隙層的絕緣區而從摻雜區絕緣開。

在另外的實施例中，摻雜區40是用深度雜質摻雜過的區域。在沒有閘極凹陷區的本發明特定實施例中，摻雜區40延伸到帽蓋層34內約2.5 Å至約100 Å。在具有閘極凹陷區的本發明特定實施例中，摻雜區40延伸到帽蓋層34'內約30 Å至約5000 Å。利用深度雜質，摻雜區40可以提供約 10^{16} 至約 10^{22} cm⁻³至約的雜質濃度。該深度雜質可以是Fe、C、V、Cr、Mn、Ni、Co或其稀土元素。可以用深度雜質從表面狀態來過篩掉通道區，標訂表面能階到可預測且所需的位準，以降低及/或極小化補捉效應，以及降低漏電流。摻雜程度必須足夠高，以便在沒有凹陷閘極的實施例中降低漏電流，並且是主要"表面"狀態，但是不能高到造成重要的補捉效應。

圖3A與3B顯示出依據本發明實施例結合石墨及/或非定形BN鈍化層的電子裝置。可以如參閱圖1A、1B及/或圖2A、2B所述的，提供該基板10、通道層20、阻障層22、帽蓋層24、歐姆接觸區30與閘極接觸區32。如圖3A與3B

中進一步所顯示的，石墨及/或非定形BN鈍化層100、100'是在該裝置的已曝露表面上。在本發明的特定實施例中，石墨及/或非定形BN鈍化層100、100'是非單晶層。石墨及/或非定形BN鈍化層100、100'可以是當作單一層或可以是多層，並且可以與其它材料的薄層結合在一起，比如SiN或SiO_x。在該閘極是凹陷貫穿過BN鈍化層100的本發明特定實施例中，石墨或非定形BN鈍化層100可以具有約3 Å至約1 μm的厚度。在該閘極不是凹陷貫穿過BN鈍化層100'的本發明特定實施例中，石墨或非定形BN鈍化層100'可以具有約2 Å至約100 Å的厚度。因此在圖3B所示的實施例中，可以提供MISHEMT。此外如上所述，該閘極可以凹陷進入或貫穿過帽蓋層24，如圖所示，例如在圖1A與2B中，而且BN鈍化層100、100'可以延伸到帽蓋層24中的凹陷區內，進入凹陷區，並到阻障層22上，或終止於閘極接觸區32。因此在本發明的某些實施例中，MISHEMT可以具有凹陷閘極。

用以形成石墨或非定形BN的技術，比如藉MOCVD，對於熟知該技術領的人士來說是已知的，因此不需在此做進一步的說明。例如，BN層可以藉在承載氣體中TEB、NH₃的流動而形成。然而，石墨及/或非定形BN鈍化層100的形成必須在低於底下結構之分解溫度的溫度下進行，其中鈍化層100是在該底下結構上形成。因此，例如對於以GaN為主的結構來說，石墨及/或非定形BN鈍化層100必須在小於約1100°C的溫度下來形成，而且在某些

實施例中是小於約950°C。在某些實施例中，後續可以對鈍化層100進行退火處理，如上所述。

圖4A與4B顯示出依據本發明某些實施例結合SiC鈍化層的電子裝置。可以如參閱圖1A、1B及/或圖2A、2B所述的，提供該基板10、通道層20、阻障層22、帽蓋層24、歐姆接觸區30與閘極接觸區32。如圖4A與4B中進一步所顯示的，SiC鈍化層110、110'是在該裝置的已曝露表面上。在本發明的特定實施例中，SiC鈍化層110、110'是非單晶層。在本發明的某些實施例中，SiC鈍化層110、110'是絕緣的或p型的SiC。如果SiC鈍化層110'是p型SiC，則如SiN層或間隙層的絕緣區可以在SiC鈍化層110、110'與歐姆接觸區32之間。在本發明的某些實施例中，SiC鈍化層110、110'是3C的SiC，因為3C的SiC可以在低溫處理中於軸上(0001)六方晶系材料上形成。SiC鈍化層110、110'可以是當作單一層或多層，並且可以結合其它材料的薄層，比如SiN或SiO₂。在本發明的特定實施例中，其中該閘極是凹陷貫穿過SiC鈍化層110，該SiC鈍化層110可以具有約3 Å至約1 μm的厚度。在本發明的特定實施例中，其中該閘極不是凹陷貫穿過SiC鈍化層110'，該SiC鈍化層110'可以具有約2 Å至約100 Å的厚度。因此在圖4B所示的實施例中，可以提供MISHEMT。此外如上所述，該閘極可以凹陷進入或貫穿過帽蓋層24，例如圖1A與2B所示，而且SiC鈍化層110、110'可以延伸到帽蓋層24中的凹陷區內、進入該凹陷區並到達阻

障層 22 上，或可以終止在閘極接觸區 32 上。所以在本發明的某些實施例中，MISHEMT 可以具有凹陷閘極。

形成 SiC 層的技術對於熟知該技術領域的人士來說是已知的，而且因此，不需要在此做進一步說明。然而，SiC 鈍化層 110 的形成必須在低於底下結構之分解溫度的溫度下進行，其中鈍化層 110 是在該底下結構上形成。因此，例如對於以 GaN 為主的結構來說，SiC 鈍化層 110 必須在小於約 1100°C 的溫度下來形成，而且在某些實施例中是小於約 950°C。用以在這種低溫下形成 SiC 層的技術可以包括 CVD 或 PECVD，例如使用 SiH₄ 與 C₃H₈ 當作 Si 與 C 源，或非常低溫的濺鍍處理。此外，可以用雜質來摻雜該 SiC 層，以控制 SiC 鈍化層 110 的特性。例如，n 型 SiC 可以用 N 進行摻雜處理，p 型 SiC 可以用 Al 及 / 或 B 進行摻雜處理，而絕緣 SiC 可以用 V 或 Fe 進行摻雜處理。在某些實施例中，後續可以對鈍化層 100 進行退火處理，如上所述。

雖然 3A、3B 與 4A、4B 顯示出帽蓋層 24 上的鈍化層 100、100' 與 110、110'，但是可以提供其它的帽蓋層，比如帽蓋層 34，傳統的單一或多重帽蓋層，或是沒有帽蓋層。例如，鈍化層 100、100' 與 110、110' 可以與帽蓋層一起使用，在該帽蓋層的外部表面上包括 AlN 層，使得鈍化層是在 AlN 層上。所以，使用石墨或非定形 BN 鈍化層 100、100' 或 SiC 鈍化層 110、110' 必須不能被解釋成受限於圖 3A、3B 與 4A、4B 所示的特定結構，但是可以用在任何第 III 族氮化物半導體裝置或其它寬能隙半導體裝置。

雖然本發明已經參考HEMT結構做了說明，其中閘極是直接阻障層或帽蓋層之上，但是在本發明的某些實施例中，絕緣層可以在閘極與阻障層或帽蓋層之間。因此在本發明的某些實施例中，如Parikh等人標題為"INSULATING GATE ALGAN/GAN HEMT"的美國專利公開編號第2003/0020092案所述，其內容在此是以參考方式合併到本文中。在某些實施例中，絕緣層可以是石墨及/或非定形BN。

圖5A與5B進一步顯示出結合AlN帽蓋層54、54'的本發明實施例。圖5A也顯示出在具有貫穿過AlN帽蓋層54之凹陷閘極32的阻障層22上之AlN帽蓋層54。圖5B也顯示出在凹陷閘極32於AlN帽蓋層54'上之阻障層22上的AlN帽蓋層54'。AlN帽蓋層54、54'將該裝置的頂部(外部)表面以物理的方式從通道區中移開，可以降低表面效應。此外，AlN帽蓋層54、54'可以提供增加的化學穩定性並保護底下薄層，因為AlN帽蓋層54、54'在高溫下不會對蝕刻處理或其它化學反應敏感，因與Ga-N鍵比較起來Al-N鍵較強。

AlN帽蓋層54、54'可以在阻障層22上形成並覆蓋住，而且可以用磊晶方式成長出來及/或藉沉積處理而形成。通常，帽蓋層54、54'可以具有約0.2 nm至約500 nm的厚度。在具有AlN帽蓋層54'上之閘極的本發明特定實施例中，該AlN帽蓋層54'具有約2 Å至約50 Å的厚度。

可以藉傳統的磊晶成長技術來提供AlN帽蓋層54、

54'，在終止阻障層22之成長的期間內終止Ga源。因此例如，藉MOCVD成長來提供AlN帽蓋層54、54'，在成長之前以及成長期間內終止Ga源。

圖6顯示出本發明的另外實施例，其中保護層64是在阻障層22上。如圖6所示，歐姆接觸是在保護層64上。閘極接觸區32也可以在保護層64上。在本發明的某些實施例中，歐姆接觸30是直接保護層64上，而且閘極接觸區32也可以直接保護層64上。

保護層64可以在形成歐姆接觸30與閘極接觸區32之前，沉積在SiN層上。另一方式是，保護層64可以是BN或MgN層。MgN可以尤其適合使用於p型裝置，因為可以在對歐姆接觸材料進行退火處理時，提供額外的摻雜處理。保護層64可以是單一層，比如單一SiN、MgN或BN，或在某些實施例中，保護層64可以是多層，比如SiN層與AlN層。

保護層64可以具有約1 Å至約10 Å的厚度，而且在某些實施例中，可以具有約單一層的厚度。因為保護層64是薄的，所以不需要讓歐姆接觸區凹陷貫穿過該保護層64。與沒有這種保護層的裝置比較起來，可以經由較佳表面狀態的控制以及降低閘極漏電流來改善可靠度。

保護層64可以與阻障層的形成，一起在現場形成。因為保護層64可以非常的薄，所以比起Si源、B源或Mg源，只有很少的額外製造成本，而且只有很少的額外成長時間來沉積出薄的保護層64。此外，因為保護層64很

薄，所以不需額外的處理步驟來形成凹陷區給閘極及/或歐姆接觸區用。

雖然本發明的實施例已經參考特定的 HEMT 來做說明，但是本發明不應該解釋成受限於這些結構。例如，額外的薄層可以包括在 HEMT 裝置內，雖然從本發明所教導的內容中仍會獲得益處。這些額外的薄層可以包括 GaN 帽蓋層，例如描述於 Yu 等人的 "Schottky barrier engineering in III-V nitrides via the piezoelectric effect"，Applied Physics Letters，Vol. 73，No. 13，1998，或美國專利公開編號第 2002/0066908A1 案，於 2001 年七月 2 日提出申請而於 2002 年六月 6 日公開，標題為 "ALUMINUM GALLIUM NITRIDE/GALLIUM NITRIDE HIGH ELECTRON MOBILITY TRANSISTORS HAVING A GATE CONTACT ON A GALLIUM NITRIDE BASED CAP SEGMENT AND METHODS OF FABRICATING SAME"，其內容在此是以參考方式合併到本案中。在本些實施例中，可以沉積出比如 SiN、ONO 結構或非常高品質 AlN 的絕緣層，用以製造出 MISHEMT 及/或鈍化該表面。額外的薄層也可以包括組成漸變的轉移層或數個漸變轉移層。

此外，阻障層 22 也可以具有如上之美國專利公開編號第 2002/0167023A1 案所描述的多層。因此，本發明的實施例不應該被解釋成限制阻障層到單一層，而是包括，例如，具有結合 GaN、AlGaIn 及/或 AlN 層的阻障層。例如，GaN、AlN 結構可以用來降低或防止合金散射。所

以，本發明的實施例可以包括以氮化物為主的阻障層，這些以氮化物為主的阻障層可以包括以AlGa_N為主的阻障層、以AlN為主的阻障層以及其組合體。

雖然本發明的實施例已經參考凹陷貫穿過不同帽蓋層的歐姆接觸區30做了說明，但是在本發明的某些實施例中，歐姆接觸區30是在帽蓋層上或只是部分凹陷到帽蓋層內。所以，本發明的實施例不應該解釋成受限於具有凹陷貫穿過帽蓋層的歐姆接觸區結構。

在圖式與說明書中，已經揭示出本發明的一般實施例，而且雖然已經使用特定的用詞，但是它們只是以通用性且與說明性的方式來使用，而不是為了限制的目的。

【圖式簡單說明】

圖1A至1B是顯示出依據本發明某些實施例具帽蓋層之電晶體的剖示圖。

圖2A至2B是顯示出依據本發明某些實施例具帽蓋層之電晶體的剖示圖。

圖3A至3B是顯示出依據本發明實施例石墨及/或非定形BN鈍化層的剖示圖。

圖4A至4B是顯示出依據本發明某些實施例SiC鈍化層的剖示圖。

圖5A至5B是顯示出依據本發明某些實施例具帽蓋層之電晶體的剖示圖。

圖6是顯示出依據本發明某些實施例在保護層上具歐姆

接觸區之電晶體的剖示圖。

【主要元件符號說明】

10	基板
20	通道層
22	阻障層
24, 24', 34, 34', 54, 54'	帽蓋層
25, 25'	外部表面
30	歐姆接觸區
32	閘極接觸區
36	凹陷區
40, 40'	摻雜區
100, 100', 110, 110'	BN鈍化層

十、申請專利範圍：

P.1-8

1. 一種第 III 族氮化物高電子游動率電晶體，其係包括：
 - 一以第 III 族氮化物為主的通道層；
 - 一在該通道層上以第 III 族氮化物為主的阻障層；以及
 - 一在該阻障層上以非均勻組成 AlGa_N 為主的帽蓋層，並且與該以 AlGa_N 為主之帽蓋層內區域出現的 Al 濃度比較起來，相鄰到遠離該阻障層之該帽蓋層的表面上具有較高濃度的 Al。
2. 如請求項 1 之電晶體，進一步包括一閘極接觸區，該閘極接觸區是凹陷到該以 AlGa_N 為主的帽蓋層內，並且在其中，較高濃度的 Al 延伸到該帽蓋層內約 30 Å 至約 1000 Å。
3. 如請求項 1 之電晶體，進一步包括一閘極接觸區，該閘極接觸區是在該以 AlGa_N 為主的帽蓋層上，而不是凹陷到該以 AlGa_N 為主的帽蓋層內，並且在其中，較高濃度的 Al 延伸到該帽蓋層內約 2.5 Å 至約 100 Å。
4. 如請求項 1 之電晶體，其中該以 AlGa_N 為主的帽蓋層包括一相鄰在遠離該阻障層之該帽蓋層表面上的 Al_xGa_{1-x}N 第一區，其中 $x \leq 1$ ，以及一在該以 AlGa_N 為主之帽蓋層內的 Al_yGa_{1-y}N 第二區，其中 $y < 1$ 且 $y < x$ 。
5. 如請求項 4 之電晶體，其中該 x 的數值可以從約 0.3 到約 1，而該 y 的數值可以從約 0.2 到約 0.9。
6. 如請求項 4 之電晶體，其中該以 AlGa_N 為主的帽蓋層進一步包括在該阻障層與以該 AlGa_N 為主的帽蓋層之間的界面上之一 Al_zGa_{1-z}N 第三區，其中 $z < 1$ 且 $z \neq y$ 。

7. 如請求項6之電晶體，其中該 $z > y$ 。
8. 如請求項7之電晶體，其中該 $z > x$ 。
9. 如請求項6之電晶體，其中該 $z \leq x$ 。
10. 如請求項1之電晶體，其中該通道層包括一GaN層，該阻障層包括一AlGaN層而該帽蓋層包括一AlGaN層。
11. 一種第III族氮化物高電子游動率電晶體，其係包括：
 - 一以第III族氮化物為主的通道層；
 - 一在該通道層上以第III族氮化物為主的阻障層；以及
 - 一在該阻障層上以第III族氮化物為主的帽蓋層，並且具有一摻雜區，該摻雜區是相鄰到遠離該阻障層的該帽蓋層表面。
12. 如請求項11之電晶體，其中該摻雜區包括一被n型雜質摻雜過摻雜區。
13. 如請求項12之電晶體，其中該n型雜質包括Si、Ge及/或O。
14. 如請求項12之電晶體，進一步包括一在該帽蓋層上的閘極接觸區，但不凹陷進入該帽蓋層內，而且其中該摻雜區延伸到該帽蓋層內約2.5 Å至約50 Å。
15. 如請求項12之電晶體，進一步包括一凹陷進入該帽蓋層內的閘極接觸區，而且其中該摻雜區延伸到該帽蓋層內約20 Å至約5000 Å。
16. 如請求項12之電晶體，其中該摻雜區提供一約 10^{18} 至約 10^{21} cm^{-3} 的摻雜濃度。
17. 如請求項12之電晶體，其中該摻雜區包括一個或多個三

- 角形摻雜區，在該帽蓋層的界面上或接近該帽蓋層的界面處。
18. 如請求項17之電晶體，其中該一個或多個突變摻雜區具有一約 10^{11} 至約 10^{15} cm^{-2} 的摻雜濃度。
 19. 如請求項12之電晶體，其中該n型雜質包括O，而該摻雜區延伸到該蓋層內約20 Å。
 20. 如請求項11之電晶體，其中該摻雜區包括一用p型雜質摻雜的區域。
 21. 如請求項20之電晶體，進一步包括一在該帽蓋層上並且沒有凹陷到該帽蓋層內的閘極接觸區，其中該摻雜區延伸到該帽蓋層內約2.5 Å至約50 Å。
 22. 如請求項20之電晶體，進一步包括一凹陷到該帽蓋層內的閘極接觸區，而且其中該摻雜區延伸到該帽蓋層內約30 Å至約5000 Å。
 23. 如請求項20之電晶體，其中該p型雜質提供一約 10^{16} 至約 10^{22} cm^{-3} 的摻雜濃度。
 24. 如請求項20之電晶體，其中該p型雜質包括Mg、Be、Zn、Ca及/或C。
 25. 如請求項20之電晶體，其中該摻雜區包括一個或多個三角形摻雜區，在該帽蓋層的界面上或接近該帽蓋層的界面處。
 26. 如請求項25之電晶體，其中該突變摻雜區具有一約 10^{11} 至約 10^{15} cm^{-2} 的摻雜濃度。
 27. 如請求項20之電晶體，進一步包括：

一在該帽蓋層上的凹陷區；

一在該凹陷區內且不直接接觸到該帽蓋層的閘極接觸區；以及

其中該p型雜質的程度提供一在該帽蓋層內的導電區。

28. 如請求項20之電晶體，進一步包括一在該凹陷區之側壁上的絕緣層，而且其中該閘極接觸區是在該凹陷區的絕緣層上。

29. 如請求項20之電晶體，其中該摻雜區形成一p-n接面，而且其中該閘極接觸區是在該摻雜區上。

30. 如請求項11之電晶體，其中該摻雜區包括一用深度雜質摻雜過的區域。

31. 如請求項30之電晶體，進一步包括一在該帽蓋層上且沒有凹陷到該帽蓋層內的閘極接觸區，其中該摻雜區延伸到該帽蓋區內約2.5 Å至約100 Å。

32. 如請求項30之電晶體，進一步包括一凹陷到該帽蓋層內的閘極接觸區，其中該摻雜區延伸到該帽蓋區內約30 Å至約5000 Å。

33. 如請求項30之電晶體，其中該深度雜質提供一約 10^{16} 至約 10^{22} cm^{-3} 的摻雜濃度。

34. 如請求項30之電晶體，其中該深度雜質包括Fe、C、V、Cr、Mn、Ni、Co及/或其它稀土元素。

35. 如請求項11之電晶體，其中該摻雜區包括一第一摻雜區，其中該帽蓋層進一步包括一在該阻障層與該第一摻雜區之間的第二摻雜區，該第二摻雜區具有一小於該第

一摻雜區之雜質濃度的雜質濃度。

36. 如請求項35之電晶體，其中該第二摻雜區包括一不在該第一摻雜區內之該帽蓋層的剩餘部分。
37. 如請求項11之電晶體，其中該帽蓋層是用n型雜質、p型雜質與深度雜質中的至少二種來進行摻雜處理。
38. 如請求項11之電晶體，其中該通道層包括一GaN層，該阻障層包括一AlGaN層，而且該帽蓋層包括一GaN或AlGaN層。
39. 一種製造一第III族氮化物高電子游動率電晶體的方法，其係包括：
形成一以第III族氮化物為主的通道層；
形成一在該通道層上以第III族氮化物為主的阻障層；
以及
形成一在該阻障層上以非均勻組成AlGaN為主的帽蓋層，並且在遠離該阻障層的該帽蓋層表面上具有一比出現在該以AlGaN為主的帽蓋層內的Al濃度還高的Al濃度。
40. 如請求項39之方法，其中該形成一以非均勻組成AlGaN為主的帽蓋層包括：
形成一相鄰到該帽蓋層表面的 $Al_xGa_{1-x}N$ 第一區，其中 $x \leq 1$ ，以及
形成一在該以AlGaN為主之帽蓋層內的 $Al_yGa_{1-y}N$ 第二區，其中 $y < 1$ 且 $y < x$ 。
41. 一種製造一第III族氮化物高電子游動率電晶體的方法，

其係包括：

形成一以第III族氮化物為主的通道層；

形成一在該通道層上以第III族氮化物為主的阻障層；

以及

形成一在該阻障層上以第III族氮化物為主的帽蓋層，並且具有一相鄰到遠離該阻障層的該帽蓋層表面摻雜區。

42. 如請求項41之方法，其中該摻雜區是用n型雜質、p型雜質及/或深度雜質來進行摻雜處理。

43. 一種第III族氮化物高電子游動率電晶體，其係包括：

一以第III族氮化物為主的通道層；

一在該通道層上以第III族氮化物為主的阻障層；以及

一在該阻障層上的AlN帽蓋層。

44. 如請求項43電晶體，進一步包括一閘極接觸區，凹陷到該AlN帽蓋層內，而且其中該AlN帽蓋層具有約10 Å至約5000 Å的厚度。

45. 如請求項43電晶體，進一步包括一閘極接觸區，在該AlN帽蓋層上且沒有凹陷到該AlN帽蓋層內，而且其中該AlN帽蓋層具有約2 Å至約50 Å的厚度。

46. 如請求項43電晶體，其中該通道層包括一GaN層，而且該阻障層包括一AlGaN層。

47. 如請求項43電晶體，進一步包括至少一第III族氮化物層，配置在該AlN帽蓋層與該阻障層之間。

48. 如請求項43電晶體，其中該AlN帽蓋層是非單晶。

49. 如請求項43電晶體，其中該AlN帽蓋層的晶體結構不與其上形成該AlN帽蓋層的層晶體結構相一致。
50. 一種製造一第III族氮化物高電子游動率電晶體的方法，其係包括：
- 形成一以第III族氮化物為主的通道層；
 - 形成一在該通道層上以第III族氮化物為主的阻障層；
 - 以及
 - 形成一在該阻障層上的AlN帽蓋層。
51. 一種第III族氮化物高電子游動率電晶體，其係包括：
- 一以第III族氮化物為主的通道層；
 - 一在該通道層上以第III族氮化物為主的阻障層；
 - 一在該阻障層上的保護層；
 - 一在該阻障層上的閘極接觸區；以及
 - 數個在該保護層上的歐姆接觸區。
52. 如請求項51的電晶體，其中該保護層包括SiN。
53. 如請求項51的電晶體，其中該保護層包括BN。
54. 如請求項51的電晶體，其中該保護層包括MgN。
55. 如請求項51的電晶體，其中該保護層包括SiO₂、MgO、Al₂O₃、Sc₂O₃及/或AlN。
56. 如請求項51的電晶體，其中該保護層具有約單一層的厚度。
57. 如請求項51的電晶體，其中該保護層包括數個多層。
58. 如請求項57的電晶體，其中該等多層包括一SiN層與一AlN層。
59. 如請求項51的電晶體，其中該保護層具有約1 Å至10 Å

約的厚度。

60. 如請求項51的電晶體，其中該閘極接觸區是在該保護層上。
61. 如請求項51的電晶體，其中該等歐姆接觸區是直接在此保護層上。
62. 一種製造一第III族氮化物高電子游動率電晶體的方法，其係包括：
 - 形成一以第III族氮化物為主的通道層；
 - 形成一在該通道層上以第III族氮化物為主的阻障層；
 - 形成一在該阻障層上的保護層；
 - 形成一在該阻障層上的閘極接觸區；以及
 - 形成數個在該保護層上的歐姆接觸區。
63. 如請求項62的方法，其中該形成保護層是在現場與形成該阻障層時一起進行。
64. 如請求項62的方法，其中該形成保護層包括形成一包括SiN、BN及/或MgN的薄層。
65. 如請求項62的方法，其中該保護層是形成一約單一層的厚度。
66. 如請求項62的方法，其中該形成保護層包括形成數個多層。
67. 如請求項66的方法，其中該形成該等多層包括形成一SiN層與形成一AlN層。
68. 如請求項62的方法，其中該保護層是形成一約1 Å至約10 Å的厚度。

十一、圖式：

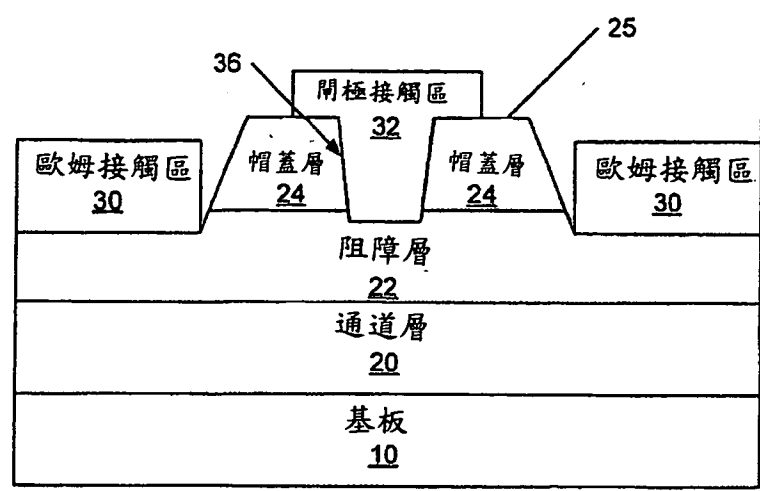


圖 1 A

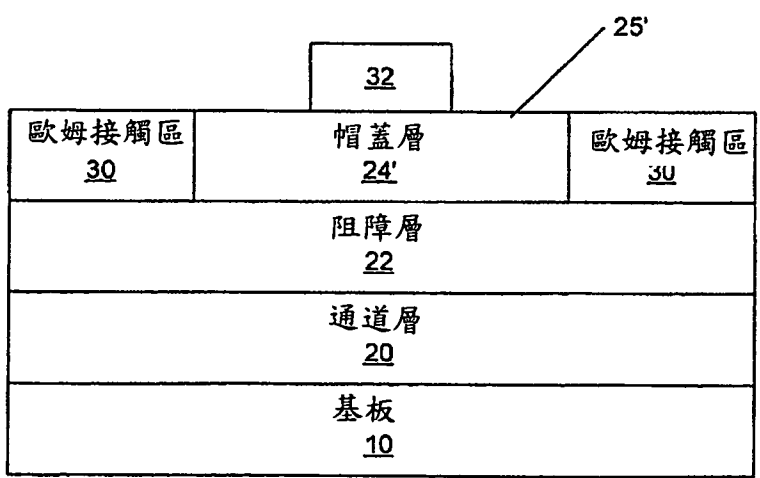


圖 1 B

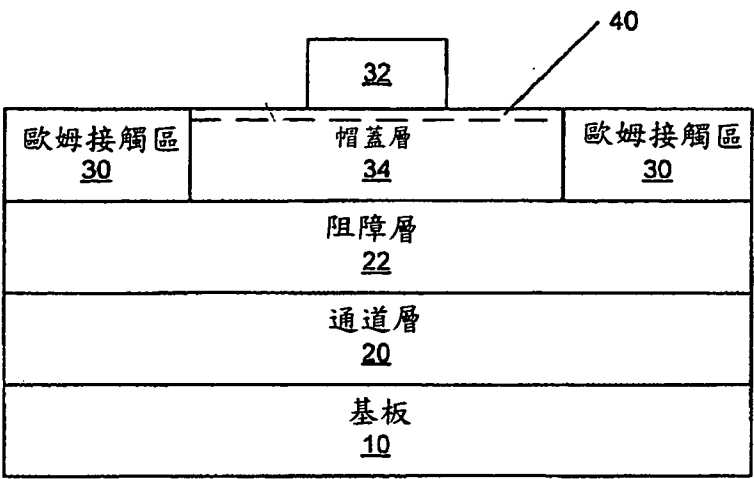


圖 2A

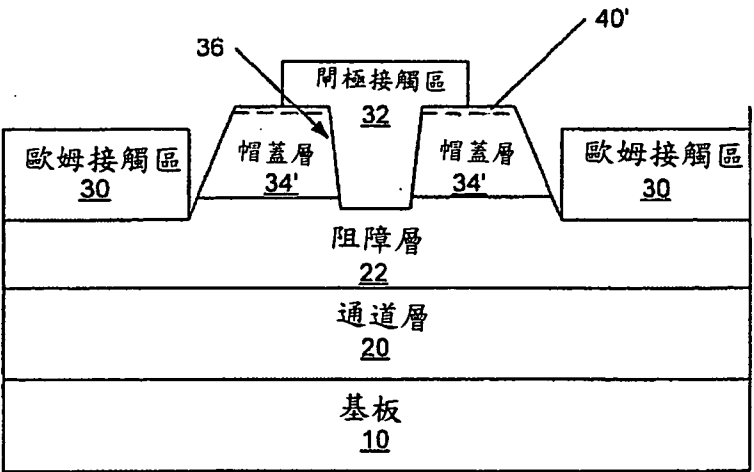


圖 2B

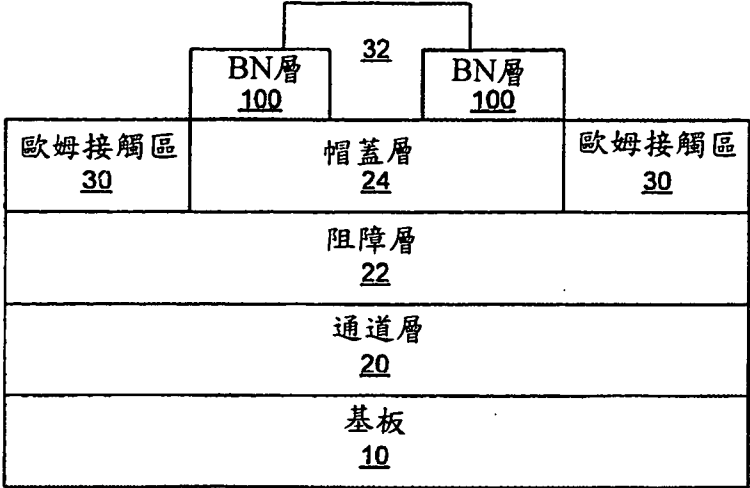


圖 3 A

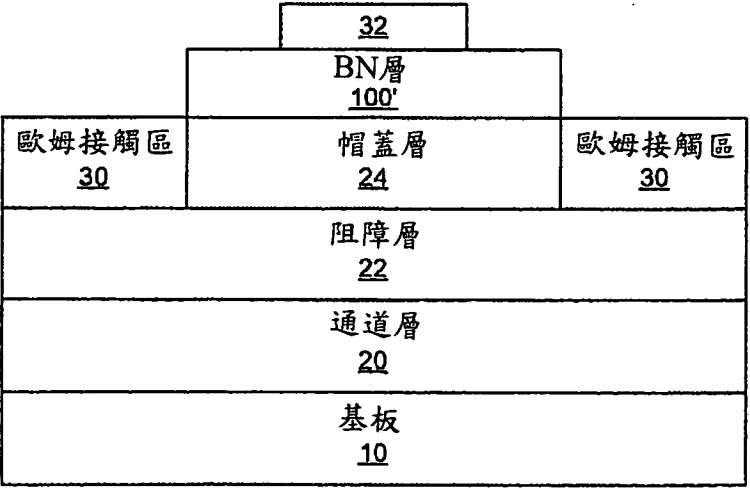


圖 3 B

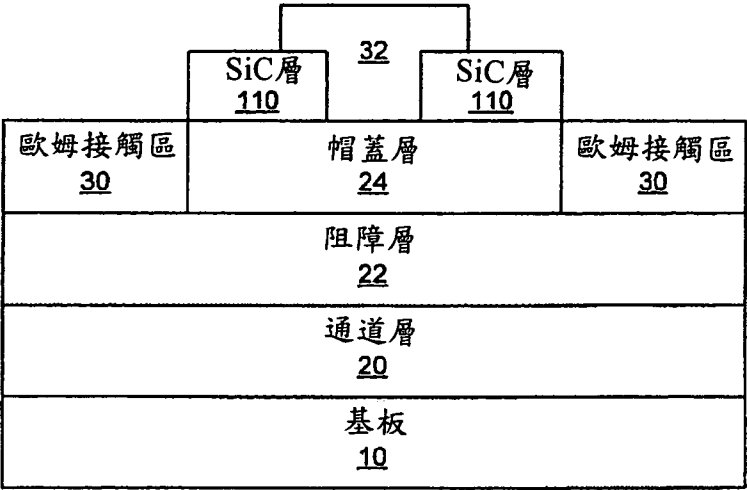


圖 4A

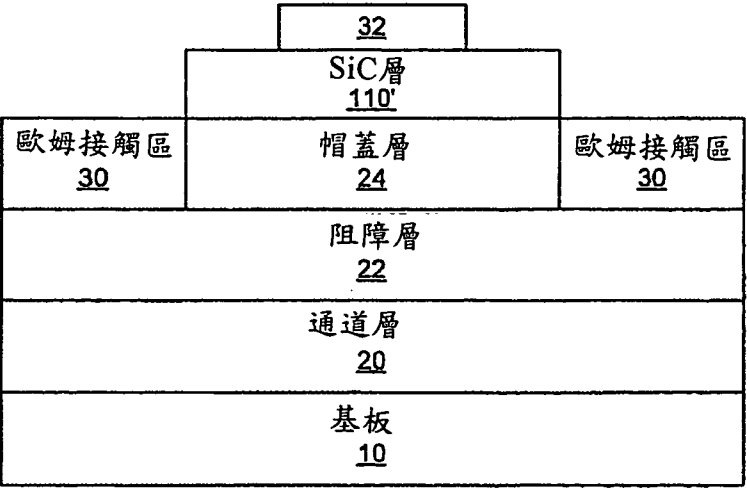


圖 4B

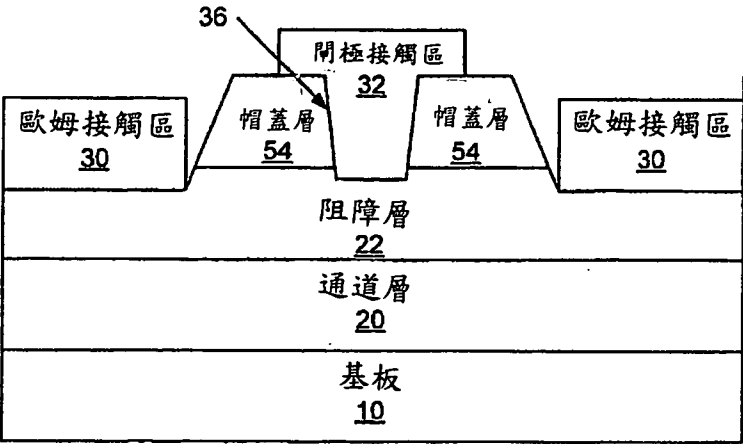


圖 5A

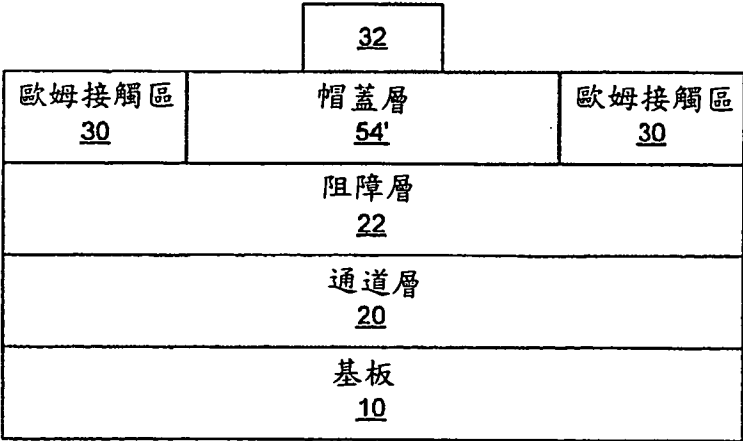


圖 5B

歐姆接觸區 30	32	歐姆接觸區 30
64		
阻障層 22		
通道層 20		
基板 10		

圖 6