(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第3624845号
(P3624845)
(45)発行日　平成17年3月2日(2005.3.2)　(24)登録日　平成16年12月10日(2004.12.10)

(51)Int.Cl.[7]	F I	
H01L 27/148	H01L 27/14	B
H01L 31/10	H04N 5/335	F
H04N 5/335	H04N 5/335	U
	H01L 31/10	A

請求項の数 9　(全 12 頁)

(21)出願番号　特願2001-78506(P2001-78506)
(22)出願日　平成13年3月19日(2001.3.19)
(65)公開番号　特開2002-280539(P2002-280539A)
(43)公開日　平成14年9月27日(2002.9.27)
審査請求日　平成15年1月20日(2003.1.20)

(73)特許権者　000002185
ソニー株式会社
東京都品川区北品川６丁目７番３５号
(74)代理人　100089875
弁理士　野田　茂
(72)発明者　飯塚　崇之
東京都品川区北品川６丁目７番３５号　ソニー株式会社内
(72)発明者　山下　満
東京都品川区北品川６丁目７番３５号　ソニー株式会社内

審査官　齋藤　恭一

(56)参考文献　特開平０６－１６５０４０（ＪＰ，Ａ）
最終頁に続く

(54)【発明の名称】固体撮像素子

(57)【特許請求の範囲】
【請求項１】
多数の光電変換素子と、
前記光電変換素子が生成した信号電荷を転送する第１および第２の電荷転送レジスターと、第１および第２の信号電荷検出部と、
第１および第２のトランジスターとを半導体基板上に形成して構成され、
前記第１および第２の電荷転送レジスターは互いに異なる方向に電荷を転送し、前記第１および第２の信号電荷検出部はそれぞれ前記第１および第２の電荷転送レジスターの電荷転送先の一端部に近接して形成され前記第１および第２の電荷転送レジスターからそれぞれ電荷を受け取って電荷量に応じた大きさの電圧を出力し、
前記第１および第２のトランジスターは、前記第１および第２の信号電荷検出部の出力電圧がそれぞれ入力されるゲートならびに同ゲートに近接して形成されたソースおよびドレインを含む固体撮像素子であって、
前記第１の信号電荷検出部および前記第１のトランジスターのソース、ドレイン、ならびにゲートと、前記第２の信号電荷検出部および前記第２のトランジスターのソース、ドレイン、ならびにゲートとは、対応するものどうしの形状が平面視において合同に形成され、かつ、前記第１の信号電荷検出部および前記第１のトランジスターのソース、ドレイン、ならびにゲートの位置関係と、前記第２の信号電荷検出部および前記第２のトランジスターのソース、ドレイン、ならびにゲートの位置関係とが同一となるように形成されている、

ことを特徴とする固体撮像素子。
【請求項２】
前記第１および第２の電荷転送レジスターは、前記半導体基板の表面部に形成された、前記半導体基板とは異なる導電型の領域から成る転送路と、同転送路の上に電荷転送方向に配列された複数の転送電極とを含み、前記転送路は、前記第１および第２の信号電荷検出部側の端部が、平面視において、前記転送路全体を電荷転送方向に対し斜めに横断して切断した形状に形成され、前記第１および第２の信号電荷検出部はそれぞれ対応する前記第１および第２の電荷転送レジスターの前記端部の先端部に近接して形成されていることを特徴とする請求項１記載の固体撮像素子。
【請求項３】
前記光電変換素子は前記半導体基板上にマトリックス状に配列され、前記光電変換素子の各列ごとに垂直電荷転送レジスターが前記半導体基板上に形成されて各列の前記光電変換素子が受光生成した信号電荷は対応する前記垂直電荷転送レジスターによって転送され、前記光電変換素子は第１および第２のグループに分けられ、前記第１および第２の電荷転送レジスターはそれぞれ第１および第２のグループの前記光電変換素子に対応する第１および第２の水平電荷転送レジスターとして設けられ、前記第１および第２の水平電荷転送レジスターはそれぞれ第１および第２のグループの前記光電変換素子が生成した信号電荷を前記垂直電荷転送レジスターより受け取ってそれぞれ前記第１および第２の信号電荷検出部に向けて転送することを特徴とする請求項１記載の固体撮像素子。
【請求項４】
前記第１および第２の水平電荷転送レジスターは前記半導体基板上の同一仮想直線上に、一端部を対向させて形成されていることを特徴とする請求項３記載の固体撮像素子。
【請求項５】
前記第１および第２の水平電荷転送レジスターの前記対向端部と反対側の端部側に前記第１および第２の信号電荷検出部および前記第１および第２のトランジスターがそれぞれ形成されていることを特徴とする請求項４記載の固体撮像素子。
【請求項６】
前記第１および第２のトランジスターはＭＯＳ型トランジスターであることを特徴とする請求項１記載の固体撮像素子。
【請求項７】
前記第１および第２のトランジスターに近接する前記半導体基板の表面部にそれぞれ形成された第１および第２の電荷掃き捨て部を含み、前記第１および第２の電荷掃き捨て部はそれぞれ前記第１および第２のトランジスターの前記ゲートに近接して形成された電荷掃き捨てゲートと、前記電荷掃き捨てゲートを挟み前記第１および第２のトランジスターの前記ゲートと反対側に形成された電荷掃き捨て領域とを含み、前記第１の電荷掃き捨て部の前記電荷掃き捨てゲートおよび電荷掃き捨て領域の形状と、前記第２の電荷掃き捨て部の前記電荷掃き捨てゲートおよび電荷掃き捨て領域の形状とは対応するものどうしが平面視において合同に形成されていることを特徴とする請求項１記載の固体撮像素子。
【請求項８】
前記第１の信号電荷検出部および前記第１のトランジスターの位置関係と、前記第２の信号電荷検出部および前記第２のトランジスターの位置関係とは同一であることを特徴とする請求項１記載の固体撮像素子。
【請求項９】
前記第１のトランジスターにおけるソース、ドレイン、ならびにゲートの形状および位置関係と、前記第２のトランジスターにおけるソース、ドレイン、ならびにゲートの形状および位置関係とは同一であることを特徴とする請求項１記載の固体撮像素子。
【発明の詳細な説明】
【０００１】
【発明の属する技術分野】
本発明は固体撮像素子に関するものである。

【０００２】
【従来の技術】
図２は従来の固体撮像素子の一例を示す平面図である。
図２に示した固体撮像素子１０２は、シリコンから成る半導体基板１０４の受光領域１０５上に多数の光電変換素子１０６を相互に間隔をおきマトリクス状に配列して構成されている。そして光電変換素子１０６の各列ごとにＣＣＤ（Ｃｈａｒｇｅ　Ｃｏｕｐｌｅｄ　Ｄｅｖｉｃｅ）構造の垂直電荷転送レジスター１０８が、光電変換素子１０６の列方向（矢印Ｖ）に延設され、垂直電荷転送レジスター１０８の一端部側に同じくＣＣＤ構造の水平電荷転送レジスター１１０が、光電変換素子１０６の行方向（矢印Ｈ）に延設されている。水平電荷転送レジスター１１０の一方の端部には出力部１１２が形成されている。
【０００３】
このような構成において、各列の各光電変換素子１０６が光を受けて生成した信号電荷は、光電変換素子１０６と垂直電荷転送レジスター１０８との間に介在する不図示の読み出し領域を経て、対応する垂直電荷転送レジスター１０８に供給され、垂直電荷転送レジスター１０８はこの電荷を順次、水平電荷転送レジスター１１０に向けて転送する。水平電荷転送レジスター１１０はこれらの電荷を各垂直電荷転送レジスター１０８から受け取って出力部１１２に転送し、出力部１１２は転送されてきた信号電荷を電圧信号に変換するとともに増幅して出力する。
【０００４】
ところで、このような固体撮像素子１０２において、撮影画像の解像度を高めるべく多画素化を図る場合には、より多数の光電変換素子１０６を半導体基板上に配列すればよい。しかし、光電変換素子１０６の数が多くなると、信号電荷の転送に要する時間が長くなり、撮影画像を表示する場合に充分なフレーム周波数を確保することが困難となる。
【０００５】
図３は、この問題を解決するために光電変換素子１０６を２分割して２つの水平電荷転送レジスターにより電荷を転送する構成とした従来の固体撮像素子の一例を示す模式図である。図３に示した固体撮像素子１１４では、半導体基板上の受光領域１０５は、第１および第２の受光領域１１６、１１８に分割され、マトリクス状に配列された多数の光電変換素子は第１の受光領域１１６に配列されたグループと、第２の受光領域１１８に配列されたグループとに分けられている。各受光領域１１６、１１８の光電変換素子が生成した信号電荷は、光電変換素子の各列ごとに設けた垂直電荷転送レジスターによりそれぞれ第１および第２の水平電荷転送レジスター１２０、１２２に転送される。なお、図３では光電変換素子および垂直電荷転送レジスターは省略されている。
【０００６】
第１および第２の水平電荷転送レジスター１２０、１２２は垂直電荷転送レジスターから信号電荷を受け取ると、受け取った信号電荷を同時に、それぞれ反対の方向に向けて転送し、それぞれの端部に形成された第１および第２の出力部１２４、１２６に供給する。そして第１および第２の出力部１２４、１２６からは、第１および第２の受光領域１１６、１１８に配列された光電変換素子による撮影画像の信号が同時に出力される。したがって、この固体撮像素子１１４では、１つの水平電荷転送レジスターを用いた場合に比べ電荷の転送に要する時間は半分に短縮される。
【０００７】
図４は図３に示した第１および第２の水平電荷転送レジスター１２０、１２２の端部にそれぞれ設けられた第１および第２の出力部１２４、１２６を詳しく示す平面図である。
第１および第２の出力部１２４、１２６は、それぞれ第１および第２の信号電荷検出部１２８、１３０、第１および第２のトランジスター１３２、１３４、ならびに第１および第２の電荷掃き捨て部１３６、１３８により構成されている。第１および第２の水平電荷転送レジスター１２０、１２２は、たとえばｐ型の半導体基板の表面部に形成されたたとえばｎ型の領域から成る転送路１４０と、その上に、電荷転送方向に配列された転送電極（図示せず）とを含んで構成され、転送路１４０は、図４に示したように、端部においてし

だいに幅が狭くなるように形成されている。第１および第２の信号電荷検出部１２８、１３０はこの転送路１４０の先端部に近接して、半導体基板表面部のたとえばｎ型領域として形成されている。

【０００８】

第１および第２のトランジスター１３２、１３４は、それぞれゲート１４２、ソース１４４、ならびにドレイン１４６を含み、ゲート１４２は、たとえばポリシリコンから成り、その一端部が第１および第２の信号電荷検出部１２８、１３０の上に重なるように配置され、本例では、第１のトランジスター１３２のゲート１４２は、図４において、左上方向に延在し、一方、第２のトランジスター１３４のゲート１４２は右上方向に延在している。第１および第２のトランジスター１３２、１３４のソース１４４およびドレイン１４６はゲート１４２を挟んで上下に、半導体基板表面部のたとえばｎ型領域として形成されている。

【０００９】

第１および第２の電荷掃き捨て部１３６、１３８は、図４に示したように、電荷掃き捨て領域１５０と電荷掃き捨てゲート１５２とを含み、電荷掃き捨てゲート１５２は第１および第２のトランジスター１３２、１３４のゲート１４２に近接して配置され、電荷掃き捨て領域１５０は電荷掃き捨てゲート１５２を挟みゲート１４２と反対側の箇所に、半導体基板表面部のたとえばｎ型領域として形成されている。

【００１０】

そして、第１および第２の信号電荷検出部１２８、１３０、第１および第２のトランジスター１３２、１３４の各構成要素、ならびに第１および第２の電荷掃き捨て部１３６、１３８の各構成要素の形状は、図４に示したように、第１および第２の水平電荷転送レジスター１２０、１２２の間に、水平電荷転送レジスター１１０の延在方向に直交して引いた仮想直線１５４に関して、線対称となっている。

【００１１】

このような構成において、第１および第２の水平電荷転送レジスター１２０、１２２を転送されてきた信号電荷はそれぞれ第１および第２の信号電荷検出部１２８、１３０により電荷量に応じた大きさの電圧信号に変換され、第１および第２のトランジスター１３２、１３４はこの電圧信号をそれぞれ増幅してドレイン１４６より出力する。

また、電荷掃き捨てゲート１５２は、第１および第２の水平電荷転送レジスター１２０、１２２における電荷転送に同期して制御され、不要となった第１および第２の信号電荷検出部１２８、１３０の信号電荷が、電荷掃き捨てゲート１５２を通じて電荷掃き捨て領域１５０へと破棄される。

【００１２】

【発明が解決しようとする課題】

上述した第１および第２の出力部１２４、１２６を構成する第１および第２のトランジスター１３２、１３４や第１および第２の電荷掃き捨て部１３６、１３８は、周知の半導体プロセスにより複数の工程を経て半導体基板上に形成される。その際、フォトレジストやシリコン窒化膜などの複数のマスクが各工程で、たとえばフォトリソグラフィーによって形成され、ソース１４４、ドレイン１４６、ゲート１４２などが半導体基板上の決められた位置に決められた形状で構成される。

【００１３】

ところで、たとえばフォトリソグラフィーによりたとえばフォトレジストによるマスクを形成する場合、レチクルを通じて半導体基板上のフォトレジスト膜を露光し、その後、現像によりパターン化してマスクとするが、このように形成されるマスクの位置はマスク面上で、通常、一定の許容誤差範囲内で上下左右にわずかにずれている。

【００１４】

したがって、たとえば第１および第２のトランジスター１３２、１３４のゲート１４２を形成するためのマスクの位置が、第１および第２のトランジスター１３２、１３４のソース１４４およびドレイン１４６を形成するためのマスクの位置より若干ずれたとすると、

第１および第２のトランジスター１３２、１３４のゲート１４２はともに第１および第２のトランジスター１３２、１３４のソース１４４およびドレイン１４６に対して本来の位置からずれた位置に形成さることになる。このようにゲート１４２の位置が変化すると、第１および第２のトランジスター１３２、１３４の特性は当然影響を受け、各トランジスターのたとえば増幅度が変化する。

【００１５】

図５の（Ａ）および（Ｂ）はそれぞれマスクのずれによって第１および第２のトランジスター１３２、１３４のゲート１４２が本来の位置よりともに若干右側に形成された場合を強調して示す部分平面図である。

図５の（Ａ）に示したように、ゲート１４２を形成するためのマスクが右にずれた場合、第１のトランジスター１３２のゲート１４２も右に変位して形成され、その結果、第１のトランジスター１３２のドレイン１４６は面積が狭くなり、一方、第１のトランジスター１３２のソース１４４は面積が広くなる。

これに対して、図５の（Ｂ）に示したように、第２のトランジスター１３４では、ゲート１４２が右に変位する結果、第２のトランジスター１３４のドレイン１４６は面積が広くなり、一方、第２のトランジスター１３４のソース１４４は面積が狭くなる。

【００１６】

したがって、形成されるマスクのずれによって第１および第２のトランジスター１３２、１３４の特性はともに変化するが、その変化の仕方は第１および第２のトランジスター１３２、１３４で異なっており、たとえば一方のトランジスターの増幅度が高くなれば、もう一方のトランジスターでは増幅度は低くなるといった現象が起こる。

【００１７】

第１および第２のトランジスター１３２、１３４の増幅度がこのように相互に異なると、各トランジスターから出力される信号のレベルも異なり、そのため、これらの信号にもとづいて撮影画像を表示した場合には、たとえば画面の左側と右側とで画像の明るさやコントラストに差が生じてしまう。

そして、第１および第２の信号電荷検出部１２８、１３０、ならびに第１および第２の電荷掃き捨て部１３６、１３８に関してもマスクのずれによって同様の現象が発生し、第１および第２の出力部１２４、１２６から出力される信号レベルに差が生じる。

【００１８】

本発明はこのような問題を解決するためになされたもので、その目的は、光電変換素子が生成した信号電荷を複数の電荷転送レジスターにより異なる方向に転送する場合に、電荷転送レジスターごとに設ける出力部を、電気的特性に差を生じることなく形成できるようにした固体撮像素子を提供することにある。

【００１９】

【課題を解決するための手段】

本発明は上記目的を達成するため、多数の光電変換素子と、前記光電変換素子が生成した信号電荷を転送する第１および第２の電荷転送レジスターと、第１および第２の信号電荷検出部と、第１および第２のトランジスターとを半導体基板上に形成して構成され、前記第１および第２の電荷転送レジスターは互いに異なる方向に電荷を転送し、前記第１および第２の信号電荷検出部はそれぞれ前記第１および第２の電荷転送レジスターの電荷転送先の一端部に近接して形成され前記第１および第２の電荷転送レジスターからそれぞれ電荷を受け取って電荷量に応じた大きさの電圧を出力し、前記第１および第２のトランジスターは、前記第１および第２の信号電荷検出部の出力電圧がそれぞれ入力されるゲートならびに同ゲートに近接して形成されたソースおよびドレインを含む固体撮像素子であって、前記第１の信号電荷検出部および前記第１のトランジスターのソース、ドレイン、ならびにゲートと、前記第２の信号電荷検出部および前記第２のトランジスターのソース、ドレイン、ならびにゲートとは、対応するものどうしの形状が平面視において合同に形成され、かつ、前記第１の信号電荷検出部および前記第１のトランジスターのソース、ドレイン、ならびにゲートの位置関係と、前記第２の信号電荷検出部および前記第２のトランジ

スターのソース、ドレイン、ならびにゲートの位置関係とが同一となるように形成されていることを特徴とする。
なお、前記第１の信号電荷検出部および前記第１のトランジスターのソース、ドレイン、ならびにゲートの位置関係と、前記第２の信号電荷検出部および前記第２のトランジスターのソース、ドレイン、ならびにゲートの位置関係とが同一となるとは、前記第１の信号電荷検出部および前記第１のトランジスターのソース、ドレイン、ならびにゲートを平行移動させたときに、前記第１の信号電荷検出部および前記第１のトランジスターのソース、ドレイン、ならびにゲートの形状が前記第２の信号電荷検出部および前記第２のトランジスターのソース、ドレイン、ならびにゲートの形状のそれぞれと互いに一致するということである。

【００２０】
本発明の固体撮像素子では、上述のように第１の信号電荷検出部、および第１のトランジスターのソース、ドレイン、ならびにゲートと、第２の信号電荷検出部、および第２のトランジスターのソース、ドレイン、ならびにゲートとは、対応するものどうしの形状が平面視において合同に形成され、かつ、第１の信号電荷検出部および第１のトランジスターのソース、ドレイン、ならびにゲートの位置関係と、前記第２の信号電荷検出部および第２のトランジスターのソース、ドレイン、ならびにゲートの位置関係とが同一となるように形成されている。したがって、第１および第２の信号電荷検出部ならびに第１および第２のトランジスターを半導体基板上に形成する際にマスクにずれが生じ、第１および第２の信号電荷検出部、あるいは第１および第２のトランジスターのソース、ドレイン、またはゲートの位置が変位したとしても、第１の信号電荷検出部および第１のトランジスターの位置関係と、第２の信号電荷検出部および第２のトランジスターの位置関係とは同一であり、また第１のトランジスターにおけるソース、ドレイン、ならびにゲートの形状および位置関係と、第２のトランジスターにおけるソース、ドレイン、ならびにゲートの形状および位置関係とは同一である。

【００２１】
そのため、マスクのずれによって第１および第２の信号電荷検出部ならびに第１および第２のトランジスターの特性が変化したとしても、第１および第２の信号電荷検出部の特性は同じように変化し、また第１および第２のトランジスターの特性も同じように変化する。よって、第１および第２のトランジスターから出力される信号のレベルに差は生じない。

【００２２】
【発明の実施の形態】
次に本発明の実施の形態例について図面を参照して説明する。
図１は本発明による固体撮像素子の一例の要部を示す部分平面図である。
ここで説明する実施の形態例としての固体撮像素子は、光電変換素子や電荷転送レジスターの配列などの点で図３に示した固体撮像素子とおおむね同様の構成を有している。すなわち、本実施の形態例の固体撮像素子は、シリコンから成る半導体基板上に多数の光電変換素子を相互に間隔をおきマトリクス状に配列して構成され、光電変換素子の各列ごとに垂直電荷転送レジスターが、光電変換素子の列方向に延設され、垂直電荷転送レジスターの一端部側に水平電荷転送レジスターが配置されている。

【００２３】
光電変換素子が配列された受光領域は第１および第２の領域から成り、各受光領域に対応して第１および第２の水平電荷転送レジスターが設けられている。そして第１および第２の水平電荷転送レジスターは、各受光領域の光電変換素子（本発明に係わる第１および第２のグループの光電変換素子）が生成した信号電荷を、各受光領域の垂直電荷転送レジスターを通じて受け取り、それぞれ対応する第１および第２の出力部に転送する。

【００２４】
実施の形態例の固体撮像素子は、上記第１および第２の出力部の構成の点で従来の固体撮像素子と異なっており、図１はこの点を説明すべく第１および第２の出力部の周辺を詳し

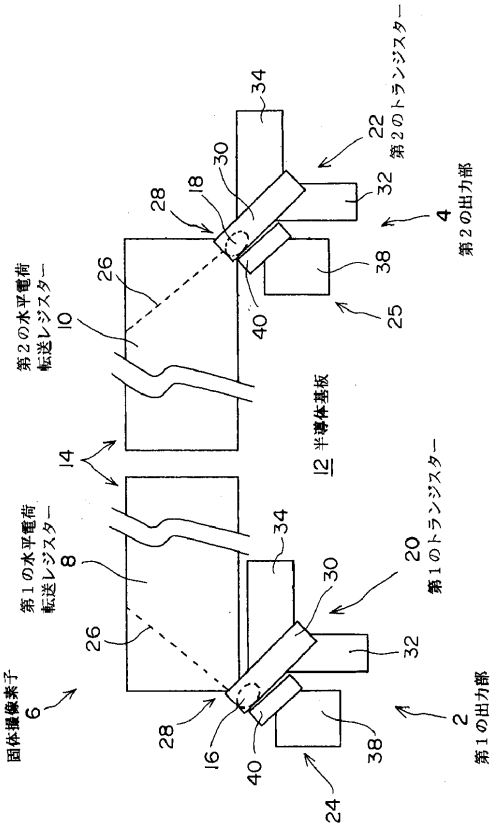
く示している。
図１に示したように、本実施の形態例の固体撮像素子６は、第１および第２の水平電荷転送レジスター８、１０を含み、第１および第２の水平電荷転送レジスター８、１０は半導体基板１２上の同一仮想直線上に、電荷転送方向を同直線に一致させるとともに一端部を対向させて延設されている。
【００２５】
そして、第１および第２の水平電荷転送レジスター８、１０の対向端部１４と反対側の端部側に、それぞれ第１および第２の信号電荷検出部１６、１８、第１および第２のトランジスター２０、２２、ならびに第１および第２の電荷掃き捨て部２４、２５を含む第１および第２の出力部２、４が形成され、不図示の垂直電荷転送レジスターから第１および第２の水平電荷転送レジスター８、１０にそれぞれ供給された信号電荷は第１および第２の水平電荷転送レジスター８、１０上を第１および第２の出力部２、４の方向、すなわち逆方向に転送される。
【００２６】
第１および第２の水平電荷転送レジスター８、１０は、たとえばｐ型の半導体基板１２の表面部に形成された、たとえばｎ型の領域から成る転送路２６と、同転送路の上に電荷転送方向に配列された複数の転送電極（図示せず）とを含んでいる。この転送路２６は本実施の形態例では、図１に示したように、第１および第２の信号電荷検出部１６、１８側の端部が、平面視において、転送路２６全体を電荷転送方向に対し斜めに横断して切断した形状に形成されており、第１および第２の信号電荷検出部１６、１８はそれぞれ対応する第１および第２の電荷転送レジスターの先端部２８に近接して形成されている。なお、第１および第２の信号電荷検出部１６、１８は半導体基板表面部のたとえばｎ型の領域として形成されている。
【００２７】
第１および第２の出力部２、４を構成する第１および第２のトランジスター２０、２２は本実施の形態例ではＭＯＳ型トランジスターであり、それぞれゲート３０、ソース３２、ならびにドレイン３４を含んで構成されている。第１および第２のトランジスター２０、２２のゲート３０はたとえばポリシリコンから成り、その一端部は第１および第２の信号電荷検出部１６、１８の上にそれぞれ重なるように配置され、本例では、第１および第２のトランジスター２０、２２のゲート３０は同じ傾斜角で、図１における右下方向に延在し、第１および第２のトランジスター２０、２２のゲート３０の平面視における形状は互いに合同となっている。したがって、たとえば第１のトランジスター２０のゲート３０の形状は、仮に平行移動させたとすると第２のトランジスター２２のゲート３０の形状に一致させることができる。
【００２８】
また、第１および第２のトランジスター２０、２２のソース３２およびドレイン３４はゲート３０を挟んで上下に、半導体基板表面部のたとえばｎ型領域として形成されており、第１のトランジスター２０のソース３２およびドレイン３４の形状も、第２のトランジスター２２のソース３２およびドレイン３４の形状と平面視において互いに合同となっている。
【００２９】
第１および第２の電荷掃き捨て部２４、２５は、図１に示したように、電荷掃き捨て領域３８と、たとえばポリシリコンから成る電荷掃き捨てゲート４０とを含み、電荷掃き捨てゲート４０は第１および第２のトランジスター２０、２２のゲート３０に近接して配置され、電荷掃き捨て領域３８は電荷掃き捨てゲート４０を挟みゲート３０と反対側の箇所に、半導体基板表面部のたとえばｎ型領域として形成されている。
【００３０】
そして、第１の電荷掃き捨て部２４の電荷掃き捨てゲート４０および電荷掃き捨て領域３８の形状もそれぞれ、第２の電荷掃き捨て部２５の電荷掃き捨てゲート４０および電荷掃き捨て領域３８の形状と平面視において合同となっている。

【００３１】
このような構成において、第１および第２の水平電荷転送レジスター８、１０を転送されてきた信号電荷はそれぞれ第１および第２の信号電荷検出部１６、１８により電荷量に応じた大きさの電圧信号に変換され、第１および第２のトランジスター２０、２２はこの電圧信号を増幅してドレイン３４より出力する。
【００３２】
また、電荷掃き捨てゲート４０は、第１および第２の水平電荷転送レジスター８、１０における電荷転送に同期してオン・オフ制御され、不要となった第１および第２の信号電荷検出部１６、１８の信号電荷は、電荷掃き捨てゲート３０を通じて電荷掃き捨て領域３８へと破棄される。
【００３３】
そして、本実施の形態例の固体撮像素子６では、上述のように第１の信号電荷検出部１６、第１のトランジスター２０のソース３２、ドレイン３４、ゲート３０、ならびに第１の電荷掃き捨て部２４と、第２の信号電荷検出部１８、第２のトランジスター２２のソース３２、ドレイン３４、ゲート３０、ならびに第２の電荷掃き捨て部２５とは、対応するものどうしの形状が合同に形成されているので、製造時に各部を形成するためのマスクが若干ずれたとしても、第１および第２のトランジスター２０、２２から出力される信号のレベルに差は生じない。
【００３４】
これについて、第１および第２のトランジスター２０、２２の場合を例に詳しく説明する。第１および第２のトランジスター２０、２２のソース３２およびドレイン３４の位置および形状は、ソース３２およびドレイン３４の周囲に形成するたとえばフィールド酸化膜の位置および形状により決まる。一方、ゲート３０は、たとえばゲート３０の箇所で開口するフォトレジストによるマスクを形成し、ポリシリコンを堆積させることで形成される。したがって、たとえばゲート３０を形成するためのマスクが、フィールド酸化膜を形成するための上記マスクに対して位置が若干ずれたとすると、ゲート３０は、ソース３２およびドレイン３４に対して本来の位置から若干ずれた位置に形成される。
【００３５】
このゲート３０の位置ずれがたとえば図１において右方向のずれであったとすると、ドレイン３４の面積は若干狭くなり、逆にソース３２の面積は若干広くなる。しかし、第１および第２のトランジスター２０、２２のゲート３０、ソース３２、ならびにドレイン３４は、形状がたがいに合同に形成されているので、第１および第２のトランジスター２０、２２の両方でドレイン３４の面積は同程度に狭くなり、ソース３２は同程度に広くなる。したがって、第１および第２のトランジスター２０、２２の特性は、ゲート３０の位置ずれにより変化はするものの、その変化の仕方は第１および第２のトランジスター２０、２２においてほぼ同じであり、したがって、第１および第２のトランジスター２０、２２から出力される信号のレベルに差は生じない。
【００３６】
第１および第２の信号電荷検出部１６、１８、ならびに第１および第２の電荷掃き捨て部２４、２５に関しても同様であり、各要素の形状が互いに合同に形成されているため、製造時にマスクのずれが生じても、電気的特性に差は発生せず、したがって出力信号にレベル差が生じることがない。
【００３７】
よって、第１および第２のトランジスター２０、２２の出力信号により、固体撮像素子６による撮影画像をたとえば表示装置に表示させた場合、２つの水平電荷転送レジスター１０を用いているにもかかわらず、従来のように画面のたとえば左側と右側とで画像の明るさやコントラストに差が生じるといった問題は発生しない。
【００３８】
なお、本実施の形態例では、図１において第１および第２の水平電荷転送レジスター８、１０の下側に第１および第２の出力部２、４を形成したが、第１および第２の出力部２、

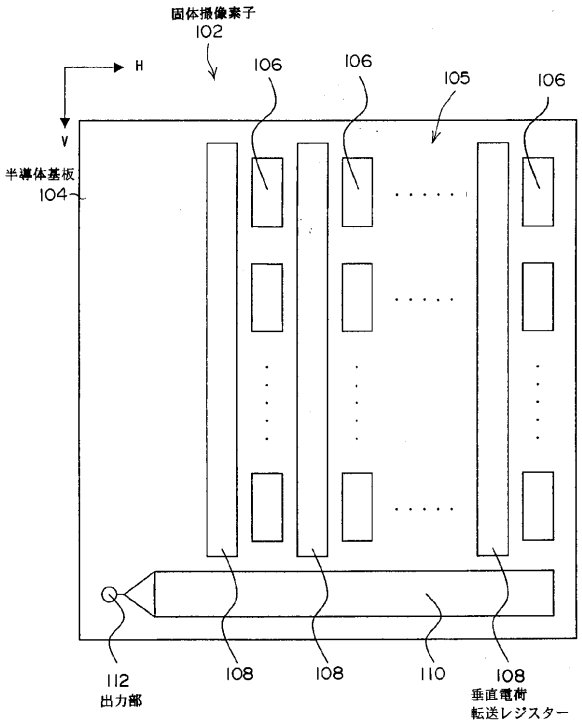
４の位置は任意であり、それらの構成要素の形状が合同に形成されている限り、同様の効果を得ることができる。
また、本実施の形態例では光電変換素子はマトリクス状に配列されているとしたが、本発明は、リニアイメージセンサーなどのように光電変換素子が直線的に配列されおり、光電変換素子が生成した信号電荷を２つ、あるいは２つ以上の電荷転送レジスターにより転送する場合にも適用可能である。
【００３９】
【発明の効果】
以上説明したように本発明の固体撮像素子では、第１の信号電荷検出部、および第１のトランジスターのソース、ドレイン、ならびにゲートと、第２の信号電荷検出部、および第２のトランジスターのソース、ドレイン、ならびにゲートとは、対応するものどうしの形状が平面視において合同に形成されている。したがって、第１および第２の信号電荷検出部ならびに第１および第２のトランジスターを半導体基板上に形成する際にマスクにずれが生じ、第１および第２の信号電荷検出部、あるいは第１および第２のトランジスターのソース、ドレイン、またはゲートの位置が変位したとしても、第１の信号電荷検出部および第１のトランジスターの位置関係と、第２の信号電荷検出部および第２のトランジスターの位置関係とは同一であり、また第１のトランジスターにおけるソース、ドレイン、ならびにゲートの形状および位置関係と、第２のトランジスターにおけるソース、ドレイン、ならびにゲートの形状および位置関係とは同一である。
【００４０】
そのため、マスクのずれによって第１および第２の信号電荷検出部ならびに第１および第２のトランジスターの特性が変化したとしても、第１および第２の信号電荷検出部の特性は同じように変化し、また第１および第２のトランジスターの特性も同じように変化する。よって、第１および第２のトランジスターから出力される信号のレベルに差は生じない。
【図面の簡単な説明】
【図１】本発明による固体撮像素子の一例の要部を示す部分平面図である。
【図２】従来の固体撮像素子の一例を示す平面図である。
【図３】光電変換素子を２分割して２つの水平電荷転送レジスターにより電荷を転送する構成とした従来の固体撮像素子の一例を示す模式図である。
【図４】図３に示した第１および第２の水平電荷転送レジスターの端部にそれぞれ設けられた第１および第２の出力部を詳しく示す平面図である。
【図５】（Ａ）および（Ｂ）はそれぞれマスクのずれによって第１および第２のトランジスターのゲートが本来の位置よりともに若干右側に形成された場合を強調して示す部分平面図である。
【符号の説明】
２……第１の出力部、４……第２の出力部、６……固体撮像素子、８……第１の水平電荷転送レジスター、１０……第２の水平電荷転送レジスター、１２……半導体基板、１６……第１の信号電荷検出部、１８……第２の信号電荷検出部、２０……第１のトランジスター、２２……第２のトランジスター、２４……第１の電荷掃き捨て部、２５……第２の電荷掃き捨て部、２６……転送路、３０……ゲート、３２……ソース、３４……ドレイン、３８……電荷掃き捨て領域、４０……電荷掃き捨てゲート、１０２……固体撮像素子、１０４……半導体基板、１０５……受光領域、１０６……光電変換素子、１０８……垂直電荷転送レジスター、１１０……水平電荷転送レジスター、１１２……出力部、１１４……固体撮像素子、１１６……第１の受光領域、１１８……第２の受光領域、１２０……第１の水平電荷転送レジスター、１２２……第２の水平電荷転送レジスター、１２４……第１の出力部、１２６……第２の出力部、１２８……第１の信号電荷検出部、１３０……第２の信号電荷検出部、１３２……第１のトランジスター、１３４……第２のトランジスター、１３６……第１の電荷掃き捨て部、１３８……第２の電荷掃き捨て部、１４０……転送路、１４２……ゲート、１４４……ソース、１４６……ドレイン、１５０……電荷掃き捨

て領域、１５２……電荷掃き捨てゲート。

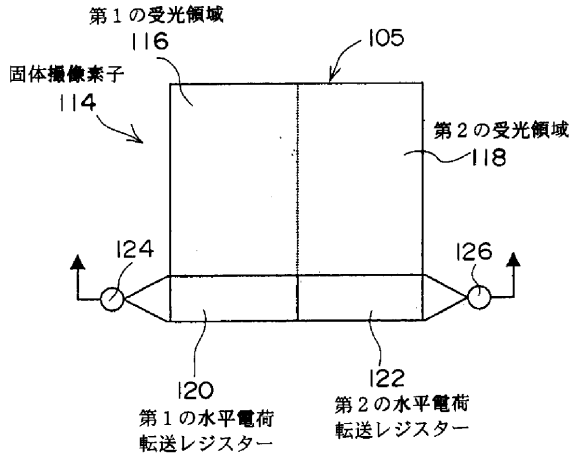
【図１】



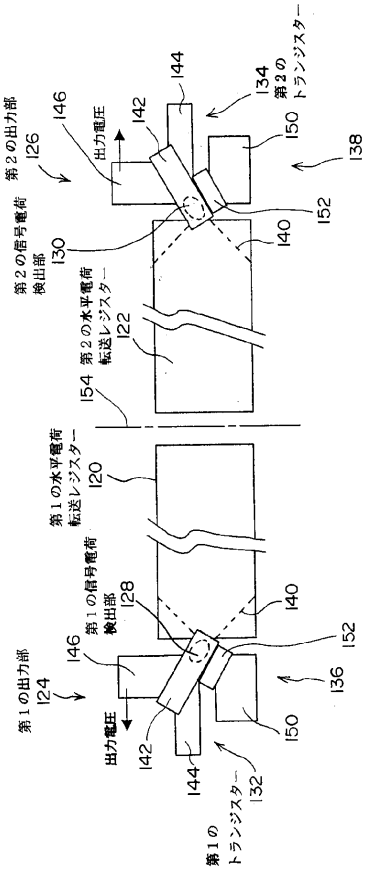
【図２】



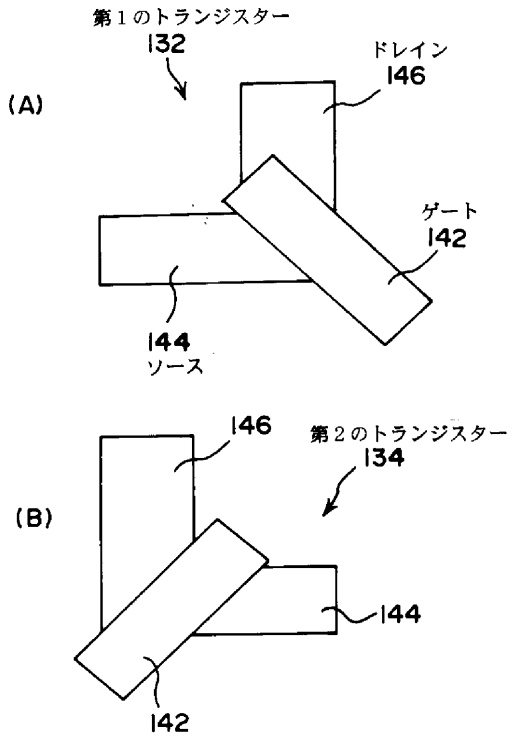
【図３】


第１の受光領域
116
105
固体撮像素子
114
第２の受光領域
118
124
126
120
122
第１の水平電荷
転送レジスター
第２の水平電荷
転送レジスター

【図４】


第２の出力部
126
146
出力電圧
142
144
134
第２の
トランジスター
150
138
第２の信号電荷
検出部
130
152
140
第２の水平電荷
転送レジスター
122
154
第１の水平電荷
転送レジスター
120
第１の信号電荷
検出部
128
140
152
146
第１の出力部
124
136
出力電圧
150
142
144
132
第１の
トランジスター

【図５】


第１のトランジスター
132
ドレイン
146
(A)
ゲート
142
144
ソース
146
第２のトランジスター
134
(B)
144
142

フロントページの続き

(58)調査した分野(Int.Cl.[7], ＤＢ名)

H01L 21/339
H01L 27/14 ～ H01L 27/148
H01L 29/762 ～ H01L 29/768
H04N 5/335