

POLSKA
RZECZPOSPOLITA
LUDOWA



URZĄD
PATENTOWY
PRL

OPIS PATENTOWY PATENTU TYMCZASOWEGO

122 006

Patent tymczasowy dodatkowy
do patentu _____

Zgłoszono: 12.07.78 (P. 208 337)

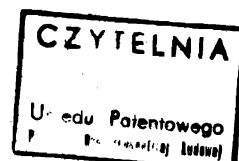
Pierwszeństwo: _____

Zgłoszenie ogłoszono: 02.01.81

Opis patentowy opublikowano: 31.10.1984

Int. CL³.

G06F 9/22



Twórcy wynalazku: Andrzej Wojtych, Jadwiga Adamska-Tchoń

Uprawniony z patentu tymczasowego: Instytut Komputerowych Systemów Automatyki i Pomiarów,
Wrocław (Polska)

UKŁAD PROGRAMOWANIA MIKROKOMPUTERA W JĘZYKU INTERPRETACYJNYM

Przedmiotem wynalazku jest układ programowania mikrokomputera w języku interpretacyjnym mający zastosowanie w hierarchicznych systemach sterowania cyfrowego w elektronicznej automatyce.

Stan techniki. Znany jest z Biuletynu Technicznego „Mera” nr 12/77 mikrokomputer zawierający mikroprocesor połączony z generatorem zegara i układem sterującym, układem dekodera rodzaju współpracy i z układem buforów adresowych lub dekodera, przy czym mikroprocesor wraz z wymienionymi układami tworzy moduł centralny w konstrukcji układu mikrokomputera.

Układ mikrokomputera jest ponadto zaopatrzony w szynę danych, szynę sterowania i szynę adresową, do których odpowiednio są dołączone pamięci stałe (ROM), pamięci zapis – odczyt (RAM), układ przerwań priorytetowych, układ interface dla urządzeń peryferyjnych oraz układ interface komunikacyjnego. Mikroprocesor zaś jest dołączony do szyny danych i szyny sterowania poprzez układ dekodera rodzaju współpracy, a do szyny adresowej jest dołączony poprzez układy buforów adresowych lub dekodera. Ponadto mikroprocesor jest połączony z układem przerwań priorytetowych. Mikroprocesor wykonuje program zapisany w języku wewnętrznym maszyny, w którym rozkazy i dane są kodowane binarnie.

Według publikacji Boniecki R. „Systemy mikroprocesorowe i mikrokomputery”. Biuletyn Techniczny „Mera” nr 2, 4/77, projektowanie konfiguracji sprzętu, a szczególnie oprogramowanie systemu mikrokomputerowego może być wspomagane przez systemy projektowania. Oprogramowanie systemu projektowania (które zwykle zawiera takie programy jak edytor, assembler, kompilator ładujący, symulujący i uruchamiający) pozwala na podstawie programu źródłowego przygotować binarny program użytkowy dla systemu mikrokomputerowego.

W przypadku gdy system projektowania nie jest używany, binarny program użytkowy musi być przygotowany przez projektanta. Znane są również programowane kalkulatory i komputery stołowe, programowane w językach wyższego poziomu, w których stosowane są zintegrowane mikroprocesory. Zewnętrzne urządzenia wejścia–wyjścia są dołączone do magistrali urządzeń, wejścia–wyjścia przez karty interface. Program zapisany w postaci alfanumerycznej jest interpretowany i wykonywany programowo.

Programowany kalkulator 9825A firmy Hewlett Packard posiada dwie magistrale danych, magistralę pamięci i magistralę urządzeń wejścia—wyjścia rozdzielone specjalnym zintegrowanym mikroprocesorem, który interpretuje program oraz organizuje transmisję danych.

Tej samej firmy komputer stołowy 9845A posiada dwa specjalne mikroprocesory zintegrowane, z których jeden LPU interpretuje i wykonuje przechowywany w pamięci zapis — odczyt, program w języku BASIC, a drugi PPU odpowiada za zarządzanie wewnętrznymi i zewnętrznymi urządzeniami peryferyjnymi oraz steruje pracą całego komputera.

Obydwa mikroprocesory mają dostęp do pamięci w trybie multipleksowym. Pamięć zorganizowana w czterech bloki posiada obszary adresowe o określonym, stałym przeznaczeniu.

Istota wynalazku. W układzie według wynalazku zintegrowany mikroprocesor o stałej liście rozkazów jest połączony z magistralą adresową i z układem sterowania transmisją, a poprzez dwukierunkową bramkę danych i magistralą danych z drugą dwukierunkową bramką danych, natomiast priorytetowy układ przerwań blok pamięci centralnego modułu są z jednej strony połączone z magistralą danych modułu centralnego, z kolei zaś do tej magistrali danych jest dołączony interpreter programu połączony z magistralą sygnałów przerywających i do tej magistrali jest dołączony priorytetowy układ przerwań, podczas gdy układ sterujący modulem centralnym jest połączony z magistralą adresową, a wejście interpretera programu jest połączone z drugą dwukierunkową bramką danych i z magistralą danych, zaś układ sterowanie transmisji modułu centralnego jest połączony z magistralą sterowania transmisji danych. W odniesieniu do znanego stanu techniki zastosowanie w układzie według wynalazku interpretera programu ma ten korzystny skutek, że program mikrokomputera jest zapisywany w języku interpretacyjnym wyższego poziomu, w którym znaczenie poszczególnych instrukcji może być dowolnie zmieniane przez wymianę biblioteki podprogramów. Przez zmianę podprogramów jest zmieniana również reakcja mikrokomputera na przerwanie i w ten sposób dostosowane do modułów funkcjonalnych.

Zastosowanie interpretacyjnego języka programowania wyższego poziomu daje możliwość przygotowania i zapisu programu w postaci znaków alfanumerycznych czytelnych dla programisty i operatora, co wyróżnia go spośród innych mikrokomputerów, szczególnie zaś w zakresie przygotowania i uruchomienia programów oraz w zakresie ich zapisywania i odczytywania, a także w oszczędnym wykorzystaniu pamięci na programy tłumaczące.

Objaśnienie rysunku. Przedmiot wynalazku jest uwidoczniony w przykładzie wykonania na rysunku przedstawiającym schemat blokowy układu.

Przykład realizacji wynalazku. Układ mikrokomputera w języku interpretacyjnym jest zaopatrzony w magistralę adresową 1, w magistralę sterowania transmisją danych 2, w magistralę danych 3 oraz w magistralę sygnałów przerywających 4. Do tych magistrali jest odpowiednio dołączony moduł centralny 5 zawierający zintegrowany mikroprocesor 6 o stałej liście rozkazów. Z modulem centralnym 5 i odpowiednio z magistralami 1 — 4 jest połączony moduł komunikacji 7 z operatorem, zawierający techniczny pulpit 8, gniazda drukarki 9 i klawiatury alfanumerycznej 10 oraz tworzące użytkową konfigurację mikrokomputera moduły pamięci programu 11 i funkcjonalne moduły wejścia—wyjścia 12, zapewniające sprzężenie mikrokomputera z systemami nadrzędnymi i podrzędnymi oraz poprzez magistralę interfejsu 13 z dodatkowymi urządzeniami peryferyjnymi. W centralnym module 5 mikroprocesor 6 jest połączony z adresową magistralą 1 i z układem sterowania transmisją 14, a poprzez dwukierunkową bramkę danych 15 i magistralą danych 16 z drugą dwukierunkową bramką danych 17.

Natomiast priorytetowy układ przerwań 18, blok pamięci 19 centralnego modułu 5 z jednej strony połączone są z magistralą adresową 1, a z drugiej z układem sterowania transmisją 14 i z magistralą danych 16 centralnego modułu 5.

Do magistrali danych 16 jest dołączony interpreter programu 20 połączony z magistralą sygnałów przerywających 4, do której jest dołączony priorytetowy układ przerwań 18.

Sterujący układ 21 centralnym modulem 5 jest połączony z adresową magistralą 1 i z blokiem pamięci 19, zaś wejście 22 interpretera programu 20 jest połączone z drugą dwukierunkową bramką danych 17 i z magistralą danych 3, zaś układ sterowania transmisji 14 centralnego modułu 5 dołączony do magistrali sterowania transmisji danych 4.

Działanie układu. W układzie mikrokomputera zintegrowany mikroprocesor 6 o stałej liście rozkazów realizuje podprogramy biblioteczne, takie jak organizacyjny, obsługi przerwań i wykonania instrukcji mikrokomputera. Priorytetowy układ przerwań 18 centralnego modułu 5 przyjmuje sygnały przerywające z interpretera programu 20, modułu komunikacji z operatorem 7, oraz funkcjonalnych modułów 12 mikrokomputera, ustala ich hierarchię przy równoczesnym wystąpieniu i uczestniczy w wywołaniu podprogramów bibliotecznych obsługi przerwań.

Blok pamięci 19 posiada obszary pamięci stałej 23 i pamięci zmiennej 24. Może być adresowane przez adresową magistralę 1 mikrokomputera albo przez sterujący układ 21 centralnego modułu 5. W pamięci stałej 23, z której korzysta mikroprocesor 6, są przechowywane podprogramy biblioteczne, organizacyjny, obsługi przerwań i wykonanie instrukcji mikrokomputera zapisane w języku mikroprocesora 6. Pamięć zmienna 24 jest wykorzystywana przez mikroprocesor 6 i interpreter programu 20 do przechowywania informacji w czasie wykonywania programu mikrokomputera.

Interpreter programu 20, którego wejście 22 jest dołączone do magistrali danych 3 bada sekwencję znaków programu, rozpoznając nazwy instrukcji mikrokomputera występujące w programie w postaci sekwencji liter rozpoznawanych przez interpreter programu 20. Z binarnego kodu liter nazwy instrukcji tworzy się adres pośredni, na podstawie którego odnajduje się w tablicy adresów efektywnych adres właściwego podprogramu bibliotecznego wykonania instrukcji przez mikroprocesor 6.

W języku mikrokomputera występują instrukcje, których argumentami są stałe i zmienne, a także instrukcje bezargumentowe. Stałymi są liczby naturalne nie większe niż 255 zapisywane w notacji dziesiętnej. Zmiennymi są oznaczane symbolicznie literami adresy efektywne w modułach pamięci 11.

Sygnał przerwania generowany przez interpreter programu 20 po skompletowaniu informacji o nazwie i argumentach instrukcji, wywołuje podprogram biblioteczny wykonywanie instrukcji, a po wystąpieniu błędu składniowego w programie wywołuje podprogram sygnalizacji błędu. Rozróżnienie przyczyny przerwania i informacji o argumentach instrukcji następuje na podstawie bajtu statusowego interpretera programu 20, pobieranego przez biblioteczny podprogram obsługi przerwania.

Zintegrowany mikroprocesor 6 realizuje podprogramy biblioteczne wykonania instrukcji sterujących, dostarczających informacji o źródle programu, sposobie wykorzystania i wykonania programu oraz o działaniu mikrokomputera, instrukcji podstawienia pozwalających na deklarowanie zmiennych, specyfikowanie parametrów formatu transmisji danych, wpisanie wartości stałej lub wyrażenia w miejsce pamięci określone zmienną, instrukcji sprawdzania warunków i warunkowego wykonywania instrukcji, instrukcji transmisji danych. Magistrala sterowania transmisją danych 2 służy do przesyłania sygnałów synchronizacji transmisji zgodnie ze specyfikacją mikroprocesora 6, a także do adresowania modułu komunikacji 7, modułów pamięci 11 i funkcjonalnych modułów 12.

Dzięki temu centralny moduł 5 może wymieniać dane w postaci ciągu bajtów po zaadresowaniu odpowiedniego modułu sygnałem przesyłanym magistralą 2, natomiast mikroprocesor 6 modułu centralnego 5 może wymieniać dane w postaci pojedynczych bajtów po zaadresowaniu odpowiedniego układu sygnałem przesyłanym adresową magistralą 1.

Zastrzeżenie patentowe

Układ mikrokomputera w języku interpretacyjnym, zaopatrzony w magistralę adresową, w magistralę sterowania transmisją danych, w magistralę danych, oraz w magistralę sygnałów przerywających do których jest dołączony centralny moduł zawierający zintegrowany mikroprocesor o stałej liście rozkazów, przy czym z centralnym modułem i z wymienionymi magistralami jest połączony odpowiednio moduł komunikacji z operatorem oraz tworzące użytkową konfigurację mikrokomputera moduły pamięci programu i funkcjonalne moduły wejścia-wyjścia zapewniające sprzężenie mikrokomputera z systemami nadrzędnymi i podrzędnymi oraz poprzez magistralę interface z dodatkowymi urządzeniami peryferyjnymi, z n a m i e n n y t y m, że zintegrowany mikroprocesor (6) jest połączony z magistralą adresową (1) i z układem sterowania transmisją (14), a poprzez dwukierunkową bramkę danych (15) i magistralę danych (16) z drugą dwukierunkową bramką danych (17), natomiast priorytetowy układ przerwań (18), blok pamięci (19) centralnego modułu (5) są z jednej strony połączone z magistralą adresową (1), a z drugiej z układem sterowania transmisją (14) i z magistralą danych (3) modułu centralnego (5), z kolei zaś do magistrali (16) danych jest dołączony interpreter programu (20) połączony z magistralą sygnałów przerywających (4) i do tej magistrali jest dołączony priorytetowy układ przerwań (18), podczas gdy sterujący układ (21) modułem centralnym (5) jest połączony z magistralą adresową (1) i blokiem pamięci (10), a wejście (22) interpretera programu (20) jest połączone z drugą dwukierunkową bramką danych (17) i z magistralą danych (3) zaś układ sterowania transmisji (14) modułu centralnego (5) jest połączony z magistralą sterowania transmisji danych (2).

