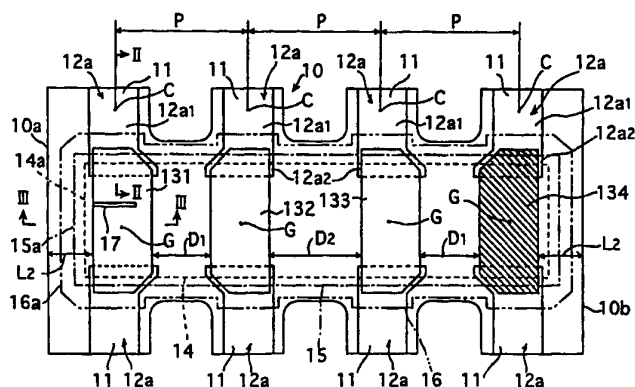




(51) 国際特許分類6 H01C 17/06	A1	(11) 国際公開番号 WO97/02579 (43) 国際公開日 1997年1月23日(23.01.97)
(21) 国際出願番号 PCT/JP96/01830 (22) 国際出願日 1996年7月1日(01.07.96) (30) 優先権データ 特願平7/169489 1995年7月5日(05.07.95) JP (71) 出願人 (米国を除くすべての指定国について) ローム株式会社(ROHM CO., LTD.)(JP/JP) 〒615 京都府京都市右京区西院溝崎町21番地 Kyoto, (JP) (72) 発明者; および (75) 発明者/出願人 (米国についてのみ) 柴田 修(SHIBATA, Osamu)(JP/JP) 〒615 京都府京都市右京区西院溝崎町21番地 ローム株式会社内 Kyoto, (JP) (74) 代理人 弁理士 吉田 稔, 外(YOSHIDA, Minoru et al.) 〒543 大阪府大阪市天王寺区玉造元町2-32-1301 Osaka, (JP)		(81) 指定国 JP, KR, SG, US. 添付公開書類 国際調査報告書

(54) Title: MULTIELEMENT CHIP DEVICE AND METHOD OF MANUFACTURING THE SAME

(54) 発明の名称 マルチエレメント型チップデバイス及びその製造方法



(57) Abstract

A multielement chip device is provided with a long chip substrate (10), 2n pairs (n: a positive integer) of opposing electrodes (12a) formed on the surface of the substrate (10) at nearly regular intervals in the longitudinal direction of the substrate (10), device elements (131 - 134) formed between paired electrodes, and a protective coating (14-16) formed continuously in the length direction of the substrate (10) to cover the elements (131-134). The odd-numbered elements (131 and 133) from the first element to the (2m-1)th element from one end (10a) of the substrate (10) are disposed so that their centers in the width direction are shifted toward the other end (10b) of the substrate (10) from the centers of the corresponding pair of electrodes (12a) in the width direction and the even-numbered elements (132 and 134) from the end (10a) of the substrate (10) are disposed so that their centers in the width direction are shifted toward the end (10a) of the substrate (10) from the centers of the corresponding pair of electrodes (12a) in the width direction.

(57) 要約

本願発明のマルチエレメント型チップデバイスは、長状のチップ基板(10)と、このチップ基板(10)の表面にその長手方向に略等間隔に形成された $2n$ 対(n は正の整数)の対向する電極(12a)と、それぞれの対の電極間に形成された素子エレメント(131~134)と、これら素子エレメント(131~134)をチップ基板(10)の長手方向に一連に覆うように形成された保護コーティング(14~16)と、を備える。チップ基板(10)の一端(10a)から($2m-1$)番目(m は n を超えない正の整数)の素子エレメント(131、133)は、その幅中心が、対応する対の電極(12a)の幅中心に対して上記チップ基板(10)の他端側(10b)に偏位するように形成されており、上記チップ基板(10)の一端から($2m$)番目の素子エレメント(132、134)は、その幅中心が、対応する対の電極(12a)の幅中心に対して上記チップ基板(10)の一端側(10a)に偏位するように形成されている。

情報としての用途のみ

PCTに基づいて公開される国際出願をパンフレット第一頁にPCT加盟国を同定するために使用されるコード

AL	アルバニア	DE	ドイツ	LI	リヒテンシュタイン	PL	ポーランド
AM	アルメニア	DK	デンマーク	LC	セントルシア	PT	ポルトガル
AT	オーストリア	EE	エストニア	LK	スリランカ	RO	ルーマニア
AU	オーストラリア	ES	スペイン	LR	リベリア	RU	ロシア連邦
AZ	アゼルバイジャン	FI	フィンランド	LS	レソト	SD	スーダン
BA	ボスニア・ヘルツェゴビナ	FR	フランス	LT	リトアニア	SE	スウェーデン
BB	バルバドス	GA	ガボン	LU	ルクセンブルグ	SG	シンガポール
BE	ベルギー	GB	イギリス	LV	ラトヴィア	SI	スロヴェニア
BF	ブルキナ・ファソ	GE	グルジア	MC	モナコ	SK	スロヴァキア
BG	ブルガリア	GN	ギニア	MD	モルドヴァ共和国	SN	セネガル
BJ	ベナン	GR	ギリシャ	MG	マダガスカル	SZ	スワジランド
BR	ブラジル	HU	ハンガリー	MK	マケドニア旧ユーゴスラ	TD	チャド
BY	ベラルーシ	IE	アイルランド		ヴィア共和国	TG	トーゴ
CA	カナダ	IL	イスラエル	ML	マリ	TJ	タジキスタン
CF	中央アフリカ共和国	IS	アイスランド	MN	モンゴル	TM	トルクメニスタン
CG	コンゴ	IT	イタリア	MR	モーリタニア	TR	トルコ
CH	スイス	JP	日本	MW	マラウイ	TT	トリニダード・トバゴ
CI	コート・ジボアール	KE	ケニア	MX	メキシコ	UA	ウクライナ
CM	カメルーン	KG	キルギスタン	NE	ニジェール	UG	ウガンダ
CN	中国	KP	朝鮮民主主義人民共和国	NL	オランダ	US	アメリカ合衆国
CU	キューバ	KR	大韓民国	NO	ノルウェー	UZ	ウズベキスタン
CZ	チェッコ共和国	KZ	カザフスタン	NZ	ニュージーランド	VN	ヴェトナム

明細書

発明の名称

マルチエレメント型チップデバイス及びその製造方法

技術分野

本願発明は、単一のチップ基板上に複数の素子エレメントを一連に形成してなるマルチエレメント型チップデバイス及びその製造方法に関する。

背景技術

単一のチップ基板上に複数の素子エレメントを一連に形成してなるマルチエレメント型チップデバイスとしては、例えば、マルチエレメント型チップ抵抗器が既に公知となっている。従来のマルチエレメント型チップ抵抗器は、典型的には図13～図15に示すような構成を有している。

図13～図15に示すように、従来のマルチエレメント型チップ抵抗器は、アルミナセラミックなどの絶縁材料でできたチップ基板10'を備えており、その基板10'の幅方向に離間した両側縁部には、基板長手方向に間隔をあけて4対の凸部11'が形成されている。各対の凸部11'は、基板幅方向に相互に対向している。各凸部11'の上面には、銀・パラジウムペースト等の導体ペーストを用いて一次電極12a'が厚膜状に印刷形成される。各対をなす一次電極12a'を掛け渡すようにして、酸化ルテニウムペーストなどを用いて抵抗エレメント13'が厚膜状に印刷形成される。各一次電極12a'は、基板10'の裏面にまで延びるように形成された二次電極12b'と導通している。

各抵抗エレメント13'は、通常、図14及び図15に示すように、アンダコート層14'、ミドルコート層15'、及びオーバコート層16'の、いずれも厚膜印刷法によって形成される3層のガラス層によって覆われている。アンダコート層14'は、抵抗値調整のためのレーザトリミングを抵抗エレメント表面を荒らすことなく適正に行うために形成される。ミドルコート層15'は、レーザトリミングによって抵抗エレメントに形成されたスリット17'（図13）を覆うために形成

される。オーバコート層 16' は抵抗エレメント 13' 全体を保護するために形成される。

以上の構成を有するマルチエレメント型チップ抵抗器は、単一エレメント型チップ抵抗器と同様、図 16 に示すようなマスター基板 18' を用いてこれに厚膜印刷法を施してゆくことにより製造される。このマスター基板 18' は、これを複数の単位チップに区画するための縦割り溝 19' 及びこれに交差する横割り溝 20' と、各横割り溝 20' に沿った貫通孔 21' と、を備えている。縦割り溝 19' と横割り溝 20' は、焼成前の基板グリーンシートの表面にブレードを押し付けるなどすることによって形成される。また、上記貫通孔 21' は、おなじく基板グリーンシートに打ち抜き処理を施すことによって形成される。

マルチエレメント型チップ抵抗器の製造に際しては、先ず、上記マスター基板 18' に対し、一次電極 12a' が単位チップに対応するそれぞれの領域について一括印刷・焼成によって形成される。

次に、抵抗エレメント 13' が一括印刷・焼成によって形成される。

次いで、アンダコート層 14' が一括印刷・焼成によって形成される。この段階において、各対の一次電極 12a' に測定プローブ（図示略）を接触させながら、目標の抵抗値となるように対応する各抵抗エレメント 13' に対してレーザトリミングが施される（スリット 17' の形成）。

次いで、上記ミドルコート層 15' 及びオーバコート層 16' が順次印刷・焼成によって形成される。

次に、上記マスター基板 18' は、横割り溝 20' に沿って分割される。この結果、単位チップ基板が長手方向に複数つながった形態をもつ棒状基板が得られる。

次に、得られた棒状基板に対し、表面側の一次電極 12a' に導通する二次電極 12b' が導体ペーストの塗布・焼成によって形成される。

最後に、この棒状基板が縦割り溝 19' に沿って分割され、図 13～図 15 に示した構成を有する複数のマルチエレメント型チップ抵抗器が得られる。

図 13 から判るように、同一のチップ基板 10' 上に形成される 4 つの抵抗エレメント 13 の平面形状は、電極間中心線 C に対して対称となっており、しかも、チップ基板 10' の長手方向にできるだけ広幅となっている。一方、図 14 に示すよ

うに、アンダコート層 14' の端縁 14 a' はチップ基板 10' の両端に位置する抵抗エレメント 13' を越えて位置させ、ミドルコート層 15' 及びオーバコート層 16' の各端縁 15 a' 、16 a' は上記アンダコート層 14' の対応する端縁 14 a' を越えて位置させるべきである。何故なら、レーザトリミングのスリット 17' は、図 13 に表れているように抵抗エレメント 13' の端縁から開始するために、上記のアンダコート層 14' は、抵抗エレメント 13' をその幅方向全域にわたって完全に覆っていないからである。また、一般に耐酸性に乏しいアンダコート層 14' の電極ハンダメッキ時での腐食を防止するためには、アンダコート層 14' はミドルコート層 15' あるいはオーバコート層 16' で完全に覆われている必要がある。

しかしながら、図 13 に示す従来例では、各抵抗エレメント 13' を幅広の対称形状（電極間中心線 C について）であるため、チップ基板 10' の各端部に位置する抵抗エレメント 13' の側縁 13 a' とチップ基板の対応する端縁 10 a' との間の寸法 L₁ が小さくなってしまう。この結果、小さな寸法 L₁ 内に、印刷ずれを起こすことなくアンダコート層 14' 、ミドルコート層 15' 及びオーバコート層 16' の各端縁 14 a' 、15 a' 、16 a' を上記した配置で位置させることは至難であった。

かりに印刷ずれ等によって抵抗エレメント 13' の一部がいずれのガラス層によっても覆われずに露出するようなことになると、電極ハンダメッキ工程においてこの露出部にハンダが付着して短絡不良となる。また、アンダコート層 14' がミドルコート層 15' 及びオーバコート層 16' に不完全に覆われて、部分的に露出するようなことになると、一般に耐酸性に乏しい材質で形成されたアンダコート層 14' は、電極ハンダメッキ時に腐食し、抵抗エレメント 13' にハンダが付着して短絡不良を起こすことにもなる。

また、上記のような各ガラス層の印刷ずれに起因する問題を解決する方策として、各抵抗エレメント 13' の幅を著しく狭くすることが考えられる。しかしながら、このような方策には、抵抗エレメントにレーザトリミングを施すことによってなしうる抵抗値の調整幅が不当に縮小してしまうという問題がある。

また、その他の方策として、図 17 に示すように、ミドルコート層 15' を隣接

するチップ基板（マスター基板 1 8' 分断前の状態）間にわたって途切れなく形成することも考えられる。しかしながら、この方策では、隣接するチップ基板を区画する縦割り溝 1 9' が硬質のガラスで埋められてしまい、適正にマスター基板分割が行われず、分割後のチップ基板の形状の画一性が失われるし、マスター基板分割の際にガラス粉が飛散して周囲環境を悪化させるといった問題を招来する。

発明の開示

本願発明は、上記従来例の問題点を解消又は減少することのできるマルチエレメント型チップデバイス、特にチップ抵抗器及びその製造方法を提供することをその課題とする。

本願発明の第 1 の側面によれば、長状のチップ基板と、このチップ基板の表面にその長手方向に略等間隔に形成された $2n$ 対（ n は正の整数）の対向する電極と、それぞれの対の電極間に形成された素子エレメントと、これら素子エレメントを上記チップ基板の長手方向に一連に覆うように形成された保護コーティングと、を備えるマルチエレメント型チップデバイスであって、上記チップ基板の一端から（ $2m-1$ ）番目（ m は n を超えない正の整数）の素子エレメントは、その幅中心が、対応する対の電極の幅中心に対して上記チップ基板の他端側に偏位するように形成されており、上記チップ基板の上記一端から（ $2m$ ）番目の素子エレメントは、その幅中心が、対応する対の電極の幅中心に対して上記チップ基板の上記一端側に偏位するように形成されている、マルチエレメント型チップデバイスが提供される。

以上の構成を有するマルチエレメント型チップデバイスの効果については、後述する実施例に基づいて具体的に説明する。

本願発明の好適な実施例によれば、上記各素子エレメントは、抵抗エレメントである。また、上記保護コーティングは、上記抵抗エレメントを上記チップ基板の長手方向に一連に覆うように形成されたアンダコート層と、このアンダコート層を覆うように形成されたミドルコート層と、このミドルコート層を覆うように形成されたオーバコートと、を備えている。この場合、上記アンダコート層は、全ての抵抗エレメントを覆い且つ越える位置まで上記チップ基板の長手方向に延びており、上記ミドルコート層は少なくとも上記アンダコート層と同じ位置まで上記チップ基板

の長手方向に延びており、上記オーバコートは上記ミドルコート層を越え且つ上記チップ基板の端縁の手前の位置まで当該チップ基板の長手方向に延びるようにするのが有利である。

本願発明の第2の側面によれば、縦割り溝と横割り溝とによって区画された長状の単位領域を複数列複数行形成したマスター基板を用意し、各単位領域において、その長手方向に略等間隔に $2n$ 対（ n は正の整数）の対向する電極を形成し、上記各単位領域において、各対の電極間を延びる素子エレメントを形成し、上記各単位領域において、これら素子エレメントを上記各単位領域の長手方向に一連に覆うように保護コーティングを形成する、ステップを含むマルチエレメント型チップデバイスの製造方法であって、上記各単位領域における長手方向一端部から（ $2m-1$ ）番目（ m は n を超えない正の整数）の素子エレメントは、その幅中心が、対応する対の電極の幅中心に対して上記各単位領域の他端側に偏位するように形成し、上記各単位領域の上記一端から（ $2m$ ）番目の素子エレメントは、その幅中心が、対応する対の電極の幅中心に対して上記単位領域の上記一端側に偏位するように形成する、ようにした、マルチエレメント型チップデバイスの製造方法が提供される。

本願発明の他の目的、特徴及び利点は、以下に添付図面に基づいて説明する実施例から明らかとなろう。

図面の簡単な説明

図1は、本願発明の一実施例に係るマルチエレメント型チップデバイスたるチップ抵抗器を示す平面図である。

図2は、図1のII-II線に沿う拡大断面図である。

図3は、図1のIII-III線に沿う拡大断面図である。

図4～図9は、図1～図3に示すチップ抵抗器を製造する順次のステップを示す部分平面図である。

図10は、図1～図3に示すチップ抵抗器の製造過程において、抵抗エレメントを印刷形成するために用いられる印刷マスクを示す部分平面図である。

図11及び図12は、図10に示した印刷マスクを共用できる2種類の異なるマスター基板を示す部分平面図である。

図 1 3 は、従来のマルチエレメント型チップ抵抗器の一例を示す平面図である。

図 1 4 は、図 1 3 の X IV - X IV 線に沿う拡大断面図である。

図 1 5 は、図 1 3 の X V - X V 線に沿う拡大断面図である。

図 1 6 は、図 1 3 に示すチップ抵抗器の製造に用られるマスター基板を示す部分平面図である。

図 1 7 は、従来のマルチエレメント型チップ抵抗器の他の例を示す部分拡大断面図である。

発明を実施するための最良の形態

以下、本願発明の好ましい実施例を、図 1 ～図 1 2 を参照して具体的に説明する。

図 1 ～図 3 は、本願発明の一実施例に係るマルチエレメント型チップデバイスを示している。図示の実施例においては、チップデバイスは、1 列に並ぶ 4 個の抵抗エレメントを備えるチップ抵抗器として構成されている。図 1 は、そのチップ抵抗器の平面図である。また、図 2 は図 1 の II - II 線に沿う断面図であり、図 3 は図 1 の III - III 線に沿う断面図である。

図 1 に表れているように、本実施例のチップ抵抗器は、図 1 3 に示される従来例と同様の基本的構成を有している。すなわち、チップ抵抗器 1 は、アルミナセラミックなどでできた長状のチップ基板 1 0 を備えており、その基板 1 0 の幅方向に離間した両側縁部には、長手方向に間隔をあけて 4 対の凸部 1 1 が形成されている。各対の凸部 1 1 は、基板 1 0 の幅方向に相互に対向している。各凸部 1 1 の上面には、銀・パラジウムペースト等の導体ペーストを用いて一次電極 1 2 a が形成されている。この一次電極 1 2 a は、上記凸部上に形成された矩形の基部 1 2 a₁ と、この基部から内方に延びる接続部 1 2 a₂ とから形成されている。基部 1 2 a₁ は基板 1 0 の下面に延びる二次電極 1 2 b に導通している。

図 1 3 に示される従来例と同様に、それぞれの対の凸部 1 1 における一次電極 1 2 における基部 1 2 a₁ の中心間ピッチ P は、一定又は略一定としてある。しかしながら、本実施例では、各々の接続部 1 2 a₂ は、基板 1 0 の長手方向に対称ではなく、基板 1 0 の長手方向に交互に反対方向に偏位させられている。

それぞれの対をなす電極 1 2 a を掛け渡すようにして、酸化ルテニウムペースト

などを用いて抵抗エレメント131～134（以下、本実施例では、図1の左側から「第1～第4抵抗エレメント」という）が厚膜印刷形成される。これら抵抗エレメント131～134の平面形状も、基板10の長手方向に対称とはなっていない。すなわち、対応する電極12aの扇形接続部12a₂の偏位と対応して、第1及び第3抵抗エレメント131、133については、その幅方向中心Gが、対応する電極12aの基部12a₁における幅方向中心Cに対して図1の右側に偏位させられており、第2及び第4抵抗エレメント132、134については、その幅方向中心Gが、対応する電極12aの基部12a₁における幅方向中心Cに対して図1の左側に偏位させられている。この結果、第1及び第2抵抗エレメント131、132の間隔D₁並びに第3及び第4抵抗エレメント133、134の間隔D₁は小さくなり、第2及び第3抵抗エレメント132、133の間隔D₂は、広くなる。同様に、第1抵抗エレメント131と基板10の左端縁10a間の距離L₂並びに第4抵抗エレメント134と基板10の右端縁10b間の距離L₂に余裕がでてくる。

抵抗エレメント131～134及び一次電極12aの一部は、例えばガラス等の絶縁材料からなるアンダコート層14（図1に破線で示す）で一連に覆われる。このアンダコート層14の基板長手方向の端縁14aは、第1抵抗エレメント131及び第4抵抗エレメント134を越えて延びている。このアンダコート層14は、抵抗エレメントの抵抗値調整のためのレーザトリミングをその表面を荒らすことなく適正に行うために形成されるものであり、材質的には比較的弱いものである。尚、レーザトリミング（スリット17の形成）による抵抗値調整は、アンダコート層14を形成した後に、各対の一次電極12aに図示しない測定プローブを接触させて抵抗エレメントの抵抗値を実測しながら、この実測値が所望の抵抗値となるように行われる。

アンダコート層14は、例えばガラス等の絶縁材料からなるミドルコート層15（図1に一点鎖線で示す）で覆われる。このミドルコート層15の基板長手方向の端縁15aは、上記アンダコート層14の端縁14aと一致していてもよいし、或いはそれを越えて延びていてもよい。このミドルコート層15は、レーザトリミングによって抵抗エレメント131～134に形成されたスリット17を絶縁材料で埋めるために形成される。

ミドルコート層 15 は、やはりガラス等の絶縁材料からなるオーバコート層 16 (図 1 に二点鎖線で示す) で覆われる。このオーバコート層 16 の基板長手方向の端縁 16 a は、上記ミドルコート層 15 の端縁 15 a を越えて延びている。このオーバコート層 16 は、上記アンダコート層 14 及びミドルコート層 15 と共に、素子全体を保護するための保護コーティングを構成する。

前述したように、本実施例のチップ抵抗器 1 においては、抵抗エレメント 131 ~ 134 を、基板 10 の長手方向にみて、交互に反対方向に偏位させることにより、第 1 抵抗エレメント 131 と基板 10 の左端縁 10 a 間の距離 L_2 、及び第 4 抵抗エレメント 134 と基板 10 の右端縁 10 b 間の距離 L_2 を大きくすることができる。従って、この拡大された距離 L_2 を利用することにより、アンダコート層 14 の基板長手方向の端縁 14 a を第 1 抵抗エレメント 131 及び第 4 抵抗エレメント 134 を越えた位置に余裕をもって配置することができる。同様に、ミドルコート層 15 の基板長手方向の端縁 15 a を上記アンダコート層 14 の端縁 14 a と同位置又はそれを越えた位置に配置する場合も、オーバコート層 16 の基板長手方向の端縁 16 a を上記ミドルコート層 15 の端縁 15 a を越えて位置に配置する場合も、この拡大された距離 L_2 を利用することによって余裕が生まれる。その結果、抵抗エレメント 131 ~ 134 の印刷位置に対してアンダコート層 14、ミドルコート層 15 及びオーバコート層 16 の印刷に印刷ずれを起こしても、オーバコート層 16 の端縁 16 a から抵抗エレメント 131、134 やアンダコート層 14 が露出してしまふといった事態を有効に回避又は軽減して、電極に対するハンダメッキ工程において、短絡不良を生じるといった不具合の発生が少なくなる。

さらに、本実施例では、各抵抗エレメント 131 ~ 134 の位置は偏位させるが、抵抗エレメント自体を細幅化する必要はないので、レーザトリミングによる抵抗値の調整幅が減じられるということもない。

本実施例に係るマルチエレメント型チップ抵抗器は、従来のチップ抵抗器と同様に厚膜印刷法を用いて都合よく製造することができる。以下、図 4 ~ 図 10 を参照しながら、この製造方法について説明する。

先ず、図 4 に示すように、複数のチップ基板 10 にほぼ対応する大きさを有するマスター基板 18 を用意する。アルミナセラミック等の絶縁材料からなるこのマス

ター基板 18 の表面には、縦割り溝 19 と横割り溝 20 とを格子状に形成することにより、略長矩形の単位領域 A が複数行複数列に形成される。横割り溝 20 に沿って、各単位領域 A ごとに前述した凸部 11 (図 1 参照) を形成するための貫通孔 21 が形成されている。上記縦割り溝 19 と横割り溝 20 は、焼成前の基板グリーンシートの表面にブレードを押し付けるなどすることによって形成される。上記貫通孔 21 は、おなじく基板グリーンシートの表面に打ち抜き処理を施すことによって形成される。

次に、図 5 に示すように、マスター基板 18 上の所定箇所に、一次電極 12 a を形成する。ここで、一次電極 12 a の形成ピッチ P は、各単位領域 A 内のみならず、各列において隣接する全ての単位領域 A にわたって一定とする。

次に、図 6 に示すように、各単位領域 A において、各対をなす電極 12 a 間を掛け渡すようにして、抵抗エレメント 131 ~ 134 を形成する。

次に、図 7 に示すように、各単位領域 A において、一連の抵抗エレメント 131 ~ 134 を覆うようにアンダコート層 14 を形成する。この状態において、各対の電極 12 a に測定プローブを接触させて対応する抵抗エレメント 131 ~ 134 の抵抗値を実測しながら、所定の抵抗値となるようにレーザトリミング (スリット 17 の形成) を施し、各抵抗エレメントの抵抗値を所定の範囲内に調整する。

次に、図 8 に示すように、各単位領域 A において、各アンダコート層 14 を覆うミドルコート層 15 を形成する。

次に、図 9 に示すように、各単位領域 A において、各ミドルコート層 15 を覆うオーバコート層 16 を形成する。

次に、オーバコート層 16 の形成を終えたマスター基板 18 を、横割り溝 20 に沿って切断することにより、棒状基板 (図示せず) に分割し、この棒状基板に対してその裏面にまで延び且つ一次電極 12 a に導通する二次電極 12 b (図 2) を導体ペーストを塗布・焼成することにより形成する。

そして、最後に、上記棒状のサブマスター基板を縦割り溝 19 に沿って分割することにより、図 1 ~ 図 3 に示した構成を有する複数のマルチエレメント型チップ抵抗器が完成する。

上記製造方法においては、マスター基板 18 の単位領域 A ごとに、アンダコート

層 14、ミドルコート層 15、及び、オーバコート層 16 が、縦割り溝 19 を跨ぐことなく独立的に形成されるので、例えばミドルコート層 15 が縦割り溝 19 を埋めるといったことがない。従って、割り溝 19、20 に沿った適正なマスター基板 18 の分割を行うことができ、チップ基板の形態が均一化される。

図 10 は、抵抗エレメント 131～134 を印刷するためのマスク 22 を模式的に示している。この図 10 から判るように、このマスク 22 は複数の横方向の列に配置された複数のマスク開口 22a、22b を備えており、各横方向の列においては、端から数えて奇数番目のマスク開口 22a と偶数番目のマスク開口 22b とが近接するよう偏位して形成されている。マスク開口 22a、22b は、マスター基板 18 上に形成される抵抗エレメント 131～134 の形態と対応している。このようなマスクは、マスター基板における一次電極 12a の形成ピッチ P を、一連の単位領域 A 間で一定とするかぎり、各々 2n 個の抵抗エレメントを有する複数のマルチエレメント型チップ抵抗器を製造するための異なるマスター基板に共用することができる。例えば、マスク 22 は、図 11 に示すような各々 2 個の抵抗エレメントを有する複数のマルチエレメント型チップ抵抗器を製造するためのマスター基板に対して、或いは図 12 に示すような各々 8 個の抵抗エレメントを有する複数のマルチエレメント型チップ抵抗器を製造するためのマスター基板に対しても共用することができる。

以上の実施例はマルチエレメント型チップ抵抗器についてのものであるが、本願発明はチップ抵抗器に限定されない。例えば、本願発明は、複数のコンデンサエレメントを単一基板上に一連に配置したチップコンデンサや、抵抗エレメントとコンデンサエレメントとを単一基板上に配置した複合チップデバイスにも適用することができる。また、図示の実施例では、各抵抗エレメント 131～134 のための保護コーティングは、全てガラス材からなるアンダコート層 14、ミドルコート層 15 及びオーバコート層 16 からなる 3 層構造であるが、必ずしも 3 層構造である必要はなく、また、ガラス以外の保護材料で形成してもよい。

請求の範囲

1. 長状のチップ基板と、このチップ基板の表面にその長手方向に略等間隔に形成された $2n$ 対〔 n は正の整数〕の対向する電極と、それぞれの対の電極間に形成された素子エレメントと、これら素子エレメントを上記チップ基板の長手方向に一連に覆うように形成された保護コーティングと、を備えるマルチエレメント型チップデバイスであって、

上記チップ基板の一端から $(2m-1)$ 番目〔 m は n を超えない正の整数〕の素子エレメントは、その幅中心が、対応する対の電極の幅中心に対して上記チップ基板の他端側に偏位するように形成されており、

上記チップ基板の上記一端から $(2m)$ 番目の素子エレメントは、その幅中心が、対応する対の電極の幅中心に対して上記チップ基板の上記一端側に偏位するように形成されている、マルチエレメント型チップデバイス。

2. 上記各素子エレメントは、抵抗エレメントである、請求項1に記載のマルチエレメント型チップデバイス。

3. 上記保護コーティングは、上記素子エレメントを上記チップ基板の長手方向に一連に覆うように形成されたアンダコート層と、このアンダコート層を覆うように形成されたミドルコート層と、このミドルコート層を覆うように形成されたオーバコートと、を備えている、請求項1に記載のマルチエレメント型チップデバイス。

4. 上記アンダコート層は、全ての素子エレメントを覆い且つ越える位置まで上記チップ基板の長手方向に延びており、上記ミドルコート層は少なくとも上記アンダコート層と同じ位置まで上記チップ基板の長手方向に延びており、上記オーバコートは上記ミドルコート層を越え且つ上記チップ基板の端縁の手前の位置まで当該チップ基板の長手方向に延びている、請求項3に記載のマルチエレメント型チップデバイス。

5. 縦割り溝と横割り溝とによって区画された長状の単位領域を複数列複数行形成したマスター基板を用意し、

各単位領域において、その長手方向に略等間隔に $2n$ 対 [n は正の整数] の対向する電極を形成し、

上記各単位領域において、各対の電極間を延びる素子エレメントを形成し、

上記各単位領域において、これら素子エレメントを上記各単位領域の長手方向に一連に覆うように保護コーティングを形成する、

ステップを含むマルチエレメント型チップデバイスの製造方法であって、

上記各単位領域における長手方向一端部から $(2m-1)$ 番目 [m は n を超えない正の整数] の素子エレメントは、その幅中心が、対応する対の電極の幅中心に対して上記各単位領域の他端側に偏位するように形成し、

上記各単位領域の上記一端から $(2m)$ 番目の素子エレメントは、その幅中心が、対応する対の電極の幅中心に対して上記単位領域の上記一端側に偏位するように形成する、ようにした、マルチエレメント型チップデバイスの製造方法。

6. 上記各素子エレメントは、抵抗エレメントである、請求項5に記載の製造方法。

7. 上記保護コーティングは、上記素子エレメントを上記各単位領域の長手方向に一連に覆うように形成されたアンダコート層と、このアンダコート層を覆うように形成されたミドルコート層と、このミドルコート層を覆うように形成されたオーバコートと、を順次形成することにより形成される、請求項5に記載の製造方法。

8. 上記アンダコート層は、全ての素子エレメントを覆い且つ越える位置まで上記各単位領域の長手方向に延びるように形成し、上記ミドルコート層は少なくとも上記アンダコート層と同じ位置まで上記各単位領域の長手方向に延びるように形成し、上記オーバコートは上記ミドルコート層を越え且つ上記各単位領域の端縁の手前の位置まで当該各単位領域の長手方向に延びるように形成する、請求項7に記載の製造方法。

9. 長手方向に一連の単位領域における全ての電極対間の間隔は、当該一連の単位領域にわたって一定である、請求項5に記載の製造方法。

Fig. 2

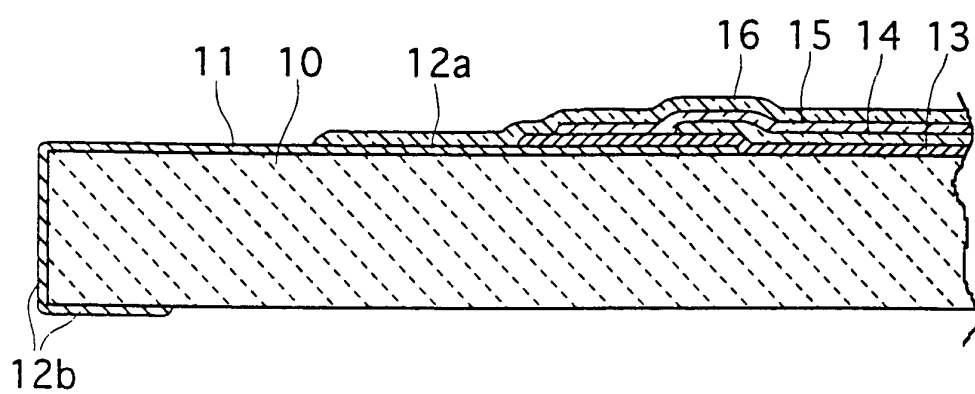


Fig. 3

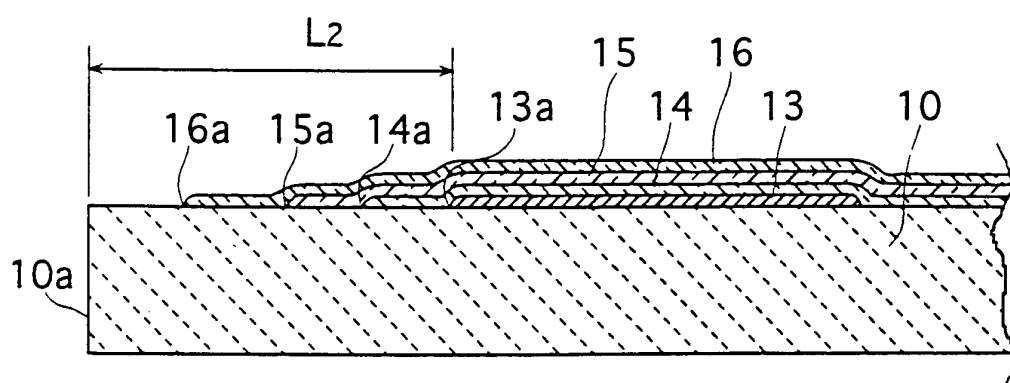


Fig. 4

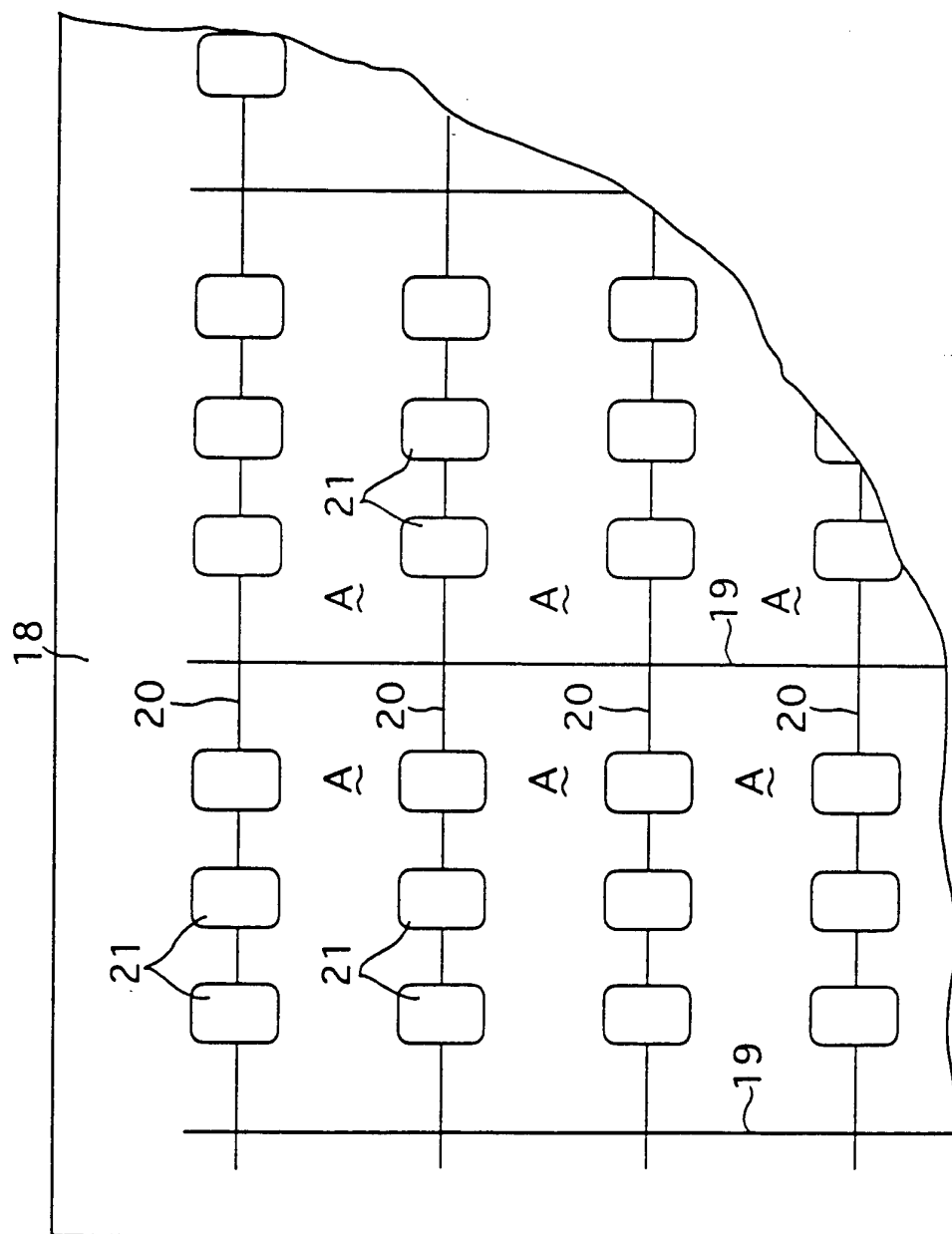


Fig. 5

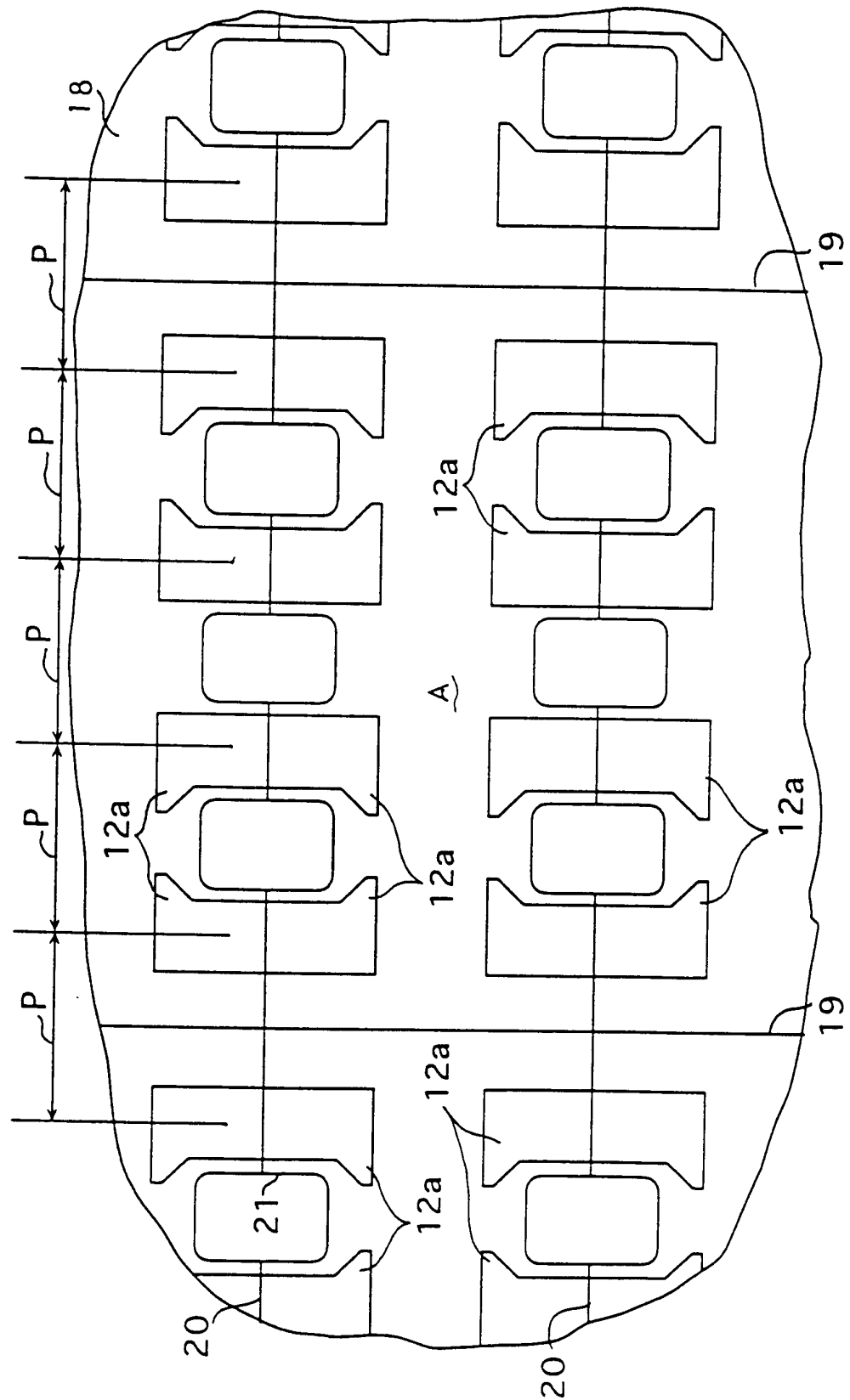


Fig. 6

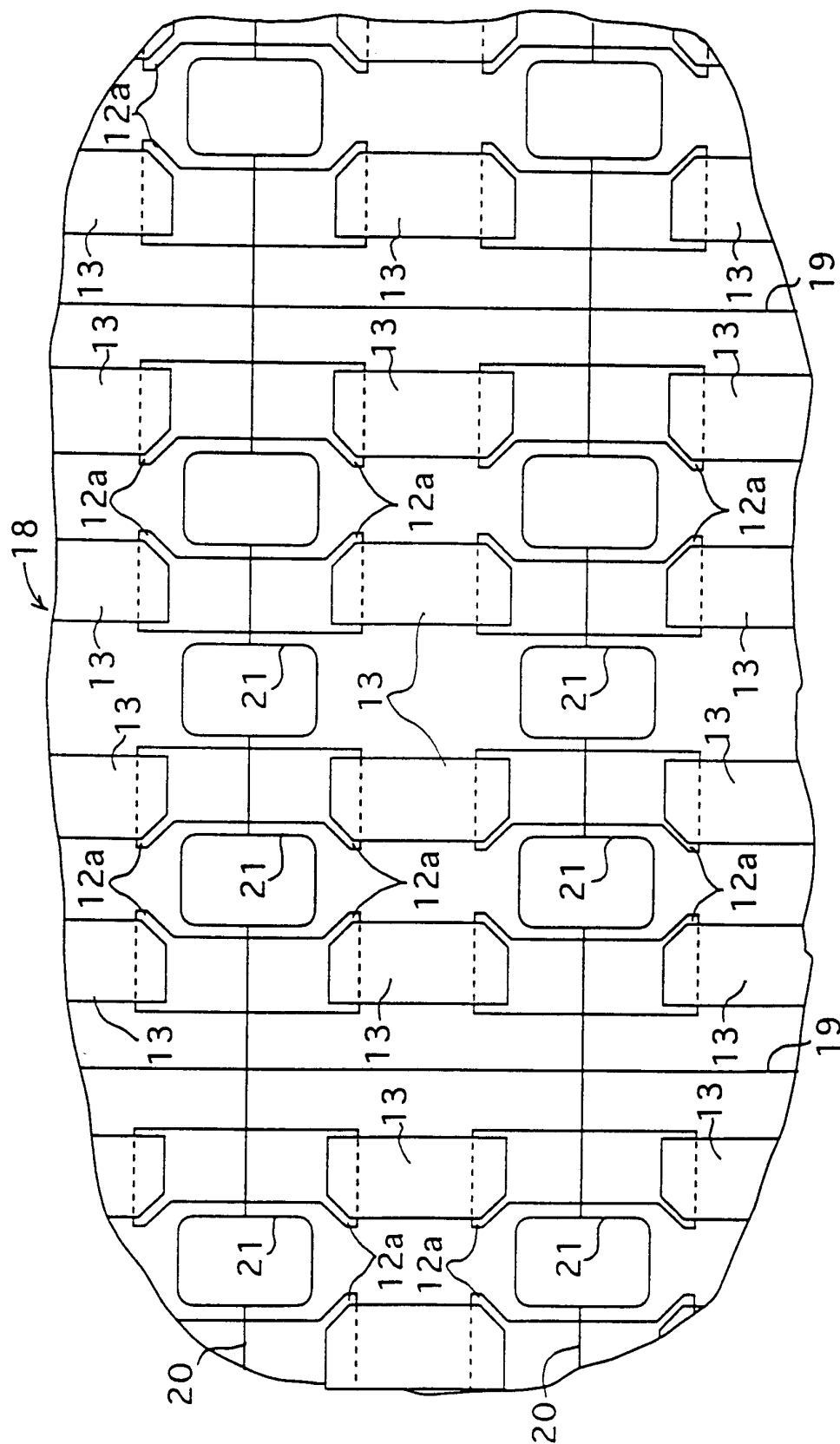


Fig. 7

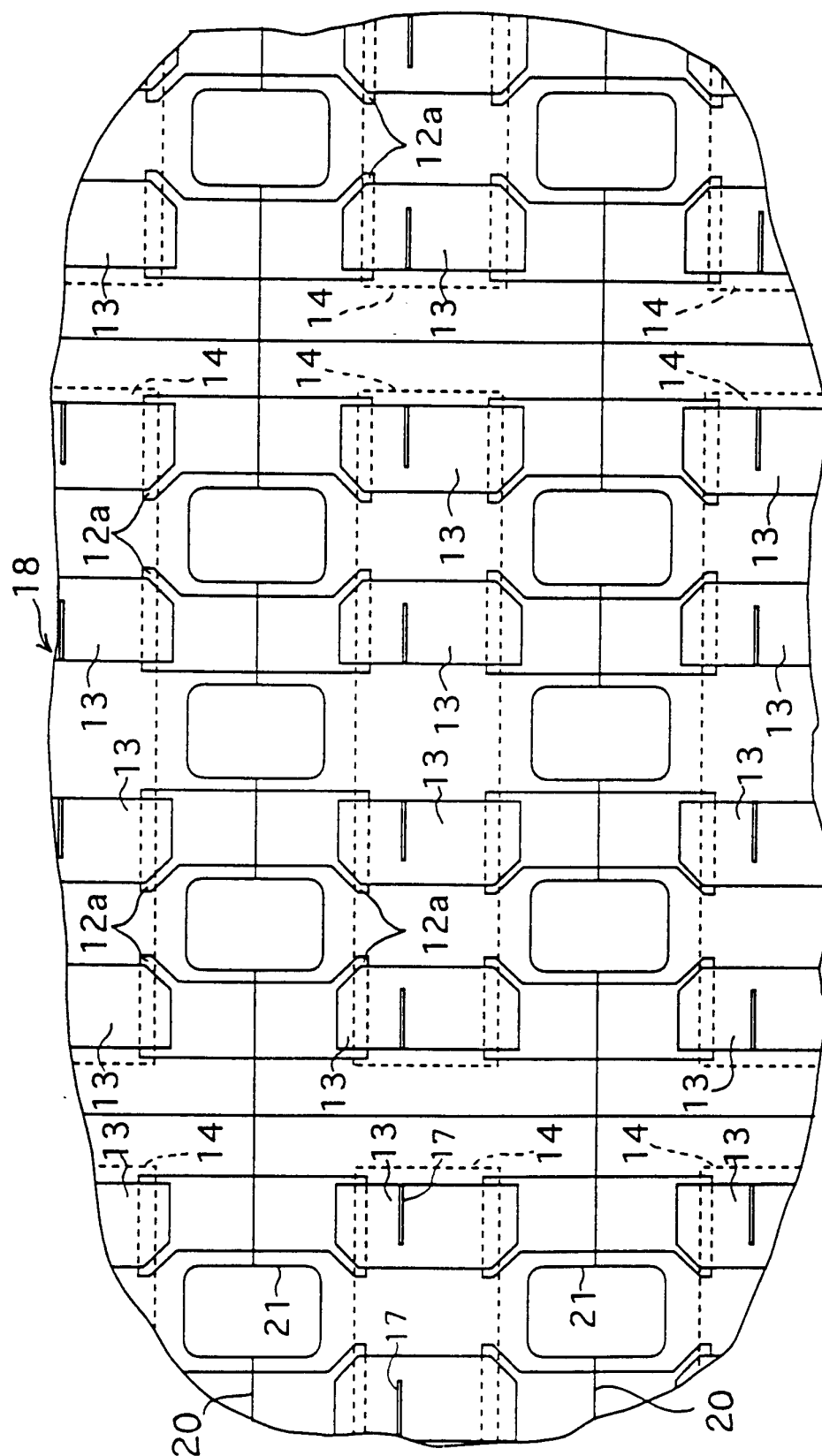


Fig. 8

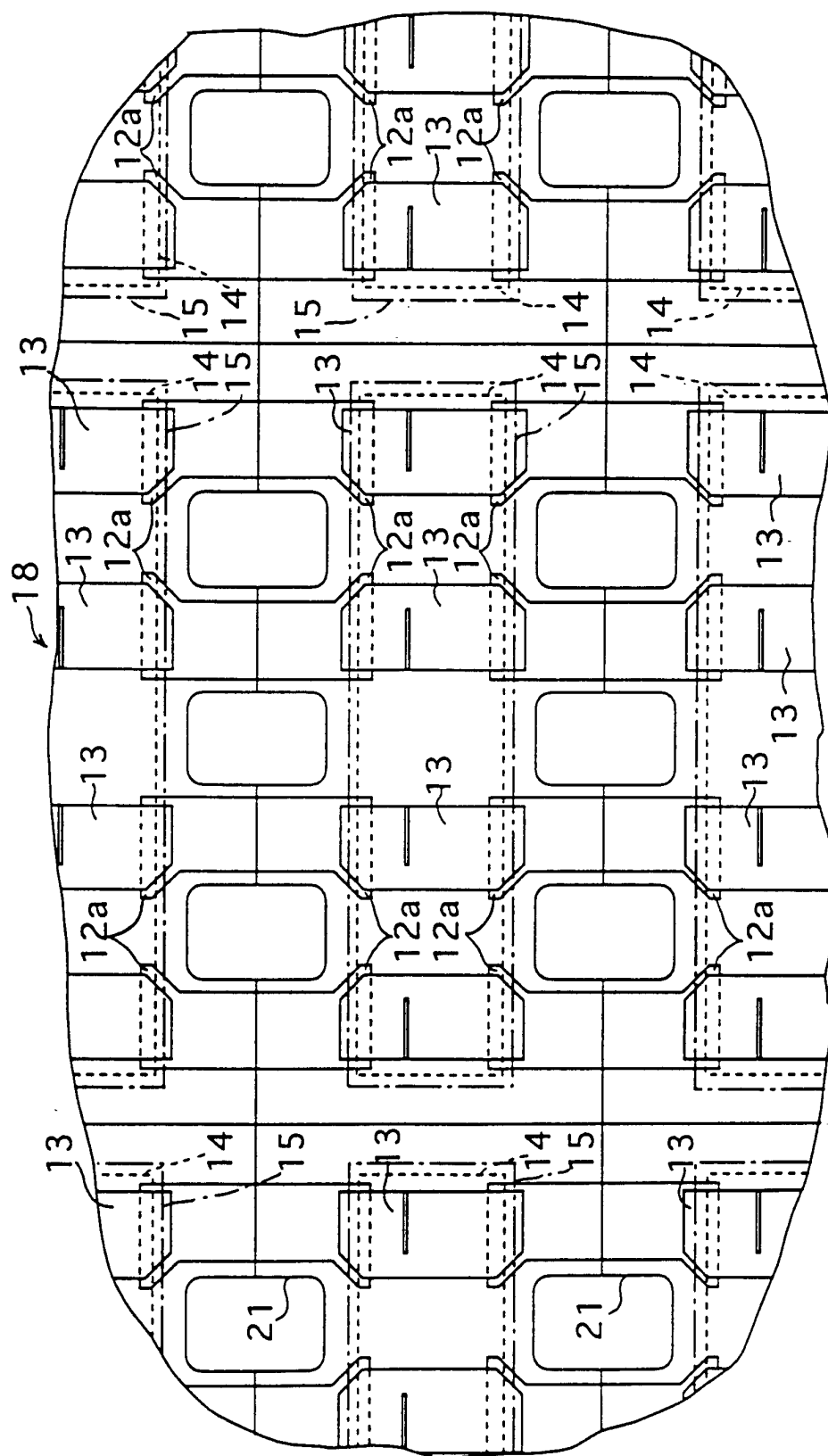


Fig. 10

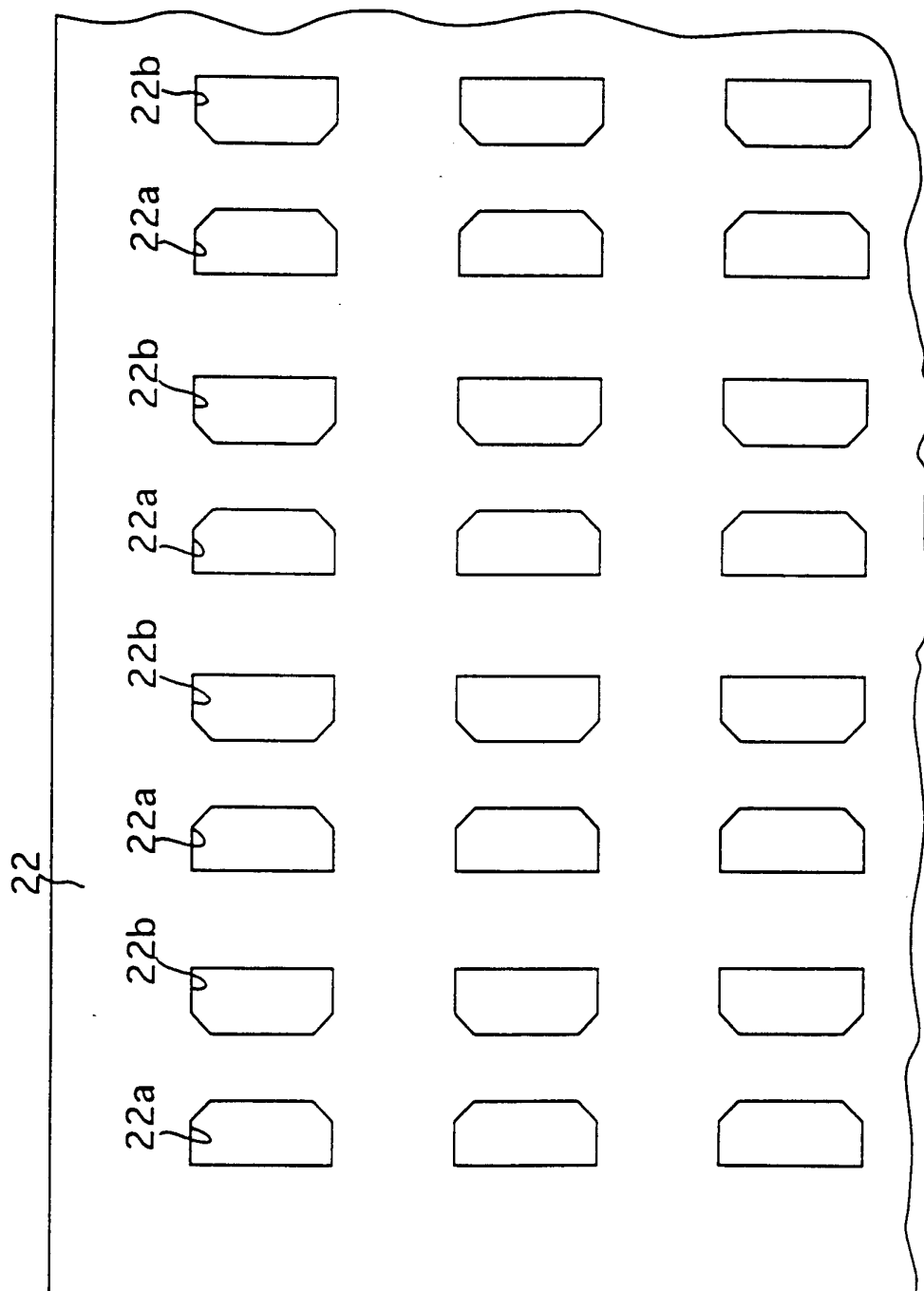


Fig. 12

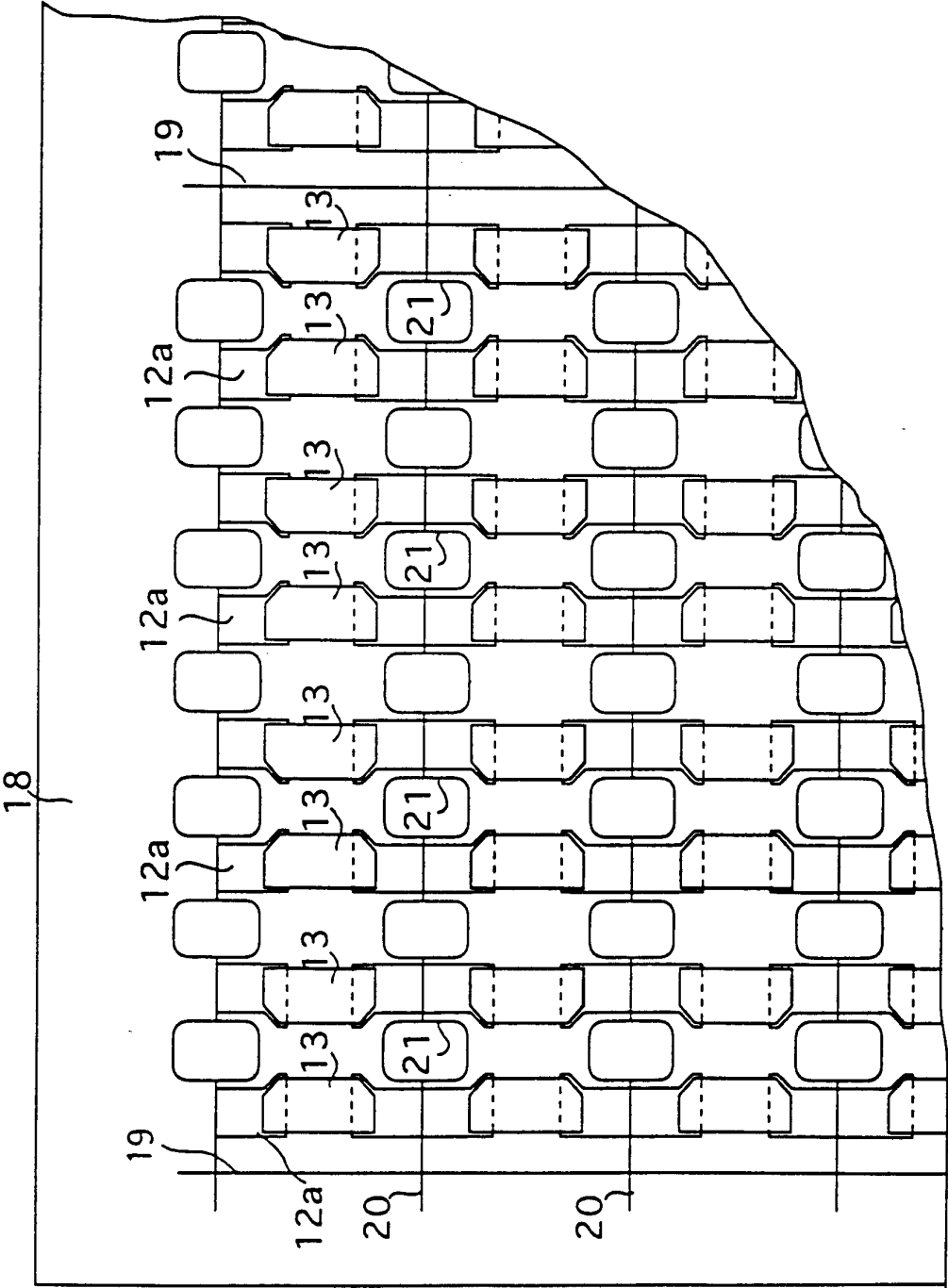


Fig. 14 従来技術

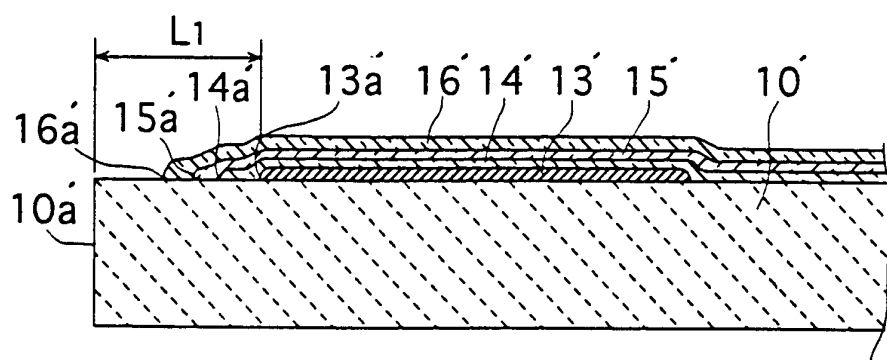


Fig. 15 従来技術

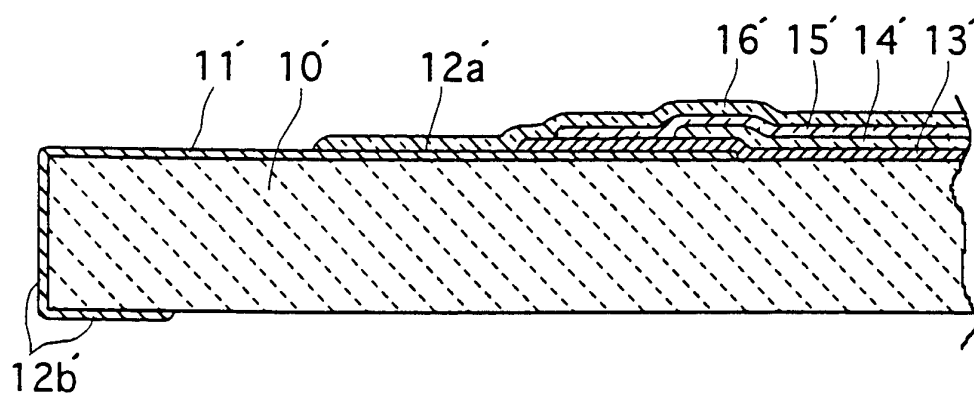


Fig. 16 従来技術

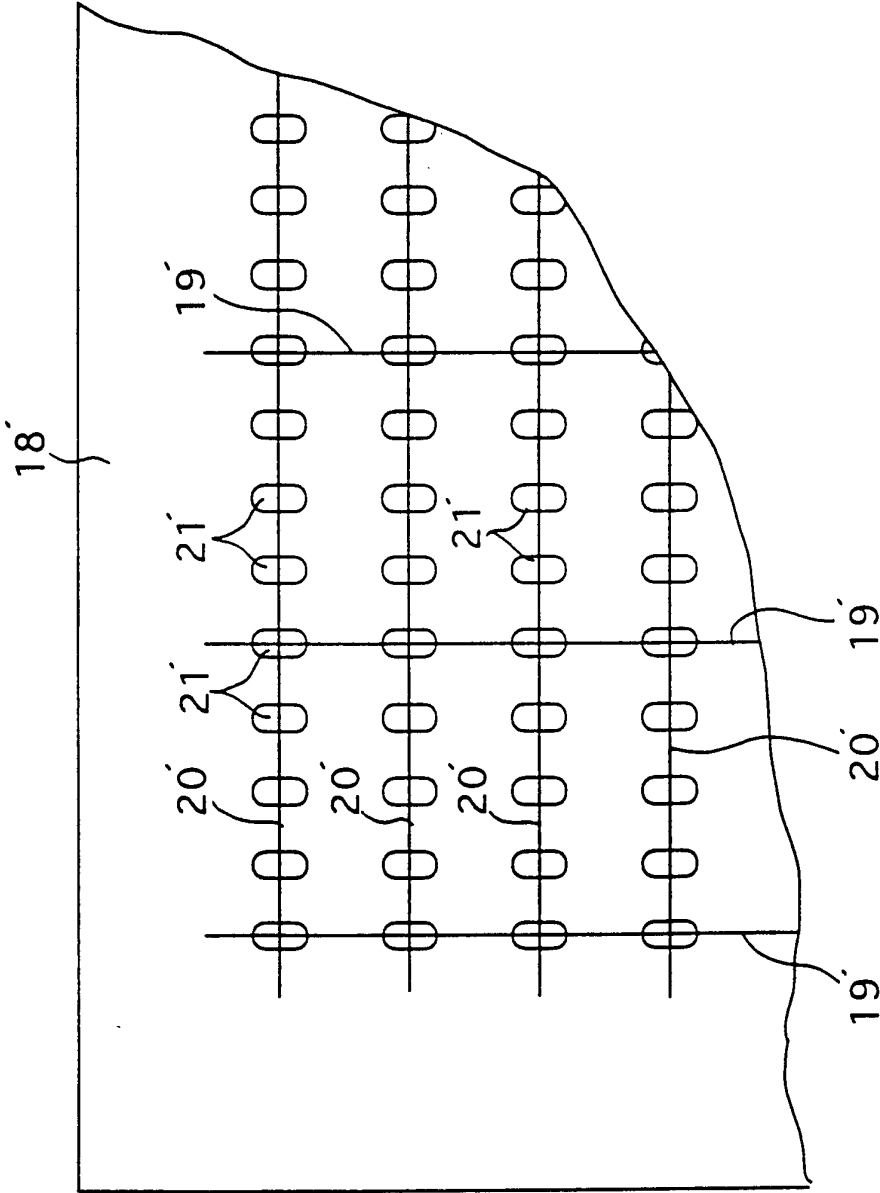
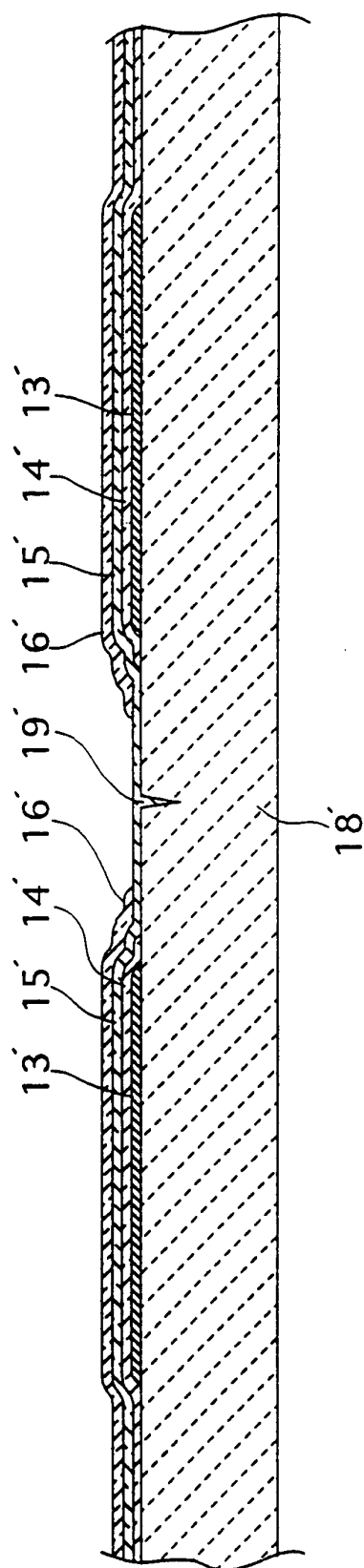


Fig. 17 従来技術



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP96/01830

A. CLASSIFICATION OF SUBJECT MATTER

Int. Cl⁶ H01C17/06

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int. Cl⁶ H01C7/00-17/30

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho 1926 - 1996

Kokai Jitsuyo Shinan Koho 1971 - 1996

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP, 1-184906, A (Matsushita Electric Ind. Co., Ltd.), July 24, 1989 (24. 07. 89)	1, 2, 5, 6
Y	JP, 1-184906, A (Matsushita Electric Ind. Co., Ltd.), July 24, 1989 (24. 07. 89)	3, 4, 7, 8
Y	JP, 1-152701, A (Rohm Co., Ltd.), June 15, 1989 (15. 06. 89)	3, 4, 7, 8

☐ Further documents are listed in the continuation of Box C.☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier document but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search

September 19, 1996 (19. 09. 96)

Date of mailing of the international search report

October 1, 1996 (01. 10. 96)

Name and mailing address of the ISA/

Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (IPC))
Int.cl¹ H 01 C 17/06

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))
Int.cl¹ H 01 C 7/00~17/30

最小限資料以外の資料で調査を行った分野に含まれるもの
日本国実用新案公報 1926-1996
日本国公開実用新案公報 1971-1996

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	J P, 1-184906, A (松下電器産業株式会社), 24, 7月, 1989 (24, 07, 89)	1, 2, 5, 6
Y	J P, 1-184906, A (松下電器産業株式会社), 24, 7月, 1989 (24, 07, 89)	3, 4, 7, 8
Y	J P, 1-152701, A (ローム株式会社), 15, 6月, 1989 (15, 06, 89)	3, 4, 7, 8

☐ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」先行文献ではあるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日
19, 09, 96

国際調査報告の発送日

01.10.96

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)

郵便番号 100

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

嶋野邦彦

印

5 E

8 5 2 7

電話番号 03-3581-1101 内線 3521