



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I567865 B

(45)公告日：中華民國 106 (2017) 年 01 月 21 日

(21)申請案號：104104233

(22)申請日：中華民國 104 (2015) 年 02 月 09 日

(51)Int. Cl. : **H01L21/76 (2006.01)****H01L27/12 (2006.01)****H01L21/324 (2006.01)**

(30)優先權：2014/03/18 世界智慧財產權組織 PCT/US14/31094

(71)申請人：英特爾股份有限公司(美國) INTEL CORPORATION (US)

美國

(72)發明人：穆可吉 尼洛依 MUKHERJEE, NILOY (IN)；皮拉瑞斯提 拉維 PILLARISSETTY, RAVI (US)；道爾 布萊恩 DOYLE, BRIAN S. (IE)；陳 漢威 THEN, HAN WUI (MY)；達斯古塔 山薩塔克 DASGUPTA, SANSAPTAK (IN)；拉歐 瓦路里 RAO, VALLURI R. (US)；拉多撒福傑維克 馬可 RADOSAVLJEVIC, MARKO (US)；喬 羅伯特 CHAU, ROBERT S. (US)

(74)代理人：林志剛

(56)參考文獻：

US 8178221B2

US 2005236623A1

審查人員：吳松屏

申請專利範圍項數：22 項 圖式數：10 共 38 頁

(54)名稱

具有撓性基底之半導體組件

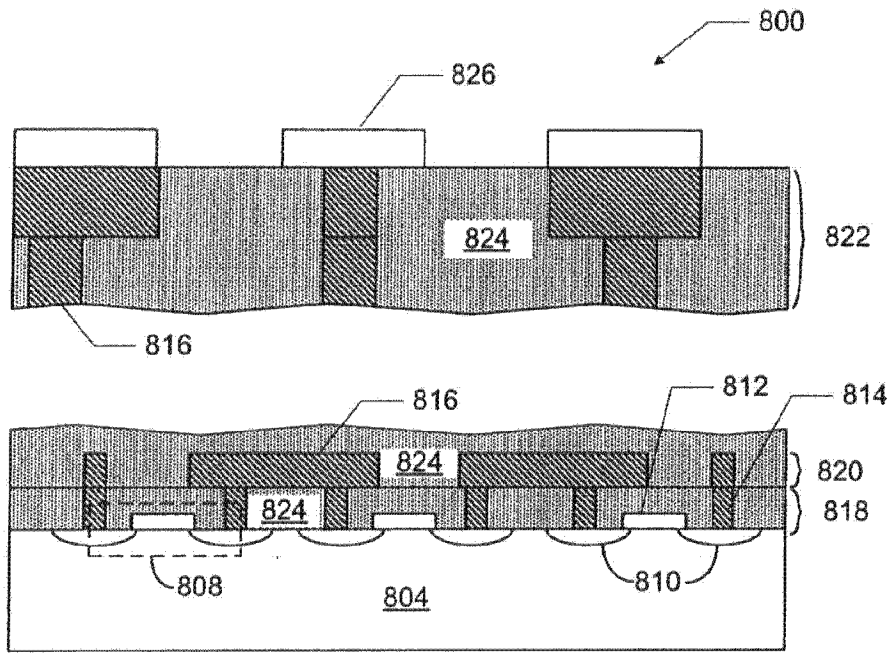
SEMICONDUCTOR ASSEMBLIES WITH FLEXIBLE SUBSTRATES

(57)摘要

半導體組件、及相關的積體電路裝置和技術之實施例被揭露於文中。於某些實施例中，半導體組件可包括撓性基底、多晶半導體材料、及配置於並相鄰於撓性基底與多晶半導體材料之間的多晶電介質。多晶半導體材料可包括多晶 III-V 族材料、多晶 II-VI 族材料或多晶鍺。其他實施例可被揭露及/或主張權利。

Embodiments of semiconductor assemblies, and related integrated circuit devices and techniques, are disclosed herein. In some embodiments, a semiconductor assembly may include a flexible substrate, a polycrystalline semiconductor material, and a polycrystalline dielectric disposed between and adjacent to the flexible substrate and the polycrystalline semiconductor material. The polycrystalline semiconductor material may include a polycrystalline III-V material, a polycrystalline II-VI material or polycrystalline germanium. Other embodiments may be disclosed and/or claimed.

指定代表圖：



符號簡單說明：

- 800 . . . IC 裝置
- 804 . . . 基底
- 808 . . . 電晶體
- 810 . . . 源極及/或汲極(S/D)
- 812 . . . 閘極
- 814 . . . S/D 接點
- 816 . . . 互連結構
- 818 . . . 裝置層
- 820、822 . . . 互連層
- 824 . . . 電介質層
- 826 . . . 接合墊

圖 8

發明摘要

※申請案號：104104233

※申請日：104年02月09日

※IPC分類：H01L21/76 (2006.01)

H01L27/12 (2006.01)

H01L21/32 (2006.01)

【發明名稱】(中文/英文)

具有撓性基底之半導體組件

Semiconductor assemblies with flexible substrates

【中文】

半導體組件、及相關的積體電路裝置和技術之實施例被揭露於文中。於某些實施例中，半導體組件可包括撓性基底、多晶半導體材料、及配置於並相鄰於撓性基底與多晶半導體材料之間的多晶電介質。多晶半導體材料可包括多晶 III-V 族材料、多晶 II-VI 族材料或多晶鍺。其他實施例可被揭露及/或主張權利。

【英文】

Embodiments of semiconductor assemblies, and related integrated circuit devices and techniques, are disclosed herein. In some embodiments, a semiconductor assembly may include a flexible substrate, a polycrystalline semiconductor material, and a polycrystalline dielectric disposed between and adjacent to the flexible substrate and the polycrystalline semiconductor material. The polycrystalline semiconductor material may include a polycrystalline III-V material, a polycrystalline II-VI material or polycrystalline germanium. Other embodiments may be disclosed and/or claimed.

【代表圖】

【本案指定代表圖】：第(8)圖。

【本代表圖之符號簡單說明】：

800：IC 裝置

804：基底

808：電晶體

810：源極及/或汲極 (S/D)

812：閘極

814：S/D 接點

816：互連結構

818：裝置層

820、822：互連層

824：電介質層

826：接合墊

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：無

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】(中文/英文)

具有撓性基底之半導體組件

Semiconductor assemblies with flexible substrates

【技術領域】

本發明一般是有關半導體裝置之領域，而更特別地，是有關具有撓性基底之半導體組件。

【先前技術】

已進行一些嘗試以開發用於穿戴式或其他裝置之撓性電子電路。於這些裝置中，撓性通常已犧牲電性能來獲得。高性能的、單晶的半導體無法被輕易地生長於典型的、非晶的撓性基底上。此外，因為用於現有的撓性電子電路中之基底無法承受高處理溫度，所以僅使用了具有低處理溫度之半導體材料；因為這些材料通常較具有高處理溫度之材料更低的性能，所以撓性電子電路之電性能已被限制。

【圖式簡單說明】

實施例將藉由以下配合後附圖形之詳細描述而被輕易地瞭解。為了協助此描述，類似的參考數字係指定類似的結構元件。實施例係藉由範例（而非藉由限制）而被闡明

於後附圖形之圖中。

圖 1 為一圖形，其闡明針對各種半導體材料及各種撓性基底之集成的處理溫度限制。

圖 2 為一半導體組件之分解側視圖，依據各個實施例。

圖 3-7 為用以製造圖 2 之半導體組件的製程中之各個階段的側視圖，依據各個實施例。

圖 8 為一種可包括文中所揭露之一或更多半導體組件的積體電路（IC）裝置之一部分的橫斷面視圖。

圖 9 為一種用以製造包括半導體組件之 IC 裝置的說明性製程之流程圖，依據各個實施例。

圖 10 概略地闡明一種可包括如文中所揭露之一或更多半導體組件的計算裝置，依據各個實施例。

【發明內容與實施方式】

半導體組件、及相關的積體電路裝置和技術之實施例被揭露於文中。於某些實施例中，半導體組件可包括撓性基底、多晶半導體材料、及配置於並相鄰於撓性基底與多晶半導體材料之間的多晶電介質。多晶半導體材料可包括多晶 III-V 族材料、多晶 II-VI 族材料或多晶銻。

文中所揭露之半導體組件及相關技術可致能撓性基底上之電晶體裝置層的形成，其具有優於現存撓性基底積體電路（IC）裝置的增進性能。特別地，文中所揭露之半導體組件及相關技術致能多晶 III-V 族材料、多晶 II-VI 族

材料或多晶鍺之直接沈積或生長於撓性基底上。

於某些實施例中，這些多晶半導體材料可具有較撓性基底目前所使用之半導體材料更大的電子移動率（諸如非晶半導體材料或多晶矽）。增進的電子移動率可導致半導體組件上所形成之電晶體的增進的電性能。

於某些實施例中，這些多晶半導體材料可被處理以較其他具有類似電性能（例如，類似電子移動率）之半導體材料更低的溫度。特別地，於這些材料之處理期間所需的最大溫度（例如，於生長或退火階段）可低於其具有類似電性能之其他半導體材料。因此，其可能在針對這些其他半導體材料所需的處理溫度時會融化、變型或者降低的撓性基底可被使用於文中所揭露的多晶半導體材料。此可致能新的撓性基底材料之使用於 IC 裝置中而不會實質上犧牲電性能。

於以下詳細描述中，參考其形成其一部分的後附圖形，其中類似的數字係指定遍及全文之類似部件，且其中係藉由可被實行之說明性實施例來顯示。應理解其他實施例可被利用，且結構或邏輯改變可被實行而不背離本發明之範圍。因此，下列詳細描述並非被取其限制性意義，且實施例之範圍係由後附申請專利範圍及其同等物來界定。

各個操作可被描述為多重離散的依序動作或操作，以一種最有助於瞭解所請求標的之方式。然而，描述之順序不應被當作暗示這些操作一定是跟順序相關的。特別地，這些操作可不以所提呈之順序來執行。所述之操作可被執

行以與所述實施例不同的順序。各種額外操作可被執行及/或所述的操作可被省略於額外的實施例中。

為了本發明之目的，用語「A 及/或 B」表示 (A)、(B)、或 (A 及 B)。為了本發明之目的，用語「A、B 及/或 C」表示 (A)、(B)、(C)、(A 及 B)、(A 及 C)、(B 及 C)、或 (A、B 及 C)。

描述係使用用語「於一實施例中」、或「於實施例中」，其可指稱一或更多相同或者不同的實施例。再者，術語「包含」、「包括」、「具有」等等（如針對本發明之實施例所使用者）為同義的。

圖 1 為一圖形，其闡明針對各種半導體材料及各種撓性基底之集成的處理溫度限制。第一 x 軸 120 代表用於電晶體通道之各種半導體材料的處理期間（例如，外延及退火期間）通常所需要的最大溫度。y 軸 122 代表在處理後之半導體材料的電子移動率。數種半導體材料之範圍被闡明於圖 1 中，包括單晶 III-V 族材料 102、單晶 III-氮化物族材料 104、單晶矽奈米膜材料 106、過渡金屬二硫化物 108、非晶氧化物 110（諸如氧化銻鎳鋅）、多晶矽 112（例如，低溫多晶矽）、聚合物 114（諸如稠五苯）及非晶矽 116（諸如氫化非晶矽）。部分這些材料可藉由直接生長或沈積而被形成（諸如材料 102、104、106 及 108）而其他材料可藉由層轉移而被形成（諸如材料 110、112 及 114）。圖 1 之圖形的右上角落中之材料可為單晶材料，其不包括可能造成電子之散射的微粒邊界，且其因而

可具有高的電性能。

第二 x 軸 124 代表各種撓性基底材料之約略最大可容許處理溫度。數個撓性基底材料被闡明於圖 1 中，包括聚對酞酸乙二酯 (PET, 78 度 C)、熱穩定化的 PET (HS-PET) (100 度 C)、聚萘二甲酸乙二醇酯 (PEN, 120 度 C)、聚碳酸酯樹脂非晶熱塑性聚合物 (諸如 PC-LEXAN, 150 度 C)、高熱聚碳酸酯共聚物 (諸如 LEXAN XHT, 220 度 C)、聚醚砜 (PES, 220 度 C)、聚醯亞胺 (諸如 KAPTON, 400 度 C) 及撓性玻璃 (諸如無鹼硼矽酸鹽, 例如, WILLOW GLASS, 500 度 C)。

圖 1 指示其許多半導體材料需要超過許多撓性基底材料之最大可容許處理溫度的處理溫度。特別地, 較高性能的半導體材料 (例如, 那些具有最大電子移動率者) 常需要特別高的最大處理溫度, 而留下極少 (假如有任何) 選擇給溫度相容的撓性基底材料。圖 1 亦指示其與數種撓性基底材料溫度相容的半導體材料通常為較低性能的半導體材料 (例如, 那些具有最低電子移動率者)。

文中所揭露之半導體組件的實施例可包括多晶半導體材料, 其係溫度相容與許多撓性基底材料 (例如, 藉由具有少於 400 度 C 之最大處理溫度) 而同時具有優於現存「低溫」半導體材料之增進的電性能。特別地, 文中所揭露之多晶半導體材料可具有較許多現存半導體材料更接近於圖 1 之圖形的左上角落之溫度及性能特性 (或確實地, 接近於 III-V 族、II-VI 族或鍺材料之非晶形式)。雖然多

晶半導體材料之微粒邊界可造成電子散射，但是此散射可較非晶材料中更為有限的，而因此多晶半導體材料可展現優於此類非晶材料之增進的性能。

於某些實施例中，文中所揭露之半導體組件的多晶半導體材料可被形成於多晶電介質上。多晶電介質之微粒邊界可提供用於形成多晶半導體之微粒的成核部位。這些成核部位可為半導體材料中之結晶化微粒的形成所將減少局部能量的高能量部位。因此，多晶電介質之微粒的控制可導致多晶半導體材料之微粒的控制。利用撓性基底之現存的沈積技術通常將半導體材料直接地沈積於撓性基底上。當撓性基底為非晶（如其通常者）時，由撓性基底所提供之成核部位為不規則的；因此，在非晶基底上之半導體材料的沈積後所發生之任何結晶化亦可為不規則的，且無法展現多晶或結晶半導體材料之有利的電性質。欲將撓性基底上之沈積後的半導體材料之晶體結構「規律化」的企圖可能需要高於撓性基底之溫度能夠承受。

圖 2 為一半導體組件 200 之分解側視圖，依據各個實施例。半導體組件 200 可包括撓性基底 202、多晶電介質 204、及多晶半導體材料 206。多晶電介質 204 可被配置於撓性基底 202 與多晶半導體材料 206 之間，且可鄰接於撓性基底 202 之表面 220 及多晶半導體材料 206 之表面 222。

撓性基底 202 可被形成自任何希望用於撓性電子應用之撓性基底材料。例如，於某些實施例中，撓性基底 202

可被形成自聚對酞酸乙二酯、聚萘二甲酸乙二醇酯、聚碳酸酯材料、聚醚砜材料、聚醯亞胺材料、或無鹼硼矽酸鹽之一或更多者。於某些實施例中，撓性基底 202 可為非晶材料（例如，其組成分子未被區域地或完整地配置以規律型態的一種材料）。

於某些實施例中，撓性基底 202 可具有小於 400 度 C 之最大處理溫度。此最大處理溫度可代表超過其撓性基底 202 無法維持其所欲性質之溫度。例如，於某些實施例中，撓性基底 202 可具有小於 400 度 C 之融化溫度。

多晶電介質 204 可被形成自其可被形成有多晶結構（例如，具有組成分子之區域規律配置的結構）之任何電介質材料。例如，於某些實施例中，多晶電介質 204 可包括二氧化鈦、二氧化矽或二氧化鋁之一或更多者。多晶電介質 204 可包括多數微粒 210，以其各微粒由組成分子之實質上規律配置所形成。多晶電介質 204 之微粒 210 可由微粒邊界 208 所分離。微粒邊界 208 可代表介於具有不同分子配置定向的微粒 210 之間的介面。

多晶電介質 204 之微粒 210 及微粒邊界 208 的圖 2 中之圖示為圖形式的，且微粒 210 及微粒邊界 208 之尺寸和形狀可於不同的電介質材料及製程之間改變。於某些實施例中，介於多晶電介質 204 的至少某些微粒邊界 208 之間的間隔 216 可為約 50 奈米至約 200 奈米之等級。

多晶半導體材料 206 可被形成自其能夠被配置為多晶結構之任何半導體材料。例如，於某些實施例中，多晶半

導體材料 206 可包括多晶 III-V 族材料、多晶 II-VI 族材料或多晶鍺。例如，多晶半導體材料 206 可包括銻化銮、氮化銮鎳、或氮化銮。其中多晶半導體材料 206 包括多晶 II-VI 族材料之實施例對於光電子應用可能是特別有利的。

多晶半導體材料 206 可包括多數微粒 212，以其各微粒由組成分子之實質上規律配置所形成。多晶半導體材料 206 之微粒 212 可由微粒邊界 214 所分離。微粒邊界 214 可代表介於具有不同分子配置定向的微粒 212 之間的介面。於某些實施例中，多晶電介質 204 之微粒邊界 208 可提供用於形成多晶半導體材料 206 之微粒 212 的成核部位。

多晶半導體材料 206 可被形成以具有不同的電、物理及/或光學性質。於某些實施例中，多晶半導體材料 206 之厚度 218 可介於約 5 奈米與約 250 奈米之間。於某些實施例中，多晶半導體材料 206 之厚度 218 可為 500 奈米或更大。於某些實施例中，多晶半導體材料 206 之電阻值可小於每平方 2000 歐姆（例如，針對具有約 500 奈米之厚度的多晶半導體材料）。片電阻值可為優於多晶半導體材料 206 之非晶形式的片電阻值之改良。例如，多晶半導體材料 206 之非晶形式的片電阻值可大於每平方 3000 歐姆（例如，針對具有約 500 奈米之厚度的多晶半導體材料）。

圖 3-7 為用以製造半導體組合 200 之製程中之各個階

段的側視圖，依據各個實施例。

圖 3 描繪在提供撓性基底 202 後所形成之組合 300。撓性基底 202 可具有以上參考圖 2 所討論之任何實施例的形式。例如，於某些實施例中，撓性基底 202 可為非晶材料。撓性基底 202 可具有暴露表面 220。

圖 4 描繪在電介質 402 被沈積於撓性基底 202 之表面 220 上後所形成的組合 400。於某些實施例中，電介質 402 可為非晶材料於沈積之時，且可接著被處理以將電介質 402 轉變為多晶電介質（如以下參考圖 5 所討論者）。例如，電介質 402 可為一種使用傳統旋塗技術而被旋塗至撓性基底 202 上的非晶電介質。於某些實施例中，電介質 402 可為多晶形式於（或實質上於）沈積之時，且因而可能無須許多或任何進一步處理來形成多晶電介質。例如，於某些實施例中，電介質 402 可為藉由原子層沈積（ALD）所形成之多晶電介質。

圖 5 描繪在組合 400 被處理以從電介質 402 形成多晶電介質 204 後所形成的組合 500。於某些實施例中，用以從電介質 402 形成多晶電介質 204 所執行的處理可包括退火電介質 402。例如，多晶電介質 204 可包括使用 ALD 而於 300 度 C 所沈積的二氧化鈦。於某些實施例中，多晶電介質 204 之微粒 210 的微粒邊界間隔 216 可為約 50 奈米、約 100 奈米、約 200 奈米、或更大。如上所述，於某些實施例中，由圖 5 所表示之處理可不被執行。所形成的多晶電介質 204 可具有暴露表面 504。

圖 6 描繪在半導體材料 602 被沈積於撓性基底 204 之表面 504 上後所形成的組合 600。於某些實施例中，半導體材料 602 可為非晶材料於沈積之時，且可接著被處理以將半導體材料 602 轉變為多晶半導體材料（如以下參考圖 7 所討論者）。例如，半導體材料 602 可為濺射沈積於多晶電介質 204 之表面 504 上的非晶半導體材料。此濺射沈積可發生於約室溫。於某些實施例中，此濺射沈積可發生於約 15 度 C 與約 30 度 C 之間的溫度。濺射沈積可為用以沈積半導體材料 602 之有利的技術，因為其可被輕易地實施以高容量及大面積。某些製程，諸如化學氣相沈積（CVD），可能不具有低於 400 度 C 之先質，而因此該些製程在當加工許多撓性基底時可能是不適當的。於某些實施例中，半導體材料 602 可包括在約室溫（例如，25 度 C）所濺射的非晶銻化銻。

於某些實施例中，半導體材料 602 可為多晶形式於（或實質上於）沈積之時，且因而可能無須許多或任何進一步處理來形成多晶半導體材料。例如，於某些實施例中，半導體材料 602 可被沈積於多晶電介質 204 之表面 504 上，在介於約 200 度 C 與約 400 度 C 之間的溫度。此高溫沈積可導致多晶半導體材料被形成於表面 504 上而無實質上額外的處理。於某些實施例中，多晶電介質 204 可在半導體材料 602 之沈積前被加熱，且多晶電介質 204 之熱可足以導致多晶半導體材料被形成於表面 504 上而無實質上額外的處理。於某些實施例中，濺射沈積可被用以提

供半導體材料 602 至已加熱基底（加熱至高達約 350 度 C 至約 400 度 C 之溫度）。

圖 7 描繪在組合 600 被處理以從半導體材料 602 形成多晶半導體材料 206 後所形成的半導體組合 200（圖 2）。於某些實施例中，用以從半導體材料 602 形成多晶半導體材料 206 所執行的處理可包括退火半導體材料 602。例如，多晶半導體材料 206 可藉由在包括銻化銮之半導體材料 602 的 400 度 C 形成氣體退火而被形成。且退火可包括爐退火、快速熱退火、及/或閃光退火，舉例而言。

退火之時間及溫度可依據常見技術而被判定。例如，於某些實施例中，多晶半導體材料 602 可由 500 奈米之厚度的銻化銮所形成，且退火可被執行於 400 度 C 五分鐘。圖 7 中所示之處理可發生在取決於半導體材料 602、下方層、半導體材料 602 的厚度、及半導體材料 602 中的應力（舉例而言）之溫度範圍。於某些實施例中，從半導體材料 602 形成多晶半導體材料 206 可發生在當半導體材料 206 被沈積於多晶電介質 204 上時的較低溫度，相較於非晶基底上之沈積，由於多晶電介質 204 所提供之增加數目的成核部位。

於某些實施例中，半導體材料 602 可藉由濺射沈積而被沈積以非晶形式，且進一步處理可包括雷射融化已濺射沈積的非晶半導體材料 602 來形成多晶半導體材料 206。雷射融化可涉及使用高溫雷射製程（例如，大於 1400 度

C) 於半導體材料 602 之局部區域以致撓性基底 202 可僅經歷 200 度 C 或更低的溫度。雷射融化可能更適於單化合物材料，因為多化合物材料之成分可能具有蒸汽壓力差異，其造成某些成分於雷射製程期間蒸發。因此，針對單化合物材料所開發之雷射製程可能無法輕易地適於多化合物材料。於某些實施例中，於雷射融化期間的多化合物材料之不同化合物的蒸發可藉由下列方式而被減輕：沈積保護蓋（例如，氮化矽或氧化矽）於多化合物材料上、接著在雷射處理後移除保護蓋（例如，藉由蝕刻）。如上所述，於某些實施例中，由圖 7 所表示之處理可不被執行。

於半導體材料 602 之處理（例如，如圖 7 中所示者）期間，多晶電介質 204 可作用為用以將半導體材料 602 結晶化成多晶半導體材料 206 之成核層。特別地，多晶電介質 204 之微粒邊界 208 可提供用於形成多晶半導體材料 206 之微粒 212 的結晶化之異質成核部位。因此，多晶半導體材料 206 之微粒 212 的尺寸及型態可相關於多晶電介質 204 之微粒 210 的尺寸及型態。特別地，假如多晶電介質 204 之微粒 210 為實質上均勻的尺寸，則多晶半導體材料 206 之微粒 212 亦可為實質上均勻的。多晶半導體材料 206 上之微粒 212 的尺寸之較大均勻度可提供優於較不均勻材料之增進的電性能。例如，於其中多晶半導體材料 206 包括銻化銮之某些實施例中，容許多晶半導體材料 206 於多晶電介質 204 上結晶化可導致小於 2000 每平方歐姆之片電阻值（例如，針對具有約 500 奈米之厚度的多

晶半導體材料)。相較之下，容許多晶半導體材料 206 於非晶材料（例如，玻璃）上直接地結晶化可導致大於 3000 每平方歐姆之片電阻值（例如，針對具有約 500 奈米之厚度的多晶半導體材料）。

即使許多半導體材料及撓性基底之不相容的溫度限制可被克服，撓性基底仍無法提供足夠規律的成核部位以供形成適當規律的多晶半導體材料。多晶電介質 204（其係插入於多晶半導體材料 206 與撓性基底 202 之間）可提供所欲之規律的成核部位。多晶電介質 204 之成核部位的密度之控制（例如，藉由供形成多晶電介質 204 之微粒的條件下之多晶電介質 204 中所包括的材料之控制）可致能多晶半導體材料 206 之微粒 212 的密度之控制。例如，於某些實施例中，增加於多晶電介質 204 所被形成之下的溫度可增加微粒 210 之尺寸。於某些實施例中，增加多晶電介質 204 之厚度可導致在較針對多晶電介質 204 之較窄實施例所將達成的更低溫度下之結晶化。

於某些實施例中，多晶電介質 204 之材料的選擇及多晶半導體材料 206 之材料的選擇可被連結。特別地，於某些實施例中，這些材料可被選擇以具有類似的晶格常數及/或晶體結構。當如此選擇時，多晶電介質 204 可提供用於形成多晶半導體材料 206 之微粒 212 的「模板」。所得的多晶半導體材料 206 可具有一種有紋路的（或較佳的定向）微粒結構，其提供增進的電性能。

文中所揭露之半導體組合（諸如半導體組合 200）可

被使用為電及/或光學電路裝置中之半導體基底。特別地，裝置（諸如電晶體）可被形成於多晶半導體材料 206 上及/或中，以類似於傳統半導體電路製造技術之方式（例如，那些於矽或其他半導體晶圓上所執行者）。例如，半導體組合 200 可被包括於 IC 裝置之裝置層中（例如，如以下參考圖 8 所討論者）。然而，因為半導體組合 200 包括撓性基底 202，所以半導體組合 200 可得以彎曲及可另以傳統硬基底（諸如矽晶圓）所無法達成之方式來形成。因此，文中所揭露之半導體組合之應用範圍可較傳統硬電路的應用範圍更寬廣。

可達成的移動率可根據材料、製程、及其他變數而改變。例如，於某些實施例中，利用在 400 度 C 五分鐘所執行的退火（例如，如以上參考多晶半導體材料 602 所討論者），以 500 奈米之厚度所形成的銻化銮材料可達成約每伏特秒 50 平方公分之移動率。移動率可為電荷載子密度的函數，而多晶材料之移動率可為微粒尺寸（相對於散射中心之數目）、微粒定向、及微粒所交會之角度（舉例而言）的函數。製程可被控制以達成所欲之性質。

文中所揭露之半導體組合及相關技術可被包括於 IC 裝置中。圖 8 為一種包括裝置層 818（其可包括文中所揭露之一或更多半導體組合）IC 裝置 800 之一部分的橫斷面視圖，依據各個實施例。

IC 裝置 800 可被形成於基底 804 上（其可具有文中所揭露之任何半導體組合 200 之形式）。特別地，基底

804 可具有撓性基底（諸如撓性基底 202）、多晶電介質（諸如多晶電介質 204）、及多晶半導體材料（諸如多晶半導體材料 206）。基底 804 之半導體材料可包括（例如）N 型或 P 型材料系統。

於某些實施例中，IC 裝置 800 可包括配置於基底 804 上之裝置層 818。裝置層 818 可包括通道，其提供基底 804 上所形成之一或更多電晶體 808 的特徵。裝置層 818 可包括（例如）一或更多源極及/或汲極（S/D）810、用以控制介於 S/D 區 810 間之電晶體 808 中的電流之閘極 812、及用以將電信號發送至/自 S/D 區 810 之一或更多 S/D 接點 814。電晶體 808 可包括為了簡潔之目的而未描繪出之額外特徵，諸如裝置隔離區、閘極接點，等等。電晶體 808 不限於圖 8 中所示之類型及組態而可包括多種其他的類型及組態，諸如平面及非平面電晶體，諸如二或雙閘極電晶體、三閘極電晶體、及環繞閘極（AAG）或圍繞閘極電晶體，其某些可被稱為 FinFET（場效電晶體）。於某些實施例中，裝置層 818 可包括邏輯裝置或記憶體裝置之一或更多電晶體或記憶體單元、或其組合。於某些實施例中，裝置層 818 可包括光學裝置。來自 II-VI 家族之多晶半導體材料於光學應用中可能是特別有用的。

電信號，諸如（例如），電力及/或輸入/輸出（I/O）信號可透過一或更多配置於裝置層 818 上之互連層 820 及 822 而被發送至及/或自裝置層 818 之電晶體 808。例如，裝置層 818 之導電特徵，諸如（例如）閘極 812 及 S/D 接

點 814 可被電耦合與互連層 820 及 822 之互連結構 816。互連結構 816 可被組態於互連層 820 及 822 內以發送電信號，依據多種設計且不限於圖 8 中所描繪之互連結構 816 的特定組態。例如，於某些實施例中，互連結構 816 可包括填充有導電材料（諸如金屬）之溝槽結構（有時稱為「線」）及/或通孔結構（有時稱為「孔」）。於某些實施例中，互連結構 816 可包含銅或另一適當的導電材料。於某些實施例中，光學信號可被發送至及/或自裝置層 818 以取代或附加於電信號。

互連層 820 及 822 可包括配置於互連結構 816 之間的電介質層 824，如圖可見。於某些實施例中，第一互連層 820（稱為金屬 1 或「M1」）可被形成直接於裝置層 818 上。於某些實施例中，第一互連層 820 可包括互連結構 816 之部分，其可被耦合與裝置層 818 之接點（例如，S/D 接點 814）。

額外互連層（為了易於闡明而未顯示）可被形成直接於第一互連層 820 上並可包括互連結構 816 以與第一互連層 820 之互連結構耦合。

IC 裝置 800 可具有一或更多形成於互連層 820 及 822 上之接合墊 826。接合墊 826 可被電耦合與互連結構 816 並組態成將電晶體 808 之電信號發送至其他外部裝置。例如，焊料接合可被形成於一或更多接合墊 826 上以將包括 IC 裝置 800 之晶片機械地及/或電地耦合與另一組件（諸如電路板）。IC 裝置 800 可具有其他替代組態以發送信

號自其他實施例中所描繪者以外的互連層 820 及 822。於其他實施例中，接合墊 826 可被取代以或者可進一步包括其他類似特徵（例如，柱），其係將信號發送至其他外部組件。

圖 9 為一種用以製造包括半導體組合之 IC 裝置的說明性製程 900 之流程圖，依據各個實施例。製程 900 之操作可參考半導體組合 200（圖 2）而被討論如下，但此僅係為了易於闡明，且製程 900 可被應用以形成任何適當的 IC 裝置。於某些實施例中，製程 900 可被執行以製造以下參考圖 10 所討論之計算裝置 1000 中所包括的 IC 裝置。製程 900 之各個操作可被適當地重複、再配置、或省略。

於 902，多晶電介質可被形成於撓性基底上。於各個實施例中，多晶電介質可具有以上所討論之多晶電介質 204 的任何實施例之形式，而撓性基底可具有以上所討論之撓性基底 202 的任何實施例之形式。

於 904，多晶半導體材料可被形成於在 902 所形成之多晶電介質上。於各個實施例中，多晶半導體材料可具有以上所討論之多晶半導體材料 206 的任何實施例之形式。於某些實施例中，製程 900 可結束於 904，而 906 及 908（討論於下）可不被執行。

於 906，裝置層可使用 904 之多晶半導體材料而被形成。例如，一或更多電晶體或其他裝置可被形成於 904 之多晶半導體材料中或上。於 906 所形成之裝置層可具有以

上參考圖 8 所討論之裝置層 818 (例如) 的形式。

於 908, 一或更多互連可被形成以發送信號至及/或自 906 之裝置層。於 908 所形成之互連可發送電、光學及/或任何其他適當信號至及/或自 906 之裝置層。於 908 所形成之互連可具有以上參考圖 8 所討論之互連結構 816 的形式, 舉例而言。製程 900 可接著結束。

圖 10 概略地闡明一種可包括如文中所揭露之一或更多半導體組合 200 的計算裝置 1000, 依據各個實施例。特別地, 計算裝置 1000 之任何適當組件之基底可包括文中所揭露之半導體組合 200。

計算裝置 1000 可裝入諸如主機板 1002 等電路板。主機板 1002 可包括數個組件, 包括(但不限定於)處理器 1004 及至少一通訊晶片 1006。處理器 1004 被實體地及電氣地耦合至主機板 1002。於某些實施方式中, 至少一通訊晶片 1006 可亦被實體地及電氣地耦合至主機板 1002。於進一步實施方式中, 通訊晶片 1006 為處理器 1004 之部分。術語「處理器」可指稱任何裝置或裝置之部分, 其處理來自暫存器及/或記憶體之電子資料以將該電子資料轉變為其可被儲存於暫存器及/或記憶體中之其他電子資料。

根據其應用, 計算裝置 1000 可包括其他組件, 其可被或可不被實體地及電氣地耦合至主機板 1002。這些其他組件可包括(但不限定於)揮發性記憶體(例如, 動態隨機存取記憶體)、非揮發性記憶體(例如, 唯讀記憶

體)、快閃記憶體、圖形處理器、數位信號處理器、密碼處理器、晶片組、天線、顯示、觸控螢幕顯示、觸控螢幕控制器、電池、音頻編碼解碼器、視頻編碼解碼器、功率放大器、全球定位系統(GPS)裝置、羅盤、蓋革計數器、加速計、迴轉儀、揚聲器、相機、及大量儲存裝置(諸如硬碟機、光碟(CD)、數位光碟(DVD),等等)。

通訊晶片 1006 可致能無線通訊,以供資料之轉移至及自計算裝置 1000。術語「無線」及其衍生詞可被用以描述電路、裝置、系統、方法、技術、通訊頻道,等等,其可藉由使用透過非固體媒體之經調變的電磁輻射來傳遞資料。該術語並未暗示其相關裝置不含有任何佈線,雖然於某些實施例中其可能不含有。通訊晶片 1006 可實施任何數目的無線標準或協定,包括(但不限定於)電機電子工程師學會(IEEE)標準,其包括 Wi-Fi(IEEE 802.11 家族)、IEEE 802.16 標準(例如,IEEE 802.16-2005 修正)、長期演進(LTE)計畫連同任何修正、更新、及/或修訂(例如,先進 LTE 計畫、超行動寬頻(UMB)計畫(亦稱為「3GPP2」)等等)。IEEE 802.16 相容的 BWA 網路通常被稱為 WiMAX 網路,其為代表全球互通微波存取之縮寫,其為通過 IEEE 802.16 標準之符合性及可交互操作性測試的產品之驗證標記。通訊晶片 1006 可依據全球行動通訊系統(GSM)、通用封包無線電服務(GPRS)、環球行動電訊系統(UMTS)、高速封包存取

(HSPA)、演進的 HSPA (E-HSPA)、或 LTE 網路而操作。通訊晶片 1006 可依據 GSM 演進之增強資料 (EDGE)、GSM EDGE 無線電存取網路 (GERAN)、環球陸地無線電存取網路 (UTRAN)、或演進的 UTRAN (E-UTRAN) 而操作。通訊晶片 1006 可依據分碼多重存取 (CDMA)、分時多重存取 (TDMA)、數位增強的無線電訊 (DECT)、演進資料最佳化 (EV-DO)、其衍生者、以及其被設計為 3G、4G、5G 及以上之任何其他無線協定而操作。通訊晶片 1006 可依據其他實施例中之其他無線協定而操作。

計算裝置 1000 可包括複數通訊晶片 1006。例如，第一通訊晶片 1006 可專用於較短距離無線通訊，諸如 Wi-Fi 及藍牙；而第二通訊晶片 1006 可專用於較長距離無線通訊，諸如 GPS、EDGE、GPRS、CDMA、WiMAX、LTE、EV-DO 及其他。

通訊晶片 1006 亦可包括 IC 封裝組合，其可包括如文中所述之半導體組合。於進一步實施方式中，裝入計算裝置 1000 內之另一組件（例如，記憶體裝置、處理器或其他積體電路裝置）可含有如文中所述之半導體組合。

於各種實施方式中，計算裝置 1000 可為膝上型電腦、小筆電、筆記型電腦、輕薄型筆電、智慧型手機、輸入板、個人數位助理 (PDA)、超輕行動 PC、行動電話、桌上型電腦、伺服器、印表機、掃描器、監視器、機上盒、娛樂控制單元、數位相機、可攜式音樂播放器、或

數位錄影機。於進一步實施方式中，計算裝置 1000 可為處理資料之任何其他電子裝置。於某些實施例中，文中所述之技術被實施於一種高性能計算裝置中。於某些實施例中，文中所述之技術被實施於手持式計算裝置中。

以下段落提供文中所述之實施例的數個範例。範例 1 是一種半導體組合，包括：撓性基底；包含多晶 III-V 族材料、多晶 II-VI 族材料或多晶銻之多晶半導體材料；及配置於並相鄰於該撓性基底與該多晶半導體材料之間的多晶電介質。

範例 2 可包括範例 1 之請求標的，並可進一步指明該多晶電介質之微粒邊界為該多晶半導體材料之微粒的成核部位。

範例 3 可包括範例 2 之請求標的，並可進一步指明該多晶電介質之該些微粒邊界的至少一些被隔開以一介於約 50 奈米與約 200 奈米之間的距離。

範例 4 可包括範例 1-3 的任一者之請求標的，並可進一步指明該撓性基底包含非晶材料。

範例 5 可包括範例 1-4 的任一者之請求標的，並可進一步指明該撓性基底包含聚對酞酸乙二酯、聚萘二甲酸乙二酯、聚碳酸酯材料、聚醚砜材料、聚醯亞胺材料、或無鹼硼矽酸鹽。

範例 6 可包括範例 1-5 的任一者之請求標的，並可進一步指明該多晶電介質包含二氧化鈦、二氧化矽或氧化鋁。

範例 7 可包括範例 1-6 的任一者之請求標的，並可進一步指明該多晶半導體材料具有介於約 5 奈米與約 250 奈米之間的厚度。

範例 8 可包括範例 1-7 的任一者之請求標的，並可進一步指明該多晶半導體材料包含多晶銻化銻。

範例 9 可包括範例 1 之請求標的，並可進一步指明該多晶半導體材料之片電阻值係小於 2000 每平方歐姆，當該多晶半導體材料具有 500 奈米之厚度時。

範例 10 可包括範例 1 之請求標的，並可進一步指明該撓性基底具有小於 400 度 C 之融化溫度。

範例 11 是一種用以製造半導體組合之方法，包括：形成多晶電介質於撓性基底上；及形成多晶半導體材料於該多晶電介質上，其中該多晶半導體材料包含多晶 III-V 族材料、多晶 II-VI 族材料或多晶銻。

範例 12 可包括範例 11 之請求標的，並可進一步指明形成該多晶電介質包含該多晶電介質之原子層沈積。

範例 13 可包括範例 11 之請求標的，並可進一步指明形成該多晶電介質包含旋塗於該多晶電介質上。

範例 14 可包括範例 11-13 的任一者之請求標的，並可進一步指明形成該多晶半導體材料於該多晶電介質上包括：濺射沈積非晶半導體材料於該多晶電介質上；及退火該非晶半導體材料以形成該多晶半導體材料。

範例 15 可包括範例 14 之請求標的，並可進一步指明濺射沈積該非晶半導體材料於該多晶電介質上包括在介於

約 15 度 C 與約 30 度 C 之間的溫度濺射沈積該非晶半導體材料於該多晶電介質上。

範例 16 可包括範例 11 之請求標的，並可進一步指明形成該多晶半導體材料於該多晶電介質上包括：加熱該多晶電介質；及沈積非晶半導體材料於該多晶電介質上以形成該多晶半導體材料。

範例 17 可包括範例 11 之請求標的，並可進一步指明形成該多晶半導體材料於該多晶電介質上包括在介於約 200 度 C 與約 400 度 C 之間的溫度沈積該非晶半導體材料於該多晶電介質上以形成該多晶半導體材料。

範例 18 可包括範例 11 之請求標的，並可進一步指明形成該多晶半導體材料於該多晶電介質上包括：濺射沈積非晶半導體材料於該多晶電介質上；及雷射融化該非晶半導體材料以形成該多晶半導體材料。

範例 19 是一種 IC 裝置，包括：撓性基底；裝置層，其包含一或更多形成於包含多晶 III-V 族材料、多晶 II-VI 族材料或多晶鍺之多晶半導體材料上的電晶體；配置於並相鄰於該撓性基底與該多晶半導體材料之間的多晶電介質；及發送電信號至及/或自該裝置層之一或更多互連。

範例 20 可包括範例 19 之請求標的，並可進一步指明形成該多晶半導體材料形成通道於該裝置層之電晶體中。

範例 21 可包括範例 19-20 的任一者之請求標的，並可進一步指明該多晶半導體材料包含多晶 III 氮化物族材料。

範例 22 可包括範例 21 之請求標的，並可進一步指明該多晶電介質包含氧化鋁。

範例 23 可包括範例 21 之請求標的，並可進一步指明該多晶電介質包含碳化矽。

範例 24 可包括範例 19-23 的任一者之請求標的，並可進一步指明該撓性基底具有小於 400 度 C 之融化溫度。

【符號說明】

102：單晶 III-V 族材料

104：單晶 III-氮化物族材料

106：單晶矽奈米膜材料

108：過渡金屬二硫化物

110：非晶氧化物

112：多晶矽

114：聚合物

116：非晶矽

120：第一 x 軸

122：y 軸

124：第二 x 軸

200：半導體組件

202：撓性基底

204：多晶電介質

206：多晶半導體材料

208：微粒邊界

- 210 : 微粒
- 212 : 微粒
- 214 : 微粒 邊界
- 216 : 間隔
- 218 : 厚度
- 220 : 暴露表面
- 222 : 表面
- 300 : 組合
- 400 : 組合
- 402 : 電介質
- 500 : 組合
- 504 : 暴露表面
- 600 : 組合
- 602 : 半導體材料
- 800 : IC 裝置
- 804 : 基底
- 808 : 電晶體
- 810 : 源極及 / 或 汲極 (S/D)
- 812 : 閘極
- 814 : S/D 接點
- 816 : 互連結構
- 818 : 裝置層
- 820、822 : 互連層
- 824 : 電介質層

826 : 接合墊

1000 : 計算系統

1002 : 主機板

1004 : 處理器

1006 : 通訊晶片

申請專利範圍

1. 一種半導體組合，包含：

撓性基底；

包含多晶 III-V 族材料、多晶 II-VI 族材料或多晶鍺之多晶半導體材料；及

配置於並相鄰於該撓性基底與該多晶半導體材料之間的多晶電介質，

其中該多晶電介質之微粒邊界為該多晶半導體材料之微粒的成核部位。

2. 如申請專利範圍第 1 項之半導體組合，其中該多晶電介質之該些微粒邊界的至少一些被隔開以一介於約 50 奈米與約 200 奈米之間的距離。

3. 如申請專利範圍第 1 項之半導體組合，其中該撓性基底包含非晶材料。

4. 如申請專利範圍第 1 項之半導體組合，其中該撓性基底包含聚對酞酸乙二酯、聚萘二甲酸乙二醇酯、聚碳酸酯材料、聚醚砜材料、聚醯亞胺材料、或無鹼硼矽酸鹽。

5. 如申請專利範圍第 1 項之半導體組合，其中該多晶電介質包含二氧化鈦、二氧化矽或氧化鋁。

6. 如申請專利範圍第 1 項之半導體組合，其中該多晶半導體材料具有介於約 5 奈米與約 250 奈米之間的厚度。

7. 如申請專利範圍第 1 項之半導體組合，其中該多

晶半導體材料包含多晶銻化銻。

8. 如申請專利範圍第 1 項之半導體組合，其中該多晶半導體材料之片電阻值係小於 2000 每平方歐姆，當該多晶半導體材料具有 500 奈米之厚度時。

9. 如申請專利範圍第 1 項之半導體組合，其中該撓性基底具有少於 400 度 C 之融化溫度。

10. 一種用以製造半導體組合之方法，包含：

形成多晶電介質於撓性基底上；及

形成多晶半導體材料於該多晶電介質上，其中該多晶半導體材料包含多晶 III-V 族材料、多晶 II-VI 族材料或多晶銻，

其中形成該多晶電介質包含該多晶電介質之原子層沈積。

11. 如申請專利範圍第 10 項之方法，其中形成該多晶電介質包含旋塗於該多晶電介質上。

12. 如申請專利範圍第 10 項之方法，其中形成該多晶半導體材料於該多晶電介質上包含：

濺射沈積非晶半導體材料於該多晶電介質上；及

退火該非晶半導體材料以形成該多晶半導體材料。

13. 如申請專利範圍第 12 項之方法，其中濺射沈積該非晶半導體材料於該多晶電介質上包含：

在介於約 15 度 C 與約 30 度 C 之間的溫度濺射沈積該非晶半導體材料於該多晶電介質上。

14. 如申請專利範圍第 10 項之方法，其中形成該多

晶半導體材料於該多晶電介質上包含：

加熱該多晶電介質；及

沈積非晶半導體材料於該多晶電介質上以形成該多晶半導體材料。

15. 如申請專利範圍第 10 項之方法，其中形成該多晶半導體材料於該多晶電介質上包含：

在介於約 200 度 C 與約 400 度 C 之間的溫度沈積非晶半導體材料於該多晶電介質上以形成該多晶半導體材料。

16. 如申請專利範圍第 10 項之方法，其中形成該多晶半導體材料於該多晶電介質上包含：

濺射沈積非晶半導體材料於該多晶電介質上；及

雷射融化該非晶半導體材料以形成該多晶半導體材料。

17. 一種積體電路（IC）裝置，包含：

撓性基底；

裝置層，其包含一或更多形成於包含多晶 III-V 族材料、多晶 II-VI 族材料或多晶銻之多晶半導體材料上的電晶體；

配置於並相鄰於該撓性基底與該多晶半導體材料之間的多晶電介質；及

發送電信號至及/或自該裝置層之一或更多互連，

其中該多晶電介質之微粒邊界為該多晶半導體材料之微粒的成核部位。

18. 如申請專利範圍第 17 項之 IC 裝置，其中該多晶半導體材料形成通道於該裝置層之電晶體中。

19. 如申請專利範圍第 17 項之 IC 裝置，其中該多晶半導體材料包含多晶 III 氮化物族材料。

20. 如申請專利範圍第 19 項之 IC 裝置，其中該多晶電介質包含氧化鋁。

21. 如申請專利範圍第 19 項之 IC 裝置，其中該多晶電介質包含碳化矽。

22. 如申請專利範圍第 17 項之 IC 裝置，其中該撓性基底具有少於 400 度 C 之融化溫度。

圖式

撓性基底之最大容許處理溫度

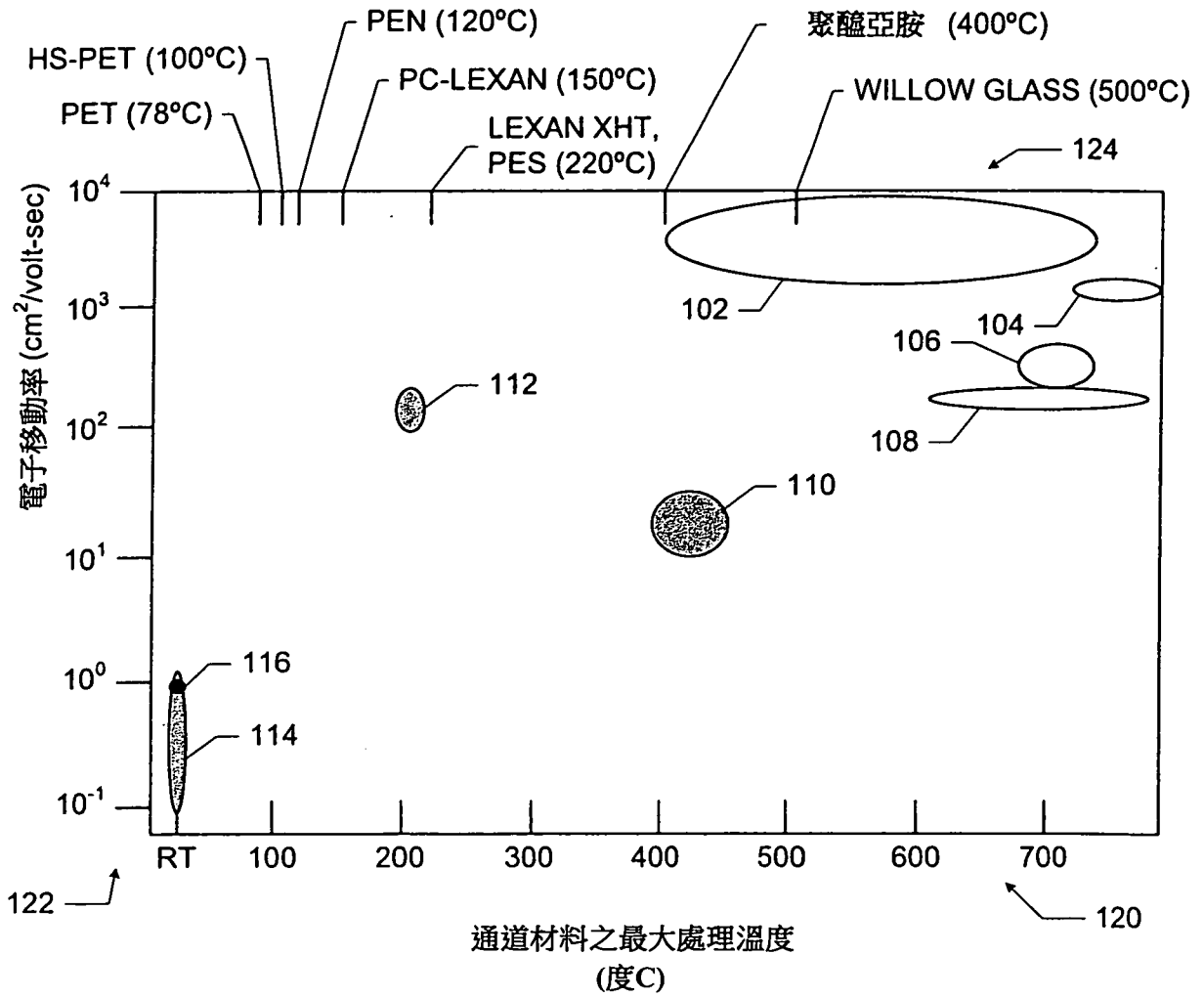


圖 1

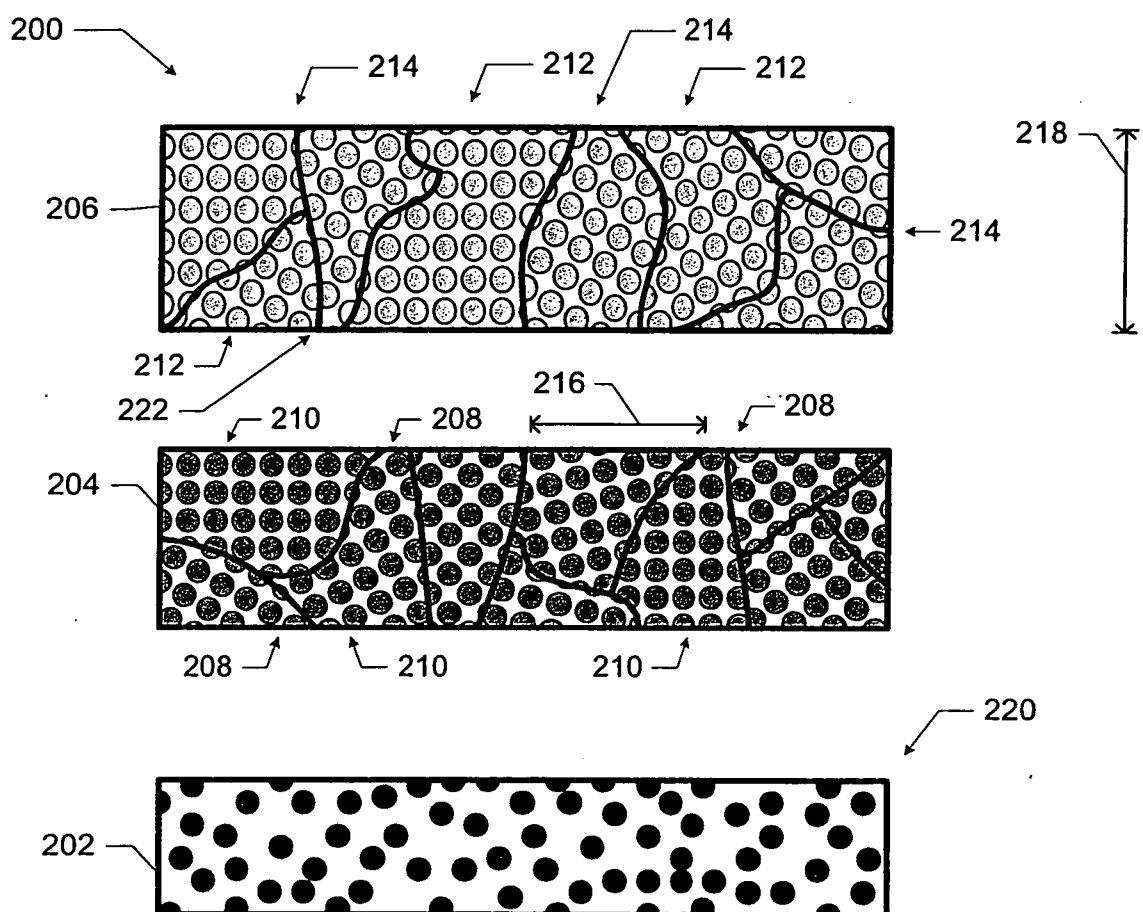


圖 2

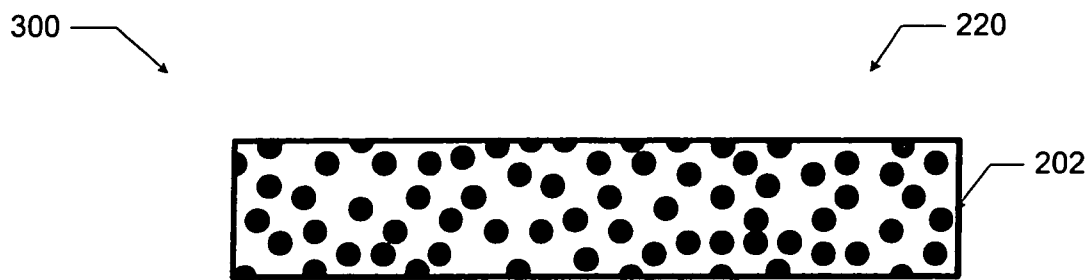


圖 3

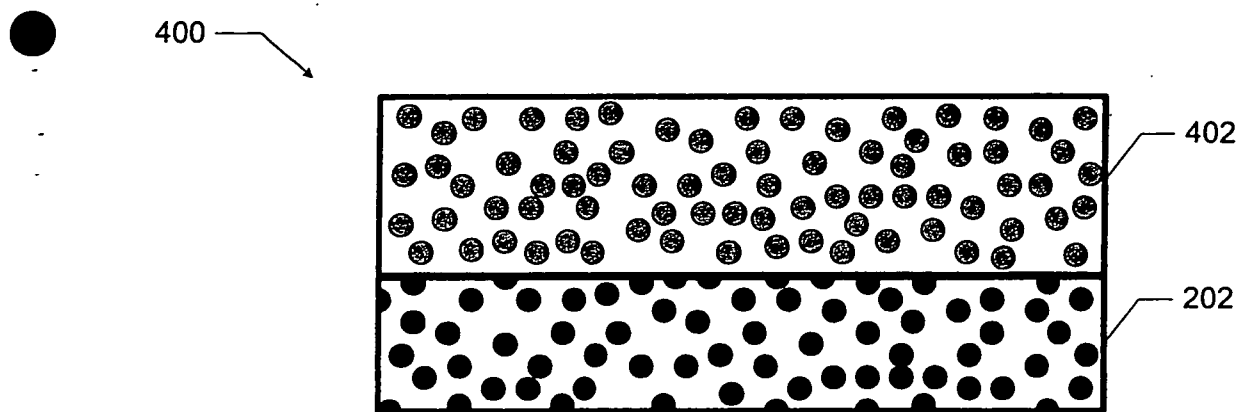


圖 4

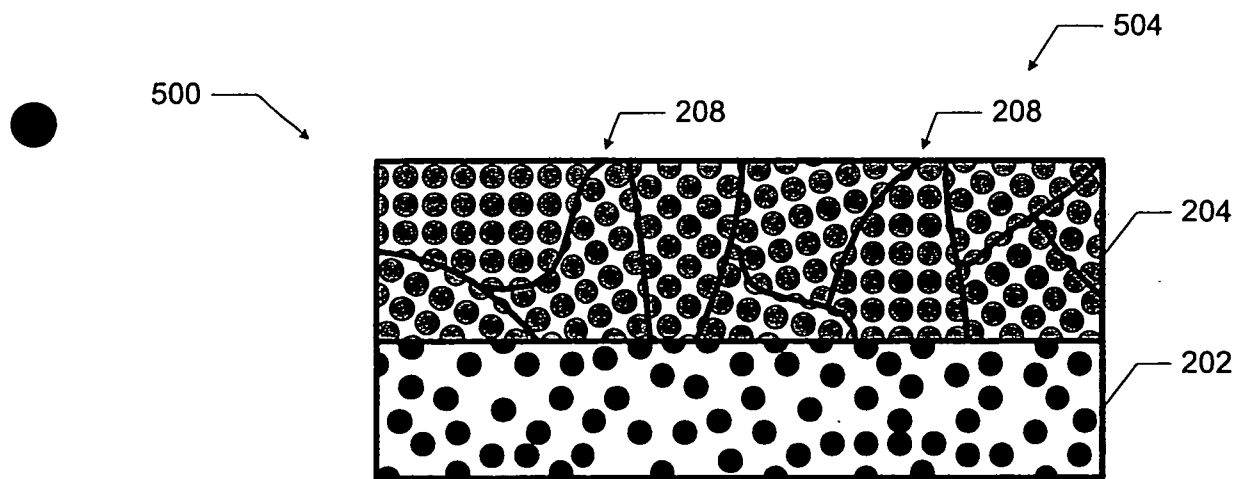


圖 5

600

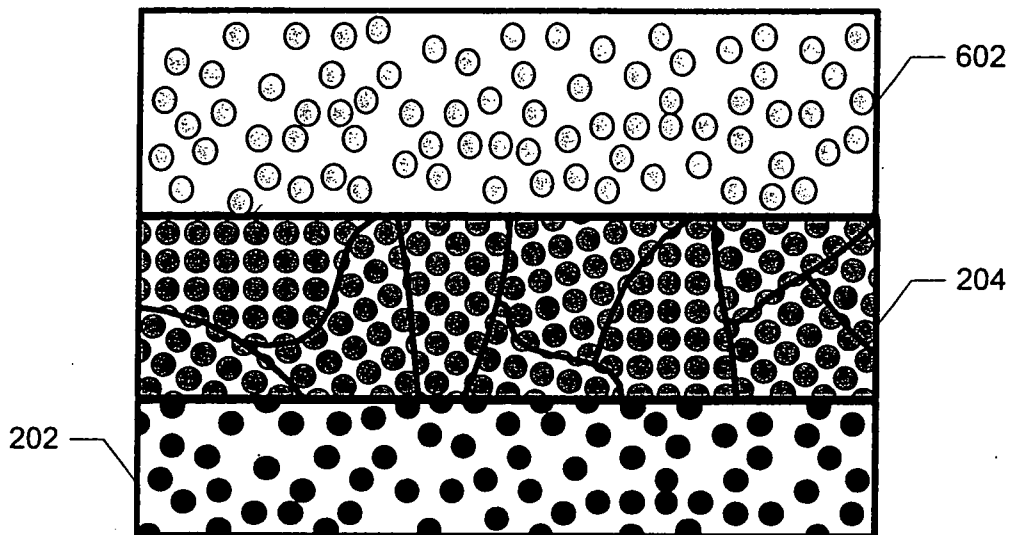


圖 6

200

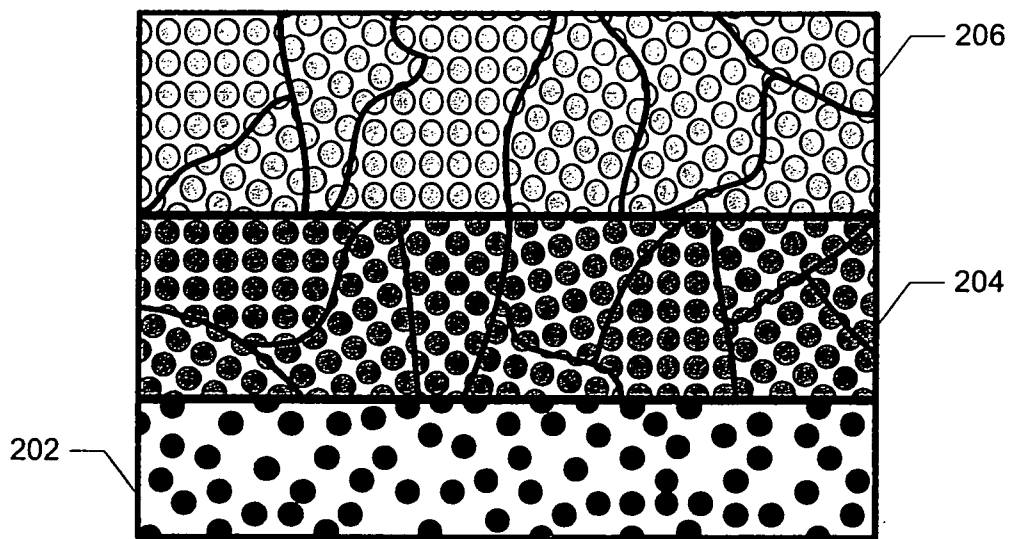


圖 7

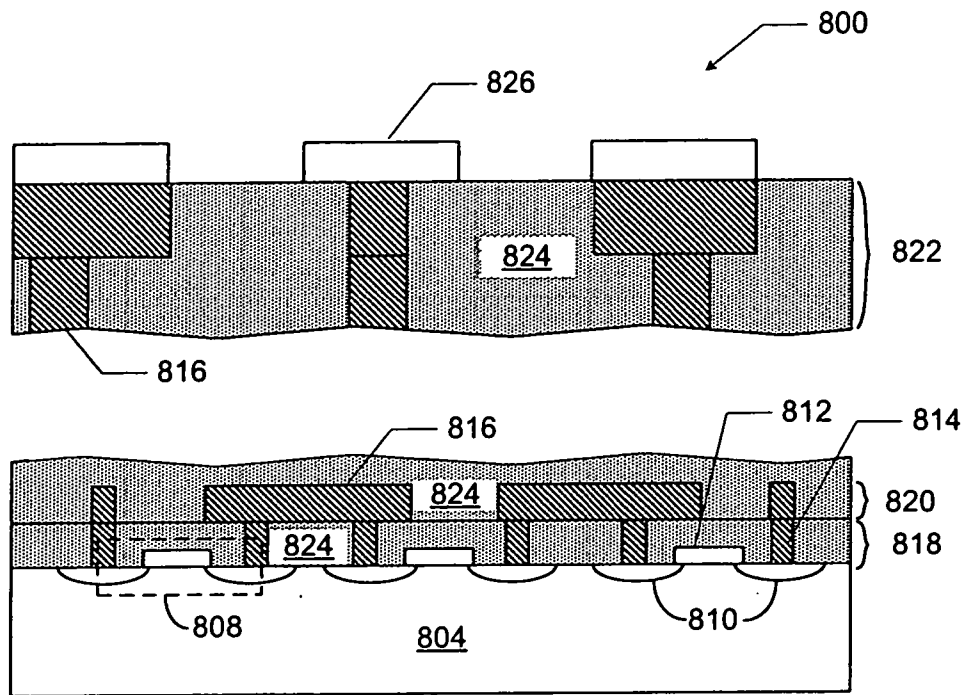


圖 8

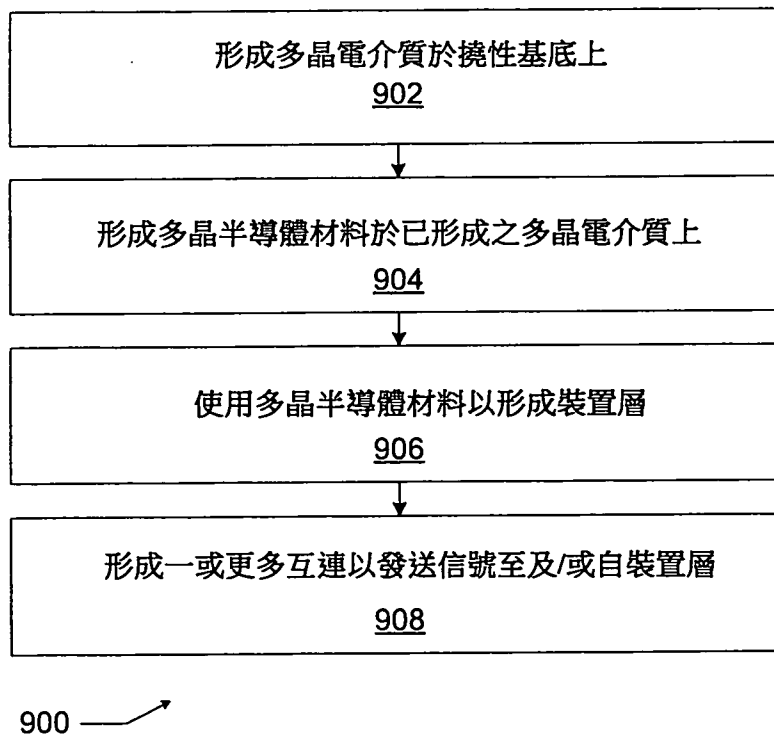


圖 9

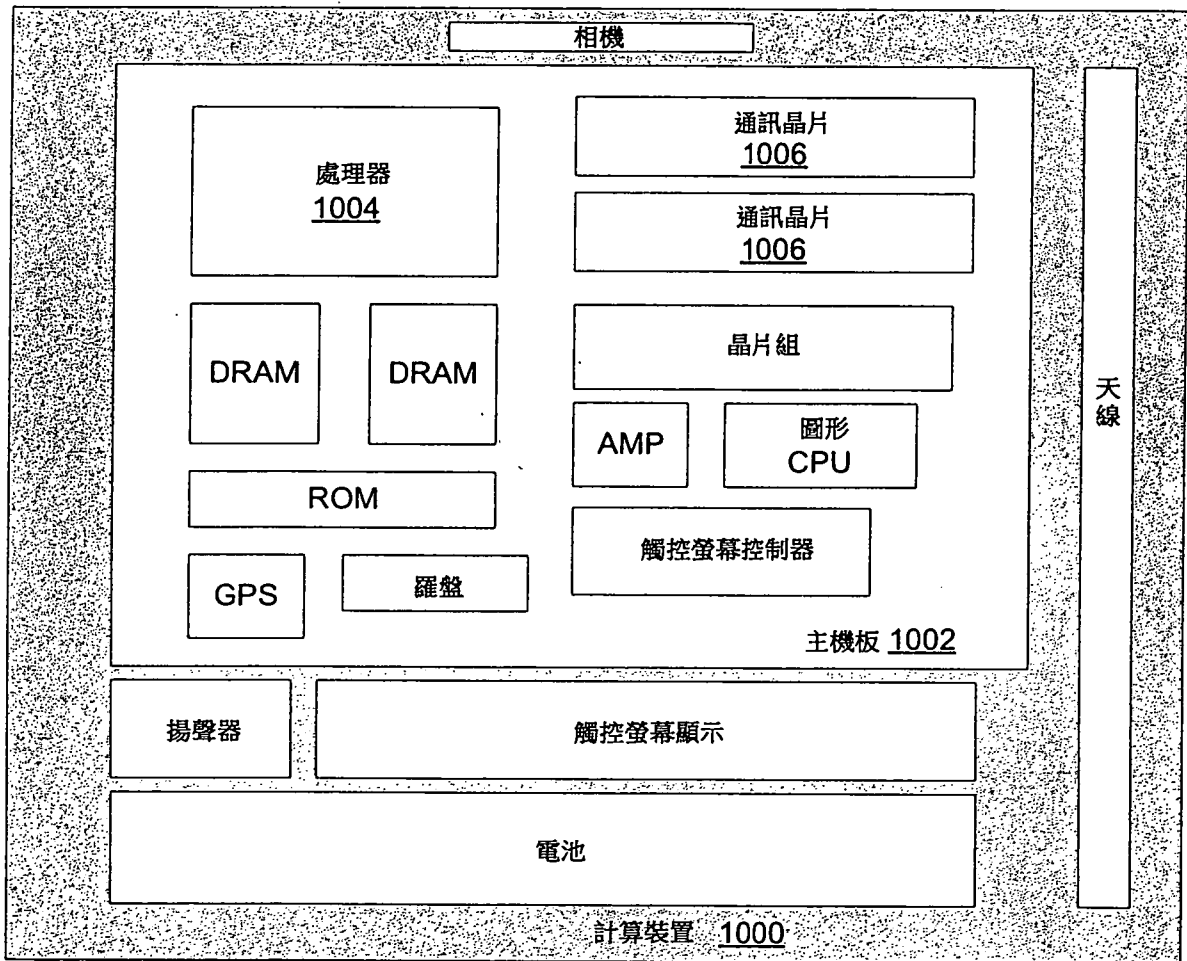


圖 10