



(12) 发明专利申请

(10) 申请公布号 CN 103151254 A

(43) 申请公布日 2013.06.12

(21) 申请号 201310084986.0

(22) 申请日 2013.03.18

(71) 申请人 北京大学

地址 100871 北京市海淀区颐和园路5号

(72) 发明人 黄如 林猛 李志强 安霞 黎明

云全新 李敏 刘朋强 张兴

(74) 专利代理机构 北京万象新悦知识产权代理

事务所(普通合伙) 11360

代理人 苏爱华

(51) Int. Cl.

H01L 21/28(2006.01)

H01L 21/283(2006.01)

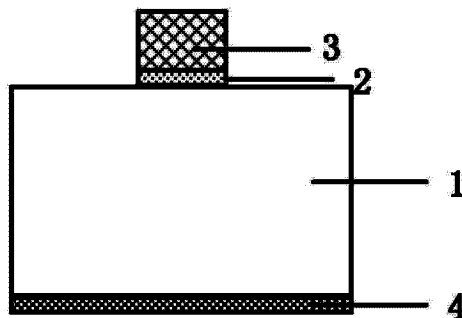
权利要求书1页 说明书3页 附图2页

(54) 发明名称

一种锗基肖特基结的制备方法

(57) 摘要

本发明公布了一种锗基肖特基结的制备方法,包括:对N型锗基衬底进行表面清洗,然后在其表面淀积一层 CeO_2 ,再淀积一层金属。稀土氧化物 CeO_2 与锗衬底接触,可在界面处形成稳定的Ce-O-Ge键,有利于降低界面态密度,提高界面质量,并减小MIGS,抑制费米级钉扎。同时, CeO_2 在其金属与锗衬底之间引入的隧穿电阻相对于 Si_3N_4 、 Al_2O_3 、 Ge_3N_4 等情况要小。鉴于与锗衬底良好的界面特性与小的导带偏移量, CeO_2 介质层的插入适合制备低电阻率的锗基肖特基结。



1. 一种锗基肖特基结的制备方法,其特征是,对 N 型锗基衬底进行表面清洗,然后在其表面淀积一层 CeO_2 ,再淀积一层金属。
2. 如权利要求 1 所述的制备方法,其特征是,所述 CeO_2 通过 ALD、PLD、MBE 或 CVD 方法淀积。
3. 如权利要求 1 所述的制备方法,其特征是,淀积 CeO_2 的厚度为 $0.3 \sim 2\text{nm}$ 。
4. 如权利要求 1 所述的制备方法,其特征是,淀积的金属是 Al, Pt, Au, Ti, Ni, TiN, TaN, W。
5. 如权利要求 1 所述的制备方法,其特征是,淀积金属后进行光刻、刻蚀、退火。
6. 如权利要求 1 所述的制备方法,其特征是,所述 N 型锗基衬底为体 Ge 衬底、GOI 衬底或任何表面含有 Ge 外延层的衬底。
7. 如权利要求 1 所述的制备方法,其特征是,所述 N 型锗基衬底为含锗的化合物半导体衬底。
8. 如权利要求 7 所述的制备方法,其特征是,所述的含锗的化合物为 SiGe, GeSn。

一种锆基肖特基结的制备方法

技术领域

[0001] 本发明属于半导体器件领域,具体涉及一种锆基肖特基结的制备方法。

背景技术

[0002] 随着硅基 CMOS 器件尺寸缩小到纳米尺度,传统通过缩小尺寸提高器件性能的方法正面临物理与技术极限的双重考验。为了进一步提高器件工作速度,需要采用高迁移率沟道材料。锆材料在低电场下的空穴迁移率是硅材料的 4 倍,电子迁移率是硅材料的 2 倍,因此,锆材料作为一种新的沟道材料以其更高、更加对称的载流子迁移率成为高性能 MOSFET 器件很有潜力的发展方向之一。但是目前锆基 MOS 器件的制备技术还不成熟,NMOSFET 器件性能不理想。高源漏串联电阻是影响锆基 NMOSFET 性能提高的关键因素之一。

[0003] 与硅材料相比,N 型杂质(如磷)在锆材料中激活浓度低,且扩散快,不利于浅结的制备。肖特基结由于能有效克服以上问题而成为一种非常具有发展潜力的结构。它与传统 PN 结的主要区别是:采用金属或者金属锆化物替代了传统的高掺杂区,此结构不仅避免了杂质固溶度低和扩散快的问题,而且还能获得突变结和低电阻率。对于肖特基结,影响性能的关键因素是衬底与金属之间的载流子势垒高度。但是对于金属与锆衬底接触时,费米能级被钉扎在价带顶附近,电子势垒高度大,不利于肖特基结性能的提升。导致锆表面费米能级钉扎的因素有以下两方面:第一,锆半导体表面的悬挂键和缺陷等因素形成的表面态;第二,根据海涅理论,金属的电子波函数在锆中的不完全衰减而导致在锆半导体的禁带当中产生的金属诱导带隙态(MIGS)。为了消除锆衬底与金属之间的费米能级钉扎,可在二者之间插入介质层,一方面可以钝化锆表面悬挂键,改善锆衬底与金属的界面质量;另一方面,插入的介质层可以阻挡电子波函数进入锆衬底,进而减少 MIGS 界面态。目前已被用做介质层的材料有 Si_3N_4 , Al_2O_3 , Ge_3N_4 等,但这些材料与锆之间的导带偏移量较大,会在锆衬底与金属之间引入较大的隧穿电阻,不利于增大肖特基结的开态电流。

[0004] 对于锆衬底表面的钝化,稀土氧化物,如 Y_2O_3 , La_2O_3 , CeO_2 等,被认为是锆衬底表面良好的钝化物。这是由于稀土氧化物与锆衬底接触,界面处可生成稳定的 X-O-Ge 键(X 指 Y, La, Ce 等稀土金属元素),有效钝化锆表面悬挂键,提高锆衬底与金属的界面质量。

发明内容

[0005] 本发明的目的在于提供一种锆基肖特基结的制备方法,以减小锆基肖特基结的电阻率。

[0006] 本发明提供的技术方案如下:

[0007] 一种锆基肖特基结的制备方法:对 N 型锆基衬底进行表面清洗,然后在其表面淀积一层 CeO_2 ,再淀积一层金属。

[0008] 上述一种锆基肖特基结的制备方法中,在淀积 CeO_2 之前先对锆基衬底表面进行清洗,以去除表面沾污和自然氧化层。

[0009] 上述一种锆基肖特基结的制备方法中, CeO_2 可通过 ALD、PLD、MBE、CVD 等方法淀积,

但并不局限于上述淀积 CeO_2 的方法。

[0010] 上述一种锗基肖特基结的制备方法中,淀积 CeO_2 的厚度为 0.3 ~ 2nm。

[0011] 上述一种锗基肖特基结的制备方法中,淀积的金属可以是 Al, Pt, Au, Ti, Ni, TiN, TaN, W 等,但并不局限于上述淀积金属。

[0012] 上述一种锗基肖特基结的制备方法中,淀积金属后可进行光刻、刻蚀、退火等工艺。

[0013] 本发明的锗基肖特基结的制备方法适用于体 Ge 衬底、GOI (绝缘体上锗)衬底或任何表面含有 Ge 外延层的衬底,也适用于含锗的化合物半导体衬底,比如 SiGe, GeSn 等。

[0014] 本发明的优点如下:

[0015] 稀土氧化物 CeO_2 与锗衬底接触,可在界面处形成稳定的 Ce-O-Ge 键,有利于降低界面态密度,提高界面质量,并减小 MIGS,抑制费米级钉扎。同时, CeO_2 在其金属与锗衬底之间引入的隧穿电阻相对于 Si_3N_4 、 Al_2O_3 、 Ge_3N_4 等情况要小(Si_3N_4 的禁带宽度为 5.3eV,与锗衬底导带偏移量为 ~ 2.03eV, Al_2O_3 的禁带宽度为 6.1eV,与锗衬底导带偏移量为 ~ 1.74eV, Ge_3N_4 的禁带宽度为 4.4eV,与锗衬底导带偏移量为 ~ 1.5eV。而 CeO_2 的禁带宽度为 ~ 3.3eV,与锗衬底导带偏移量为 ~ 0.4eV,如附图 1 所示)。鉴于与锗衬底良好的界面特性与小的导带偏移量, CeO_2 介质层的插入适合制备低电阻率的锗基肖特基结。

附图说明

[0016] 图 1 所示 Si_3N_4 、 Al_2O_3 、 Ge_3N_4 、 CeO_2 等材料与锗衬底接触的能带图;

[0017] 图 2- 图 6 所示实施例为锗基肖特基结制备示意图;

[0018] 其中,1—体锗衬底;2— CeO_2 ;3—金属 Al;4—背电极 Al。

具体实施方式

[0019] 以下结合附图,通过具体的实施例对本发明所述的方法做进一步描述,实施步骤如下:

[0020] 1) 选择 N 型半导体锗衬底,可以是体锗衬底、GeOI (Germanium on Insulator) 衬底或硅上外延锗 (Germanium-on-silicon) 等,本实施例优选为体锗衬底,如图 2 所示;

[0021] 2) 对锗衬底进行清洗。首先对锗衬底进行有机清洗,依次用丙酮和乙醇浸泡清洗,再用 DI 水冲洗干净,去除锗衬底上的油污和有机污染物。再用盐酸清洗,在稀盐酸中加热煮沸,随后用 DI 水冲洗干净,去除无机污染物、金属颗粒等;

[0022] 3) 去除锗衬底表面的氧化物。可以采用 HF 或 HCl 溶液浸泡的方法,亦可采用高温真空退火的方法。本实施例优选为 HF 溶液浸泡的方法。具体过程如下:先用稀释的 HF ($\text{HF}:\text{H}_2\text{O} = 1:5 \sim 1:60$) 溶液浸泡 10 ~ 50 秒,再用 DI 水冲洗 10 ~ 50 秒,如此循环 5 ~ 10 次;

[0023] 4) 在衬底上淀积一层 CeO_2 ,厚度为 0.3 ~ 2nm。 CeO_2 可通过 ALD、PLD、MBE、CVD 等方法淀积。本实施例优选为 0.6nm,如图 3 所示;

[0024] 5) 淀积金属。淀积的金属可以是 Al, Pt, Au, Ti, Ni, TiN, TaN, W 等,本实施例是用溅射的方法淀积一层 200nm 的 Al,如图 4 所示;

[0025] 6) 光刻,刻蚀金属形成所需要的图形,如图 5 所示;

[0026] 7) 淀积背电极,本实施例优选为淀积 200nm 的 Al,如图 6 所示;

[0027] 8) 淀积金属后退火。在 350℃的 N₂ 气氛中退火 15min。

[0028] 以上通过优选实施例详细描述了本发明所提出的一种锆基肖特基结的制备方法,本领域的技术人员应当理解,以上所述仅为本发明的优选实施例,在不脱离本发明实质的范围内,可以对本发明的器件结构做一定的变形或修改;其制备方法也不限于实施例中所公开的内容,凡依本发明权利要求所做的均等变化与修饰,皆应属本发明的涵盖范围。

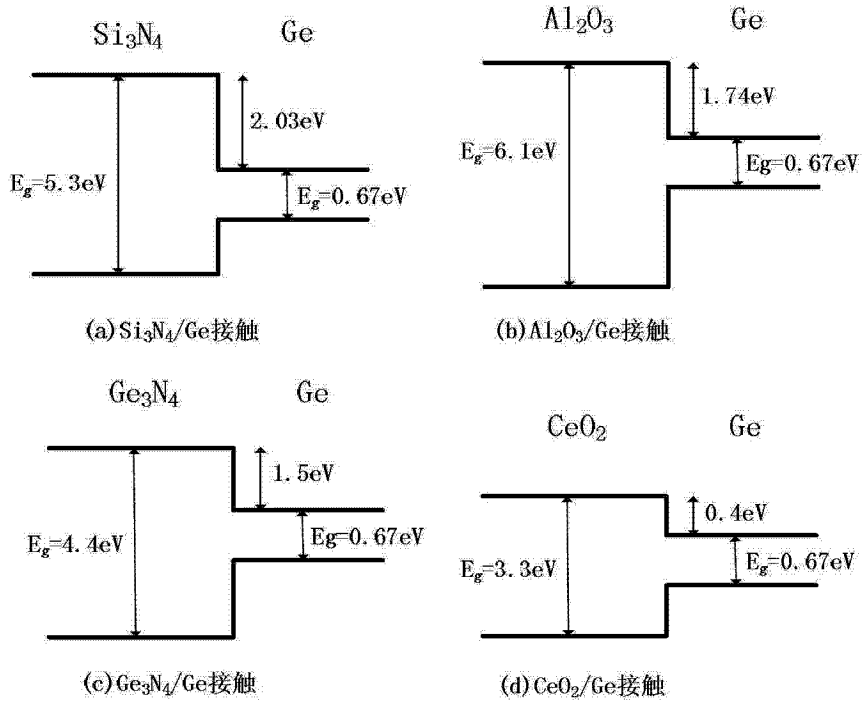


图 1

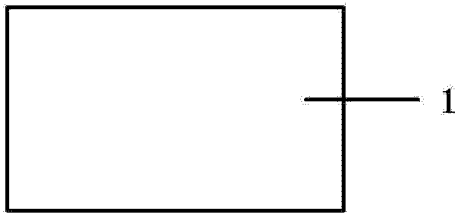


图 2

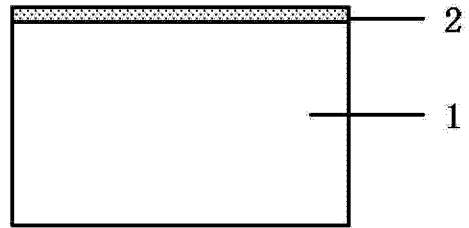


图 3

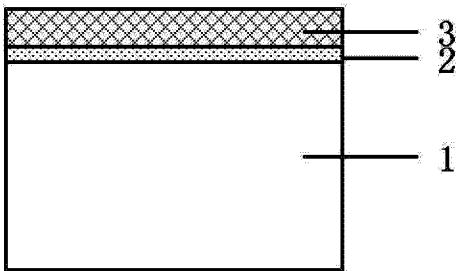


图 4

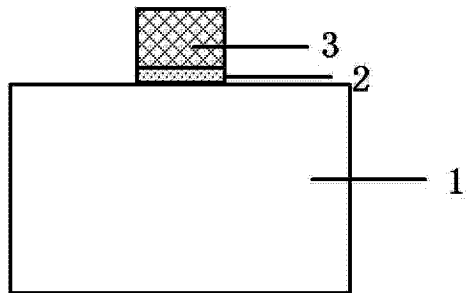


图 5

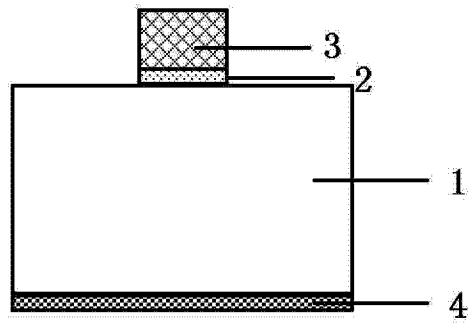


图 6