(19)中华人民共和国国家知识产权局

(12)发明专利

(10)授权公告号 CN 101978589 B
(45)授权公告日 2015.04.22

(21)申请号 200980110230.0
(22)申请日 2009.02.10
(30)优先权数据
61/028,133 2008.02.12 US
12/368,200 2009.02.09 US
(85)PCT国际申请进入国家阶段日
2010.09.21
(86)PCT国际申请的申请数据
PCT/US2009/033699 2009.02.10
(87)PCT国际申请的公布数据
WO2009/102732 EN 2009.08.20
(73)专利权人 特兰斯夫公司
地址 美国加利福尼亚州
(72)发明人 詹姆斯·霍尼亚 吴毅锋
(74)专利代理机构 中原信达知识产权代理有限责任公司 11219
代理人 关兆辉 谢丽娜
(51)Int.Cl.
H02M 7/521(2006.01)
H02M 3/335(2006.01)
(56)对比文件
US 6900657 B2,2005.05.31,
US 6130831 A,2000.10.10,
CN 1320298 A,2001.10.31,
JP 特开 2003-338742 A,2003.11.28,
审查员 梁雪峰

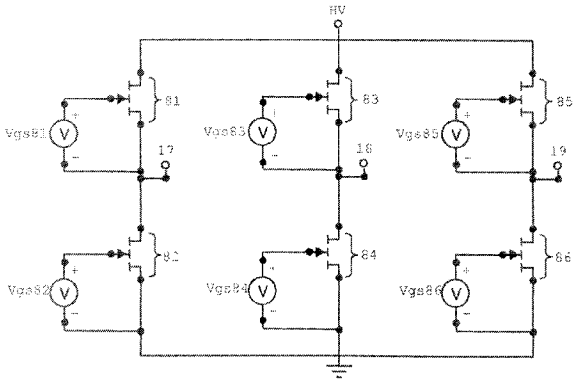
权利要求书3页 说明书9页 附图11页

(54)发明名称

桥式电路及其元件

(57)摘要

本发明描述了一种半桥，所述半桥具有至少一个晶体管，所述晶体管具有能够处于第一工作模式、第二工作模式和第三工作模式的沟道，所述第一工作模式在至少一个方向上阻挡基本电压，所述第二工作模式在一个方向上通过该沟道传导基本电流，所述第三工作模式在相反方向上通过该沟道传导基本电流。所述半桥可具有带有这样的晶体管的两个电路。



CN 101978589 B

1. 一种半桥，所述半桥包括由单个晶体管形成的开关，所述单个晶体管具有栅极、源极、漏极和沟道，所述单个晶体管能够处于第一工作模式、第二工作模式和第三工作模式，所述第一工作模式在至少一个方向上阻挡基本电压，所述第二工作模式在所述至少一个方向上通过所述沟道传导基本电流，所述第三工作模式在相反方向上通过所述沟道传导基本电流，其中在所述第三工作模式中，所述栅极相对于所述源极被偏置在低于所述单个晶体管的阈值电压的电压。

2. 根据权利要求 1 所述的半桥，其中所述半桥包括至少两个晶体管，并且每个晶体管都被构造为用作开关晶体管以及用作反并联二极管。

3. 一种包括多个根据权利要求 1 所述的半桥的桥式电路。

4. 根据权利要求 3 所述的桥式电路，还包括栅极驱动电路，所述栅极驱动电路被构造为独立地控制每个所述晶体管的栅极电压。

5. 根据权利要求 1 所述的半桥，所述开关是第一开关，所述半桥由所述第一开关和由第二单个晶体管形成的第二开关组成，其中所述晶体管中的每个是 FET、HEMT、MESFET 或 JFET 器件。

6. 根据权利要求 5 所述的半桥，其中所述晶体管是增强型晶体管。

7. 根据权利要求 6 所述的半桥，其中所述晶体管是增强型 III-N 晶体管或 SiC JFET 晶体管。

8. 一种包括多个根据权利要求 7 所述的半桥的桥式电路。

9. 根据权利要求 6 所述的半桥，其中所述晶体管是氮面 III-NHEMT。

10. 根据权利要求 6 所述的半桥，其中所述晶体管具有至少 2V 的阈值电压。

11. 根据权利要求 6 所述的半桥，其中所述晶体管具有从源极到漏极的 0.5eV 至 2eV 的内势垒。

12. 根据权利要求 6 所述的半桥，其中所述晶体管具有小于 5mohm-cm^2 的导通电阻以及至少 600V 的击穿电压。

13. 根据权利要求 6 所述的半桥，其中所述晶体管具有小于 10mohm-cm^2 的导通电阻以及至少 1200V 的击穿电压。

14. 一种包括多个根据权利要求 5 所述的半桥的桥式电路。

15. 根据权利要求 14 所述的桥式电路，其中在每个半桥的所述两个开关之间有节点，并且每个所述节点都经由电感负载彼此耦接。

16. 根据权利要求 14 所述的桥式电路，其中所述桥式电路不含二极管。

17. 根据权利要求 1-3 中的任何一项所述的半桥，其中所述半桥不含二极管。

18. 根据权利要求 1 所述的半桥，其中，所述晶体管进一步能够处于通过所述沟道在相反方向上传导所述基本电流的第四工作模式，其中，在所述第四工作模式中，所述栅极相对于所述源极被偏置在高于所述晶体管的阈值电压的电压。

19. 根据权利要求 1 所述的半桥，其中，所述晶体管是增强型晶体管。

20. 根据权利要求 1、18 或 19 中的任何一项所述的半桥，其中，所述晶体管是 III-N 晶体管。

21. 根据权利要求 1、18 或 19 中的任何一项所述的半桥，其中，所述晶体管是 III-N HEMT。

22. 一种操作电路的方法，所述电路包括半桥电路级，所述半桥电路级包括由第一单个晶体管形成的第一开关、由具有沟道的第二单个晶体管形成的第二开关以及电感元件，其中所述电感元件耦接在所述第一开关和所述第二开关之间，所述第一开关在高压源与所述第二开关之间，所述第二开关在地与所述第一开关之间，所述方法包括：

使所述第二单个晶体管偏置为导通并且使所述第一单个晶体管偏置为截止，以允许电流沿第二方向流过所述第二单个晶体管的所述沟道；

使所述第一单个晶体管偏置为导通并且使所述第二单个晶体管偏置为截止，以允许电流流过所述第一单个晶体管和所述电感元件，从而跨越所述第二单个晶体管呈现阻挡电压；以及

在使所述第一单个晶体管偏置为导通并且使所述第二单个晶体管偏置为截止之后，将所述第一单个晶体管改变为截止偏置，以允许电流沿第一方向流过所述第二单个晶体管的所述沟道和所述电感元件，其中所述第二单个晶体管的栅极相对于所述第二单个晶体管的源极被偏置在低于所述第二单个晶体管的阈值电压的电压，同时电流沿所述第一方向流过所述第二单个晶体管的所述沟道。

23. 根据权利要求 22 所述的方法，还包括在将所述第一单个晶体管改变为截止偏置之后，将所述第二单个晶体管改变为导通偏置，其中所述电流继续沿所述第一方向流过所述第二单个晶体管的所述沟道。

24. 根据权利要求 23 所述的方法，其中将所述第一单个晶体管改变为截止偏置与将所述第二单个晶体管改变为导通偏置的步骤之间的时间足以防止从高压源至地的直通电流。

25. 根据权利要求 24 所述的方法，还包括：

在将所述第二单个晶体管改变为导通偏置之后，将所述第二单个晶体管改变为截止偏置，从而导致所述第二单个晶体管处于二极管模式；以及

在将所述第二单个晶体管改变为截止偏置之后，将所述第一单个晶体管改变为导通偏置，从而允许所述电流流过所述第一单个晶体管以及跨越所述第二单个晶体管的阻挡电压。

26. 根据权利要求 25 所述的方法，其中将所述第二单个晶体管改变为截止偏置与将所述第一单个晶体管改变为导通偏置的步骤之间的时间足以防止从所述高压源至地的直通电流。

27. 一种操作电路的方法，所述电路包括电感元件和半桥，所述半桥包括由第一单个晶体管形成的第一开关和由第二单个晶体管形成的第二开关，所述第一单个晶体管具有沟道，其中所述电感元件耦接在所述第一开关和所述第二开关之间，所述第一开关耦接到高压源，所述第二开关耦接到地，所述方法包括：

使所述第一单个晶体管偏置为截止，并且使所述第二单个晶体管偏置为导通，从而允许电流流过所述电感元件并且流过所述第二单个晶体管，由此所述第一单个晶体管阻挡第一电压；

将所述第二单个晶体管改变为截止偏置，从而导致所述第一单个晶体管沿第一方向输送电流流过所述第一单个晶体管的所述沟道并且导致所述第二单个晶体管阻挡第二电压，其中所述第一单个晶体管的栅极相对于所述第一单个晶体管的源极被偏置在低于所述第一单个晶体管的阈值电压的电压，同时电流沿所述第一方向流过所述第一单个晶体管的所

述沟道；以及

使所述第一单个晶体管偏置为导通并且使所述第二单个晶体管偏置为截止，以允许电流沿第二方向流过所述第一单个晶体管的所述沟道。

桥式电路及其元件

技术领域

[0001] 本发明涉及桥式电路及其组成元件。

背景技术

[0002] 桥式电路用于很广泛的应用中。图 1 示出了用于电机驱动的典型三相桥式电路。电路 10 中的三个半桥 15、25、35 各自包括两个开关 (61-66)，所述开关能够在一个方向上阻挡电流，并且能够在双方向上传导电流。由于通常用在电源电路中的晶体管 (41-46) 固有地无法反向传导电流，所以电路 10 中的开关 61-66 中的每一个包括反并联到续流二极管 51-56 的晶体管 (41-46)。晶体管 41-46 各自能够在其偏置为截止状态时，阻挡至少与电路 10 的高压 (HV) 源一样大的电压，并且二极管 51-56 各自能够在其反向偏置时，阻挡至少与电路 10 的高压 (HV) 源一样大的电压。理想地，二极管 51-56 具有良好的开关特性以最小化开关过程中的瞬变电流，因此通常使用肖特基二极管。晶体管 41-46 可以是增强型 (常闭，$V_{th} > 0$)，即 E 型，或者是耗尽型 (常开，$V_{th} < 0$)，即 D 型器件。在电源电路中，通常使用增强型器件来防止意外导通，以避免对器件或其他电路元件造成损害。节点 17、18 和 19 全部经电感负载彼此耦接，即诸如电机线圈 (图 1 中未示出) 的电感元件。

[0003] 图 2a 示出图 1 中的全 3 相电机驱动的半桥 15，和节点 17 和 18 之间的电机绕组 (电感元件 21) 以及电机电流馈送到其中的开关 64。对于电源的这一相，晶体管 44 持续导通 ($V_{gs44} > V_{th}$)，晶体管 42 持续截止 ($V_{gs42} < V_{th}$，即，如果使用增强型晶体管，$V_{gs42} = 0V$)，而晶体管 41 则以脉宽调制 (PWM) 信号来调制以实现所需电机电流。图 2b 是图 2a 中示图的简化版本，其示出了晶体管 41 偏置为导通期间电流路径 27。对于这一偏置，电机电流流过晶体管 41 和 44，而因为晶体管 42 偏置为截止并且二极管 52 反向偏置，所以没有电流流过开关 62。参照图 2c，在晶体管 41 偏置为截止期间，没有电流能够流过晶体管 41 或二极管 51，因此电机电流流过二极管 52。在这部分操作期间，电感元件 21 强制节点 17 处的电压为足够负的值，以导致二极管 52 导电。

[0004] 目前，绝缘栅双极型晶体管 (IGBT) 通常用在高功率桥式电路中，硅 MOS 晶体管 (也称作 MOSFET) 用在低功率应用中。传统的 IGBT 固有地仅在一个方向导电，因此需要续流二极管以便于带有 IGBT 的开关正确操作。标准 MOS 晶体管固有地包含反并联寄生二极管。如从图 3a 看到的，如果 MOS 器件 50 的栅极和源极偏置在相同的电压，漏极偏置在较低电压，例如当晶体管 41 截止时晶体管 42 中所发生的 (图 2c)，则寄生二极管 60 阻止本征 MOS 晶体管 71 导通。因此，反向电流路径 37 穿过寄生二极管 60。由于寄生二极管 60 固有地具有差的开关特性，所以当 MOS 器件 50 导通或截止时，寄生二极管 60 经历大的瞬变。

[0005] 为了彻底防止寄生二极管 60 导通，经常采用图 3b 所示的 3 元件解决方案。在图 3b 中，二极管 69 被添加到开关以防止任何电流流过寄生二极管 60，并且添加肖特基二极管 68 以在电流在图 3b 所示方向流动 (即，从 MOS 器件 50 的源极侧流向漏极侧) 期间输送电流。

发明内容

[0006] 描述了一种半桥，所述半桥包括至少一个晶体管，所述晶体管具有能够处于第一工作模式、第二工作模式和第三工作模式的沟道，所述第一工作模式在至少一个方向上阻挡基本电压，所述第二工作模式在所述至少一个方向上穿过沟道传导基本电流，所述第三工作模式在相反方向上穿过沟道传导基本电流。

[0007] 描述了一种操作电路的方法，所述电路包括半桥电路级，所述半桥电路级包括第一晶体管、第二晶体管和电感元件，其中所述电感元件耦接在第一晶体管和第二晶体管之间，第一晶体管在电压源与第二晶体管之间，第二晶体管在地与第一晶体管之间。第一晶体管偏置为导通，第二晶体管偏置为截止，从而允许电流流过第一晶体管和电感元件、并且阻挡了跨越第二晶体管的电压。第一晶体管被改变为截止偏置，从而允许电流流过第二晶体管和电感元件、并且导致第二晶体管处于二极管模式。

[0008] 描述了一种操作电路的方法，所述电路包括电感元件和半桥，所述半桥包括第一晶体管和第二晶体管，其中电感元件耦接在第一晶体管和第二晶体管之间，第一晶体管耦接到电压源，第二晶体管耦接到地。第一晶体管偏置为截止，第二晶体管偏置为导通，从而允许电流流过电感元件并且流过第二晶体管，其中第一晶体管阻挡第一电压。第二晶体管被改变为截止偏置，从而导致第一晶体管工作在二极管模式下以输送续流电流、并且导致第二晶体管阻挡第二电压。

[0009] 本文所述的器件和方法的实施例可包括以下特征中的一个或多个。所述半桥可包括至少两个晶体管，并且每个晶体管都可被构造为用作开关晶体管以及用作反并联二极管。桥式电路可由本文所述半桥形成。栅极驱动电路可被构造为独立地控制每个晶体管的栅极电压。所述晶体管可以是桥式元件的第一晶体管，所述桥式元件还可包括第二晶体管。第一晶体管的栅极可电连接到第二晶体管的源极，并且第一晶体管的源极可电连接到第二晶体管的漏极。第一晶体管可以是耗尽型器件，而第二晶体管可以是增强型器件。第一晶体管可以是高压器件，而第二晶体管可以是低压器件。第一晶体管可被构造为阻挡至少等于电路高压的电压。第二晶体管可被构造为阻挡至少等于第一晶体管的阈值电压的电压。第二晶体管可被构造为阻挡大约为所述阈值电压两倍的电压。第一晶体管可以是高压耗尽型晶体管，并且第二晶体管可以是低压增强型晶体管。第一晶体管可以是 III-N HEMT 或 SiCJFET。第二晶体管可以是 III-N HEMT。第二晶体管可以是氮面 III-NHEMT。第二晶体管可以是硅基或 SiC 基器件。第二晶体管可以是垂直硅 MOSFET 或 SiC JFET 或 SiC MOSFET。所述半桥可包括至少两个桥式元件。第二晶体管可包括寄生二极管，并且所述半桥包括并联到所述寄生二极管的低压二极管。所述低压二极管可被构造为阻挡至少如第二晶体管一样的电压。所述低压二极管具有比所述寄生二极管的导通电压低的导通电压。所述半桥可包括低压二极管，其中所述低压二极管被构造为阻挡比电路高压低的最大电压。所述半桥可由两个晶体管组成，其中所述晶体管各自为 FET、HEMT、MESFET 或 JFET 器件。所述两个晶体管可以是增强型晶体管。所述晶体管可以是增强型 III-N 晶体管或 SiC JFET 晶体管。所述晶体管可以是氮面 III-N HEMT。所述两个晶体管可具有至少 2V 的阈值电压。所述两个晶体管可具有从源极到漏极的 0.5 至 2eV 的内势垒。所述两个晶体管可具有小于 5mohm-cm^2 的导通电阻以及至少 600V 的击穿电压。所述两个晶体管可具有小于 10mohm-cm^2 的导通电阻以及至少 1200V 的击穿电压。每个半桥的两个晶体管之间可存在节点，每个节点都可经

由电感负载彼此耦接。本文所述的包括半桥的桥式电路可不含二极管。所述半桥可不含二极管。在将第一晶体管改变为截止偏置之后，第二晶体管可被改变为导通偏置。将第一晶体管改变为截止偏置的步骤与将第二晶体管改变为导通偏置的步骤之间的时间可足以防止从高压源至地的直通电流。将第二晶体管改变为截止偏置的步骤与将第一晶体管改变为导通偏置的步骤之间的时间可足以防止从高压源至地的直通电流。

[0010] 本文所述的器件和方法可提供以下优点中的一个或多个。开关可仅以单个晶体管器件来形成。所述晶体管器件既可用作开关晶体管，也可用作二极管。晶体管执行两个角色的能力可消除开关中对单独的反并联二极管的需求。仅包括单个晶体管的开关是比还需要二极管来输送续流电流的器件更简单的器件。所述器件可以以将功率耗散降至最低的方式工作。另外，晶体管的时序和偏置可使得由利用单个器件开关的半桥形成的装置（例如，电机）能够以这样的方式工作：即减小总功耗且同时避免从高压源至地的直通电流。

附图说明

[0011] 图 1 是 3 相桥式电路的示意图。

[0012] 图 2a 至图 2c 示出了当 3 相桥式电路通电时的示意图和电流路径。

[0013] 图 3a 至图 3b 示出了 MOS 器件的示意图及其电流路径。

[0014] 图 4 示出了带有单个器件开关的桥式电路的示意图。

[0015] 图 5a 至图 5d 示出了穿过单个晶体管开关的电流路径的示意图。

[0016] 图 6 示出了栅极信号的时序图。

[0017] 图 7 至图 9 示出了可用于图 4 的桥式电路中的开关的示意图。

[0018] 各个附图中的相同附图标记指代相同部件。

具体实施方式

[0019] 图 4 示出了桥式电路的示意图，其中六个开关各自包括单个晶体管器件 (81-86)。晶体管 81-86 可以是阈值电压 $V_{th} > 0$ 的增强型器件，或者是阈值电压 $V_{th} < 0$ 的耗尽型器件。在高功率应用中，期望使用具备以下特征的增强型器件，其阈值电压尽可能大（诸如 $V_{th} > 2V$ 或 $V_{th} > 3V$），在 0 偏置下从源极到漏极的高内势垒（诸如 0.5-2eV），存取区域高传导率（诸如表面电阻＜ 750ohms/square）并伴有高击穿电压 (600/1200V) 和低导通电阻（对于 600/1200V，分别＜ 5 或＜ 10mohm-cm^2）。栅极电压 V_{gs81}-V_{gs86} 各自独立地受栅极驱动电路的控制。器件 81-86 各自能够在靠近地的端子处的电压低于靠近 DC 高压源的端子处的电压时阻挡电流流动。在一些实施例中，器件能够在双方向上阻挡电流。器件 81-86 还各自能够通过相同的传导路径 / 沟道在双方向上传导电流。节点 17、18 和 19 全部经电感负载彼此耦接，即诸如电机线圈（图 4 中未示出）的电感元件。

[0020] 图 5a 和图 5b 示出了用于包括满足上述要求的增强型器件的桥式电路的图 4 中的电路的三个半桥之一的操作。出于示例目的，假设器件的阈值电压 $V_{th} = 2V$。诸如通过设置 $V_{gsg4} > V_{th}$（诸如，$V_{gs84} = 5V$）来使器件 84 持续偏置为导通。诸如通过设置 $V_{gs82} < V_{th}$（诸如，$V_{gs82} = 0V$）来使器件 82 持续偏置为截止。如图 5a 所示，在诸如通过设置 $V_{gs81} > V_{th}$（诸如，$V_{gs81} = 5V$）来使器件 81 持续偏置为导通期间，电流沿着电流路径 27 穿过器件 81，穿过电感元件（电机线圈）21，并穿过器件 84 流动。在此期间，节点 17 处的电压高于器件 82 的

源极处的电压，但是决不会超过电路的高压电源的高压 (HV) 值。器件 82 偏置为截止，因此阻挡了在其两端的电压 V_a，其中 V_a 是节点 17 处的电压。如本文所用，“阻挡了电压”指的是当电压施加到晶体管两端时，晶体管阻止显著的电流（诸如，大于常规传导期间的工作电流的 0.001 倍的电流）流过晶体管的能力。换言之，在晶体管阻挡施加在其两端的电压的同时，穿过晶体管的总电流将不大于常规传导期间的工作电流的 0.001 倍。

[0021] 图 5b 示出了在诸如通过设置 $V_{gs81} < V_{th}$（诸如，$V_{gs81} = 0V$）而使器件 81 截止期间的电流路径 27。在此期间，电机电流流过器件 82 的沟道，流过电感元件（电机线圈）21，并流过器件 84。由于器件 82 的栅极端和源极端均处于 0V，所以当电流在该方向上流过器件 82 时，器件 82 有效地起二极管的作用，被称作处于“二极管模式”。即，即使当器件 82 的栅极偏置到器件 82 的阈值电压以下时，器件 82 也以图 5b 所示方向传导电流，因此其表现为与配备有反向续流二极管的传统晶体管相同。节点 17 处的电压 V_a 在器件 82 的源极电压以下大约阈值电压 (V_{th}) 的负值处，器件 81 现在必须阻挡电压 $HV+V_{th}$。需要注意的是，用同一器件 (82) 实现了在一个方向阻挡电流 / 电压以及相反方向的二极管作用。

[0022] 如图 5c 和图 5d 所示，器件 82 可以用作主动 (actively) 切换的器件，以实现电流穿过电感元件（电机线圈）21 沿相反方向的流动。当器件 82 导通时（图 5c），电流 27 流过器件 82，器件 81 阻挡了电压 $HV-V_a$，当器件 82 截止时（图 5d），器件 81 工作在二极管模式下以输送续流电流，而器件 82 阻挡了电压 $HV+V_{th}$。因此，在全电路中，器件 81-86 执行与带有反并联续流二极管的传统单向晶体管（图 1 中的 61-66）相同的功能。

[0023] 取决于电流水平以及器件 81-86 的阈值电压（见图 4），当工作在二极管模式下时，器件中的功率耗散可能无法接受的高。在这种情况下，可通过施加图 6 所示形式的栅极信号来实现较低功率的工作模式。例如，当器件 81 如图 5a 和图 5b 所示切换时，在器件 82 传导续流电流期间（当器件 81 截止时），器件 82 的栅极被驱动为高，允许器件 82 的漏极 - 源极电压仅仅是导通状态电阻 (Rds-on) 乘以电机电流。为了避免从高压电源 (HV) 到地的直通电流，必须在器件 81 的截止与器件 82 的导通之间，以及在器件 82 的截止与器件 81 的导通之间提供一些空载时间。在图 6 中空载时间被标注为“A”。在这些空载时间期间，器件 82 如上所述工作在二极管模式。由于这与整个切换循环相比是短时间，所以功率耗散不显著。时间“B”对于器件 82 提供了主要损耗因素，并且这对应于当器件 82 完全增强时的低功率模式。

[0024] 再参照图 4，器件 81-86 的二极管工作模式总是为电感电流提供电流路径。即使考虑瞬变电流和实际阻抗，电路也将如期望地工作。如果（例如）器件 81-86 的栅极 - 漏极电容和栅极驱动电路的源极电阻为非零，则在 V_a 的下降时间期间，节点 17 处的高转换速率将强制器件 82 的栅极处的电势低于地。结果将仅仅是 :V_a 被电感元件 21 驱动至甚至比理想情况更低的电压，但是器件 82 将导通。

[0025] 器件 81-86 可以是能够通过相同的主沟道在双方向传导基本电流（诸如，至少与其所用的电路的最大工作电流一样大的电流），并且能够在至少一个方向上阻挡基本电压（诸如，大于电路 DC 高压 HV 的电压）的任何晶体管。每个器件必须能够在至少一个方向上阻挡电压，所述电压至少在 0V 至大于 HV 的电压（诸如，HV+1V、HV+5V 或 HV+10V）之间。HV 的值以及由此器件必须能够阻挡的电压范围取决于具体电路应用。例如，在一些低功率应用中，HV 可能是 10V，器件各自至少能够阻挡 0V 至 10V 之间的电压、以及大于 10V（诸如，

11V、20V 或 30V）的电压。在一些高功率应用中，HV 可能是 1000V，因此器件各自至少能够阻挡 0V 至 1000V 之间的所有电压、以及大于 1000V（诸如 1100V、1150V 或 1200V）的电压。因此，能够阻挡足够量电压的合适晶体管的选择可取决于电路的应用。能够阻挡足够量电流的晶体管可允许一些少量的电流通过主沟道或除主沟道之外的器件的其他部分泄漏。然而，晶体管可能能够阻挡足够量的电流，所述电流是常规操作期间穿过晶体管的最大电流的相当大百分比，例如大于最大电流的 90%、95%、99%或 99.9%。

[0026] 满足这些标准的器件的实例是任何材料体系的金属半导体场效应晶体管（MESFET）、任何材料体系的结型场效应晶体管（JFET）以及任何材料体系的高电子迁移率晶体管（HEMT 或 HFET），包括诸如电流孔径垂直电子晶体管（CAVET）的垂直型器件以及沟道电荷具有 3 维分布的器件，诸如极化掺杂场效应晶体管（POLFET）。用于 HEMT 和 MESFET 的常见材料体系包括 $Ga_xAl_yIn_{1-x-y}N_mAs_nP_{1-m-n}$ 或者诸如 III-N 材料、III-As 材料和 III-P 材料的 III-V 材料。用于 JFET 的常见材料包括 III-V 材料、SiC 和 Si（即，基本上不含碳的硅）。在一些实施例中，器件是增强型器件（阈值电压 $V_{th} > 0$），而在其他实施例中，器件可以是耗尽型器件（$V_{th} < 0$）。

[0027] 在一些实施例中，器件 81-86 由增强型 III- 氮化物（III-N）器件组成，所述器件具备：阈值电压尽可能大（诸如 $V_{th} > 2V$ 或 $V_{th} > 3V$），在 0 偏置下从源极到漏极的高内势垒（诸如 0.5-2eV），存取区域高传导率（诸如表面电阻 < 750ohms/square）并伴有高击穿电压（至少 600 或 1200V）和低导通电阻（对于 600/1200V，分别 < 5 或 < 10mohm-cm^2）。在一些实施例中，器件是氮面 III-N HEMT，诸如在提交于 2007 年 9 月 17 日的美国专利申请号 11/856,687 以及提交于 2008 年 11 月 26 日的美国专利申请号 12/324,574 中所描述的，所述两项专利申请以引用方式并入本文。器件还可包括以下元件中的任何：诸如 SiN 的表面钝化层、诸如倾斜场板的场板、以及栅极下绝缘体。在其他实施例中，器件由 SiC JFET 组成。

[0028] 在一些实施例中，图 7 所示的器件 91 代替图 4 的器件 81-86 中的任何或全部用在半桥或桥式电路中。器件 91 包括诸如 III-N E 型晶体管的低压 E 型晶体管 92，其如图所示连接到诸如 III-N D 型晶体管的高压 D 型晶体管 90。在一些实施例中，E 型晶体管 92 是氮面 III-N 器件，并且 D 型晶体管 90 是 III 面 III-N 器件。当 E 型晶体管 92 在任一方向传导电流时，基本上所有的电流均传导过晶体管 92 的同一主器件沟道。D 型晶体管 90 的栅极电连接到 E 型晶体管 92 的源极，并且 D 型晶体管 90 的源极电连接到 E 型晶体管 92 的漏极。在一些实施例中，D 型晶体管 90 的栅极不直接连接到 E 型晶体管 92 的源极。相反，D 型晶体管 90 的栅极和 E 型晶体管 92 的源极各自电连接到电容器的相对端。图 7 中的器件 91 可以与阈值电压与 E 型晶体管 92 的阈值电压相同的单个高压 E 型晶体管类似地操作。即，相对于节点 97 施加到节点 96 的输入电压信号可以在节点 94 处生成输出信号，所述输出信号与输入电压信号相对于 E 型晶体管的源极施加到其栅极时 E 型晶体管的漏极端处生成的输出信号相同。与用于单个晶体管的三个端的术语相似，节点 97、96 和 94 由此分别称为器件 91 的源极、栅极和漏极。当器件处于阻挡模式时，大部分电压被 D 型晶体管 90 阻挡，而仅有少部分电压被 E 型晶体管 92 阻挡，如以下所描述的。当器件 91 在任一方向上传导电流时，基本上所有的电流均传导过 E 型晶体管 92 的沟道和 D 型晶体管 90 的沟道。

[0029] 图 7 中的器件 91 如下操作。当节点 94 保持在比节点 97 高的电压下时，在足够正

的电压（即，大于 E 型晶体管 92 的阈值电压的电压）相对于节点 97 施加到节点 96 时，电流从节点 94 流向节点 97，所述电流流过 E 型晶体管 92 的沟道和 D 型晶体管 90 的沟道。当节点 96 处相对于节点 97 的电压被切换为小于 E 型晶体管 92 的阈值电压的值，诸如 0V 时，器件 91 处于阻挡模式，阻挡节点 97 与 94 之间的电压，并且没有基本电流流过器件 91。如果节点 94 处的电压现在切换为比节点 97 和 96 处的电压（两处保持在相同的电压下）小的值，则器件 91 切换为二极管模式，所有基本电流均传导穿过 E 型晶体管 92 的沟道和 D 型晶体管 90 的沟道。当高压 (HV) 相对于节点 97 施加到节点 94，并且节点 96 相对于节点 97 偏置在 0V 时，E 型晶体管 92 阻挡大约等于 $|V_{th90}|$ 或略大的电压，其中 $|V_{th90}|$ 是 D 型晶体管 90 的阈值电压的幅度。V_{th90} 的值可以是约 -5 至 -10V。因此，节点 95 处的电压大约等于 $|V_{th90}|$ 或略大，因此 D 型晶体管 90 处于截止状态，阻挡大约等于 HV 减去 $|V_{th90}|$ 的电压，即 D 型晶体管 90 阻挡基本电压。当正电压相对于节点 97 施加到节点 94，并且节点 96 偏置在比 E 型晶体管 92 的阈值电压 $V_{th,92}$ 大的电压（诸如，$2*V_{th,92}$）时，电流穿过 E 型晶体管 92 的沟道并穿过 D 型晶体管 90 的沟道从节点 94 流向节点 97，E 型晶体管 92 两端的压降 V_F 远小于 $|V_{th90}|$，例如小于约 0.2V。在这些条件下，节点 95 处相对于节点 97 的电压为 V_F，D 型晶体管 90 的栅极 - 源极电压 V_{GS90} 大约为 $-V_F$。

[0030] D 型晶体管 90 可以是能够阻挡大电压（诸如，至少 600V 或至少 1200V，或者电路应用所需的其他合适的阻挡电压）的高压器件。如上所述，D 型晶体管至少能够在器件 91 处于阻挡模式时阻挡基本电压，诸如大于电路 DC 高压 HV 的电压。另外，D 型晶体管 90 的阈值电压 V_{th90} 充分小于 $-V_F$，由此当组件处于 ON 状态时，对于其所使用的电路应用，D 型晶体管 90 以足够低的传导损耗传导从节点 94 流向节点 97 的电流。因此，D 型晶体管 90 的栅极 - 源极电压充分大于 V_{th90}，由此对于该电路应用而言，传导损耗不是太大。例如，V_{th90} 可以小于 -3V、-5V 或 -7V，并且当 D 型晶体管 90 的栅极 - 源极电压大约为 $-V_F$ 时，D 型晶体管 90 能够以小于 7W 的传导损耗传导 10A 或者更大的电流。

[0031] E 型晶体管 92 至少能够阻挡大于 $|V_{th90}|$ 的电压，其中 $|V_{th90}|$ 是 D 型晶体管 90 的阈值电压的幅度。在一些实施例中，E 型晶体管 92 可阻挡大约 $2*|V_{th90}|$。诸如 III-N HEMT 或 SiC JFET 的高压 D 型 III-N 晶体管可用于 D 型晶体管 90。由于高压 D 型 III-N 晶体管的典型阈值电压大约为 -5V 至 -10V，所以 E 型晶体管 92 可以能够阻挡大约 10-20V 或更大。在一些实施例中，E 型晶体管 92 是 III-N 晶体管，诸如 III-N HEMT。在其他实施例中，E 型晶体管 92 是 SiC 晶体管，诸如 SiC JFET。

[0032] 当图 7 中的器件 91 代替图 4 的桥式电路中的器件 81-86 使用时，电路如下操作。当器件 91 代替这些器件使用时，器件 81-86 将被称作 81’-86’。在一些实施例中，所有器件 81’-86’ 彼此相同。即使器件不是完全相同，它们各自也具有大于 0 的阈值电压。参照图 5a 和图 5b 所示的切换顺序，当器件 81’和 84’的栅极 - 源极电压大于 E 型晶体管 92 的阈值电压，并且器件 82’的栅极 - 源极电压低于 E 型晶体管 92 的阈值电压（诸如，0V）时，电流穿过器件 81’的两个晶体管的沟道并穿过器件 84’的两个晶体管的沟道，从高压源流到地。器件 82’阻挡电压 V_a，其中 V_a 同样是节点 17 处的电压。参照图 5b，当器件 81’切换为截止时，电感元件 21 强制节点 17 处的电压 V_a 为负值，器件 81’现在阻挡了电压 HV 减去 V_a。器件 82’现在工作在二极管模式，电流穿过器件 82’从地流向节点 17。基本上所有穿过器件 82’的电流均传导穿过 E 型晶体管 92 的沟道和 D 型晶体管 90 的沟道。当桥式电路

在图 5c 所示的条件下工作时，即，当电流穿过电感元件从节点 18 流向节点 17 时，器件 81’切换为截止，并且器件 82’的栅极 - 源极电压大于 E 型晶体管 92 的阈值电压，电流穿过器件 82’从节点 17 流向地。基本上所有穿过器件 82’的电流均传导穿过 E 型晶体管 92 的沟道和 D 型晶体管 90 的沟道。

[0033] 因此，对于图 5a 所示的工作模式，器件 82’中的 D 型晶体管阻挡了基本电压，对于图 5b 所示的操作模式，器件 82’中的 D 型晶体管通过其沟道传导从源极流向漏极的基本电流，对于图 5c 所示的操作模式，器件 82’ 中的 D 型晶体管通过其沟道传导从漏极流向源极的基本电流。

[0034] 再参照图 7，当器件 91 工作在二极管模式下时，节点 95 处的电压必须小于节点 97 处的电压。因此，D 型晶体管 90 的栅极处于比 D 型晶体管 90 的源极高的电压，并且 D 型晶体管 90 的沟道被增强。然而，取决于电流水平以及 E 型晶体管 92 的阈值电压，当器件 81’-86’工作在二极管模式下时，E 型晶体管 92 中的功率耗散可能无法接受的高。在这种情况下，可通过施加图 6 所示形式的栅极信号来实现较低功率的工作模式。例如，当器件 81’如图 5a 和图 5b 所示切换时，在器件 82’传导续流电流期间（当器件 81’截止时），器件 82’的栅极被驱动为高，允许器件 82’的漏极 - 源极电压仅仅是器件 82’的有效导通状态电阻 (Rds-on) 乘以电机电流。为了避免从高压电源 (HV) 到地的直通电流，必须在器件 81’的截止与器件 82’的导通之间，以及在器件 82’的截止与器件 81’的导通之间提供一些空载时间。在图 6 中空载时间被标注为“A”。在这些空载时间期间，器件 82’如上所述工作在二极管模式。由于这与整个切换循环相比是短时间，所以功率耗散不显著。时间“B”对于器件 82’提供了主要损耗因素，并且这对应于当 E 型晶体管 92 完全增强时的低功率模式。

[0035] 在一些实施例中，图 8 所示的器件 111 代替图 4 的器件 81-86 中的任何或全部用在半桥或桥式电路中。器件 111 与图 7 的器件 91 类似，不同之处在于 E 型晶体管 92 被诸如硅 (Si) 基垂直 Si MOS 场效应晶体管 (FET)（本文将其称作 Si MOS 晶体管 103）的低压 E 型晶体管代替。在一些实施例中，低压 E 型晶体管是 SiC JFET 或 SiC MOSFET。Si MOS 晶体管 103 具有与图 7 中的 E 型晶体管 92 相同的电压阻挡要求。即，Si MOS 晶体管 103 至少能够阻挡大于 $|V_{th90}|$ 的电压，其中 $|V_{th90}|$ 是 D 型晶体管 90 的阈值电压的幅度。在一些实施例中，Si MOS 晶体管 103 可阻挡大约 $2*|V_{th90}|$。高压 D 型 III-N 晶体管可用于 D 型晶体管 90。由于高压 D 型 III-N 晶体管的典型阈值电压大约为 -5V 至 -10V，所以 Si MOS 晶体管 103 可能能够阻挡大约 10-20V 或更大。

[0036] Si MOS 晶体管固有地包含反并联到本征晶体管 102 的寄生二极管 101，如图 8 中所示。当器件 111 处于阻挡模式时，并且在标准正向传导模式期间（即，当电流从节点 94 流向节点 97 时），Si MOS 晶体管 103 的工作模式与 E 型晶体管 92 相同。即，当高压 HV 相对于节点 97 施加到节点 94，并且 Si MOS 晶体管 103 的栅极 - 源极电压低于阈值，使得器件 111 处于阻挡模式时，Si MOS 晶体管 103 阻挡大约等于 $|V_{th90}|$ 或略大的电压，而剩余高压被 D 型晶体管 90 阻挡，即 D 型晶体管 90 阻挡基本电压。当节点 94 处的电压大于节点 97 处的电压，并且 Si MOS 晶体管 103 的栅极 - 源极电压高于阈值时，器件 111 处于标准正向传导模式，使得电流从节点 94 流向节点 97。基本上所有电流均传导穿过 Si MOS 晶体管 103 的沟道以及 D 型晶体管 90 的沟道。节点 95 与节点 97 之间的压差在 0V 至 $|V_{th90}|$ 之间，其中

V_{th90} 是 D 型晶体管 90 的阈值电压。在该工作模式下，寄生二极管 101 反向偏置并阻挡小于 $|V_{th90}|$ 的电压。

[0037] 当器件 111 处于二极管模式时，Si MOS 晶体管 103 的操作不同于 E 型晶体管 92 的操作。当器件 111 工作在二极管模式下时，节点 94 处的电压低于节点 97 处的电压，Si MOS 晶体管 103 的栅极 - 源极电压低于阈值，并且电流从节点 97 流向节点 94。在这些条件下，节点 95 处的电压必须低于节点 97 处的电压。正向偏置的寄生二极管 101 导通，并且阻止本征晶体管 102 导通。因此，当器件 111 处于二极管模式下时，流过 Si MOS 晶体管 103 的大部分电流流过寄生二极管 102 而非 Si MOS 晶体管 103 的沟道。然而，当器件 111 处于二极管模式时，基本上全部电流仍传导穿过 D 型晶体管 90 的沟道。

[0038] 当器件 111 工作在二极管模式下时，节点 95 处的电压必须低于节点 97 处的电压。因此，D 型晶体管 90 的栅极处于比 D 型晶体管 90 的源极高的电压，并且 D 型晶体管 90 的沟道被增强。取决于电流水平以及寄生二极管 101 的正向传导特性，当器件 111 工作在二极管模式下时，寄生二极管 101 中的功率耗散可能无法接受的高。在这种情况下，可通过施加图 6 所示形式的栅极信号来实现较低功率的工作模式。作为实例，考虑图 4 的桥式电路，但是用器件 111 代替各个器件 81-86。在本实例中，桥式电路中的器件被称作器件 81”-86”。当器件 81”如图 5a 和图 5b 所示切换时，在器件 82”传导续流电流期间（当器件 81”截止时），器件 82”的栅极被驱动为高。这使得穿过器件 82”的 Si 晶体管 103 的电流主要流过增强的本征晶体管 102 而非寄生二极管 101，从而 Si 晶体管 103 的漏极 - 源极电压仅仅是 Si 晶体管 103 的有效导通状态电阻 (Rds-on) 乘以电流。为了避免从高压电源 (HV) 到地的直通电流，必须在器件 81”的截止与器件 82”的导通之间，以及在器件 82”的截止与器件 81”的导通之间提供一些空载时间。在图 6 中空载时间被标注为“A”。在这些空载时间期间，器件 82”如上所述工作在二极管模式，使得穿过 Si 晶体管 103 的电流主要流过寄生二极管 101。

[0039] 在一些实施例中，图 9 所示器件 112 代替器件 81-86 中的任何或全部用在半桥或桥式电路中。器件 112 与图 8 的器件 111 类似，但是还包括并联到寄生二极管 101 的低压、低导通电阻的二极管 104。二极管 104 具有与 Si MOS 晶体管 103 相同的电压阻挡要求。即，二极管 104 至少能够阻挡大于 $|V_{th90}|$ 的电压，其中 $|V_{th90}|$ 是 D 型晶体管 90 的阈值电压的幅度。在一些实施例中，二极管 104 可以阻挡大约 $2*|V_{th90}|$。高压 D 型 III-N 晶体管可用于 D 型晶体管 90。由于高压 D 型 III-N 晶体管的典型阈值电压大约为 -5 至 -10V，所以二极管 104 可能能够阻挡大约 10-20V 或更大。诸如低压二极管或晶体管的低压器件不能阻挡在高压电路中由 DC 电源施加的诸如 600V 或 1200V 的高压。在一些实施例中，低压二极管或低压晶体管所能阻挡的最大电压大约为 40V、30V、20V 或 10V。另外，二极管 104 具有比寄生二极管 101 低的导通电压。因此，当器件 112 偏置为二极管模式时，电流主要流过二极管 104，而非寄生二极管 101。可用于二极管 104 的诸如低压肖特基二极管的二极管可具有比寄生二极管 101 低的开关和传导损耗。因此，对于器件 112 而言，器件工作期间的传导和开关损耗可以比器件 111 小。

[0040] 取决于电流水平以及二极管 104 的正向传导特性，当器件 112 工作在二极管模式下时，二极管 104 中的功率耗散可能无法接受的高。同样，可通过施加图 6 所示形式的栅极信号来实现较低功率的工作模式。当器件 112 的栅极被驱动为高，而器件 112 传导续流电

流时，电流主要流过增强的本征晶体管 102，而非二极管 104，使得 Si MOS 晶体管 103 的漏极 - 源极电压仅仅是 Si MOS 晶体管 103 的有效导通状态电阻 (Rds-on) 乘以电流。

[0041] 尽管图 9 中的器件 112 包含二极管，但是二极管不需要能够阻挡全部电路 DC 电压 HV，其只需要阻挡略大于 $|V_{th90}|$ 的电压。因此，可使用低压二极管。这可比使用桥式电路中所通常包括的高压二极管更合适，因为低压二极管可具有比高压二极管低的开关和传导损耗。因此，与使用了高压二极管的半桥和桥式电路相比，本电路中的功耗可减小。

[0042] 已经描述了本发明的若干实施例。然而应该理解的是，在不脱离本发明的精神和保护范围的情况下，可进行各种修改。例如，半桥可包括使用单个晶体管、但不使用二极管的一个开关以及带有晶体管和二极管的第二开关。在一些实施例中，半桥由两个晶体管组成，并且不包括任何二极管。在一些实施例，代替使电流从一个半桥穿过电感流到另一半桥的晶体管上，流到电感之外的电流流向诸如电容器的另一电子元件，或者直接流向接地端或 DC 电源。因此，其他实施例在所附权利要求的保护范围内。

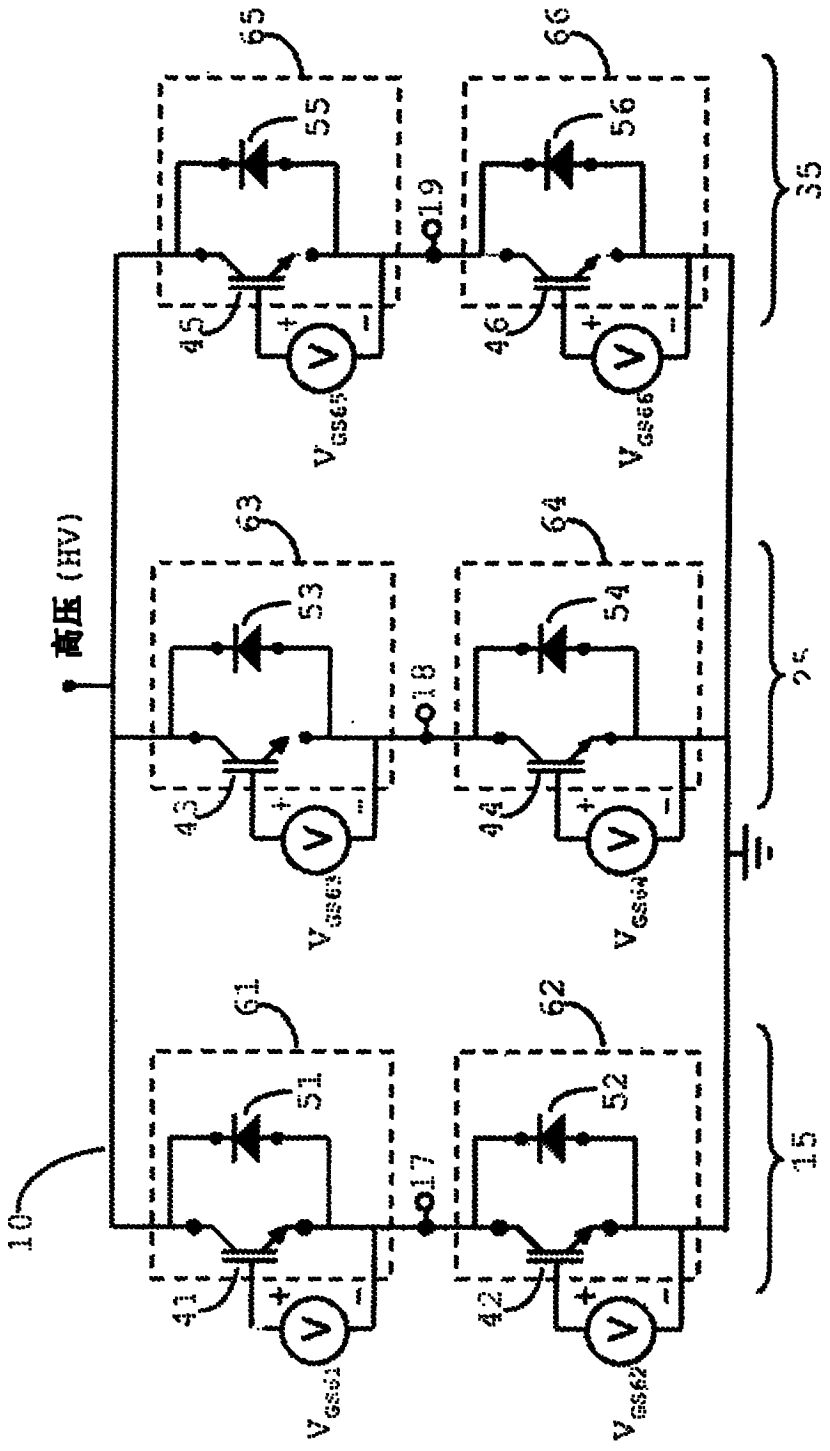

高压 (HV)
10
15
25
35
61
62
63
64
65
66
51
52
53
54
55
56
41
42
43
44
45
46
17
18
19

图 1（现有技术）

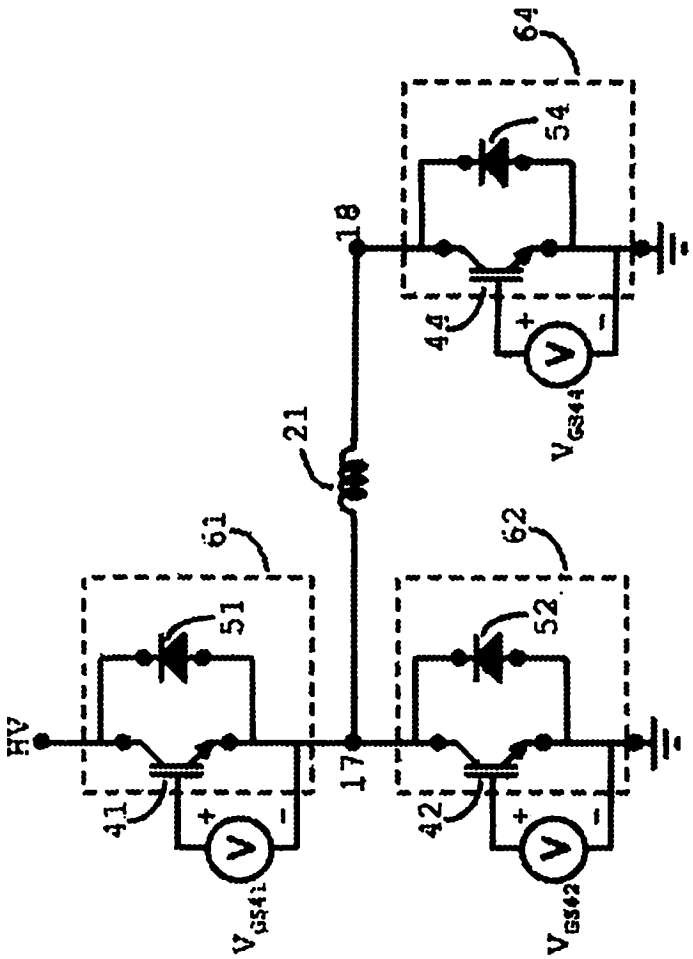


图 2(a)（现有技术）

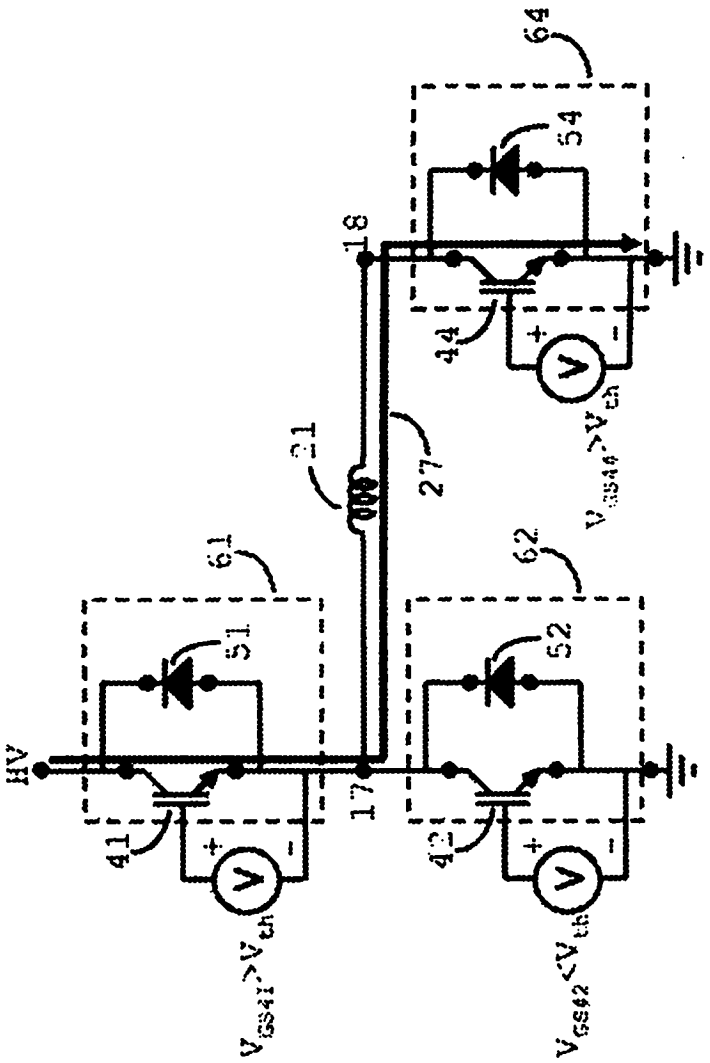


图 2(b)（现有技术）

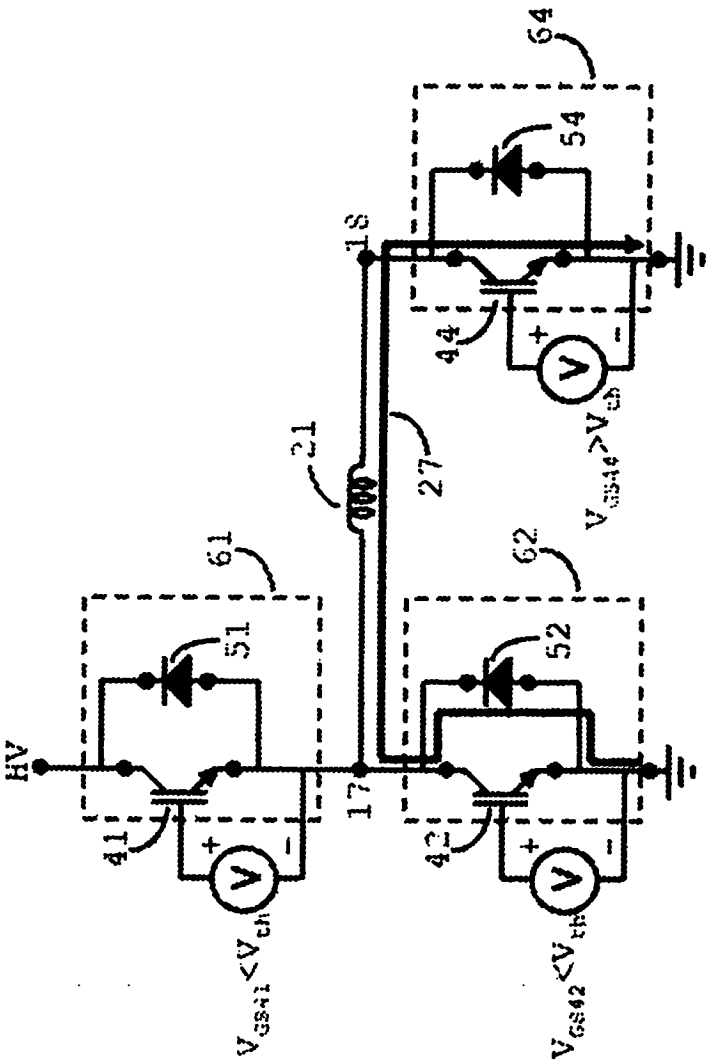


图 2(c)（现有技术）

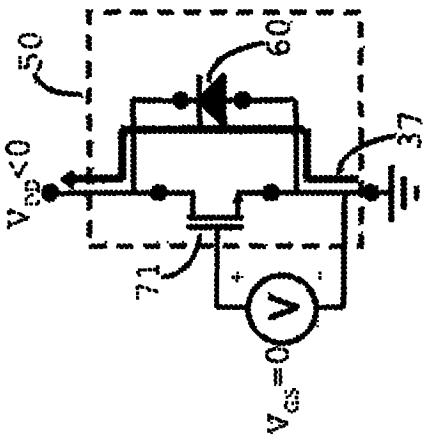


图 3(a)（现有技术）

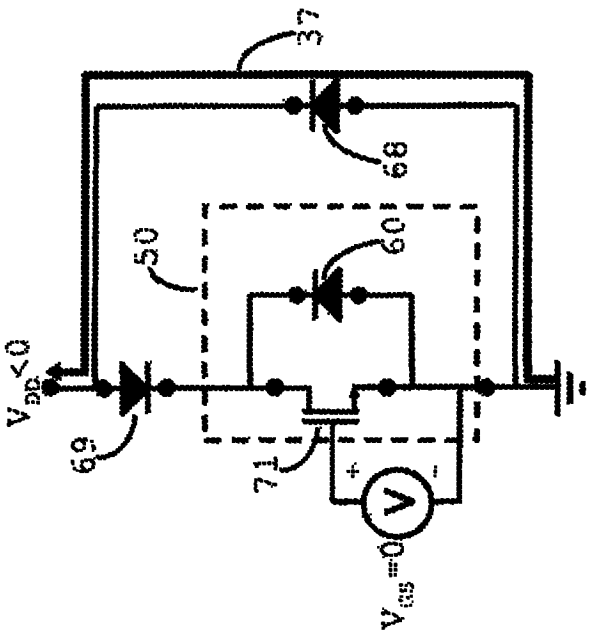


图 3(b)(现有技术)

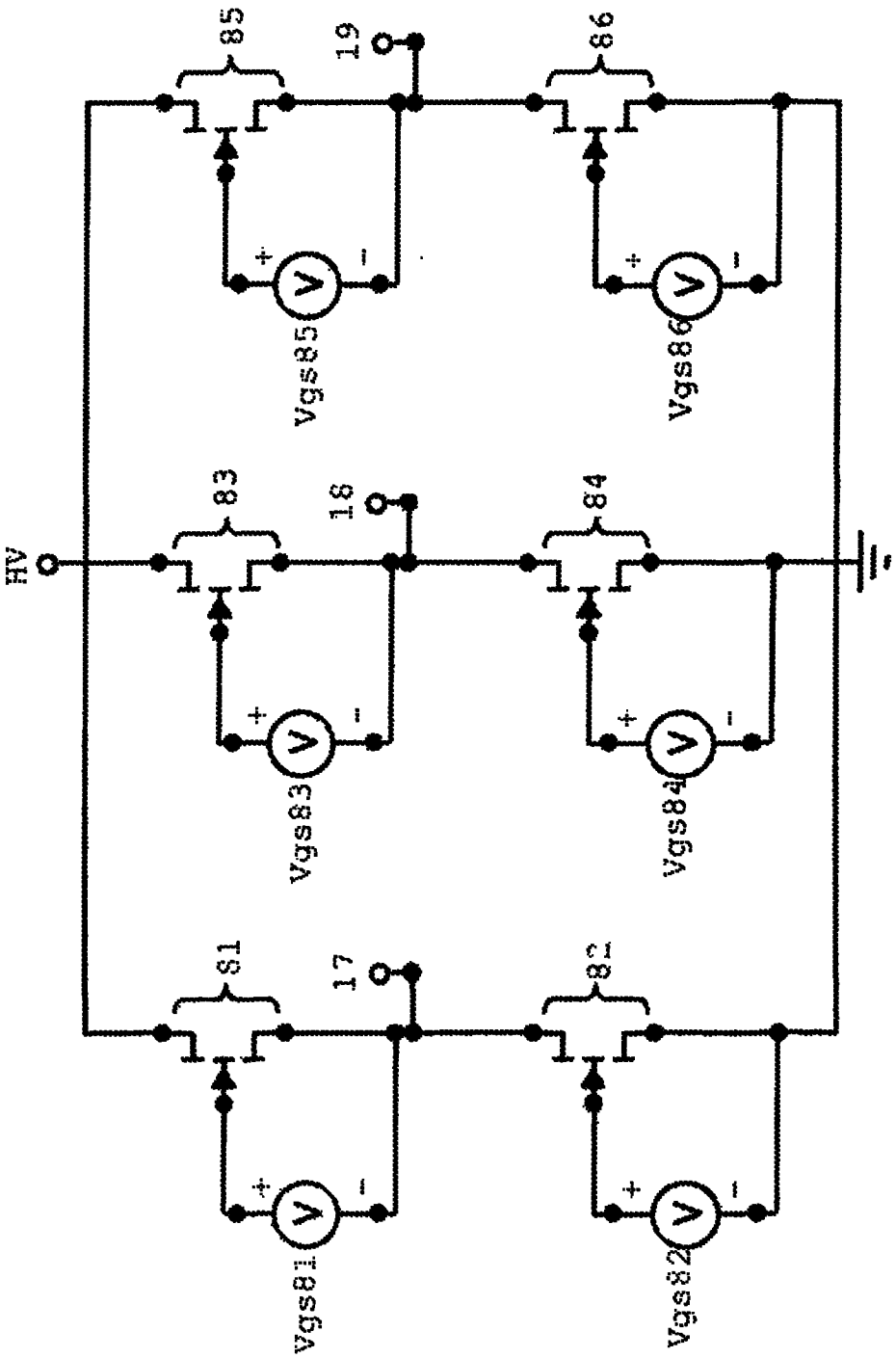

85
19
86
Vgs85
Vgs86
83
18
84
HV
Vgs83
Vgs84
81
17
82
Vgs81
Vgs82

图 4

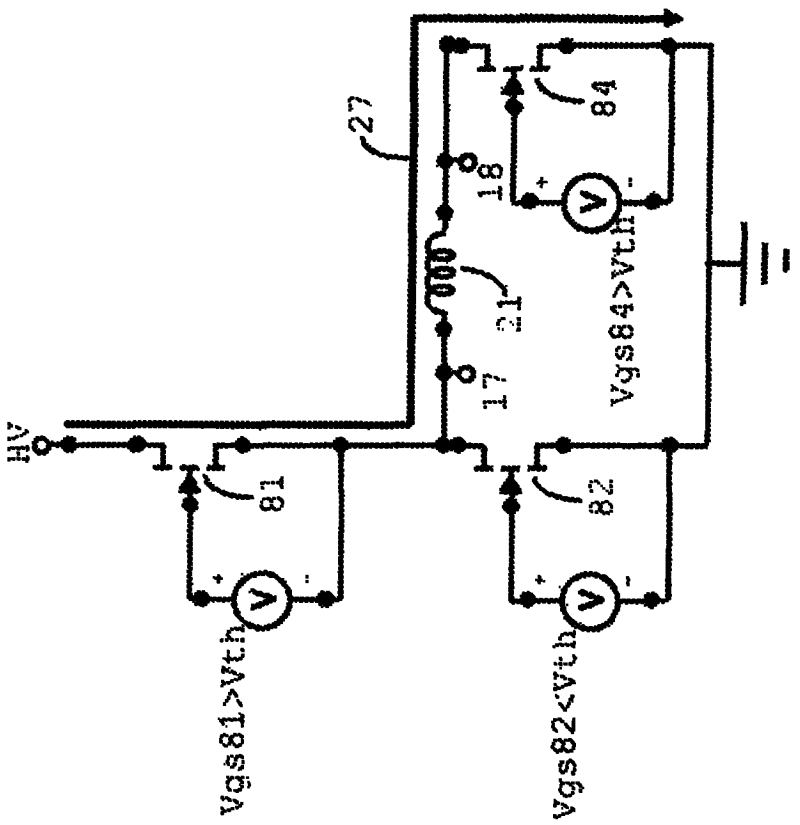


图 5(a)

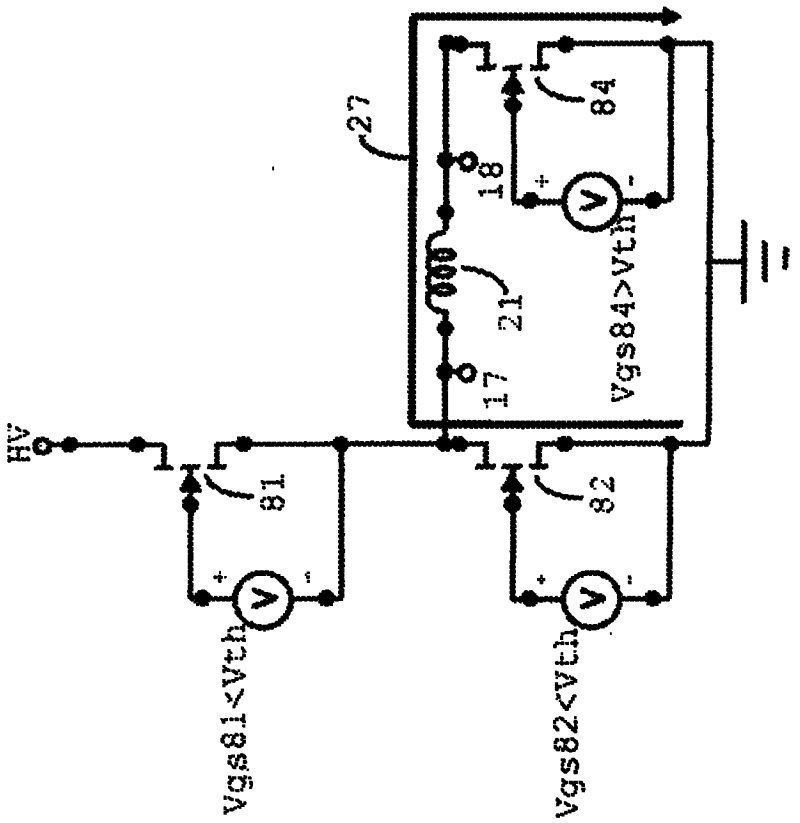


图 5(b)

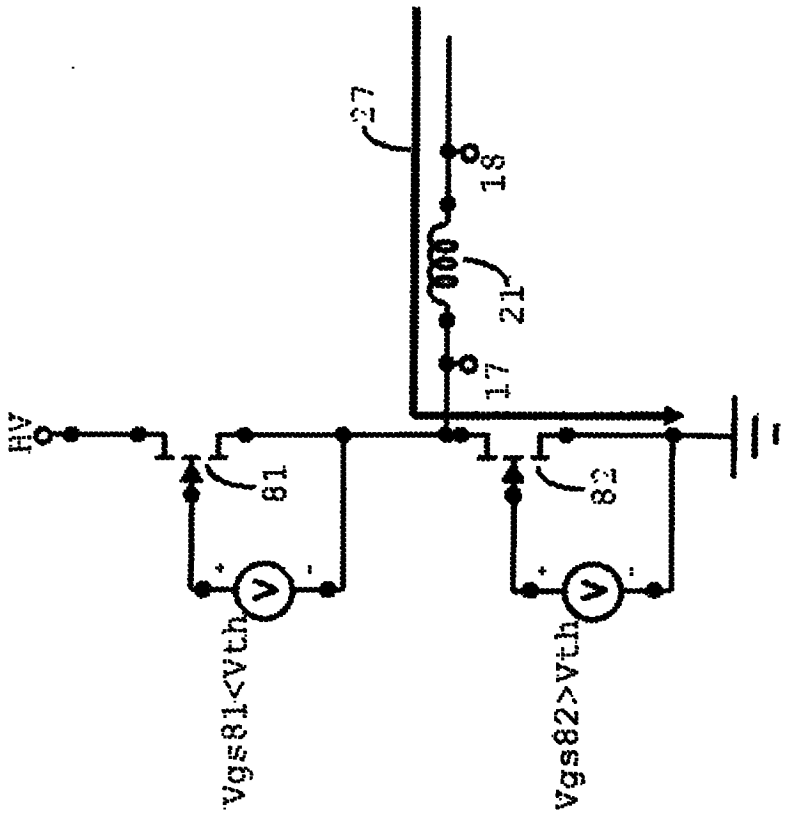


图 5(c)

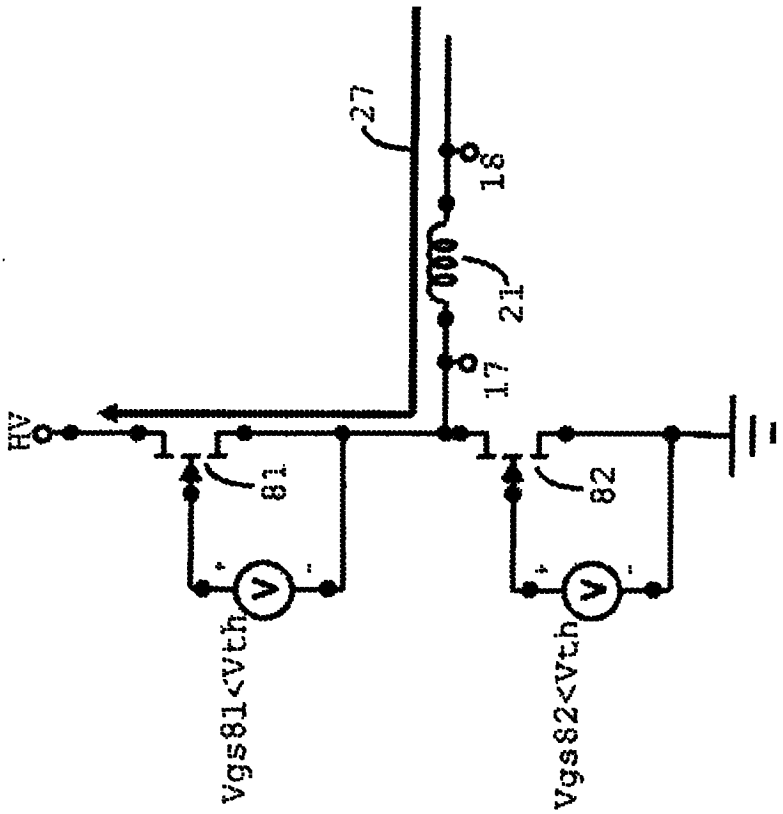


图 5(d)

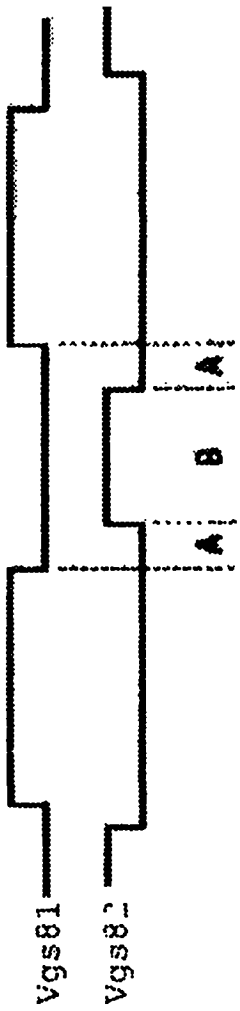


图 6

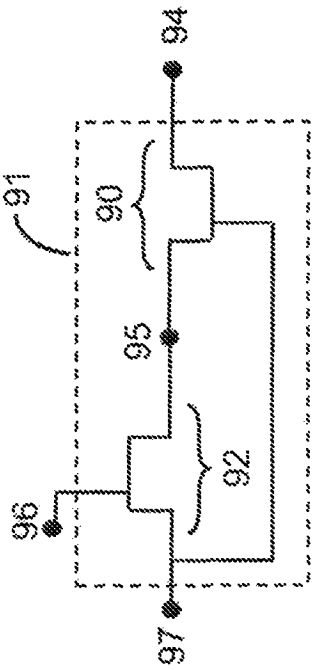

94
91
90
95
92
96
97

图 7

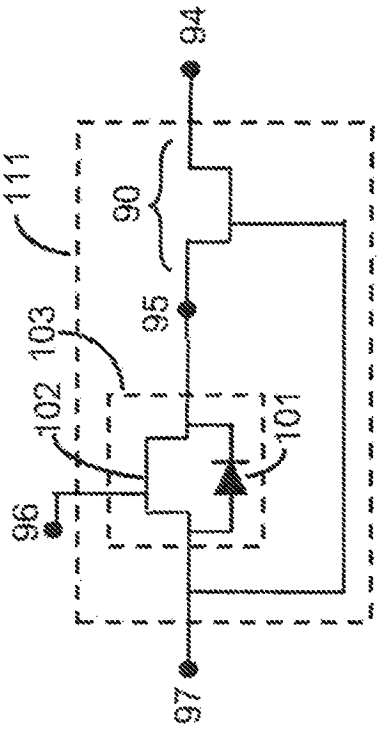

94
111
90
103
95
102
101
96
97

图 8

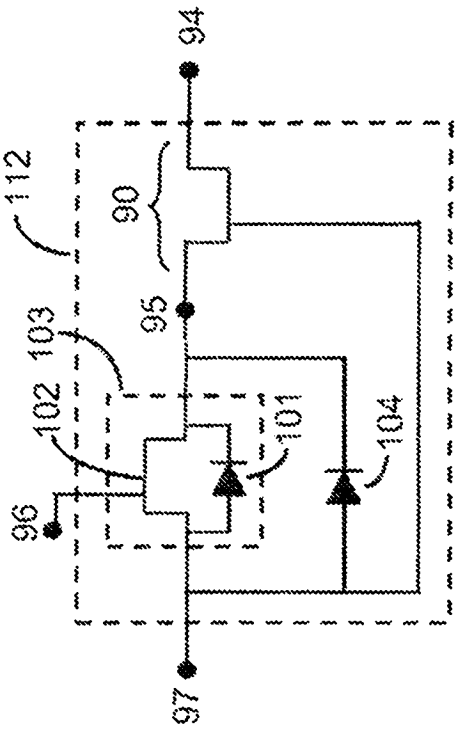

94
112
90
103
95
102
101
104
96
97

图 9